



(12) 发明专利

(10) 授权公告号 CN 103400558 B

(45) 授权公告日 2015. 09. 09

(21) 申请号 201310329312. 2

CN 101425340 A, 2009. 05. 06,

(22) 申请日 2013. 07. 31

CN 102867490 A, 2013. 01. 09,

US 2011228892 A1, 2011. 09. 22,

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 成都京东方光电科技有限公司

审查员 刘锋

(72) 发明人 胡理科 祁小敬

(74) 专利代理机构 北京路浩知识产权代理有限
公司 11002

代理人 王莹

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

KR 20110032838 A, 2011. 03. 30,

CN 101388253 A, 2009. 03. 18,

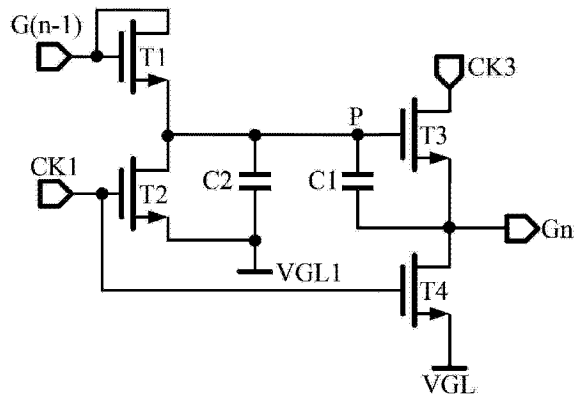
权利要求书2页 说明书7页 附图7页

(54) 发明名称

移位寄存器单元及其驱动方法、栅极驱动电
路及显示装置

(57) 摘要

本发明涉及显示技术领域,特别涉及一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置。本发明实施例中所提供的移位寄存器单元,通过设置与上拉结点连接的稳压电容,利用稳压电容稳定上拉结点处的电位,从而使移位寄存器单元输出的信号更加稳定;同时本发明利用很少数量的晶体管以及电容组成移位寄存器单元,从而使栅极驱动电路的布线面积大大减小,为实现更窄边框的液晶显示装置的设计提供了技术支持,同时,由于简化了栅极驱动电路的结构,从而简化了栅极驱动电路的制备工艺,压缩了制备成本。进一步的,本发明所提供的移位寄存器单元还通过两次下拉过程,快速有效的将输出信号下拉至低电位,增强了栅极驱动电路的下拉能力。



1. 一种移位寄存器单元,其特征在于,包括:

上拉模块,分别与第一时钟信号输入端、信号输出端以及上拉结点连接,用于根据所述上拉结点处的电位向信号输出端输出所述第一时钟信号输入端输入的信号,所述上拉结点为所述上拉模块与上拉驱动模块的连接点;

下拉模块,分别与所述信号输出端、第一信号端以及第二时钟信号输入端连接,用于根据所述第二时钟信号输入端输出的信号下拉所述信号输出端的电位至第一信号端;

上拉驱动模块,分别与信号输入端以及所述上拉结点连接,用于根据所述信号输入端输入的信号驱动所述上拉模块;

复位模块,分别与第二信号端、复位信号端以及上拉结点连接,用于根据所述复位信号端输入的信号将所述上拉结点的信号复位;

稳压模块,与所述上拉结点连接,用于稳定所述上拉结点处的电位,所述稳压模块包括稳压电容。

2. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述复位信号端与第二时钟信号输入端连接。

3. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述第一信号端以及第二信号端均为低电平;所述第二信号端的电位比第一信号端的电位低。

4. 根据权利要求 1-3 任意一项所述的移位寄存器单元,其特征在于,所述上拉驱动模块包括上拉驱动晶体管,所述复位模块包括复位晶体管,所述上拉模块包括上拉晶体管以及自举电容,所述下拉模块包括下拉晶体管;

所述上拉驱动晶体管的栅极以及源极与信号输入端连接,所述上拉驱动晶体管的漏极分别与复位晶体管的源极、稳压电容的第一端、自举电容的第一端、以及上拉晶体管的栅极连接;

所述复位晶体管的栅极与复位信号端连接、所述复位晶体管的漏极分别与稳压电容第二端以及第二信号端连接;

所述上拉晶体管的源极与第一时钟信号输入端连接,所述上拉晶体管的漏极分别与信号输出端、自举电容的第二端以及下拉晶体管的源极连接;

所述下拉晶体管的栅极与第二时钟信号输入端连接,所述下拉晶体管的漏极与第一信号端连接。

5. 根据权利要求 4 所述的移位寄存器单元,其特征在于,所有晶体管均为 N 沟道型晶体管或者所有晶体管均为 P 沟道型晶体管。

6. 一种驱动根据权利要求 1 所述移位寄存器单元的方法,其特征在于,包括:

充电阶段,信号输入端输入上一级输出信号或起始信号,上拉驱动晶体管以及上拉晶体管导通,复位信号端输入的信号关断复位晶体管,上一级输出信号或起始信号对稳压电容以及自举电容充电;

输出阶段,信号输入端信号输入结束,上拉驱动晶体管关断,第二时钟信号输入端输入的信号关断下拉晶体管;上拉晶体管继续导通,自举电容通过第一时钟信号输入端输入的信号将上拉结点电位升高,稳压电容对上拉结点电位进行保持,上拉晶体管将第一时钟信号输入端的信号输出至信号输出端;

复位阶段,复位信号端输入的信号控制复位晶体管以及下拉晶体管导通,复位晶体管

将上拉结点电位下拉,上拉晶体管关断,下拉晶体管将信号输出端电位下拉。

7. 根据权利要求 6 移位寄存器单元驱动方法,其特征在于,所述复位信号输入端与第二时钟信号输入端连接。

8. 一种栅极驱动电路,其特征在于,包括多个根据权利要求 1-5 任意一项所述的移位寄存器单元;除最后一级移位寄存器单元外,其余每一级移位寄存器单元的信号输出端均连接下一级移位寄存器单元的信号输入端,第一级移位寄存器单元的信号输入端接入起始信号。

9. 一种显示装置,其特征在于,包括权利要求 8 所述的栅极驱动电路。

移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器单元、应用该移位寄存器单元的栅极驱动电路、驱动该移位寄存器单元的驱动方法及应用该栅极驱动电路的显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD) 由于具有画面稳定、图像逼真、消除辐射、节省空间以及节省能耗等优点,被广泛应用于电视、手机、显示器等电子产品中,已占据了平面显示领域的主导地位。

[0003] 液晶显示面板是由水平和垂直两个方向的像素矩阵构成的,其进行显示时,通过栅极驱动电路输出栅极扫描信号,逐行扫描各像素。液晶显示面板的驱动主要包括栅极驱动器和数据驱动器,数据驱动器将输入的显示数据及时钟信号定时顺序锁存,转换成模拟信号后输入到液晶显示面板的数据线,栅极驱动器将输入时钟信号经过移位寄存器转换,切换成开启/关断电压,顺次施加到液晶显示面板的扫描栅线上对像素进行选通,即栅极驱动器中的移位寄存器用于产生扫描栅线中的扫描信号。

[0004] 随着平板显示技术的发展,窄边框产品得到了越来越多的关注,然而,现有技术中的移位寄存器通常使用数量较多的晶体管以及其他电气元件,不但结构复杂,而且会占据很大的布线面积,不利于窄边框设计,同时,加大了移位寄存器的制备工艺难度,增加了制备成本。并且,由于经常受到布线空间的限制,晶体管的体积通常不能过大,这样可能由于下拉晶体管尺寸过小,存在不能快速有效的将输出信号下拉至低电位的问题。同时,现有技术中的移位寄存器单元中由于对于上拉晶体的控制信号都是直接输入到上拉晶体管中,这样可能会影响对上拉晶体的开关控制,导致移位寄存器单元的输出信号不稳定。

发明内容

[0005] (一)要解决的技术问题

[0006] 本发明要解决的技术问题是,针对现有技术的不足,提供一种输出信号更稳定的移位寄存器单元、应用该移位寄存器单元的栅极驱动电路、驱动该移位寄存器单元的驱动方法及应用该栅极驱动电路的显示装置,使用很少数量的晶体管,从而使栅极驱动电路的布线面积大大减小,进而为实现更窄边框的液晶显示装置的设计提供技术支持,进一步的,增强整个移位寄存器单元的下拉能力,从而提升液晶显示装置的响应速度。

[0007] (二)技术方案

[0008] 本发明技术方案如下:

[0009] 一种移位寄存器单元包括:

[0010] 上拉模块,分别与第一时钟信号输入端、信号输出端以及上拉结点连接,用于根据所述上拉结点处的电位向信号输出端输出所述第一时钟信号输入端输入的信号,所述上拉结点为所述上拉模块与上拉驱动模块的连接点;

[0011] 下拉模块,分别与所述信号输出端、第一信号端以及第二时钟信号输入端连接,用于根据所述第二时钟信号输入端输出的信号下拉所述信号输出端的电位至第一信号端;

[0012] 上拉驱动模块,分别与信号输入端以及所述上拉结点连接,用于根据所述信号输入端输入的信号驱动所述上拉模块;

[0013] 复位模块,分别与第二信号端、复位信号端以及上拉结点连接,用于根据所述复位信号端输入的信号将所述上拉结点的信号复位;

[0014] 稳压模块,与所述上拉结点连接,用于稳定所述上拉结点处的电位。

[0015] 优选的,所述复位信号端与第二时钟信号输入端连接。

[0016] 优选的,所述第二信号端以及第一信号端均为低电平;所述第二信号端的电位比第一信号端的电位低。

[0017] 优选的,所述上拉驱动模块包括上拉驱动晶体管,所述复位模块包括复位晶体管,所述上拉模块包括上拉晶体管以及自举电容,所述下拉模块包括下拉晶体管,所述稳压模块包括稳压电容;

[0018] 所述上拉驱动晶体管的栅极以及源极与信号输入端连接,漏极分别与复位晶体管的源极、稳压电容的第一端、自举电容的第一端、以及上拉晶体管的栅极连接;

[0019] 所述复位晶体管的栅极与复位信号端连接、漏极分别与稳压电容第二端以及第二信号端连接;

[0020] 所述上拉晶体管的源极与第一时钟信号输入端连接,漏极分别与信号输出端、自举电容的第二端以及下拉晶体管的源极连接;

[0021] 所述下拉晶体管的栅极与第二时钟信号输入端连接,漏极与第一信号端连接。

[0022] 优选的,所有晶体管均为N沟道型晶体管或者所有晶体管均为P沟道型晶体管。

[0023] 本发明还提供了一种驱动上述移位寄存器单元的驱动方法:

[0024] 一种移位寄存器单元的驱动方法,包括:

[0025] 充电阶段,信号输入端输入上一级输出信号或起始信号,上拉驱动晶体管以及上拉晶体管导通,复位信号端输入的信号关断复位晶体管,上一级输出信号或起始信号对稳压电容以及自举电容充电;

[0026] 输出阶段,信号输入端信号输入结束,上拉驱动晶体管关断,第二时钟信号输入端输入的信号关断下拉晶体管;上拉晶体管继续导通,自举电容通过第一时钟信号输入端输入的信号将上拉结点电位升高,稳压电容对上拉结点电位进行保持,上拉晶体管将第一时钟信号输入端的信号输出至信号输出端;

[0027] 复位阶段,复位信号端输入的信号控制复位晶体管以及下拉晶体管导通,复位晶体管将上拉结点电位下拉,上拉晶体管关断,下拉晶体管将信号输出端电位下拉。

[0028] 优选的,所述复位信号输入端与第二时钟信号输入端连接。

[0029] 本发明还提供了一种包括上述任意一种移位寄存器单元的栅极驱动电路:

[0030] 一种栅极驱动电路,包括上述任意一种移位寄存器单元;除最后一级移位寄存器单元外,其余每一级移位寄存器单元的信号输出端均连接下一级移位寄存器单元的信号输入端,第一级移位寄存器单元的信号输入端接入起始信号。

[0031] 本发明还提供了一种包括上述栅极驱动电路的显示装置。

[0032] (三)有益效果

[0033] 本发明实施例中所提供的移位寄存器单元,通过设置与上拉结点连接的稳压电容,利用稳压电容稳定上拉结点处的电位,从而使移位寄存器单元输出的信号更加稳定;同时本发明利用很少数量的晶体管以及电容组成移位寄存单元,从而使栅极驱动电路的布线面积大大减小,为实现更窄边框的液晶显示装置的设计提供了技术支持,同时,由于简化了栅极驱动电路的结构,从而简化了栅极驱动电路的制备工艺,压缩了制备成本。进一步的,本发明所提供的移位寄存单元还通过两次下拉过程,快速有效的将输出信号下拉至低电位,增强了栅极驱动电路的下拉能力。

附图说明

- [0034] 图 1 是本发明实施例一中移位寄存器单元的模块连接示意图;
[0035] 图 2 是本发明实施例一中移位寄存器单元的一种实现电路图;
[0036] 图 3 是本发明实施例一中移位寄存器单元的另一种实现电路图;
[0037] 图 4 是本发明实施例一中栅极驱动电路的结构示意图;
[0038] 图 5 是图 2 中移位寄存器单元的驱动时序及信号波形示意图;
[0039] 图 6 是本发明实施例二中移位寄存器单元的模块连接示意图;
[0040] 图 7 是本发明实施例二中移位寄存器单元的一种实现电路图;
[0041] 图 8 是本发明实施例二中移位寄存器单元的另一种实现电路图;
[0042] 图 9 是本发明实施例二中栅极驱动电路的结构示意图;
[0043] 图 10 是图 7 中移位寄存器单元的驱动时序及信号波形示意图。

具体实施方式

[0044] 下面结合附图和实施例,对本发明的具体实施方式做进一步描述。以下实施例仅用于说明本发明,但不用来限制本发明的范围。

[0045] 实施例一

[0046] 如图 1 中所示,本实施例中所提供的一种移位寄存器单元主要包括:上拉模块,分别与第一时钟信号输入端、信号输出端以及上拉结点 P 连接,用于根据上拉结点 P 处的电位向信号输出端输出第一时钟信号输入端输入的信号;下拉模块,分别与信号输出端、第一信号端以及第二时钟信号输入端连接,用于根据第二时钟信号输入端输出的信号下拉信号输出端的电位;上拉驱动模块,分别与信号输入端以及上拉结点 P 连接,用于根据信号输入端输入的信号驱动上拉模块;复位模块,分别与第二信号端、复位信号端以及上拉结点 P 连接,用于根据复位信号端输入的信号将上拉结点 P 的信号复位;稳压模块,与上拉结点 P 连接,用于稳定上拉结点 P 处的电位。该移位寄存器单元通过设置与上拉结点 P 连接的稳压电容,利用稳压电容稳定上拉结点 P 处的电位,从而使移位寄存器单元输出的信号更加稳定。

[0047] 图 2 中所示电路为本实施例中所提供的移位寄存器单元的一种具体实现方式,图 4 为由图 2 中移位寄存器单元组成的栅极驱动电路;本实施例中的移位寄存器单元包括上拉驱动晶体管 T1、复位晶体管 T2、上拉晶体管 T3、下拉晶体管 T4、自举电容 C1 以及稳压电容 C2,还包括信号输入端、信号输出端、第一时钟信号输入端、第二时钟信号输入端、复位信号端、第二信号端 VGL1 以及第一信号端 VGL;栅极驱动电路中,除第一级移位寄存器单元外,其余每一级移位寄存器单元的信号输入端均连接下一级移位寄存器单元的信号输出

端,除最后一级移位寄存器单元外,其余每一级移位寄存器单元的信号输出端均连接下一级移位寄存器单元的信号输入端,第一级移位寄存器单元的信号输入端接入起始信号 STV;其中,上拉驱动晶体管 T1 的栅极以及源极与信号输入端连接,漏极分别与复位晶体管 T2 的源极、稳压电容 C2 的第一端、自举电容 C1 的第一端、以及上拉晶体管 T3 的栅极连接,在有起始信号 STV 或者上级输出信号输入时,上拉驱动晶体管 T1 导通,为稳压电容 C2 以及自举电容 C1 充电;复位晶体管 T2 的栅极与复位信号端连接、漏极分别与稳压电容 C2 第二端以及第二信号端 VGL1 连接,在信号输出端的信号输出完成后,在复位信号的控制下导通,将移位寄存器单元复位;上拉晶体管 T3 的源极与第一时钟信号输入端连接,漏极分别与信号输出端、自举电容 C1 的第二端以及下拉晶体管 T4 的源极连接,用于为信号输出端提供输出信号;下拉晶体管 T4 的栅极与第二时钟信号输入端连接,漏极与第一信号端 VGL 连接,用于将信号输出端的输出信号下拉;稳压电容 C2 用于在信号输入端信号输入完成后,稳定上拉结点 P (即上拉晶体管 T3 的栅极连接点) 的电位,从而使输出信号更加稳定;自举电容 C1 用于升高上拉结点的电位,使上拉结点的电位高于第一时钟信号输入端的电位,从而使第一时钟信号可以完全输出;第二信号端 VGL1 以及第一信号端 VGL 均为低电平,本实施例中,为了更彻底的将上拉晶体管 T3 关断,减少上拉晶体管 T3 的漏电流,第二信号端 VGL1 的电位比第一信号端 VGL 的电位更低。

[0048] 本实施例中移位寄存器单元以及栅极驱动电路的另外优势就是采用单一沟道类型的晶体管即全为 N 沟道型晶体管,从而进一步降低了制备工艺的复杂程度和生产成本;当然,本领域所属技术人员很容易得出本发明所提供的移位寄存器单元可以轻易改成全为 P 沟道型晶体管,具体如图 3 中所示,并不局限于本实施例中的所提供的实现方式,在此不再赘述。

[0049] 本实施例中还提供了一种驱动上述移位寄存器单元的驱动方法,参考图 5 中的驱动时序图,其中所有晶体管均为 N 沟道型晶体管,时钟信号 CK1 作为复位信号端输出的信号,时钟信号 CK 作为第一时钟信号输入端输出的信号;时钟信号 CK1 的脉宽是时钟信号 CK 和起始信号 STV 脉宽的两倍,相邻的时钟信号相位差为 90 度,这样包含上述移位寄存器单元的栅极驱动电路共需要 4 个时钟信号 CK1 ~ CK4,加上时钟信号 CK 和时钟信号 CKB,该栅极驱动电路一共需要 6 个时钟信号。该移位寄存器单元的驱动方法主要包括以下阶段:

[0050] 充电阶段 t1,信号输入端输出上一级输出信号 G(n-1) 或起始信号 STV,上拉结点 P 电位升高,上拉驱动晶体管 T1 以及上拉晶体管 T3 导通,复位信号端输出低电平信号关断复位晶体管 T2,第二时钟信号输入端输出高电平信号,下拉晶体管 T4 导通,上一级输出信号 G(n-1) 或起始信号 STV 对稳压电容 C2 以及自举电容 C1 充电,信号输出端 Gn 输出低电平信号;

[0051] 输出阶段 t2,信号输入端信号输入结束,上拉驱动晶体管 T1 关断,第二时钟信号输入端输出低电平信号,下拉晶体管 T4 关断;第一时钟信号输入端输出高电平信号,自举电容 C1 将上拉结点 P 电位继续升高,稳压电容 C2 对上拉结点电位进行保持,上拉晶体管 T3 将第一时钟信号输入端的高电平信号完全输出至信号输出端 Gn;

[0052] 复位阶段 t3,复位信号端输出高电平信号,复位晶体管 T2 以及下拉晶体管 T4 导通,第二信号端 VGL1 将上拉结点 P 电位下拉,上拉晶体管 T3 关断,第二时钟信号输入端输出高电平信号,下拉晶体管 T4 导通,将信号输出端 Gn 电位下拉至第一信号端 VGL 的电位。

[0053] 由于第二信号端 VGL1 的电位比第一信号端 VGL 的电位更低, 这样在将输出信号下拉时, 上拉结点的电压 P 被拉低至第二信号端 VGL1 电位, 信号输出端电压被拉低至第一信号端 VGL 电位, 由于 $VGL1 < VGL$, 这样上拉晶体管 T3 的栅源电压 $VGS < 0$, 关断的更彻底, 漏电流更小。

[0054] 本发明还提供了一种包括上述栅极驱动电路的显示装置; 由于使用的栅极驱动电路具有更小的布线面积, 因此该显示装置的边框可以做的更窄。

[0055] 实施例二

[0056] 如图 6 中所示, 本实施例中所提供的一种移位寄存器单元主要包括: 上拉模块, 分别与第一时钟信号输入端、信号输出端以及上拉结点 P 连接, 用于根据上拉结点 P 处的电位向信号输出端输出第一时钟信号输入端输入的信号; 下拉模块, 分别与信号输出端、第一信号端以及第二时钟信号输入端连接, 用于根据第二时钟信号输入端输出的信号下拉信号输出端的电位; 上拉驱动模块, 分别与信号输入端以及上拉结点 P 连接, 用于根据信号输入端输入的信号驱动上拉模块; 复位模块, 分别与第二信号端、第二时钟信号输入端以及上拉结点 P 连接, 用于根据第二时钟信号输入端输入的信号将上拉结点 P 的信号复位; 稳压模块, 与上拉结点 P 连接, 用于稳定上拉结点 P 处的电位。该移位寄存器单元通过设置与上拉结点 P 连接的稳压电容, 利用稳压电容稳定上拉结点 P 处的电位, 从而使移位寄存器单元输出的信号更加稳定。

[0057] 图 7 中所示电路为本实施例中所提供的移位寄存器单元的一种具体实现方式, 图 9 为由图 7 中移位寄存器单元组成的栅极驱动电路; 本实施例中的移位寄存器单元包括上拉驱动晶体管 T1、复位晶体管 T2、上拉晶体管 T3、下拉晶体管 T4、自举电容 C1 以及稳压电容 C2, 还包括信号输出端、信号输出端、第一时钟信号输入端、第二时钟信号输入端第二信号端 VGL1 以及第一信号端 VGL; 栅极驱动电路中, 除第一级移位寄存器单元外, 其余每一级移位寄存器单元的信号输入端均连接下一级移位寄存器单元的信号输出端, 除最后一级移位寄存器单元外, 其余每一级移位寄存器单元的信号输出端均连接下一级移位寄存器单元的信号输入端, 第一级移位寄存器单元的信号输入端接入起始信号 STV; 其中, 上拉驱动晶体管 T1 的栅极以及源极与信号输入端连接, 漏极分别与复位晶体管 T2 的源极、稳压电容 C2 的第一端、自举电容 C1 的第一端、以及上拉晶体管 T3 的栅极连接, 在有起始信号 STV 或者上级输出信号输入时, 上拉驱动晶体管 T1 导通, 为稳压电容 C2 以及自举电容 C1 充电; 复位晶体管 T2 的栅极与第二时钟信号输入端连接、漏极分别与稳压电容 C2 第二端以及第二信号端 VGL1 连接, 在信号输出端的信号输出完成后, 在第二时钟信号的控制下导通, 将移位寄存器单元复位; 上拉晶体管 T3 的源极与第一时钟信号输入端连接, 漏极分别与信号输出端、自举电容 C1 的第二端以及下拉晶体管 T4 的源极连接, 用于为信号输出端提供输出信号; 下拉晶体管 T4 的栅极与第二时钟信号输入端连接, 漏极与第一信号端 VGL 连接, 用于将信号输出端的输出信号下拉; 稳压电容 C2 用于在信号输入端信号输入完成后, 稳定上拉结点 (即上拉晶体管 T3 的栅极连接点) 的电位, 从而使输出信号更加稳定; 自举电容 C1 用于升高上拉结点的电位, 使上拉结点的电位高于第一时钟信号输入端的电位, 从而使第一时钟信号可以完全输出; 第二信号端 VGL1 以及第一信号端 VGL 均为低电平, 本实施例中, 为了更彻底的将上拉晶体管 T3 关断, 减少上拉晶体管 T3 的漏电流, 第二信号端 VGL1 的电位比第一信号端 VGL 的电位更低。

[0058] 本实施例中移位寄存器单元以及栅极驱动电路的另外优势就是采用单一沟道类型的晶体管即全为 N 沟道型晶体管,从而进一步降低了制备工艺的复杂程度和生产成本;当然,本领域所属技术人员很容易得出本发明所提供的移位寄存器单元可以轻易改成全为 P 沟道型晶体管,具体如图 8 中所示,并不局限于本实施例中的所提供的实现方式,在此不再赘述。

[0059] 本实施例中还提供了一种驱动上述移位寄存器单元的驱动方法,参考图 10 中的驱动时序图,其中所有晶体管均为 N 沟道型晶体管,时钟信号 CK1 作为复位信号端输出的信号,时钟信号 CK3 作为第一时钟信号输入端输出的信号;时钟信号 CK1、时钟信号 CK3 的脉宽和起始信号 STV 的脉宽相同。包含上述移位寄存器单元的栅极驱动电路中同级的起始信号 STV 过去 3 个时刻时钟信号 CK1 才打开,相邻的时钟信号相位差为 90 度,这样整个栅极驱动电路共需要 4 个时钟信号 CK1 ~ CK4。该移位寄存器单元的驱动方法主要包括以下阶段:

[0060] 充电阶段 t1,信号输入端输出上一级输出信号 G(n-1) 或起始信号 STV,上拉结点 P 电位升高,上拉驱动晶体管 T1 以及上拉晶体管 T3 导通,第二时钟信号输入端输出低电平信号关断复位晶体管 T2 以及下拉晶体管 T4,上一级输出信号 G(n-1) 或起始信号 STV 对稳压电容 C2 以及自举电容 C1 充电,信号输出端 Gn 输出低电平信号;

[0061] 输出阶段 t2,信号输入端信号输入结束,上拉驱动晶体管 T1 关断,第二时钟信号输入端输出低电平信号,下拉晶体管 T4 关断;第一时钟信号输入端输出高电平信号,自举电容 C1 将上拉结点 P 电位升高,稳压电容 C2 对上拉结点电位进行保持,上拉晶体管 T3 将第一时钟信号输入端的高电平信号完全输出至信号输出端 Gn;

[0062] 复位阶段,包括第一阶段和第二阶段:

[0063] 第一阶段 t3:第一时钟信号输入端输出低电平信号,此时,复位晶体管 T2 以及下拉晶体管 T4 仍然关断,上拉晶体管 T3 此时仍然导通,第一时钟信号输入端输出的低电平信号将上拉结点 P 电位下拉,虽然上拉结点 P 的电位下降,但这个电位仍然可以导通上拉晶体管 T3 使第一时钟信号输入端的低电平信号完全输出;

[0064] 第二阶段 t4:复位信号端输出高电平信号,复位晶体管 T2 以及下拉晶体管 T4 导通,将上拉结点 P 电位再次下拉,下拉至第二信号端 VGL1 的电位,使上拉晶体管 T3 关断,将信号输出端电位下拉至第一信号端 VGL 电位,下拉晶体管 T4 的打开再次确保将信号输出端的电位拉低至第一信号端 VGL 的电位。

[0065] 由于第二信号端 VGL1 的电位比第一信号端 VGL 的电位更低,这样在将输出信号下拉时,上拉结点 P 的电压被拉低至第二信号端 VGL1 电位,输出点电压被拉低至第一信号端 VGL 电位,由于 $VGL1 < VGL$,这样上拉晶体管 T3 的栅源电压 $VGS < 0$,关断的更彻底,漏电流更小。

[0066] 在实施例一中使用了 6 组时钟信号,在本实施例中仅使用了 4 组时钟信号;在实施例一中,上拉晶体管 T3 仅仅起到上拉作用,而在实施例二中,上拉晶体管 T3 在上拉后马上对输出信号进行下拉,而且还在下一时刻通过下拉晶体管 T4 对输出信号进行第二次下拉,这样整个栅极驱动电路的下拉能力得到了大大增强。

[0067] 本发明还提供了一种包括上述栅极驱动电路的显示装置;由于使用的栅极驱动电路具有更小的布线面积,因此该显示装置的边框可以做的更窄;并且,由于整个栅极驱动电

路的下拉能力得到了增强,因此提升了液晶显示装置的响应速度。

[0068] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的保护范畴。

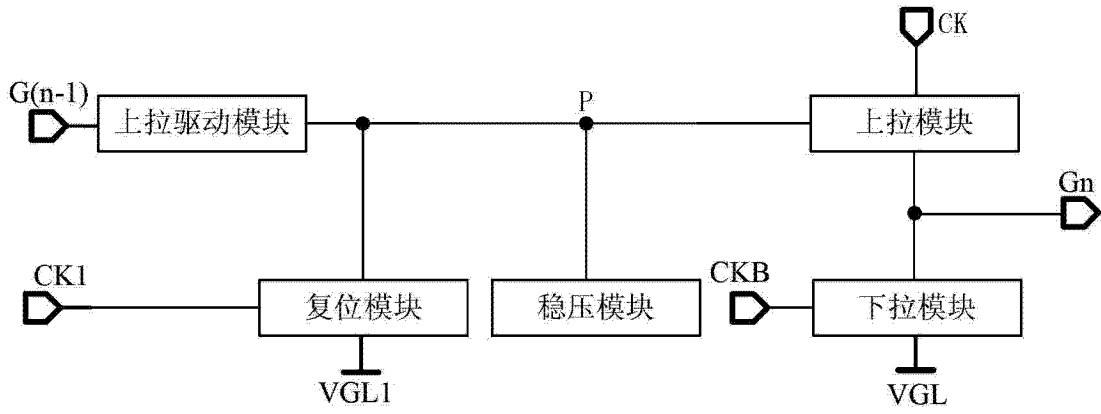


图 1

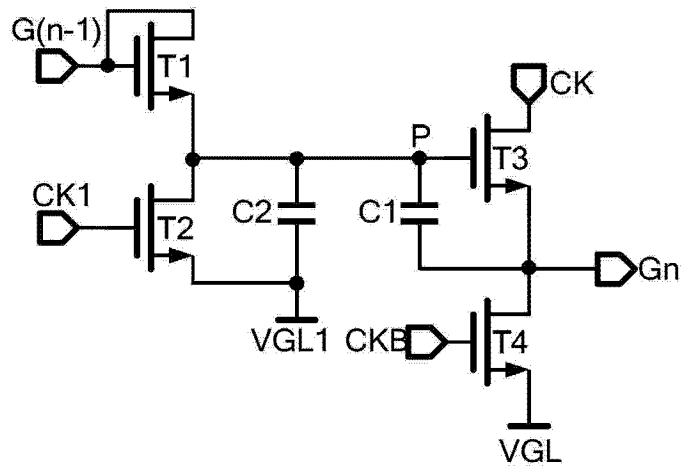


图 2

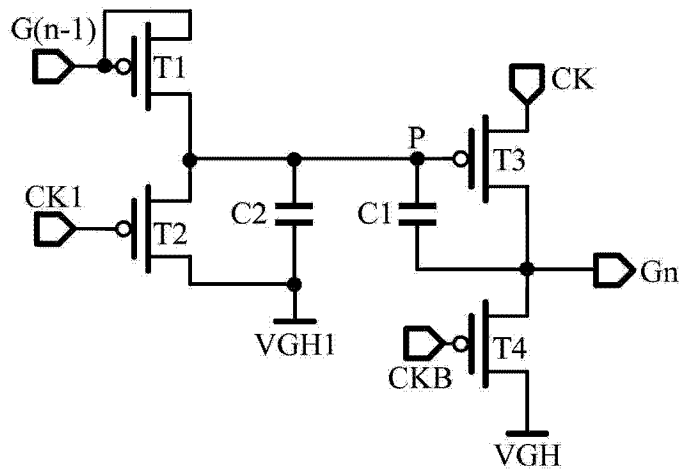


图 3

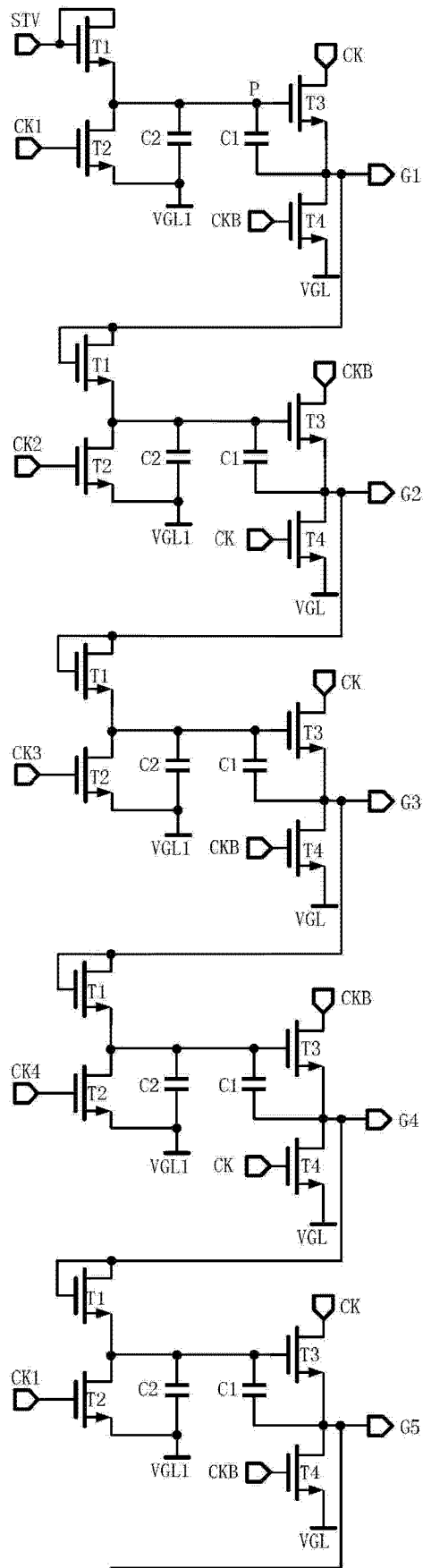


图 4

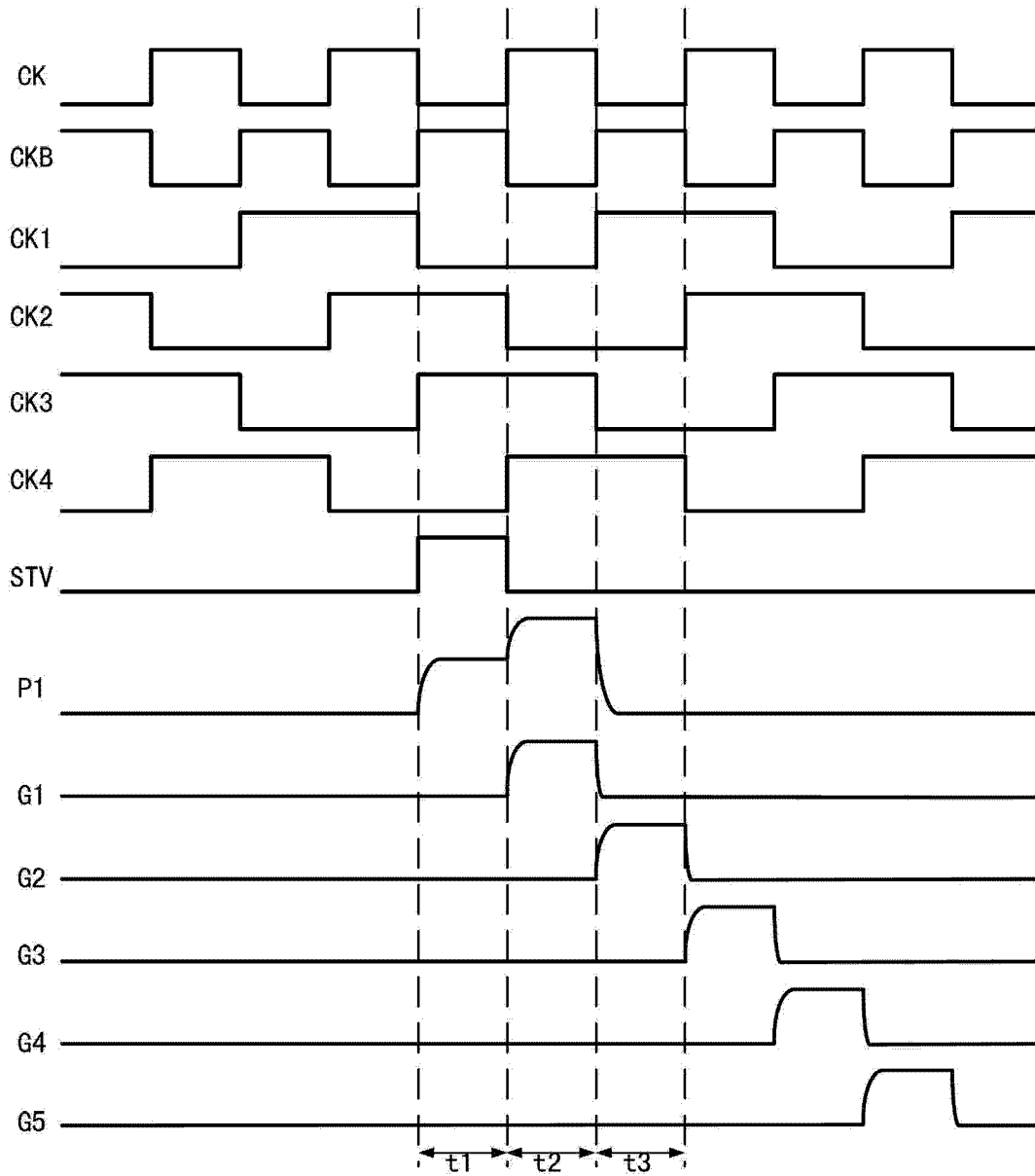


图 5

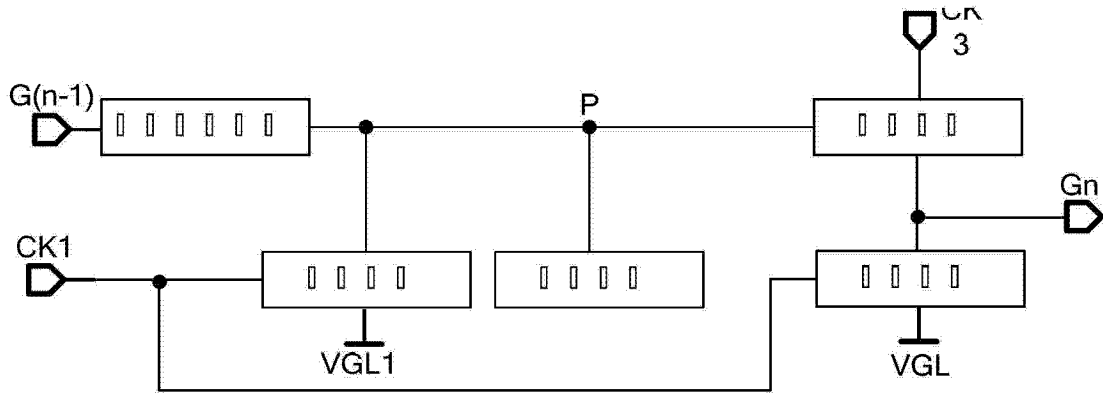


图 6

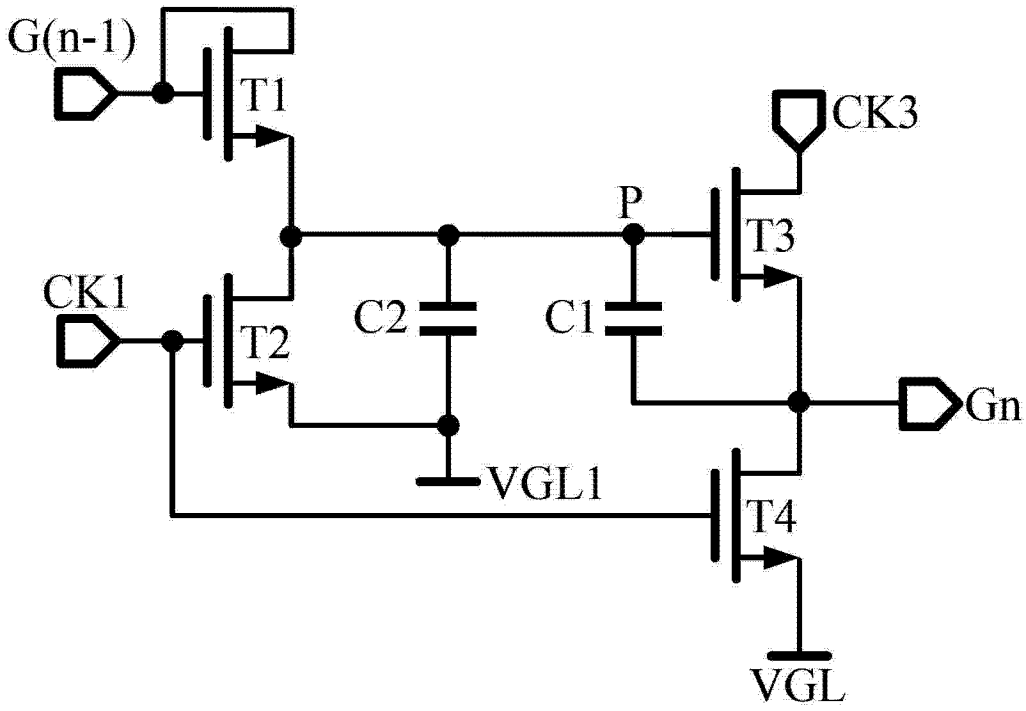


图 7

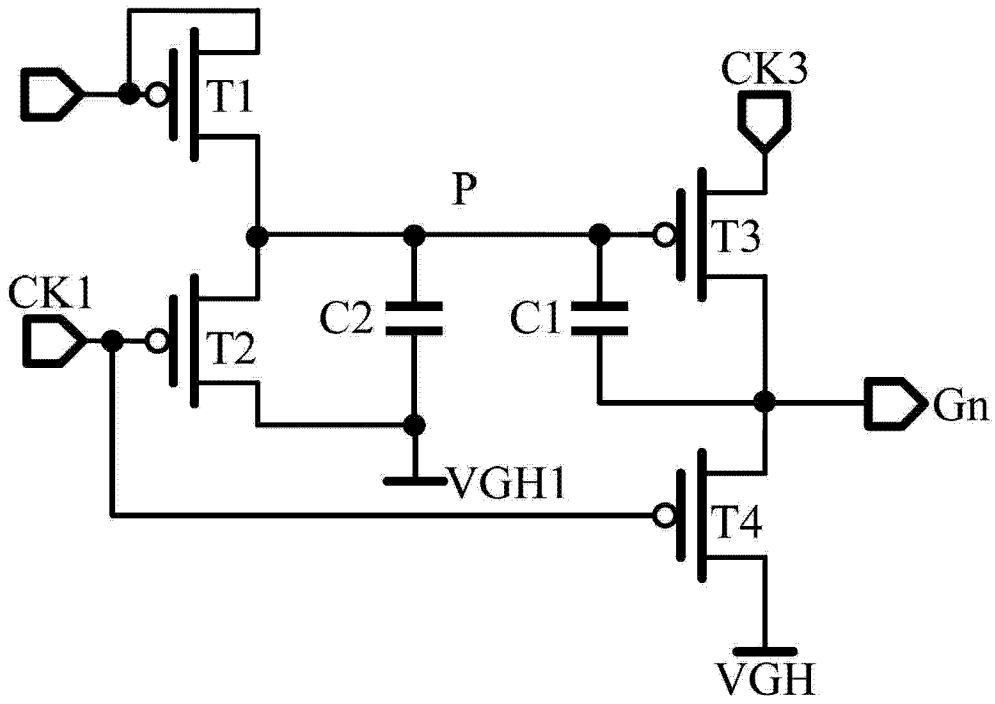


图 8

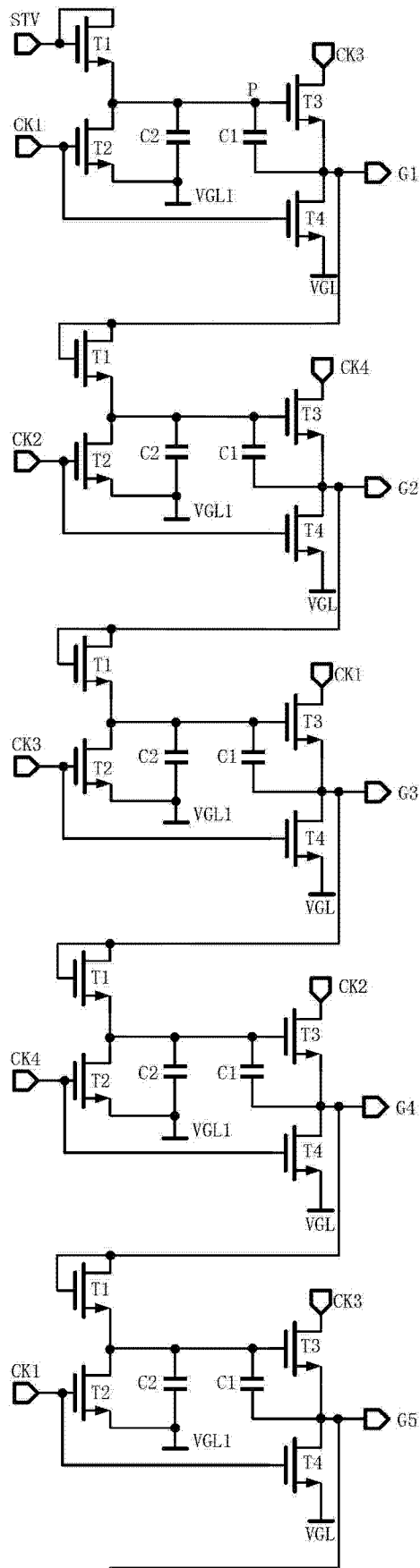


图 9

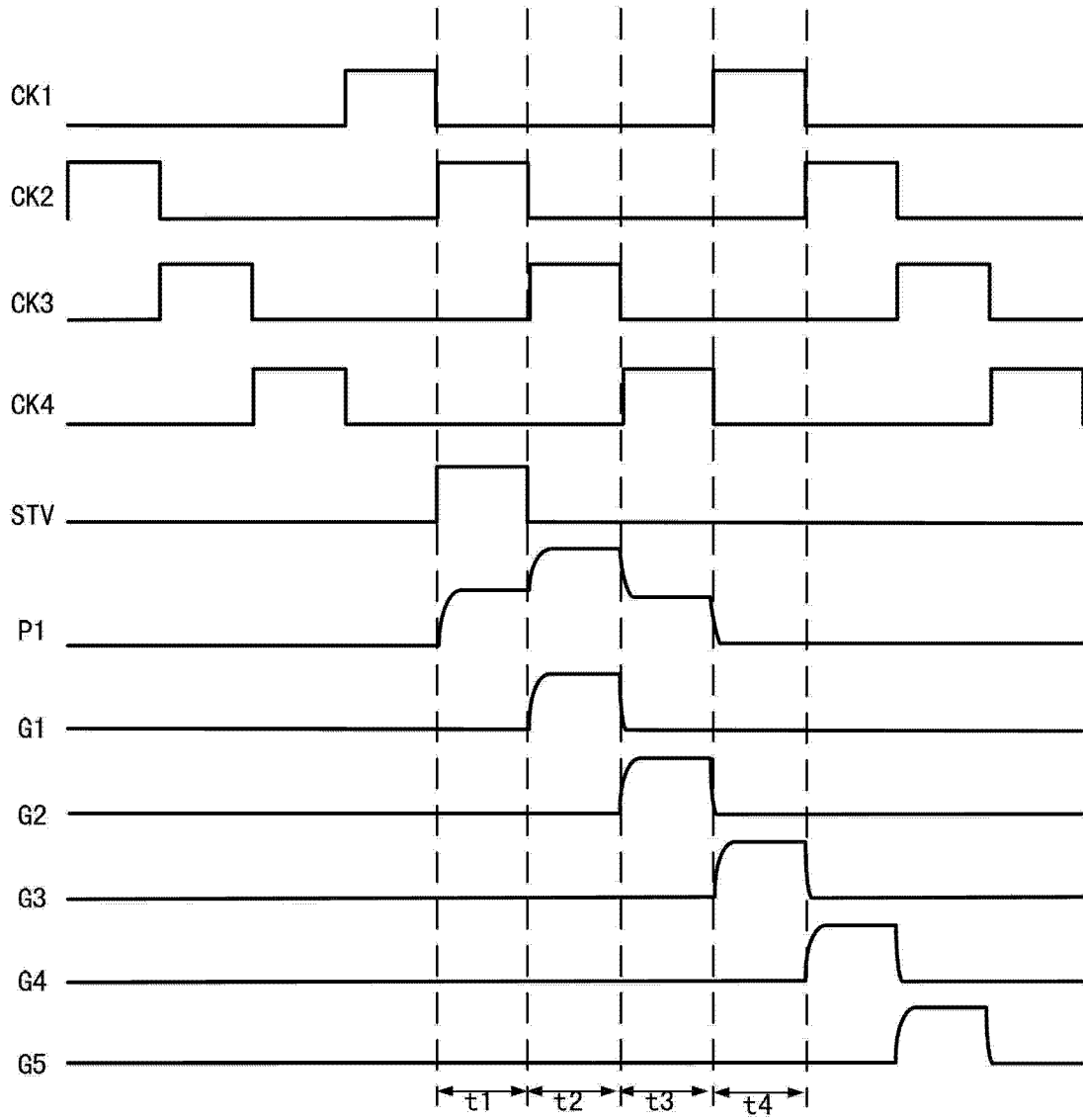


图 10