

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4125363号
(P4125363)

(45) 発行日 平成20年7月30日(2008.7.30)

(24) 登録日 平成20年5月16日(2008.5.16)

(51) Int.Cl.	F I
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 7 A
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 S
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A
	HO 1 L 27/04 E

請求項の数 10 (全 22 頁)

(21) 出願番号 特願2007-524626 (P2007-524626)	(73) 特許権者 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(86) (22) 出願日 平成18年7月7日(2006.7.7)	(74) 代理人 110000556 特許業務法人 有古特許事務所
(86) 国際出願番号 PCT/JP2006/313575	(72) 発明者 北島 真 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(87) 国際公開番号 W02007/007670	審査官 小野田 誠
(87) 国際公開日 平成19年1月18日(2007.1.18)	(56) 参考文献 特開平11-274482 (JP, A)
審査請求日 平成19年11月13日(2007.11.13)	
(31) 優先権主張番号 特願2005-200517 (P2005-200517)	
(32) 優先日 平成17年7月8日(2005.7.8)	
(33) 優先権主張国 日本国(JP)	
早期審査対象出願	

最終頁に続く

(54) 【発明の名称】 半導体装置および電気機器

(57) 【特許請求の範囲】

【請求項1】

第1導電型のワイドバンドギャップ半導体からなる半導体層と、
前記半導体層の厚み方向に電荷キャリアを移動させる縦型の電界効果トランジスタが形成された複数のトランジスタセルと、
前記半導体層にショットキー電極がショットキー接合されてなるショットキーダイオードが形成された複数のダイオードセルと、を備え、
前記半導体層に、平面視において、仮想の境界ラインに基づいて4角形の複数のサブ領域が区画され、かつ前記トランジスタセルとしての前記サブ領域と、前記ダイオードセルとしての前記サブ領域とを有してなり、前記トランジスタセルの前記半導体層の表面に設けられたソース電極と、前記ダイオードセルの前記半導体層の表面に設けられたショットキー電極と、が電氣的に接続され、複数の前記縦型の電界効果トランジスタと、複数の前記ショットキーダイオードと、が同一チップ内に集積され、かつ、並列に接続されている半導体装置。

【請求項2】

前記複数のサブ領域は、互いに直交する2方向にマトリクス状に配列されている請求項1記載の半導体装置。

【請求項3】

前記電界効果トランジスタは、前記半導体層の表面に設けられた第2導電型のウェルと、前記ウェルの内側に設けられた第1導電型の領域と、前記ウェルおよび前記領域を除い

た前記半導体層としてのドリフト領域と、前記領域および前記ウェルに接するように設けられた第1のソース/ドレイン電極と、前記ウェルに絶縁層を介して配設されたゲート電極と、前記ドリフト領域の裏面にオーミックに接続された第2のソース/ドレイン電極と、を有してなる請求項1記載の半導体装置。

【請求項4】

前記ダイオードセルは、前記トランジスタセルに囲まれて配置されている請求項1記載の半導体装置。

【請求項5】

全ての前記サブ領域の平面視における面積に対する全ての前記トランジスタセルの平面視における面積の割合が0.5を超え、かつ0.99以下である請求項1記載の半導体装置。

10

【請求項6】

全ての前記サブ領域の平面視における面積に対する全ての前記ダイオードセルの平面視における面積の割合が0.01を超え、かつ0.5以下である請求項1記載の半導体装置。

【請求項7】

前記トランジスタセルに含まれた前記ウェルの平面視における表面積を、前記ダイオードセルに含まれた前記ショットキー電極の平面視における表面積より小さくしてなる請求項3記載の半導体装置。

【請求項8】

20

交流駆動装置と、前記交流駆動装置のインバータ電源回路を構成する請求項1乃至7の何れかに記載の半導体装置と、を備え、

前記半導体装置がアームモジュールとして組み込まれている電気機器。

【請求項9】

前記交流駆動装置内のインダクタンス負荷によって発生する逆起電力に基づいて前記電界効果トランジスタの内蔵寄生ダイオードおよび前記ショットキーダイオードに印加される電圧は、前記ショットキーダイオードの順方向に立ち上がり電圧より大きく、かつ前記内蔵寄生ダイオードの順方向の立ち上がり電圧より小さくして構成される請求項8記載の電気機器。

【請求項10】

30

前記交流駆動装置は、前記インバータ電源回路により駆動される交流モータである請求項8記載の電気機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および電気機器に係り、更に詳しくは、各種の電気機器のインバータ制御に用いるパワー半導体装置の改良技術に関する。

【背景技術】

【0002】

エネルギー損失低減の観点から既存のSiパワー電界効果トランジスタ(以下、「Si-MISFET」という。)の限界を打破する半導体材料として、ワイドバンドギャップ半導体(例えば、炭化珪素; SiC)が注目されている。

40

【0003】

SiC半導体からなるパワー電界効果トランジスタ(以下、「SiC-MISFET」という。)のドリフト領域は、高バンドギャップであることから優れた高耐圧性能を有しており、このことが、一定耐圧を確保しつつ半導体装置の単位面積当たりのオン抵抗(R_{on})の低下による導通損失の改善に重要な役割を果たすドリフト領域の薄膜化を可能ならしめている。

【0004】

即ち、SiC-MISFETのオン抵抗は、ワイドバンドギャップ半導体を用いている

50

ことから、Si-MISFETのオン抵抗より遥かに小さく、またこのSi-MISFETのオン抵抗より一桁以上も抵抗値を下げたSi-IGBTのオン抵抗より下回ると期待され、これにより、これらの既存のスイッチング素子に比較してSiC-MISFETは、そのオン動作時の発熱を抑えて導通損失を低く保てる。

【0005】

また、こうしたSiC-MISFETのスイッチング性能は、ユニポーラデバイスであるので、バイポーラデバイス（例えば、IGBT）に比べて、高速化に有利である。

【0006】

しかしながら、SiC-MISFETであっても、半導体装置内のP型領域とn型領域のPN接合から構成される寄生ダイオードにより、逆バイアス時の寄生ダイオードのオン状態からSiC-MISFETのオフ状態への切り替えにおける逆回復時間の遅れを伴う可能性がある。

10

【0007】

例えば、スイッチング素子のターンオフ時にインダクタンス負荷により発生する逆起電力としてのプラス電圧が、ソース電極に印加された場合には、寄生ダイオードを介して少数キャリアとしての正孔がn型領域に注入され、寄生ダイオード動作の逆回復時間の遅れをきたすことになる。

【0008】

そこで、本件発明者等は以前に、ショットキーダイオードの半導体領域およびMISFETのドリフト領域をSiC材料により構成した上で、ショットキーダイオードおよびMISFETをワンチップとして組み込んだ半導体装置を開発した（特許文献1参照）。

20

【0009】

この特許文献1に記載の半導体装置（以下、「従来の半導体装置」という。）によれば、隣接するMISFETのP型ウェルの中に存在するn型エピタキシャル成長層の表面に、n型エピタキシャル成長層とショットキー接合する金属電極が配置されている。この従来の半導体装置は、ソース電極にプラス電圧が印加され、仮に少数キャリアとしての正孔がn型領域に注入される状況を想定しても、ソース電極にマイナス電圧が印加された瞬間にショットキーダイオードが速やかに少数キャリア（正孔）を吸い上げることができて、上記寄生ダイオードによる逆回復時間を短縮できる。

【0010】

また、この従来の半導体装置では、ショットキーダイオードの順方向の立ち上がり電圧（1V程度）は、寄生ダイオード（PN接合）の順方向の立ち上がり電圧（3V）より低い。これにより、ソース電極にプラス電圧が印加された場合に、ショットキーダイオード（ショットキー電極はソース電極と同電圧）に優先的に順方向電流が流れ、その結果として、寄生ダイオードを介した少数キャリアの注入が発生しにくくなる。

30

【0011】

更には、この従来の半導体装置は、ショットキーダイオードおよびMISFETをワンチップに集積可能であることから半導体装置の省スペース化も図れる。

【特許文献1】特開2002-203967号公報（図1、図2）

【発明の開示】

40

【発明が解決しようとする課題】

【0012】

ところで、上記従来の半導体装置を、具体的なインバータ電源回路（例えば、エアコンディショナーコンプレッサ等の3相モータ用のインバータ電源回路）を構成するスイッチング素子として使用する場合、こうしたスイッチング素子の実用化に向けて以下のような課題が顕在化してきた。

【0013】

ショットキー接合の金属電極（ショットキー電極）の配置面積は、半導体装置のスイッチング高速化に大きな障害をもたらさしはしないが、MISFET内に存在する寄生ダイオードおよびショットキーダイオードに順電圧が印加され両者に電流を流すような状況を勘

50

案すれば、適切な通電能力確保の観点から重要な考慮すべき内容であると言える。

【 0 0 1 4 】

実際に、3相モータ用のインバータ電源回路に特許文献1に記載された技術を適用したところ、スイッチング素子ターンオフ時におけるインダクタンス負荷に基づく逆起電力をトリガーにして、ショットキー電極に集中する電流に起因した素子の破壊に至る可能性を見出した。

【 0 0 1 5 】

また、特許文献1の図2に示されたショットキー電極は、平面視において電界効果トランジスタ領域を囲むように細配線に結ばれた直交格子状に配置されている。このため、半導体装置の製造途中において細配線の断線が誘発され易く、これが半導体装置の製造歩留の悪化要因となり得る。

10

【 0 0 1 6 】

本発明は、このような事情に鑑みてなされたものであり、高速スイッチング動作とエネルギー損失低減の両立が図れ、かつ電気機器のインダクタンス負荷等による逆起電力に基づく電流集中耐性に優れた半導体装置および電気機器を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 7 】

上記課題を解決するため、本発明に係る半導体装置は、第1導電型のワイドバンドギャップ半導体からなる半導体層と、前記半導体層の厚み方向に電荷キャリアを移動させる縦型の電界効果トランジスタが形成された複数のトランジスタセルと、前記半導体層にショットキー電極がショットキー接合されてなるショットキーダイオードが形成された複数のダイオードセルと、を備え、前記半導体層に、平面視において、仮定の境界ラインに基づいて4角形の複数のサブ領域が区画され、かつ前記トランジスタセルとしての前記サブ領域と、前記ダイオードセルとしての前記サブ領域とを有してなり、前記トランジスタセルの前記半導体層の表面に設けられたソース電極と、前記ダイオードセルの前記半導体層の表面に設けられたショットキー電極と、が電氣的に接続され、複数の前記縦型の電界効果トランジスタと、複数の前記ショットキーダイオードと、が同一チップ内に集積され、かつ、並列に接続されている装置である。

20

【 0 0 1 8 】

なお、前記複数のサブ領域は、互いに直交する2方向にマトリクス状に配列されても良い。

30

【 0 0 1 9 】

こうして構成された半導体装置によれば、ワイドバンドギャップ半導体からなる電界効果トランジスタ(スイッチング素子)およびワイドバンドギャップ半導体を用いたショットキーダイオード(内蔵ダイオード)を使用していることから、既存のバイポーラデバイス(IGBT)に比べて高速化を実現できる。

【 0 0 2 0 】

また、ワイドバンドギャップ半導体からなる電界効果トランジスタのオン抵抗は、既存のスイッチング素子(Si-MISFETやIGBT)に比較して十分に小さく、これにより、この電界効果トランジスタのオン動作時の発熱を抑えて導通損失を低く保てる。

40

【 0 0 2 1 】

更に、ショットキー電極が、トランジスタセルのほぼ全域を幅広に占有可能であることから、例えば、スイッチング素子ターンオフ時における、3相モータのインダクタンス負荷に基づく逆起電力をトリガーにして、ショットキーダイオードの電極に集中する電流に起因した素子の破壊に適切に対応可能である。

【 0 0 2 2 】

ここで、前記電界効果トランジスタは、前記半導体層の表面に設けられた第2導電型のウェルと、前記ウェルの内側に設けられた第1導電型の領域と、前記ウェルおよび前記領域を除いた前記半導体層としてのドリフト領域と、前記領域および前記ウェルに接するように設けられた第1のソース/ドレイン電極と、前記ウェルに絶縁層を介して配設された

50

ゲート電極と、前記ドリフト領域の裏面にオーミックに接続された第2のソース/ドレイン電極と、を有してなるものであっても良い。

【0023】

なお、この「ソース/ドレイン電極」との表記は、こうした電極をトランジスタのソース電極として機能させることもドレイン電極として機能させることも可能であることを意味するものである。

【0024】

また、前記ダイオードセルは、前記トランジスタセルに囲まれて配置されても良い。

【0025】

これにより、全てのダイオードセルの表面積の、全てのサブ領域の表面積に対して占める面積割合が、適正な範囲に保たれるように、ダイオードセルをドリフト領域の表面に適宜配置することができる。

10

【0026】

具体的には、全ての前記サブ領域の平面視における面積に対する全ての前記トランジスタセルの平面視における面積の割合が0.5を超え、かつ0.99以下であっても良い。言い換えると、全ての前記サブ領域の平面視における面積に対する全ての前記ダイオードセルの平面視における面積の割合が0.01を超え、かつ0.5以下であっても良い。

【0027】

全てのダイオードセルの表面積の、全てのサブ領域の表面積に対して占める面積割合を、0.01(1%)および0.5(50%)に設定した場合であっても、従来のPN接合ダイオードを採用した半導体装置に比較して損失低減を図れることが実証される。一方、この面積割合が0.01以下の範囲では、ショットキーダイオードを流れる電流値がその許容電流値を超える可能性が高く、0.5を超える範囲では、電界効果トランジスタの面積占有率の減少によるオン抵抗増加の傾向が見られる。

20

【0028】

また、第2導電型のウェルの側壁表面に沿って縦にドリフト電流を流すスペース確保の兼ね合いから、前記トランジスタセルに含まれた前記ウェルの平面視における表面積を、前記ダイオードセルに含まれた前記ショットキー電極の平面視における表面積より小さく構成させても良い。

【0029】

また、本発明は、交流駆動装置のインバータ電源回路を構成する半導体装置、例えば、前記半導体装置がアームモジュールとして組み込まれている機器に適用することができる。

30

【0030】

このような電気機器によれば、半導体装置の導通損失は電流に電圧を乗じた値(電流×電圧)に対応することから、従来のPN接合ダイオードの順電圧に比べてショットキーダイオードの順電圧を低く保てることによって、半導体装置の損失が、PN接合ダイオードを採用した既存の半導体装置に比較して改善する。

【0031】

更に、半導体装置のオン状態からオフ状態への切り替え速度が速くなり、これにより、スイッチング損失が低減可能である。

40

【0032】

前記交流駆動装置内のインダクタンス負荷によって発生する逆起電力に基づいて、前記電界効果トランジスタの内蔵寄生ダイオードおよび前記ショットキーダイオードに印加される電圧は、前記ショットキーダイオードの順方向に立ち上がり電圧よりも大きく、かつ前記内蔵寄生ダイオードの順方向の立ち上がり電圧より小さくして構成されても良い。

【0033】

前記交流駆動装置の一例は、前記インバータ電源回路により駆動される交流モータであり、この交流モータにより、例えばエアコンディショナーのコンプレッサが駆動される。

【0034】

50

本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

【発明の効果】

【0035】

本発明によれば、高速スイッチング動作とエネルギー損失低減の両立が図れ、かつ電気機器のインダクタンス負荷等による逆起電力に基づく電流集中耐性に優れた半導体装置および電気機器が得られる。

【発明を実施するための最良の形態】

【0036】

以下、本発明の好ましい実施の形態を、図面を参照しながら説明する。

10

【0037】

図1は、本発明の実施の形態による半導体装置の一構成例を示した平面図である。また、図2は、図1のA-A線に沿った部分の半導体装置の断面図である。以下の説明において、「n」または「p」は導電型を示し、これらを記した層や領域は、それぞれ電子または正孔がキャリアであることを意味する。また、「+」は不純物濃度が高いことを、「-」は不純物濃度が低いことを意味する。

【0038】

図1および図2に示す如く、半導体装置100の平面視において、SiC層3（半導体層）は、仮想の横境界ライン30aおよび縦境界ライン30bからなる複数の境界ライン30により互いに交差（ここでは直交）する2方向にマトリクス状に均等（等面積）に区画された複数の4角形（ここでは正方形）のサブ領域101T、101Sを配列して構成されている。

20

【0039】

このような境界ライン30により分割されたサブ領域101T、101Sには、SiC層3の厚み方向に電子を移動させる縦型の電界効果トランジスタ102（図2参照；以下、「SiC-MISFET102」という。）が形成されたトランジスタセル101Tに対応するサブ領域と、SiC層3（ドリフト領域3a）にショットキー接合するショットキー電極9が形成されたダイオードセル101Sに対応するサブ領域と、がある。

【0040】

なお、図1に2点鎖線を付して示した境界ライン30は、請求の範囲や明細書の内容を説明し易くする趣旨から、隣接する各々のサブ領域101Tの中心から等距離に、および、隣接するサブ領域101T、101Sの各々の中心から等距離になるようにして、縦方向または横方向に延びる仮想線であって、本技術を具現化した製品に実在するものではない。また、SiC-MISFET102やショットキーダイオード103の形状に依存して、こうした境界ライン30の図示も適宜、変更される。

30

【0041】

但し、このような仮想線でサブ領域101T、101Sが区画されていたとしても、このサブ領域101T、101Sは、サブ領域101T、101S毎にSiC-MISFET102またはショットキー電極9が形成されている。このため、図1および後記の図4に関連する説明から容易に理解されたとおり、ゲート電極8やショットキー電極9の形状により、これらの電極8、9の中心を定めれば仮想の境界ライン30が決まり、その結果として、これらのサブ領域101T、101Sの外延を特定可能である。

40

【0042】

なおここで、SiC-MISFET102およびショットキーダイオード103の実際の配列として、図4に示す如く、各種の配置パターンが想定される。このため、図4の各配置パターンに対応する、上記仮想の境界ライン30を特定する例を、図4を用いて説明する。

【0043】

但し、図4の図示および以下の説明を簡略化する目的で、SiC-MISFET102を素子「T」と略記し、ショットキーダイオード103を素子「S」と略記する。また、

50

ここでの説明の便宜上、横境界ライン30aの延びる方向を「X方向」としてこのX方向に並んだ各素子(但し1個の場合もある)の配列を行方向配列とし、縦境界ライン30bの延びる方向を「Y方向」としてこのY方向に並んだ各素子(但し1個の場合もある)の配列を列方向配列とする。

【0044】

図4(a)には、3行および3列のマトリクス状に配置された正方形の素子Tおよび素子Sが例示され、このような素子T、Sの配置パターンは、図1および図2に示したSiC-MISFET102やショットキーダイオード103と同じ類の配置パターンである。

【0045】

図4(a)では、正方形の素子Sが、中央の2行目×2列目の部位のみに存在する例が示されているが、このような形状例や配置例は、あくまで、境界ライン30の特定例を説明する目的で適当に設定されたものに過ぎない。例えば、素子T、Sの具体的な形態は、必ずしも正方形である必要はなく、それらの中心が適切に定まれば、円形、三角形、または五角形以上の多角形であっても良い。

【0046】

但し、素子Tを正方形にして、素子Sを三角形にするように、素子T、Sの形状が大幅に異なるものを、半導体装置中に混在させる場合には、サブ領域101Tの総個数およびサブ領域101Sの総個数の割合により求める後記の面積割合に対し、適宜の補正係数に基づく修正が必要な場合がある。

【0047】

3行および3列からなる各部位に存在する素子T、Sは正方形であることから、これらの素子の中心 P_{ij} ($i = 1 \sim 3$ 、 $j = 1 \sim 3$)は、図4(a)に示す如く、当該正方形の対角線の交点として一意に定まる。

【0048】

ここで、図4(a)に示した横境界ライン30aは、互いに列方向に隣接する一对の素子Tの中心 P_{11} 、 P_{21} から等距離に、および、互いに列方向に隣接する素子Tおよび素子Sの中心 P_{12} 、中心 P_{22} から等距離に、並びに、互いに列方向に隣接する一对の素子Tの中心 P_{13} 、中心 P_{23} から等距離に、なるようにして、X方向に延びる仮想線である。

【0049】

図4(a)に示した縦境界ライン30bは、互に行方向に隣接する一对の素子Tの中心 P_{11} 、 P_{12} から等距離に、および、互に行方向に隣接する素子Tおよび素子Sの中心 P_{21} 、 P_{22} から等距離に、並びに、互に行方向に隣接する一对の素子Tの中心 P_{31} 、 P_{32} から等距離に、なるようにして、Y方向に延びる仮想線である。

【0050】

なお、図4(a)に示した横境界ライン30aおよび縦境界ライン30b以外の仮想の境界ライン30は、上記説明および図4(a)を参照すれば容易に特定可能なため、ここでは、これらの境界ライン30の詳細な説明を省く。

【0051】

図4(b)には、千鳥状(ジグザグアライメント)に配置された正方形の素子Tおよび素子Sが例示されている。すなわち、2行目の配列を構成する素子Tまたは素子Sは、1行目および3行目の配列を構成する各素子Tに対し、1行目および3行目の配列を構成する各素子Tのピッチの半分、X方向に偏倚しており、各素子T、Sの配置パターンは、図4(b)に示す如く、6列になる。その結果、3行および6列からなる各部位のうちの一部(例えば、2行×3列の部位)には、素子T、Sが配置されていない。

【0052】

図4(b)では、正方形の素子Sが、2行目×4列目の部位のみに存在する例が示されているが、このような形状例や配置例は、あくまで、境界ライン30の特定例を説明する目的で適当に設定されたものに過ぎない。例えば、素子T、Sの具体的な形態は、必ずしも正方形ある必要はなく、それらの中心が適切に定まれば、円形、三角形、または五角形

10

20

30

40

50

以上の多角形であっても良い。

【 0 0 5 3 】

但し、素子 T を正方形にして、素子 S を三角形にするように、素子 T、S の形状が大幅に異なるものを、半導体装置中に混在させる場合には、サブ領域 1 0 1 T の総個数およびサブ領域 1 0 1 S の総個数の割合により求める後記の面積割合に対し、適宜の補正係数に基づく修正が必要な場合がある。

【 0 0 5 4 】

3 行および 6 列からなる各部位の適所に存在する素子 T、S は正方形であることから、これらの素子の中心 P_{ij} ($i = 1 \sim 3$ 、 $j = 1 \sim 6$ 、但し、 P_{12} 、 P_{14} 、 P_{16} 、 P_{21} 、 P_{23} 、 P_{25} 、 P_{32} 、 P_{34} 、 P_{36} は除く) は、当該正方形の対角線の交点として一意に定まる。

10

【 0 0 5 5 】

ここで、図 4 (b) に示した横境界ライン 3 0 a (図 4 (b) では細い二点鎖線で図示) は、互いに行列方向 (斜め方向) に隣接する 1 行 × 1 列目の素子 T および 2 行 × 2 列目の素子 T の中心 P_{11} 、 P_{22} 間の点線のジグザグライン 2 0 0 上の中点 (図 4 (b) 中に黒丸で図示 ; 以下、同じ) と、互いに行列方向に隣接する 2 行 × 2 列目の素子および 1 行 × 3 列目の素子 T の中心 P_{22} 、 P_{13} 間のジグザグライン 2 0 0 上の中点と、互いに行列方向に隣接する 1 行 × 3 列目の素子 T および 2 行 × 4 列目の素子 S の中心 P_{13} 、 P_{24} 間のジグザグライン 2 0 0 上の中点と、互いに行列方向に隣接する 2 行 × 4 列目の素子 S および 1 行 × 5 列目の素子 T の中心 P_{24} 、 P_{15} 間のジグザグライン 2 0 0 上の中点と、互いに行列方向に隣接する 1 行 × 5 列目の素子 T および 2 行 × 6 列目の素子 T の中心 P_{15} 、 P_{26} 間のジグザグライン 2 0 0 上の中点と、を通るようにして X 方向に延びる仮想線である。

20

【 0 0 5 6 】

図 4 (b) に示した縦境界ライン 3 0 b (図 4 (b) では太い二点鎖線で図示) は、互いに行方向に隣接する一対の素子 T の中心 P_{11} 、 P_{13} から等距離に、および、互に行方向に隣接する素子 T および素子 S の中心 P_{22} 、 P_{24} から等距離に、並びに、互に行方向に隣接する一対の素子 T の中心 P_{31} 、 P_{33} から等距離に、なるようにして、Y 方向に延びる 3 つの Y 部分 3 0 Y と、これらの Y 部分の端同士をつないで X 方向に延びる 2 つの X 部分 3 0 X と、からなる仮想線である。

【 0 0 5 7 】

なお、図 4 (b) に示した横境界ライン 3 0 a および縦境界ライン 3 0 b 以外の仮想の境界ライン 3 0 は、上記説明および図 4 (b) を参照すれば容易に特定可能なため、ここでは、これらの境界ライン 3 0 の詳細な説明を省く。

30

【 0 0 5 8 】

図 4 (c) には、X 方向に 4 個、並ぶように配置された、長方形の素子 T および素子 S が例示されている。すなわち、各素子 T、S は、Y 方向に切れ目無く連なるストライプ状に構成されている。

【 0 0 5 9 】

図 4 (c) では、長方形の素子 S が、3 列目の部位のみに存在する例が示されているが、このような形状例や配置例は、あくまで、境界ライン 3 0 の特定例を説明する目的で適当に設定されたものに過ぎない。例えば、素子 T、S の具体的な形態は、必ずしも長方形である必要はなく、それらの中心が適切に定まれば、長円形や三角形であっても良い。

40

【 0 0 6 0 】

但し、素子 T を長方形にして、素子 S を三角形にするように、素子 T、S の形状が大幅に異なるものを、半導体装置中に混在させる場合には、サブ領域 1 0 1 T の総個数およびサブ領域 1 0 1 S の総個数の割合により求める後記の面積割合に対し、適宜の補正係数に基づく修正が必要な場合がある。

【 0 0 6 1 】

素子 T、S は長方形であることから、これらの素子の中心 P_{ij} ($i = 1$ 、 $j = 1 \sim 4$) は、当該長方形の対角線の交点として一意に定まる。

50

【 0 0 6 2 】

ここで、図 4 (c) に示した縦境界ライン 3 0 b は、互いに行方向に隣接する一对の素子 T の中心 P_{11} 、 P_{12} から等距離に、なるようにして、Y 方向に延びる仮想線である。

【 0 0 6 3 】

なお、図 4 (c) では、互いに列方向に隣接する素子 T、S は存在しない。このため、横境界ラインとして、行方向に隣接して並んだ複数 (ここでは 4 個) の各素子 T の中心 P_{11} 、 P_{12} 、 P_{13} 、 P_{14} から Y 方向に等距離になるような、一对の仮想線が選ばれる。ここでは、このような仮想線の例として、各素子 T、S の両端面を通る一对の横境界ライン 3 0 a が示されている。

【 0 0 6 4 】

なお、図 4 (c) に示した横境界ライン 3 0 a および縦境界ライン 3 0 b 以外の境界ライン 3 0 は、上記説明および図 4 (c) を参照すれば容易に特定可能なため、ここでは、これらの境界ライン 3 0 の詳細な説明を省く。

【 0 0 6 5 】

図 4 (d) には、マトリクス状に配置された正方形の素子 T および長方形の素子 S が例示されている。図 4 (d) に示した素子 T、S の配置パターンは、素子 S が 2 個のサブ領域を占めるようにして、横境界ライン 3 0 a と交差するよう Y 方向に延びている構成を除き、図 4 (a) に例示した素子 T、S の配置パターンと同じである。

【 0 0 6 6 】

よってここでは、この素子 S と交差する横境界ライン 3 0 a 以外の境界ライン 3 0 の説明は省く。

【 0 0 6 7 】

図 4 (d) に示した、素子 S と交差する横境界ライン 3 0 a は、互いに列方向に隣接する一对の素子 T の中心 P_{21} 、 P_{31} から等距離に、および、互いに列方向に隣接する一对の素子 T の中心 P_{23} 、 P_{33} から等距離に、なるようにして、X 方向に延びる仮想線である。つまり、当該横境界ライン 3 0 a は、素子 S の X 方向両側に存在する一对の素子 T に基づいて定めれば良い。

【 0 0 6 8 】

ところで、各素子 T、S を具現化した製品レベルでは、各種の外乱により、その配置パターンや形状が設計図面通りに製造されない場合が多い。例えば、素子 T、S の製造工程におけるマスク位置ずれに起因して、各素子 T、S 間の中心から等距離に位置するような、以上に述べた境界ラインの特定が困難な場合もあり得る。

【 0 0 6 9 】

この場合、当該境界ラインは、例えば、製造上の素子 T、S の配置ずれを勘案して、各素子 T、S 間の中心から厳密に等距離に保たれなくても良い。つまり、以上に述べた境界ラインの特定例は、各素子 T、S が設計通りの理想状態に形成された場合を想定したものであり、素子 T、S を具現化した製品毎に、当該製品に合わせて境界ラインの特定は適宜修正される。

【 0 0 7 0 】

このようにして、互いに交差する 2 方向に配列された 4 角形の各サブ領域 1 0 1 T、1 0 1 S の面積が等しくなるように、各サブ領域 1 0 1 T、1 0 1 S が仮想の横境界ライン 3 0 a および縦境界ライン 3 0 b により区画され、その結果として、後記の面積割合が、サブ領域 1 0 1 T の総個数およびサブ領域 1 0 1 S の総個数の割合により求める適切に求まる。

【 0 0 7 1 】

そして、ショットキーダイオード 1 0 3 として機能するダイオードセル 1 0 1 S の各々は、S i C - M I S F E T 1 0 2 として機能するトランジスタセル 1 0 1 T に囲まれるように適宜分散配置され、これにより、ダイオードセル 1 0 1 S の個数がトランジスタセル 1 0 1 T の個数に対して適正に調整されている。

【 0 0 7 2 】

10

20

30

40

50

より詳しくは、この半導体装置100では、ショットキーダイオード103として機能するダイオードセル101S(サブ領域101S)の総個数をA個とし、SiC-MISFET102として機能するトランジスタセル101T(サブ領域101T)の総個数をB個とした場合、ショットキーダイオード103として機能するダイオードセル101Sの総個数Aを、サブ領域101S、101Tの総個数(A+B)で除した面積割合の値($A/(A+B)$)は、後程述べる半導体装置100の導通損失との兼ね合いから「0.01」を超え、かつ「0.5」以下の数値範囲内に設定されている。

【0073】

この面積割合($A/(A+B)$)は端的には、全てのサブ領域101S、101Tの平面視における面積に対する全てのダイオードセル101S(サブ領域101S)の平面視における面積の割合に相当することになる。

10

【0074】

また同趣旨から、SiC-MISFET102として機能するトランジスタセル101Tの総個数Bを、サブ領域101T、101Sの総個数(A+B)で除した面積割合の値($B/(A+B)$)は、「0.5」を超え、かつ「0.99」以下の数値範囲内に設定されている。

【0075】

この面積割合($B/(A+B)$)は端的には、全てのサブ領域101S、101Tの平面視における面積に対する全てのトランジスタセル101T(サブ領域101T)の平面視における面積の割合に相当することになる。

20

【0076】

平面型(プレーナ型)のSiC-MISFET102は、トランジスタセル101Tの内部において、図1の部分拡大図および図2に示す如く、SiC半導体からなるn⁺型の半導体基板2と、この半導体基板2の表面にエピタキシャル成長法により、所定の厚み(例えば10μm)に形成されたn⁻型のSiC層3と、このSiC層3の表面の直下に設けられ、アルミニウムイオン等のアクセプタを注入した、平面視において正方形(図1の部分拡大図参照)のp型ウェル4と、p型ウェル4の領域内に、窒素イオン等のドナーを注入した、平面視において正方形かつ環状(図1の部分拡大図参照)のn⁺型のソース領域5と、SiC層3のソース領域5およびp型ウェル領域4以外の部分からなるドリフト領域3aと、p型ウェル4のソース領域5の外周の周囲に位置する部分である、平面視において正方形かつ環状(図1の部分拡大図参照)のチャンネル領域4cと、チャンネル領域4cを覆うと共にソース領域5の外周を跨ぎソース領域5の内側に延びるようにしてソース領域5の一部を覆って堆積された、SiO₂材料からなるゲート絶縁膜7と、このゲート絶縁膜7の表面全域にチャンネル領域4cに対向するように形成された、アルミニウム(A1)からなるゲート電極8と、p型ウェル4の中央部分(ソース領域5の中央開口部内に位置する部分)を覆うと共に、ソース領域5の内周を跨ぎソース領域5の内側に延びるようにしてソース領域5の一部を正方形かつ環状に覆い、平面視において正方形(図1の部分拡大図参照)のソース電極6と、ドレイン領域3aの裏面にオーミックに接続するように半導体基板2の裏面全域に形成されたドレイン電極10と、を有して構成されている。

30

【0077】

ドレイン電極10およびソース電極6の材料としては、例えばニッケル(Ni)が用いられる。

40

【0078】

なお、図1および図2から容易に理解されるとおり、多数のSiC-MISFET102が、ドリフト領域3aおよびドレイン電極10を共有してワンチップに集積化して並列配置されている。

【0079】

ここで、n⁺型のソース領域5からドレイン電極10に向かう電子は、図2の点線矢印201で示す如く、p型ウェル4の近傍においては横方向(水平方向)に移動する箇所が存在することから、こうした電子の移動スペース確保のため、p型ウェル4の表面積は、

50

トランジスタセル101T(サブ領域101T)の表面積よりも小さく構成されている。

【0080】

また、ゲート絶縁膜7およびゲート電極8は、コンタクトホールH1、H2を除いてSiC層3の表面全域に形成される。一方、コンタクトホールH1は、トランジスタセル101T内に位置するようにゲート絶縁膜7に形成され、その中にソース電極6が設けられている。

【0081】

ソース電極6およびドレイン電極10と半導体(SiC層3)との間は各々、ソース領域5およびp型ウェル4並びに半導体基板2によってオーミック接続されている。

【0082】

ここで、SiC層3(SiCのバンドギャップ:3.02eV)は、シリコン半導体(バンドギャップ:1.11eV)やGaAs半導体(バンドギャップ:1.43eV)のバンドギャップよりも広いワイドバンドギャップ半導体から構成されている。

【0083】

ワイドバンドギャップ半導体とは、半導体の性質を特徴づける材料パラメータであるエネルギーバンドギャップがシリコン半導体やGaAs半導体などのそれに比べて大きい半導体のことであり、本明細書においては例えば2eV以上のバンドギャップを有する半導体材料のことを総称してということとする。

【0084】

ワイドバンドギャップ半導体材料の例としては、SiCの他に、GaN(バンドギャップ:3.39eV)またはAlN(バンドギャップ:6.30eV)等のIII族窒化物、ダイヤモンドが挙げられる。

【0085】

また、ショットキーダイオード103は、図2に示す如く、コンタクトホールH2は、ダイオードセル101S内に位置するようにゲート絶縁膜7に形成され、その中に、このダイオードセル101SのSiC層3(ドリフト領域3a)の表面全域を覆うように、図1に示した平面視において矩形(ここでは正方形)のNiからなるショットキー電極9(アノード側)を有して構成されている。なお、矩形のショットキー電極9は、電界集中回避の観点から角を丸めても良い。

【0086】

ここで、ショットキー電極9からドレイン電極10に向かう電流は、ダイオードセル101Sの全域に亘って縦方向(垂直方向)に流れることから、ショットキー電極9の表面積は、ダイオードセル101S(サブ領域101S)の表面積とほぼ等しく構成され、電流を十分に多く流せるようになっている。

【0087】

なお、上記ドレイン電極10は、トランジスタセル101Tからダイオードセル101Sを跨ぐようにしてダイオードセル101Sに対向する半導体基板2の裏面に延びて設けられている。このドレイン電極10を介して、ショットキーダイオード103のカソード側の半導体(SiC層3)に電圧が印加される。

【0088】

また、各ソース電極6同士の電気接続およびソース電極6とショットキー電極9との間の電気接続は、第1配線11(例えば、適宜の層間絶縁層(不図示)と適宜のコンタクトホール(不図示)により構築される配線)を介してなされ、これらのソース電極6およびショットキー電極9には、半導体パッケージ(不図示)の適所に設けたソース端子Sを介して電源の接地電位(マイナス電圧)側に結線される。

【0089】

即ち、ショットキー電極9は、この第1配線11によりソース電極6と電気接続されている。

【0090】

また、平面視において、コンタクトホールH1、H2(図2参照)の領域を除いてSi

10

20

30

40

50

C層3の表面のほぼ全域に直交格子状に形成されたゲート電極8は、ゲート配線12（例えば、上記層間絶縁層と適宜のコンタクトホール（不図示）により構築される配線）と半導体パッケージの適所に設けたゲート端子Gと、を介して所定の制御信号電圧がソース電極6との間に印加される。

【0091】

また、ドレイン電極10は、半導体パッケージの適所に設けたドレイン端子Dを介して電源のスイッチング電圧（プラス電圧）側に結線される。

【0092】

このような半導体装置100のSiC-MISFET102においては、ゲート電極8にソース電極6に対してプラス電圧を印加することにより、チャンネル領域4cに電子が引きつけられてその部分がn型に反転して、その結果、チャンネルが形成され、これによりSiC-MISFET102がオンする。ソース領域5からチャンネル領域4cおよびSiC層3を経てドレイン電極10に向かう電子は、主に図2の点線矢印201で示した経路を移動することになり、その結果として、ドリフト電流がSiC層3の内部を縦方向に流れる。

10

【0093】

また、SiC-MISFET102に存在する寄生ダイオード（p型ウェル4とn型のSiC層3との間のPN接合に基づくダイオード）およびショットキーダイオード103（ソース端子Sとドレイン端子Dとの間）に、例えば3相モータのインダクタンス負荷による逆起電力に基づく順電圧が印加された場合、ショットキーダイオード103の順方向立ち上がり電圧（1V程度）は、寄生ダイオード（PN接合）の順方向立ち上がり電圧（3V）より低いことから、ショットキーダイオード103に優先的に順方向電流を流してSiC層3への少数キャリア（正孔）注入を適切に回避可能になる。

20

【0094】

同様の理由により、半導体装置100にサージ電圧等の瞬間的過電圧が印加された際に、ショットキーダイオード103に過電圧によるリーク電流を優先的に流すことでこの過電圧を緩和させることが可能であり、その結果、SiC-MISFET102の絶縁破壊を未然に防げる。

【0095】

更に、サージ電流に関しては、ショットキー電極9とP/N接合ダイオードが並列に接続された構造になっているため、順電圧 V_f の低い領域に対応する一定程度の電流を、ショットキーダイオード103が高速に流し、さらに、順電圧 V_f の高い領域に対応する大電流を、P/N接合ダイオードが電流を流すこととなり、ショットキーダイオード103の電流集中による破壊も抑制することができる。

30

【0096】

つまり、本実施の形態の半導体装置100は、サージ電圧に対してもサージ電流に対しても耐性の高い素子である。

【0097】

また、P/N接合ダイオードがオンの時に、マイノリティーキャリアがp型ウェル4領域、ソース領域5にそれぞれ注入されても、逆バイアスが印可された直後、ショットキー電極9にマイノリティーキャリアが吸い込まれて、すばやくP/N接合ダイオードをオフ状態とすることができる。このため、本実施の形態の半導体装置100では、従来のP/N接合ダイオードのみを有するFETにおいて懸念される、すばやくオフ動作を図れないといった所謂ラッチアップの状態になることを抑制できる。

40

【0098】

また、SiC-MISFETの構造例として、半導体層上に平面状にp層とn層を形成していくプレーナ型と、細くて深い溝を作り、ゲート電極とゲート絶縁膜を埋め込んだトレンチ型とがあるが、本実施の形態のSiC-MISFET102は、以下に述べる、ショットキーダイオード103との関連性等の各種の理由を考慮して、プレーナ構造を有している。

50

【0099】

トレンチ型のMISFETおよびショットキーダイオードを一体に作り込んだ構造を示した公知公報として、例えば、特表2005-501408号公報(以下、「先行例」という)がある。

【0100】

この先行例においては、トレンチ(掘られた溝または穴)の底面に、半導体と金属のショットキー接合部分を形成してショットキーダイオードを構成する。トレンチ部分は、本来トランジスタ単位素子部分の間隙を構成する部分であり、トランジスタ単位素子(本実施の形態の仮想の境界ラインに基づいて区画された4角形の複数のサブ領域101S、101T)とは異なる。

10

【0101】

これに対し、本実施の形態のショットキーダイオード103の部分は、仮想の境界ラインに基づいて区画された4角形の複数のサブ領域101S、101Tのうちの一部のサブ領域101Sの略全域を占めており、上記先行例の間隙(のトレンチ部分)にショットキー電極を埋め込む構造とは全く異なる。

【0102】

更に、本実施の形態のプレーナ構造の半導体装置100は、仮想の境界ラインに基づいて区画された4角形の複数のサブ領域101S、101Tに、SiC-MISFET102を設置するかショットキーダイオード103を設置するかを任意に選択できる構造的な自由度を有し、上記先行例の如くトレンチ構造を採用した半導体装置に対して優位性がある。つまり、このような構造上の自由度により、SiC-MISFET102とショットキーダイオード103の部分の面積比を任意に設定できるという本実施の形態の設計思想がはじめて具体化され得る。

20

【0103】

また、先行例においては、トレンチの壁面にゲート絶縁膜を介してゲート電極を形成し、更に層間絶縁膜で絶縁を確保し、その上にショットキー電極を形成する必要がある。トレンチ壁面に上記のように多層の絶縁/電極/絶縁膜を形成した場合、上記多層膜部分によって覆われてしまうトレンチの底面部分に、大面積のショットキー電極を形成することは困難であり、トレンチ底面の一部しかショットキーダイオードとして機能しない。このため、ダイオードの形成面積が小さく制限され問題である。これに対し、本実施の形態のようなプレーナ構造の半導体装置100においては、このような面積制約の問題を適切に解消できる。

30

【0104】

また、先行例のトレンチ底面にショットキー電極を形成すると、裏面のドレイン電極に近い位置にショットキー電極がある構造となり、ショットキー電極に電界集中が起こり耐圧に不安が残るが、本実施の形態のようなプレーナ構造の半導体装置100においては、ショットキー電極9は、SiC層9の表面に形成されているのに対して、隣のSiC-MISFET102の部分のPウェル4は深く形成されており、ショットキー電極9の部分に電界集中が起こらず、耐圧が適切に確保される。

【0105】

以上に述べたとおり、プレーナ構造を採用した本実施の形態の半導体装置100は、SiC-MISFET102とショットキーダイオード103の面積比を任意に設定可能である点、耐圧を適切に確保できる点、および半導体装置100の形成プロセスを単純化できる点において、先行例に示されたトレンチ構造の半導体装置に対し有益である。

40

【0106】

また、以下に述べる、ダイオードの高電流耐性および高電圧耐性の観点から、本実施の形態のショットキーダイオード103は、Niからなるショットキー電極9をアノードとして用い、かつワイドバンドギャップ半導体(ここではその一例としてSiC層3)をカソードとして用いている。

【0107】

50

仮に、Niをアノードとし、シリコンをカソードとして、ショットキーダイオードを構成した場合には、ショットキーダイオードに大電流を流すことが困難になる。すなわち、このようなショットキーダイオードに大電流を流すと、シリコンとNiとの界面にシリサイド層が形成され易く、その結果、両者がオーミックに接続され、ダイオードとしての機能を果たさなくなる場合がある。

【0108】

そしてそうなれば、ショットキー電極に優先的に過電圧によるリーク電流を流すことにより、SiC-MISFETの絶縁破壊を防止できるという本実施の形態の課題解決原理に反する可能性がある。

【0109】

これに対して、Niをアノードとし、ワイドバンドギャップ半導体（一例としてSiC層3）をカソードとして、ショットキーダイオードを構成した場合には、通常使用の通電動作によっては、シリサイド層が形成され難くダイオードの高電流耐性および高電圧耐性の観点から好適である。

【0110】

つまり本実施の形態においては、ショットキーダイオード103のカソードの構成上の差異（シリコンおよびSiCのうちの何れかという差異）は、当業者による単なる設計事項の類ではなく、上記課題解決原理に直結する事項である。

【0111】

更に、半導体装置100に高電圧が印加される半導体装置100の周辺部に、ダイオードを配置する場合、Niをアノードとし、シリコンをカソードとして採用した、ショットキーダイオードと比較して、NiをアノードとしSiCをカソードとして採用した、ショットキーダイオードの方が耐圧特性に優れ有利である。

【0112】

なおPN接合ダイオードは、高電流耐性および高電圧耐圧とも優れているが、NiをアノードとしSiCをカソードとして採用したPN接合ダイオードについては、順電圧 V_f 上昇分による半導体装置の損失が増える。

【0113】

次に、本実施の形態による半導体装置100の製造方法を、図2を参照して説明する。

【0114】

但し、ここでは各製造工程途中の図示を省く。このため、本製造方法の説明に際しては、製造工程途中の各構成部分の参照符号の説明を便宜上、図2に示した完成品の符号により代用する。

【0115】

まず、窒素濃度が $3 \times 10^{18} \text{ cm}^{-3}$ となるように窒素がドーピングされた n^+ 型の4H-SiC(0001)Si面の[11-20]方向8度オフカット面を有する半導体基板2が用意される。

【0116】

次いで、この半導体基板2が洗浄された後に、上記オフカット面に、 $1.3 \times 10^{16} \text{ cm}^{-3}$ 濃度に調整された窒素ドーピングの n^- 型のエピタキシャル成長層としてのSiC層3が、CVD法により厚み10 μm に調整して成膜される。

【0117】

そして、SiC層3の表面の適所を開口するマスク（図示せず）を配置して、SiC層3の表面に向けて30～700keVの範囲内の多段のイオンエネルギーを適宜選択して、 $2 \times 10^{14} \text{ cm}^{-2}$ 濃度のドーズ量でアルミニウムイオンが、開口を介して注入される。このイオン注入より、SiC層3の表層に、深さ0.8 μm 程度のp型ウェル4が島状に形成される。

【0118】

その後、p型ウェル4の表面の適所を開口する別のマスク（図示せず）を用いて、p型ウェル4に対して30～180keVのエネルギーであって、 $1.4 \times 10^{15} \text{ cm}^{-2}$ 濃度

10

20

30

40

50

のドーズ量で窒素イオンが注入され、 n^+ 型のソース領域5が形成される。

【0119】

続いて、この半導体基板2は、 Ar 雰囲気曝して1700の温度に保って熱処理を約1時間に亘って施され、上記イオン注入領域が活性化される。

【0120】

次に、この半導体基板2は、酸化処理炉内において1100の温度に保って、3時間に亘ってウェット酸化される。この酸化処理により、 SiC 層3の表面全域には、厚み40nmのシリコン酸化膜(最終的には、この膜は、ゲート絶縁膜7として機能する。)が形成される。

【0121】

このシリコン酸化膜に、フォトリソグラフィ技術およびエッチング技術を用いてコンタクトホールH1、H2がパターンニングして形成される。

【0122】

そして、コンタクトホールH1の内側の SiC 層3の表面に、 Ni からなるソース電極6が設けられ、半導体基板2の裏面に、 Ni からなるドレイン電極10が設けられる。なお、この Ni の層を堆積した後、適宜の熱処理が施され、これにより、上記電極6、10と半導体(SiC 層3)との間が、ソース領域5およびp型ウェル4並びに半導体基板2を介してオーミック接続される。

【0123】

また、シリコン酸化膜の表面には、 Al からなるゲート電極8およびゲート配線12が選択的にパターンニング形成されている。

【0124】

更には、コンタクトホールH2の底に露出する SiC 層3の表面には、 Ni からなるショットキー電極9が選択的にパターンニング形成されている。

【0125】

この様にして、半導体装置100(600V耐圧、3mm×3mmの四角形)において電流値20A定格)が得られる。

【0126】

ここで、本実施の形態による半導体装置100を、電気機器のパワーエレクトロニクス制御装置としてのインバータ電源回路に応用した例を述べる。

【0127】

図3は、本実施の形態による半導体装置を、エアコンディショナー用コンプレッサの3相モータの駆動に適用したインバータモータ駆動系の一構成例を示した図である。

【0128】

図3によれば、インバータモータ駆動系105は、3相インバータ電源回路106と、3相(交流)モータ107(交流駆動装置)と、を備えて構成されている。

【0129】

3相インバータ電源回路106は、上記 SiC -MISFET102と上記ショットキーダイオード103とを逆並列に接続してなる回路をワンチップに集積して構成された6個の上段および下段のアームモジュール100H、L(半導体装置)を有してなる。

【0130】

より詳しくは、この3相インバータ電源回路106は、上段アームモジュール100Hのソース端子S(図2参照)と、下段アームモジュール100Lのドレイン端子D(図2参照)と、を上下2段に直列接続してなるアームモジュールの対108(以下、「相スイッチング回路108」という。)を、3個並列に接続して構成されている。

【0131】

また、相スイッチング回路108の各々においては、上段アームモジュール100Hのドレイン端子Dが、高電圧給電端子21に接続され、下段アームモジュール100Lのソース端子Sが、接地端子22に接続されている。

【0132】

10

20

30

40

50

また、上段アームモジュール100Hのソース端子Sと下段アームモジュール100Lのドレイン端子Dとを結線した結線部分(中点)110の各々が、3相モータ107の3つの入力端子20の各々に接続されている。

【0133】

なお、各上段および下段アームモジュール100H、100Lのゲート端子G(図2参照)は、適宜のインバータ用マイコンを含む制御回路(図示せず)に接続されている。

【0134】

上記インバータモータ駆動系105では、相スイッチング回路108の各々に設けられた上段アームモジュール100Hと下段アームモジュール100Lのオンおよびオフのタイミングを調整することにより、相スイッチング回路108の各々の中点に相当する結線部分110の電圧を変調することが可能になる。

10

【0135】

要するに、結線部分110の電圧は、下段アームモジュール100Lをオンにして、かつ上段アームモジュール100Hをオフにすれば、接地電位となり、下段アームモジュール100Lをオフにして、かつ上段アームモジュール100Hをオンにすれば、所定の高電圧になる。

【0136】

こうすれば、上段および下段アームモジュール100H、100Lのオンまたはオフのスイッチング周波数に応じて、結線部分110を介して3相インバータ電源回路106により給電される3相モータ107の電源周波数を変えることが可能になり、3相モータ107のモータ回転速度が自在かつ連続的、しかも効率良く変えられるようになる。

20

【0137】

この様なインバータモータ駆動系105によれば、SiC-MISFET102(スイッチング素子)およびショットキーダイオード103(内蔵ダイオード)を使用していることから、既存のバイポーラデバイス(IGBT)に比べて高速化を実現できる。

【0138】

よって、上段および下段アームモジュール100H、100Lのオンからオフへの切り替えが短時間に実行され、これにより、3相インバータ電源回路106の周波数上限値の制約が解消され、3相インバータ電源回路106のスイッチング損失が改善される。

【0139】

具体的なデータの一例として、これらの上段および下段アームモジュール100H、100L(600V耐圧、3mm×3mmの四角形において電流値20A定格)における100kHz以上の高周波スイッチング動作が確認され、この場合のスイッチング損失は5%以下であった。

30

【0140】

また、SiC-MISFET102の形成領域のオン抵抗は、既存のスイッチング素子(Si-MISFETやIGBT)に比較して十分に小さく、これにより、インバータモータ駆動系105におけるSiC-MISFET102のオン動作時の発熱を抑えて導通損失も低く保てる。

【0141】

更に、上段および下段アームモジュール100H、100Lに内蔵するショットキーダイオード103では、ショットキー電極9が、ダイオードセル101Sのほぼ全域を幅広に占有可能であることから、スイッチング素子ターンオフ時における、3相モータ107のインダクタンス負荷に基づく逆起電力をトリガーにして、ショットキー電極9に集中する電流に起因した素子の破壊に適切に対応可能である。

40

【0142】

次に、全てのダイオードセル101Sの平面視における面積(A;ダイオードセル101Sの総個数)の、全てのサブ領域101T、101Sの平面視における面積(A+B)に対して占める面積割合(A/(A+B))をパラメータにして、インバータモータ駆動系105の損失を検証した上段および下段アームモジュール100H、100Lの動作例

50

を説明する。

【0143】

[面積割合 $(A / (A + B)) = 0.01$ (1%) の場合]

上段および下段アームモジュール100H、100L (600V耐圧、3mm×3mmの四角形において電流値20A定格)におけるショットキーダイオード103の形成領域の単位面積当たりのオン抵抗は、 $1\text{ m}\Omega/\text{cm}^2$ 程度である。

【0144】

また、SiC-MISFET102のp型ウェル4の真下に位置するSiC層3は、図2の点線矢印201で示す如く、通電領域として十分に機能しない一方、ショットキーダイオード103のショットキー電極9の真下に位置するSiC層3は、その全域に亘って通電領域として機能する。このため、SiC-MISFET102の形成領域の平均化した単位面積換算のオン抵抗は、ショットキーダイオード103のそれよりも約一桁大きい値 ($10\text{ m}\Omega/\text{cm}^2$) を示すことになる。

10

【0145】

なお、ショットキー電極9とSiC層3との間の接触抵抗は、ショットキーダイオード103の形成領域のオン抵抗に比べて約二桁程度小さく、この値を無視可能である。

【0146】

以上に述べたSiC-MISFET102およびショットキーダイオード103の形成領域のオン抵抗からSiC-MISFET102およびショットキーダイオード103に流せる電流を見積もると、面積割合 $(A / (A + B)) = 0.01$ (ダイオードセル101Sの表面積: サブ領域101T、101Sの表面積 1:100) に設定した場合、ショットキーダイオード103の順電圧 V_f が、ショットキーバリアによる順方向の立ち上がり電圧 (約1V) を含んで約3V程度 (抵抗分電流による順電圧 V_f 上昇は2V) であれば、ショットキーダイオード103には素子全体の電流密度換算で約 $20\text{ A}/\text{cm}^2$ の電流を流すことが可能になる。

20

【0147】

上記電圧値 (3V) は、SiC-MISFET102に内蔵されるPN接合の寄生ダイオードに順方向に電流を流す際の最低の順電圧 (即ちPN接合の接合障壁による降下電圧に起因するもの。) に相当する。このため、ショットキーダイオード103に順方向に電流を流す際にその順電圧 V_f を3V以下に保てれば、ショットキーダイオード103に優先的に電流が流れることになる。

30

【0148】

このとき、上段および下段アームモジュール100H、100Lの導通損失は電流に電圧を乗じた値 (電流×電圧) に対応することから、従来のPN接合ダイオードの順電圧 V_f に比べてショットキーダイオード103の順電圧 V_f を低く保てることにより、ショットキーダイオード103を採用した上段および下段アームモジュール100H、100Lの損失が、PN接合ダイオードを採用した既存のアームモジュールに比較して改善すると期待される。

【0149】

より具体的には、上段および下段アームモジュール100H、100Lの全てのダイオードセル101Sの表面積 (A) の、上段および下段アームモジュール100H、100Lの全てのサブ領域101T、101Sの表面積 (A+B) に対して占める面積割合 $(A / (A + B))$ を 0.01 (1%) に設定した場合には、オフスピードが速くなることからスイッチング損失が減少して、PN接合ダイオードを採用した既存のアームモジュールに比較して約2%の損失低減が確認され、ショットキーダイオード103が僅かな割合 (1%) を占めるものであってもインバータモータ駆動系105の損失改善効果が発揮された。

40

【0150】

このとき、SiC-MISFET102の形成領域の平均化した単位面積換算のオン抵抗は、 $10\text{ m}\Omega/\text{cm}^2$ である。このため、SiC-MISFET102がオンした時の電

50

流密度（以下、「オン電流密度」と略す）は、順電圧 V_f 上昇を2Vとして、 200 A/cm^2 と見積られる。なお、このSiC-MISFET102がオンした時の電流（以下、「オン電流」と略す）は、上記ショットキーダイオード103を流れる電流に対し逆方向に流れる。

【0151】

つまり、SiC-MISFET102のオン電流密度の約 $1/10$ の電流密度となる電流を、オン電流と逆方向にショットキーダイオード103に流す場合に、面積割合（ $A/(A+B)$ ）を0.01（1%）に設定すれば好適である。

【0152】

但し、上段および下段アームモジュール100H、100Lの連続動作実験中に、上段および下段アームモジュール100H、100Lの発熱による上段および下段アームモジュール100H、100Lの動作が安定しない場合があった。これは、ショットキーダイオード103を流れる電流値が上記許容電流値（ 20 A/cm^2 ）を超えたことに起因するものと推定される。

【0153】

このため、上記割合は、こうした上段および下段アームモジュール100H、100Lのショットキーダイオード103の形成領域の電流容量限界を配慮して、0.01を超える値に設定することが望ましい。

【0154】

[面積割合（ $A/(A+B)$ ）=0.1（10%）の場合]

上段および下段アームモジュール100H、100Lの全てのダイオードセル101Sの表面積（A）の、上段および下段アームモジュール100H、100Lの全てのサブ領域101T、101Sの表面積（A+B）に対して占める面積割合（ $A/(A+B)$ ）を0.1（10%）に設定した場合には、ショットキーダイオード103を流れる電流の許容値は、素子全体の電流密度換算で約 200 A/cm^2 であり、こうすれば、ショットキーダイオード103の電流許容量不足による不具合は解消される。この場合、PN接合ダイオードを採用した既存のアームモジュールに比較して約5%の損失低減が確認され、インバータモータ駆動系105の十分な損失改善効果が発揮された。

【0155】

このとき、SiC-MISFET102の形成領域の平均化した単位面積換算のオン抵抗は、 $10\text{ m}\Omega/\text{cm}^2$ である。このため、SiC-MISFET102のオン電流密度は、順電圧 V_f 上昇を2Vとして、 200 A/cm^2 と見積られる。なお、このSiC-MISFET102のオン電流は、上記ショットキーダイオード103を流れる電流に対し逆方向に流れる。

【0156】

つまり、SiC-MISFET102のオン電流密度と同じ電流密度となる電流を、オン電流と逆方向にショットキーダイオード103に流す場合に、面積割合（ $A/(A+B)$ ）を0.1（10%）に設定すれば好適である。

【0157】

[面積割合（ $A/(A+B)$ ）=0.5（50%）の場合]

SiC-MISFET102の形成領域の平均化した単位面積換算のオン抵抗は、上述のとおり、 $10\text{ m}\Omega/\text{cm}^2$ 程度であるが、将来、SiC-MISFETのチャネル抵抗の低減等の対策により、SiC-MISFET102の形成領域のオン抵抗を減少させることができ、その結果として、当該オン抵抗がショットキーダイオード103の形成領域のオン抵抗（ $1\text{ m}\Omega/\text{cm}^2$ ）に近づく。

【0158】

そして、SiC-MISFET102の形成領域のオン抵抗は、ショットキーダイオード103の形成領域のオン抵抗よりも小さくなり得ないが、両者のオン抵抗が同程度の値となる場合がある。この場合、SiC-MISFET102およびショットキーダイオード103のそれぞれに流れるオン電流のオン電流密度が同じとすると（但し、電流の方向

10

20

30

40

50

は互いに逆向き)、面積割合 $(A / (A + B)) = 0.5 (50\%)$ に設定すれば好適である。

【0159】

ここで、上段および下段アームモジュール100H、100Lの全てのダイオードセル101Sの表面積(A)の、上段および下段アームモジュール100H、100Lの全てのサブ領域101T、101Sの表面積(A+B)に対して占める面積割合 $(A / (A + B))$ を0.5(50%)に設定した場合には、PN接合ダイオードを採用した既存のアームモジュールに比較して約1%の損失低減が確認され、ショットキーダイオード103が大きな割合(50%)を占めるものであってもインバータモータ駆動系105の損失改善効果が発揮された。

10

【0160】

但し、この面積割合 $(A / (A + B))$ が、0.5を超えて設定されると、SiC-MISFETの形成領域の面積占有率の減少によるオン抵抗の増加が見られ、却って上段および下段アームモジュール100H、100Lの損失の増加が懸念されることになる。

【0161】

更に、素子全体の電流密度換算でショットキー電極9に流れる電流が200~600A/cm²であれば安定動作が期待されるため、この面積割合 $(A / (A + B))$ の望ましい範囲は、0.1~0.3である。

【0162】

以上に述べたとおり、SiC-MISFET102およびショットキーダイオード103のそれぞれに流れるオン電流のオン電流密度が同じとすると(但し、電流の方向は互いに逆向き)、ショットキーダイオード103の形成領域のオン抵抗がSiC-MISFET102の形成領域のオン抵抗の1/10である場合には、面積割合 $(A / (A + B)) = 0.1$ に設定すれば良く、ショットキーダイオード103の形成領域のオン抵抗がSiC-MISFET102の形成領域のオン抵抗の1/3である場合には、面積割合 $(A / (A + B)) = 0.3$ に設定すれば良い。

20

【0163】

なお、上記実施形態の説明においては、Nチャネル型MISFETを例にしてSiC-MISFETを説明したが、ソース電極とドレイン電極を逆にしたPチャネル型MISFETでも本実施の形態による半導体装置100(アームモジュール)を構築することができる。

30

【0164】

また、上記実施形態の説明においては、ゲート電極をアルミニウムにて構成した例について説明したが、これに代えて、ポリシリコンにてゲート電極を構成してもかまわない。ポリシリコンゲート電極にて構成した場合も、上述したものと同様の作用効果が得られる。

【0165】

また、本実施形態においては、ショットキー電極9、ソース電極6およびドレイン電極10の材料としてニッケル(Ni)を用いた例で説明したが、これらの電極6、9、10の材料はこれに限らず、チタン(Ti)、アルミニウム(Al)およびモリブデン(Mo)等の金属でも構わない。

40

【0166】

上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び/又は機能の詳細を実質的に変更できる。

【産業上の利用可能性】

【0167】

本発明による半導体装置は、高速スイッチング動作とエネルギー損失低減の両立が図れ、かつ電気機器のインダクタンス負荷等による逆起電力に基づく電流集中耐性に優れてお

50

り、例えば、電気機器の高速インバータ電源回路の用途に適用可能である。

【図面の簡単な説明】

【0168】

【図1】本発明の実施の形態による半導体装置の一構成例を示した平面図である。

【図2】図1のA-A線に沿った部分の半導体装置の断面図である。

【図3】本実施の形態による半導体装置を、3相モータの駆動に適用したインバータモータ駆動系の一構成例を示した図である。

【図4】本実施の形態の仮定の境界ラインの特定例を説明する図である。

【符号の説明】

【0169】

2	半導体基板	
3	SiC層	
4	p型ウェル	
4c	チャンネル領域	
5	ソース領域	
6	ソース電極	
7	ゲート絶縁膜	
8	ゲート電極	
9	ショットキー電極	
10	ドレイン電極	10
11	第1配線	
12	ゲート配線	
20	入力端子	
21	高電圧給電端子	
22	接地端子	
30	境界ライン	
30a	横境界ライン	
30b	縦境界ライン	
100	半導体装置	
100H	上段アームモジュール	30
100L	下段アームモジュール	
101T	トランジスタセル	
101S	ダイオードセル	
102	SiC-MISFET	
103	ショットキーダイオード	
105	インバータモータ駆動系	
106	3相インバータ電源回路	
107	3相モータ	
108	相スイッチング回路	
110	結線部分	40
G	ゲート端子	
S	ソース端子	
D	ドレイン端子	
H1、H2	コンタクトホール	

フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 27/04

H01L 21/822

H01L 29/12

H01L 29/78