

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-160495

(P2012-160495A)

(43) 公開日 平成24年8月23日(2012.8.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 7 G	5 F 0 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 6 A	5 J 0 5 5
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 7 B	
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 5 5 A	

審査請求 未請求 請求項の数 4 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2011-17363 (P2011-17363)
 (22) 出願日 平成23年1月31日 (2011.1.31)

(71) 出願人 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (72) 発明者 花岡 正行
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 F ターム (参考) 5F048 AB07 AC06 AC10 BB16 BC03
 BC07 BC12 BD07
 5J055 AX25 AX44 BX16 DX09 EY01
 EY12 EY13 FX12 GX01 GX02
 GX06 GX07

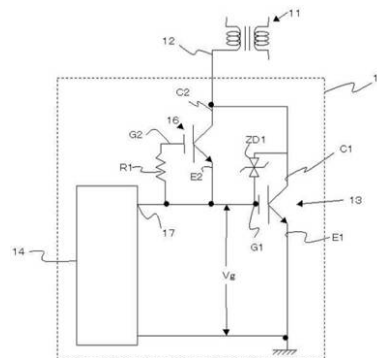
(54) 【発明の名称】 複合半導体装置

(57) 【要約】

【課題】電子回路の誤動作を防止でき、かつ、電力変換装置の小型化に寄与する複合半導体装置を提供する。

【解決手段】複合半導体装置 10 は、第 1 の端子 G 1 から入力される信号に応じて第 2 の端子 C 1 から第 3 の端子 E 1 へ電流を流す第 1 のパワー半導体素子 13 と、第 1 の端子 G 2 から入力される信号に応じて第 2 の端子 C 2 から第 3 の端子 E 2 へ電流を流す第 2 のパワー半導体素子 16 が同一基板 (チップ) 20 内に形成された半導体装置であって、第 2 のパワー半導体素子 16 の第 3 の端子 E 2 は、第 1 のパワー半導体素子 13 の第 1 の端子 G 1 に電気的に接続されており、第 1 のパワー半導体素子 13 の第 2 の端子 C 1 の電位が時間経過とともに増加したとき、第 2 のパワー半導体素子 16 の第 3 の端子 E 2 を介して第 1 のパワー半導体素子 13 の第 1 の端子 G 1 に電荷をチャージする電流路を備えた。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第 1 の端子から入力される信号に応じて第 2 の端子から第 3 の端子へ電流を流す第 1 のパワー半導体素子と、第 1 の端子から入力される信号に応じて第 2 の端子から第 3 の端子へ電流を流す第 2 のパワー半導体素子と、を備える複合半導体装置であって、前記第 2 のパワー半導体素子の前記第 3 の端子は、前記第 1 のパワー半導体素子の前記第 1 の端子に電氣的に接続されており、前記第 1 のパワー半導体素子の前記第 2 の端子の電位が時間経過とともに増加したとき、前記第 2 のパワー半導体素子の前記第 3 の端子を介して前記第 1 のパワー半導体素子の第 1 の端子に電荷をチャージする電流路を備え、前記第 2 のパワー半導体素子における前記第 1 の端子と前記第 2 の端子との間に容量成分を備えたことを特徴とする複合半導体装置。 10

【請求項 2】

前記第 2 のパワー半導体素子は、ゲート端子を有する絶縁ゲート型半導体素子からなり、前記容量成分は、前記第 2 のパワー半導体素子のゲート絶縁膜により形成されることを特徴とする請求項 1 に記載の複合半導体装置。

【請求項 3】

前記第 2 のパワー半導体素子の前記ゲート絶縁膜は、少なくとも一部において、その他の部分よりも比較的厚く形成されることを特徴とする請求項 2 に記載の複合半導体装置。

【請求項 4】

前記第 2 のパワー半導体素子の前記容量成分は、単位面積当たりの容量が前記第 1 のパワー半導体の前記第 1 の端子と前記第 2 の端子との間の容量成分の単位面積当たりの容量よりも小さいことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の複合半導体装置。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複合半導体装置に関し、特に、パワー半導体素子を有する複合半導体装置に関するものである。

【背景技術】

【0002】

内燃機関用点火装置のように、スイッチング素子を用いてインダクタ負荷を駆動する電力変換装置が知られている。図 16 は、内燃機関用点火装置の簡単な回路図を示す。 30

【0003】

この内燃機関用点火装置 100 は、イグニッションコイル 101 を有し、イグニッションコイル 101 の 1 次側に接続されたスイッチング素子 102 とイグニッションコイル 101 の 2 次側に接続されたスパークプラグ 103 を備えている。スイッチング素子 102 の端子 104 に点火信号が入力されると、1 次電流が断続され、イグニッションコイル 101 の 2 次側に高圧電流を誘発し、スパークプラグ 103 は、この高圧電流を火花に変え、点火を行う。

【0004】

上記内燃機関用点火装置に用いるスイッチング素子として、サイリスタや GTO (ゲートターンオフサイリスタ) 等が一般的に用いられてきたが、これらのスイッチング素子のスイッチング時間は数マイクロ秒で、電流変化率も比較的小さく、発生するサージ電圧も比較的小さかった。 40

【0005】

近年、これらのサイリスタや GTO 等より短いスイッチング時間で高速動作する IGBT (絶縁ゲートバイポーラトランジスタ) や MOSFET (MOS 型電界効果トランジスタ) 等の、電圧駆動形の高速スイッチング素子が上述のスイッチング素子 102 として用いられ、各方面に適用されるようになってきている。

【0006】

これらの高速スイッチング素子は、サイリスタや GTO 等と比較して、一桁以上短いスイ 50

ツチング時間で高速にスイッチング動作を行い、主回路（イグニッションコイル101の1次側に接続されている回路）の電流変化率も非常に大きくなり、主回路のインダクタンスを大幅に低減しなければ、サージ電圧も非常に大きくなる。このようにサージ電圧が増大すると、高速スイッチング素子自身に定格を越える電圧が印加されて、過電圧で破壊する危険があり、更に、大きなノイズ源として周辺機器に対して悪影響を与える場合がある。そして、相互インダクタンス回路（イグニッションコイル101）の一次側のスイッチング素子の電流遮断が速すぎるため、一次側の寄生インダクタンスにより起電圧が発生し、他の電子回路の誤動作の原因となる可能性があった。

【0007】

そこで、特許文献1では、高速スイッチング素子のスイッチング動作を速くして、しかもスイッチング動作時の電流変化率を抑制し、スイッチング損失を低減させ、サージ電圧を抑制して外部機器へ与えるノイズを軽減することができるような電力変換装置を開示している。

10

【0008】

特許文献1では、スイッチング素子のオフ時の電圧変化率及び電流変化率を抑制するためにコンデンサと抵抗を用いた電圧指令補正手段を設けている。また、スイッチング素子及び電圧指令補正手段を単一パッケージに収納することが開示されている。

【先行技術文献】

【特許文献】

【0009】

20

【特許文献1】特開平10-248237号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、従来の特許文献1に開示される電力変換装置は、電圧変化率及び電流変化率を制御するためには、電圧指令補正手段に用いられているコンデンサのキャパシタンスC及び抵抗素子の電気抵抗Rを調整する必要があるため、スイッチング素子と電圧指令補正手段とは、それぞれ個別素子で構成され、電力変換装置の小型化が十分ではなかった。

【0011】

本発明の目的は、上記の課題に鑑み、電子回路の誤動作を防止でき、かつ、電力変換装置の小型化に寄与する複合半導体装置を提供することにある。

30

【課題を解決するための手段】

【0012】

本発明に係る複合半導体装置は、上記の目的を達成するため、次のように構成される。

【0013】

第1の複合半導体装置（請求項1に対応）は、第1の端子から入力される信号に応じて第2の端子から第3の端子へ電流を流す第1のパワー半導体素子と、第1の端子から入力される信号に応じて第2の端子から第3の端子へ電流を流す第2のパワー半導体素子と、を備える複合半導体装置であって、前記第2のパワー半導体素子の前記第3の端子は、前記第1のパワー半導体素子の前記第1の端子に電氣的に接続されており、前記第1のパワー半導体素子の前記第2の端子の電位が時間経過とともに増加したとき、前記第2のパワー半導体素子の前記第3の端子を介して前記第1のパワー半導体素子の第1の端子に電荷をチャージする電流路を備え、前記第2のパワー半導体素子における前記第1の端子と前記第2の端子との間に容量成分を備えたことを特徴とする。

40

【0014】

第2の複合半導体装置（請求項2に対応）は、上記の構成において、好ましくは、前記第2のパワー半導体素子は、ゲート端子を有する絶縁ゲート型半導体素子からなり、前記容量成分は、前記第2のパワー半導体素子のゲート絶縁膜により形成されることを特徴とする。

50

【 0 0 1 5 】

第 3 の複合半導体装置（請求項 3 に対応）は、上記の構成において、好ましくは、前記第 2 のパワー半導体素子の前記ゲート絶縁膜は、少なくとも一部において、その他の部分よりも比較的厚く形成されることを特徴とする。

【 0 0 1 6 】

第 4 の複合半導体装置（請求項 4 に対応）は、上記の構成に置いて、好ましくは、前記第 2 のパワー半導体素子の前記容量成分は、単位面積当たりの容量が前記第 1 のパワー半導体の前記第 1 の端子と前記第 2 の端子との間の容量成分の単位面積当たりの容量よりも小さいことを特徴とする。

【 発明の効果 】

【 0 0 1 7 】

本発明によれば、第 1 の端子から入力される信号に応じて第 2 の端子から第 3 の端子へ電流を流す第 1 のパワー半導体素子と、第 1 の端子から入力される信号に応じて第 2 の端子から第 3 の端子へ電流を流す第 2 のパワー半導体素子が同一基板（チップ）内に形成された半導体装置であって、第 2 のパワー半導体素子の第 3 の端子は、第 1 のパワー半導体素子の第 1 の端子に電氣的に接続されており、第 1 のパワー半導体素子の第 2 の端子の電位が時間経過とともに増加したとき、第 2 のパワー半導体素子の第 3 の端子から第 1 のパワー半導体素子の第 1 の端子に電荷をチャージする電流路を備えたため、電子回路の誤動作を防止でき、電力変換装置の小型化に寄与する複合半導体装置を提供することができる。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】本発明の第 1 の実施形態に係る複合半導体装置の構成を示す回路図である。

【 図 2 】本発明の第 1 の実施形態に係る複合半導体装置の第 1 の I G B T と第 2 の I G B T を断面図で示した構成図である。

【 図 3 】面積の小さい I G B T（第 2 の I G B T 1 6）とメインの I G B T（第 1 の I G B T 1 3）で構成した回路で実測したメイン電流（コレクタ端子 C 1 とエミッタ端子 E 1 の間を流れる電流） I_m の波形を第 2 の I G B T 1 6 を設けていない従来の装置での例と共に示すグラフである。

【 図 4 】本発明の第 2 の実施形態に係る複合半導体装置の構成を示す回路図である。

【 図 5 】本発明の第 2 の実施形態に係る複合半導体装置の第 1 の I G B T と第 2 の I G B T を断面図で示した構成図である。

【 図 6 】本発明の第 2 実施形態に係る複合半導体装置の第 1 の変形例を示す回路図である。

【 図 7 】本発明の第 2 実施形態に係る複合半導体装置の第 2 の変形例を示す回路図である。

【 図 8 】本発明の第 2 実施形態に係る複合半導体装置の第 3 の変形例を示す回路図である。

【 図 9 】本発明の第 2 実施形態に係る複合半導体装置の第 4 の変形例を示す回路図である。

【 図 1 0 】図 6 の回路を有する複合半導体装置を用いたときのイグニッションコイルの 2 次電圧の発生するときの時間変化を異なる温度で測定したグラフである。

【 図 1 1 】ポリシリコンの抵抗の温度依存性を示すグラフである。

【 図 1 2 】2 次電圧発生時間の温度依存性を示すグラフである。

【 図 1 3 】本発明の第 3 の実施形態に係る複合半導体装置における第 2 の I G B T を断面図で示した構成図である。

【 図 1 4 】第 1 及び第 3 の実施形態に係る複合半導体装置における第 2 の I G B T 1 6 のコレクタ C 2 ・ゲート G 2 間容量特性を示す図である。

【 図 1 5 】第 1 の I G B T 1 3 と第 2 の I G B T 1 6 とで構成した回路で実測した電圧値を示す図である。

10

20

30

40

50

【図16】内燃機関用点火装置の簡単な回路図である。

【発明を実施するための形態】

【0019】

以下に、本発明の好適な実施形態（実施例）を添付図面に基づいて説明する。

【0020】

図1は、本発明の第1の実施形態に係る複合半導体装置の構成を示す回路図である。本実施形態では、複合半導体装置を構成するパワー半導体素子として、IGBTを用いた例を示している。この複合半導体装置10は、イグニッションコイル11の1次側コイルの端子12に第1のIGBT（メインIGBTという）13のコレクタ端子C1が接続されている。第1のIGBT13のエミッタ端子E1は、接地されている。また、第1のIGBT13のゲート端子G1とエミッタ端子E1には、ゲート駆動回路14が接続されている。さらに、第1のIGBT13のゲート端子G1とコレクタ端子C1は、ツェナーダイオードZD1を介して接続されている。

10

【0021】

また、イグニッションコイル11の1次側コイルの端子12には、第2のIGBT（帰還IGBTという）16のコレクタ端子C2が接続されている。第2のIGBT16のエミッタ端子E2は、第1のIGBT13のゲート端子G1に接続されている。第2のIGBT16のゲート端子G2は、抵抗R1を介してゲート駆動回路14の端子17に接続されている。

20

【0022】

図2は、本発明の第1の実施形態に係る複合半導体装置の第1のIGBTと第2のIGBTを断面図で示した構成図である。複合半導体装置10は、ゲート端子（第1の端子）G1から入力される信号に応じてコレクタ端子（第2の端子）C1からエミッタ端子（第3の端子）E1へ電流を流す第1のパワー半導体素子（この実施形態では、第1のIGBT13）と、ゲート端子（第1の端子）G2から入力される信号に応じてコレクタ端子（第2の端子）C2からエミッタ端子（第3の端子）E2へ電流を流す第2のパワー半導体素子（この実施形態では、第2のIGBT16）が同一基板（チップ）20内に形成されている。基板20は、例えば、シリコン基板が用いられる。

【0023】

第1のIGBT13は第1導電型の高抵抗層（N-型半導体層）21とその図中上部に位置する第1導電型のバッファ層（N+型半導体層）22と、第1導電型の高抵抗層21の図中下部に形成された第2導電型のベース層（P型半導体層）23とP型半導体層24と、第2導電型のベース層の図中下面に形成された第1導電型のエミッタ領域（N+型半導体層）25と、エミッタ領域25に接続されるエミッタ電極26と、第2導電型のベース層23のチャンネル領域27上に絶縁して形成されたゲート電極28と、バッファ層22の図中上部に位置する第2導電型のコレクタ層（P+型半導体層）29と、コレクタ層29に接続されるコレクタ電極30とを備えている。

30

【0024】

また、第2のIGBT16は、第1のIGBT13のエミッタ電極26の端部から所定の間隔dを設けた位置に、第1のIGBT13と同一基板20内に設けられている。第2のIGBT16は、第1導電型の高抵抗層（N-型半導体層）21とその上部に位置する第1導電型のバッファ層（N+型半導体層）22と、第1導電型の高抵抗層の下部に形成された第2導電型のベース層（P型半導体層）33とP型半導体層34と、第2導電型のベース層の下面に形成された第1導電型のエミッタ領域（N+型半導体層）35と、エミッタ領域35に接続されるエミッタ電極36と、第2導電型のベース層33のチャンネル領域37上に絶縁して形成されたゲート電極38と、バッファ層22の図中上部に位置する第2導電型のコレクタ層（P+型半導体層）29と、コレクタ層29に接続されるコレクタ電極30とを備えている。

40

【0025】

また、抵抗素子R1は、ゲート電極38の表面に多結晶シリコンを堆積させたものであり

50

、適切なドーパントを添加することにより、所望の電気抵抗率を持つように作製されている。

【0026】

さらに、ツェナーダイオードZD1は、基板20の表面上に電極39と電極40によって挟まれた多結晶シリコンと適切なドーパントによって形成された半導体接合を有する多結晶シリコン41によって形成されている。

【0027】

ツェナーダイオードZD1は、ゲート駆動回路によりゲート電圧 V_g をオフしたときに第1のコレクタ端子C1の電位が時間経過とともに増加するので、そのとき、コレクタ端子C1側からゲート端子G1へ電流を流す作用をする。また、そのとき、抵抗素子R1を介して、第2のIGBT16のゲート端子G2にも電流を流す作用をする。すなわち、このツェナーダイオードZD1と抵抗素子R1を通る電流路が、第1のパワー半導体素子13の第2の端子C1の電位が時間経過とともに増加したとき、第1のパワー半導体素子13の第2の端子C1から第2のパワー半導体素子16の第1の端子G2に電荷をチャージする電流路となる。それにより、第2のIGBT16がオンとなり、ゲート端子G1に電荷を送り込む。

【0028】

また、第1のパワー半導体素子である第1のIGBT13のエミッタE1（図2のエミッタ電極26の端部）と第2のパワー半導体素子である第2のIGBT16のエミッタE2（図2のエミッタ電極36の端部）の間には、所定の距離 d を有する動作干渉抑制層42を設けている。これは、所定の距離 d を設けることで、ゲートG1がオンのとき、第2のIGBT16のエミッタE2のPベースからN層を通り、同一基板20に設けられた隣の第1のIGBT13の領域に電流が流れ込んでしまうことを防ぐためのものである。動作干渉抑制層の長さ（所定の距離 d ）は、好ましくは、 $50\mu\text{m}$ 以上であることが必要である。

【0029】

さらに、第1のIGBT13と第2のIGBT16との動作干渉を防ぐために、この複合半導体装置10を作製する工程において、基板（チップ）20のゲートおよびエミッタを形成する表面の全面に電子線照射またはプロトン照射を行い、ライフタイムキラー処理を施す工程を設けても良い。これにより、ゲートG1がオンのとき、第2のIGBT16のエミッタE2のPベース33からN層を通り、同一基板20に設けられた隣の第1のIGBT13の領域に電流が流れ込もうとするキャリアを減少させ、電流が流れ込んでしまうことを防ぐことができる。

【0030】

この複合半導体装置10において、ゲート駆動回路14によって、第1のIGBT13のゲート端子G1とエミッタ端子E1の間に与えられるゲート電圧 V_g に基づいて第1のIGBT13がオン・オフし、第1のIGBT13のコレクタ端子C1 - エミッタ端子E1間が

オン（導通）状態あるいはオフ（非導通）状態となるスイッチング動作が行われる。なお、図1および図2には示していないが、第1のIGBT13には、ゲート容量を有し、また、複合半導体装置10には、装置内部の配線に生じる浮遊インダクタンスを有している。

【0031】

このように第1のIGBT13がオフからオンへあるいはオンからオフへスイッチング動作するとき、コレクタ端子C1とエミッタ端子E1間のコレクタ電圧 V_{CE} が減少あるいは増大するように変化する。

【0032】

すなわち、ゲート端子G1とエミッタ端子E1間の電圧 V_g をオフするとき、ゲート電圧 V_g がしきい値以下に落ちようとするときコレクタ電圧 V_{CE} が上昇する。コレクタ電圧 V_{CE} の上昇によりコレクタ端子C1からゲート端子G1にツェナーダイオードZD1を介

10

20

30

40

50

して、変位電流が流れゲートG1に電荷をチャージする。そのとき、第2のIGBT16でも同様にゲートG2がチャージされる。その結果、第2のIGBT16のエミッタE2から第1のIGBT13のゲートG1に電流が流れチャージ量が増加し、ゲート電位の低下レートが減少する。このゲート電位低下はメイン電流の減少レートを低下させ、電流遮断は遅くなる。

【0033】

図3は、第2のIGBT16と第1のIGBT13で構成した回路で実測したメイン電流（コレクタ端子C1とエミッタ端子E1の間を流れる電流） I_m の波形を第2のIGBT16を設けていない従来の回路での例と共に示す。図3において、曲線Aは従来の回路での電流の時間変化を示す曲線である。曲線Bは、本発明に係る第2のIGBT16を設けた回路の電流の時間変化を示す曲線である。従来のものよりも本発明に係る複合半導体装置10を用いたときの方が電流遮断が遅く、且つ、電流変動が小さくなっていることが確認できる。また、シミュレーション実験によると、第1のパワー半導体素子（第1のIGBT13）の第2のパワー半導体素子（第2のIGBT16）に対する面積比は、1.5以上であることが好ましいことが確認されている。

10

【0034】

以上のように、本実施形態によれば、第1のパワー半導体素子（第1のIGBT13）と、第2のパワー半導体素子（第2のIGBT16）が同一基板20内に形成された複合半導体装置10であって、第2のパワー半導体素子のエミッタE2は、第1のパワー半導体素子のゲート端子G1に電氣的に接続されており、第1のパワー半導体素子の第2の端子の電位が時間経過とともに増加したとき、第1のパワー半導体素子のコレクタ端子C2から第2のパワー半導体素子のゲート端子G2に電荷をチャージする電流路を備えたため、電流遮断を遅くすることができるので、発生するサージ電圧を小さくすることができ、その結果、電子回路の誤動作を防止できる。また、電力変換装置の小型化に寄与する複合半導体装置を提供することができる。

20

【0035】

次に、本発明の第2の実施形態に係る複合半導体装置を説明する。第2の実施形態は、第1の実施形態に係る複合半導体装置において、第2のパワー半導体素子の第3の端子（エミッタ）と第1のパワー半導体素子の第1の端子（ゲート端子）間には、第2のパワー半導体の第3の端子（エミッタ）から第1のパワー半導体素子の第1の端子（ゲート端子）方向に整流するようにダイオードが接続されている。それにより、ゲートG1がオンのとき、第2のIGBT16のエミッタのPベース33からN層を通り、同一基板20に設けられた隣の第1のIGBT13の領域に電流が流れ込んでしまうことを防ぐことができる。第2実施形態では、第1実施形態と同様の構成要素には、同一の符号を付し、説明を省略する。

30

【0036】

図4は、本発明の第2の実施形態に係る複合半導体装置の構成を示す回路図である。本実施形態では、複合半導体装置50を構成するパワー半導体素子として、IGBTを用いた例を示している。この複合半導体装置50において、第1のIGBT13は、第1実施形態と同様に構成される。

40

【0037】

また、イグニッションコイル11の1次側コイルの端子12には、第2のIGBT（帰還IGBTという）16のコレクタ端子C2が接続されている。第2のIGBT16のエミッタ端子E2は、ダイオードD1を介して、第1のIGBT13のゲート端子G1に接続されている。このダイオードD1は、エミッタ端子E2からゲート端子G1方向に整流するように接続されている。すなわち、ダイオードD1のアノード端子51aはエミッタ端子E2に接続され、カソード端子51cはゲート端子G1に接続されている。また、第2のIGBT16のゲート端子G2は、抵抗R1を介してダイオードD1のアノード端子51aに接続されている。

【0038】

50

図5は、本発明の第2の実施形態に係る複合半導体装置の第1のIGBTと第2のIGBTを断面図で示した構成図である。複合半導体装置50は、第1の実施形態と同様に、第1のパワー半導体素子（この実施形態では、第1のIGBT13）と、第2のパワー半導体素子（この実施形態では、第2のIGBT16）が同一基板（チップ）20内に形成されている。

【0039】

第1のIGBT13、第2のIGBT16、抵抗素子R1及びツェナーダイオードZD1は、第1の実施形態と同様に形成される。

【0040】

ダイオードD1は、基板20の表面上に電極52と電極53によって挟まれた多結晶シリコンと適切なドーパントによって形成されたPN接合を含む多結晶シリコン54によって形成されている。それにより、ゲートG1がオンのとき、エミッタE2には電流が流れ込まないようにすることができる。

10

【0041】

この複合半導体装置50において、第1のIGBT13は、第1の実施形態と同様にオンからオフへスイッチング動作するときに電流遮断が遅くなる。

【0042】

ここで、ダイオードD1を設けない場合、ゲートG1がオンで所定の電圧（例えば、+10V）印加されると、第2のIGBT16のエミッタE2のPベース33からNエピ層を通り、近接した第1のIGBT13の領域へ電流が流れ込んでしまう。これにより、ゲート駆動回路14の電流供給能力が低い場合は、所定の電圧が維持できなくなり、また、しきい値までも達しないことが予想される。このため、第2のIGBT16に電流を流入させないため、ゲート端子G1とエミッタ端子E2との間にダイオードD1を設けた。オン動作時、ダイオードD1は、電流を遮断し、ゲートG1の電位は、所定の電圧（例えば、+10V）が維持される。

20

【0043】

ゲートG1が0Vとなれば、電流遮断するため、コレクタC1の電位が高くなり、コレクタC1から第2のIGBT16のゲートG2へ変位電流が流れ第2のIGBT16がオンし、第2のIGBT16のエミッタE2から順バイアスのダイオードD1を通じゲートG1へ電流が流れ図1の回路と同じ動作となる。それゆえ、ダイオードD1を設けることにより、同一基板20内での第1のIGBT13と第2のIGBT16との間の距離dを小さくすることができる。

30

【0044】

以上のように、本実施形態によれば、第1のパワー半導体素子13と、第2のパワー半導体素子16が同一基板（チップ）20内に形成された半導体装置50であって、第2のパワー半導体素子16のエミッタE2は、第1のパワー半導体素子13のゲート端子G1にダイオードD1を介して電氣的に接続されており、第1のパワー半導体素子（第1のIGBT13）のコレクタ端子C1の電位が時間経過とともに増加したとき、第1のパワー半導体素子（第1のIGBT13）のコレクタ端子C1から第2のパワー半導体素子（第2のIGBT16）のゲート端子G2に電荷をチャージする電流路を備えたため、電流遮断を遅くすることができるので、電子回路の誤動作を防止でき、また、2つのIGBT13、16を1つの基板20内に納めるときに2つのIGBT間の距離をより小さくでき、電力変換装置の小型化に寄与する複合半導体装置を提供することができる。

40

【0045】

次に、図6～図9を参照して、本発明の第2実施形態に係る複合半導体装置の変形例を示す。これらの変形例では、第2実施形態と同様の構成要素には、同一の符号を付し、それらの説明を省略する。

【0046】

図6は、第1の変形例を示す図である。この第1の変形例では、第2の実施形態で示した複合半導体装置50において、ゲート駆動回路14の端子17とダイオードD1のカソード

50

ド端子51cとの間に抵抗素子R2を設けている。また、ゲート端子G1とエミッタ端子E1との間にツェナーダイオードZD2を設けている。後述するように抵抗素子R1の他に抵抗素子R2を設けることにより、電気抵抗率の温度係数の異なる2つの抵抗素子R1とR2を適切に選択して設けることで、温度依存性の少ない複合半導体装置を得ることができる。また、ツェナーダイオードZD2を設けることで、ゲートG1をオンしたときに、ツェナーダイオードZD2を設けているために、ゲートG1への電荷の蓄積に遅れが生じるため、第1のIGBT13のゲートG1をオンしたときの電流の変化が従来より遅くなり、結果として、サージ電圧を抑制することができる。

【0047】

図7は、第2の変形例を示す図である。この第2の変形例では、第2の実施形態で示した複合半導体装置50において、ゲート駆動回路14の端子17とダイオードD1の端子との間に抵抗素子R2を設けている。また、ゲート端子G1とエミッタ端子E1との間にツェナーダイオードZD2を設けている。さらに、コレクタ端子C1とゲート端子G1との間のツェナーダイオードを無くし、コレクタ端子C2とゲート端子G2の間にツェナーダイオードZD3を設けている。後述するように抵抗素子R1の他に抵抗素子R2を設けることにより、電気抵抗率の温度係数の異なる2つの抵抗素子R1とR2を適切に選択して設けることで、温度依存性の少ない複合半導体装置を得ることができる。また、ツェナーダイオードZD2を設けることで、ゲートG1をオンしたときに、ツェナーダイオードZD2を設けているために、ゲートG1への電荷の蓄積に遅れが生じるため、第1のIGBT13のゲートG1をオンしたときの電流の変化が従来より遅くなり、結果として、サージ電圧を抑制することができる。さらに、ツェナーダイオードZD3により、ゲートG1をオフしたときに、ゲートG2に電荷が流れ込むので、第2のIGBT16からの第1のゲートG1への電荷の流れ込みが増加し、第1のIGBT13のゲートG1をオフしたときの電流の変化が従来より遅くなり、結果として、サージ電圧を抑制することができる。すなわち、このツェナーダイオードZD3を通る電流路が、第1のパワー半導体素子(第1のIGBT13)の第2の端子(コレクタ端子C1)の電位が時間経過とともに増加したとき、第1のパワー半導体素子(第1のIGBT13)の第2の端子(コレクタ端子C1)から第2のパワー半導体素子(第2のIGBT16)の第1の端子(ゲート端子G2)に電荷をチャージする電流路となる。

【0048】

図8は、第3の変形例を示す図である。この第3の変形例では、第1の変形例で示した複合半導体装置50において、抵抗素子R1の代わりにツェナーダイオードZD4を設けている。この場合には、このツェナーダイオードZD1とダイオードD1とツェナーダイオードZD4を通る電流路が、第1のパワー半導体素子(第1のIGBT13)の第2の端子(コレクタ端子C1)の電位が時間経過とともに増加したとき、第1のパワー半導体素子(第1のIGBT13)の第2の端子(コレクタ端子C1)から第2のパワー半導体素子(第2のIGBT16)の第1の端子(ゲート端子G2)に電荷をチャージする電流路となる。

【0049】

図9は、第4の変形例を示す図である。この第4の変形例では、第1の変形例で示した2つのIGBT13, 16の代わりに、パワー半導体素子であるMOSFET60, 61を設けている。この場合は、第1の端子はゲート端子G1, G2であり、第2の端子はドレイン端子D1, D2であり、第3の端子はソース端子S1, S2である。

【0050】

次に、第1の変形例において、2つの抵抗素子を適切な温度係数を持つものを選択することにより複合半導体装置の温度依存性を小さくすることができることについての実験結果を示す。

【0051】

図10は、図6の回路を有する複合半導体装置を用いたときのイグニッションコイルの2次電圧の発生するときの時間変化を異なる温度で測定したグラフである。実線は、第1の

10

20

30

40

50

I G B T 1 3 のコレクタ - エミッタ間の電圧 (V C E) の時間変化を示す。点線は、イグニッションコイルの 2 次電圧の時間変化を示す。曲線 A は、 - 4 0 のときの変化を示し、曲線 B は、 2 7 のときの変化を示し、曲線 C は、 1 2 0 のときの変化を示し、曲線 D は、 1 5 0 のときの変化を示す。図 1 0 を見て分かるように、デバイス (周囲) 温度が高くなると、 V C E の上昇が遅れ、 2 次電圧の発生タイミングが遅れる。図 1 0 において、 - 4 0 と 1 5 0 で 2 次電圧 (V 2) の発生タイミング、すなわち、ゲート電圧 V g がオフしてから V 2 が定常値に到達するまでの時間は、 1 5 0 の時の方が - 4 0 のときに比べて、約 1 0 μ s 遅くなっている。

【 0 0 5 2 】

この遅れを改善するために、 R 1 、 R 2 を形成するポリシリコンのドーズ種 (リン、ボロン) 、ドーズ濃度により抵抗値の温度依存性が異なることを利用する。図 1 1 は、ポリシリコン抵抗の温度依存性を示す。曲線 E と曲線 F は、ドーズ種、ドーズ濃度が異なるときの抵抗の温度依存性である。ドーズ種 (リン、ボロン) 、ドーズ濃度により抵抗値の温度依存性が異なることが分かる。ドーズ種 (ドーパント) 及びその濃度によって温度特性は様々であり、一意に限定できないが、適切な組み合わせにより、二次電圧の発生タイミングの温度依存性による変化を少なくすることができる。抵抗値は、ポリシリコンのパターンで制御することができる。

10

【 0 0 5 3 】

例えば、図 1 1 の E , F はいずれもボロンを導入したものであり、濃度は (E < F) である。さらに、図 6 で示した回路図において、 R 1 に抵抗 E (負の温度特性) 、 R 2 に抵抗 F (温度特性小) を用いる。図 1 2 は、二次電圧の発生タイミングと温度との相関図である。 1 は R 1 , R 2 に通常の抵抗を用いた場合のもので、 2 は、上記の組み合わせの場合のものである。 2 の方が、温度変化に対する二次電圧の発生タイミングの変動幅が低減されていることが分かる。

20

【 0 0 5 4 】

このように、 2 つの抵抗素子を適切な温度係数を持つものを選択することにより複合半導体装置の温度依存性を小さくすることができる。

【 0 0 5 5 】

次に、本発明の第 3 の実施形態に係る複合半導体装置を説明する。図 1 3 は、本発明の第 3 の実施形態に係る複合半導体装置における第 2 の I G B T を断面図で示した構成図である。図 1 3 は複合半導体装置 5 0 を構成する第 1 の I G B T 1 3 を図示しないが、第 1 の I G B T 1 3 は、実施形態 1 と同様に形成される。

30

【 0 0 5 6 】

本実施形態に係る第 2 の I G B T 1 6 は、第 1 導電型の高抵抗層 (N - 型半導体層) 2 1 とその上部に位置する第 1 導電型のパツファ層 (N + 型半導体層) 2 2 と、第 1 導電型の高抵抗層の下部に形成された第 2 導電型のベース層 (P 型半導体層) 3 3 と P 型半導体層 3 4 と、第 2 導電型のベース層の下面に形成された第 1 導電型のエミッタ領域 (N + 型半導体層) 3 5 と、エミッタ領域 3 5 に接続されるエミッタ電極 3 6 と、ベース層 3 3 のチャンネル領域上に絶縁して形成されたゲート電極 3 8 と、第 2 導電型のコレクタ層 (P + 型半導体層) 2 9 と、コレクタ層 2 9 に接続されるコレクタ電極 3 0 と、高抵抗層 2 1 及びベース層 3 3 とゲート電極 3 8 との間に配置された絶縁膜 4 3 と、を備えている。

40

【 0 0 5 7 】

絶縁膜 4 3 は、高抵抗層 2 1 と隣接する領域の少なくとも一部において厚く形成される点で図 2 に示される第 2 の I G B T 1 6 と異なる。また、絶縁膜 4 3 はベース層 3 3 及びエミッタ領域 3 5 に隣接する部分においては、実施形態 1 に係る複合半導体装置の第 2 の I G B T と同様に形成される。

【 0 0 5 8 】

図 1 4 は、第 1 及び第 3 の実施形態に係る複合半導体装置における第 2 の I G B T 1 6 のコレクタ C 2 ・ゲート G 2 間容量特性を示す図である。第 3 の実施形態に係る第 2 の I G B T 1 6 は、上記のように絶縁膜 4 3 を配置したことにより、第 1 の実施形態に係る第 2

50

の I G B T 1 6 に比べ、単位面積当たりのコレクタ・ゲート間容量が低減される。特に、 V_{ce} (コレクタ・エミッタ間電圧) が低い領域において、コレクタ・ゲート間容量の低減効果が顕著に得られている。上述のように、第 1 の I G B T 1 3 がオンからオフへスイッチング動作するとき、第 2 の I G B T 1 6 のゲート G 2 に電荷がチャージされる。ゲートにチャージされる電荷量は、I G B T のコレクタ・ゲート間容量に応じて変わる。第 3 の実施形態において V_{ce} が比較的低い領域でゲート G 2 にチャージされる電荷量は、第 1 の実施形態においてゲート G 2 にチャージされる電荷量よりも少なくなる。一方、第 3 の実施形態において V_{ce} が比較的高い領域でゲート G 2 にチャージされる電荷量は、第 1 の実施形態においてゲート G 2 にチャージされる電荷量と同程度であった。従って、第 3 の実施形態に係る第 2 の I G B T 1 6 をオンさせるために発生するドライブ損失が低減される上に、ノイズ発生の抑制が可能となる。

10

【0059】

上記のようにドライブ損失が低減されたことで、イグニッションコイル 1 1 の一次側から二次側へのエネルギー移行が効率良く行われ、二次側電圧 V_{2peak} の低下を抑制できる。図 1 5 は、第 1 の I G B T 1 3 と第 2 の I G B T 1 6 とで構成した回路で実測した電圧値を示す図である。図中の実線及び破線は、第 1 の I G B T 1 3 のオフ時にイグニッションコイル 1 1 の一次側に発生するノイズ電圧 V_B と、イグニッションコイル 1 1 の二次側に発生する電圧の最大値 V_{2peak} と、の相関関係を示す。図中の実線は、第 3 の実施形態に係る複合半導体装置による特性を示し、図中の破線は、第 1 の実施形態に係る複合半導体装置による特性を示す。

20

【0060】

ドライブ損失が低減され図 1 5 を参照すると、第 3 の実施形態に係る複合半導体装置は、比較的低い一次側電圧 V_B で高い二次側電圧 V_{2peak} が得られることが分かる。従って、第 3 の実施形態に係る複合半導体装置によれば、点火装置を構成する素子にかかわるノイズ発生を低減するとともに確実に点火を行うことができる。

【0061】

以上のように、本発明によれば、第 1 のパワー半導体素子と、第 2 のパワー半導体素子が同一チップ内に形成された半導体装置であって、第 2 のパワー半導体素子の第 3 の端子は、第 1 のパワー半導体素子の第 1 の端子に電氣的に接続されており、第 1 のパワー半導体素子の第 2 の端子の電位が時間経過とともに増加したとき、第 1 のパワー半導体素子の第 2 の端子から第 2 のパワー半導体素子の第 1 の端子に電荷をチャージする電流路を備えたため、電子回路の誤動作を防止でき、電力変換装置の小型化に寄与する複合半導体装置を提供することができる。

30

【0062】

以上の実施形態で説明された構成、形状、大きさおよび配置関係については本発明が理解・実施できる程度に概略的に示したものにすぎず、また数値および各構成の組成(材質)等については例示にすぎない。従って本発明は、説明された実施形態に限定されるものではなく、特許請求の範囲に示される技術的思想の範囲を逸脱しない限り様々な形態に変更することができる。例えば、本発明に係る第 1 及び第 2 の I G B T は、それぞれ個別のチップ又はダイに形成され、同一又は個別のモールドパッケージ内に封止されても良い。また、第 2 の I G B T のコレクタ・ゲート間容量は、ゲート面積を縮小させること或いはゲート電極直下に拡散層を形成することで調節しても良く、これを個別の容量素子に置きかえても良い。

40

【産業上の利用可能性】

【0063】

本発明に係る複合半導体装置は、内燃機関用点火装置に用いられるスイッチング用の装置等に利用される。

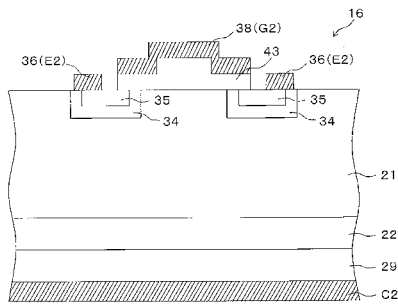
【符号の説明】

【0064】

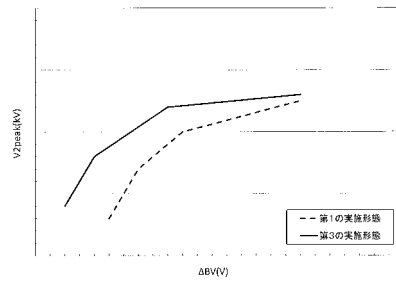
複合半導体装置	
1 1	
イグニッションコイル	
1 2	
1 次側コイルの端子	
1 3	
第 1 の I G B T (メイン I G B T)	
1 4	
ゲート駆動回路	
1 6	10
第 2 の I G B T	
1 7	
ゲート駆動回路の端子	
2 0	
基板 (チップ)	
2 1	
第 1 導電型の高抵抗層	
2 2	
第 1 導電型のバッファ層	
2 3	20
第 2 導電型のベース層	
2 4	
P 型半導体層	
2 5	
第 1 導電型のエミッタ領域	
2 6	
エミッタ電極	
2 7	
チャンネル領域	
2 8	30
ゲート電極	
2 9	
第 2 導電型のコレクタ層	
3 0	
コレクタ電極	
3 3	
第 2 導電型のベース層	
3 4	
P 型半導体層	
3 5	40
第 1 導電型のエミッタ領域	
3 6	
エミッタ電極	
3 7	
チャンネル領域	
3 8	
ゲート電極	
4 3	ゲート絶縁膜
5 0	
複合半導体装置	50

- C 1
- コレクタ 端子
- E 1
- エミッタ 端子
- G 1
- ゲート 端子
- C 2
- コレクタ 端子
- E 2
- エミッタ 端子
- G 2
- ゲート 端子
- R 1
- 抵抗素子
- D 1
- ダイオード
- Z D 1 ~ Z D 4 ツェナーダイオード

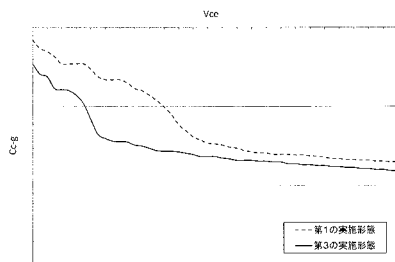
【 図 1 3 】



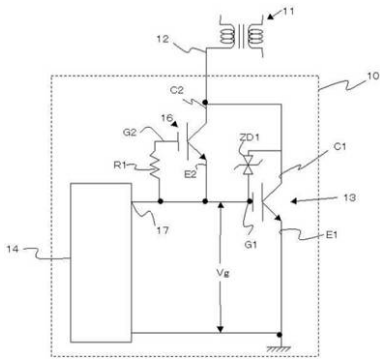
【 図 1 5 】



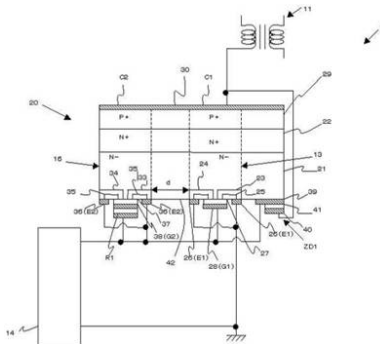
【 図 1 4 】



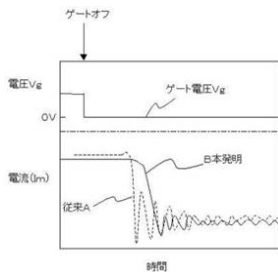
【 図 1 】



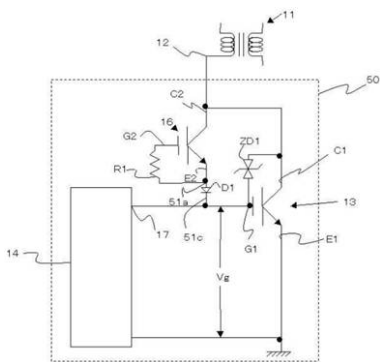
【 図 2 】



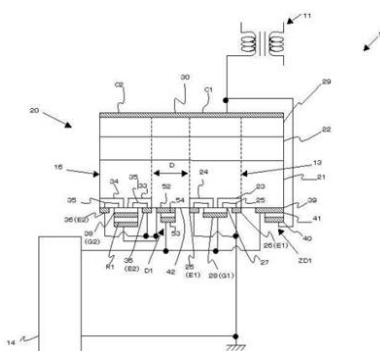
【 図 3 】



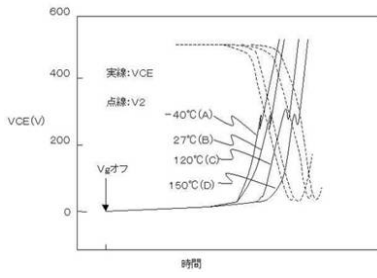
【 図 4 】



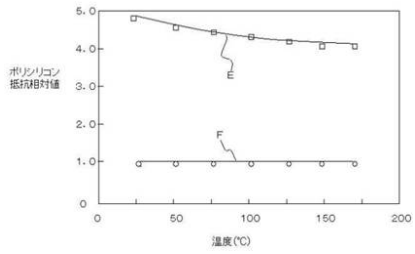
【 図 5 】



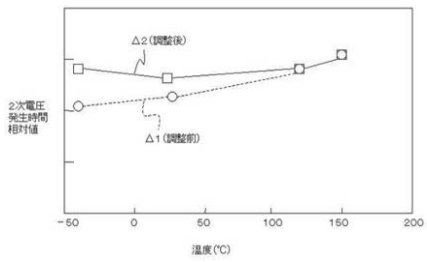
【 図 1 0 】



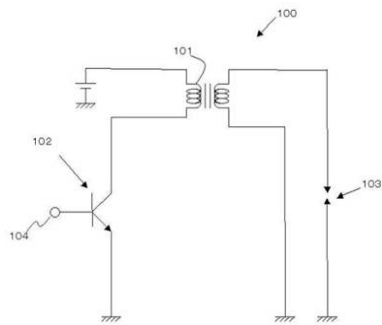
【 図 1 1 】



【 図 1 2 】



【 図 1 6 】



フロントページの続き

(51)Int.Cl.

H 0 1 L 27/06 (2006.01)
H 0 3 K 17/695 (2006.01)

F I

H 0 1 L 29/78 6 5 2 K
H 0 1 L 27/06 1 0 2 A
H 0 3 K 17/687 B

テーマコード(参考)