

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-151459

(P2017-151459A)

(43) 公開日 平成29年8月31日(2017.8.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
G09G 3/3233 (2016.01)	G09G 3/3233	5C094
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
	G09F 9/30 365	

審査請求 有 請求項の数 1 O L (全 40 頁)

(21) 出願番号 特願2017-81074 (P2017-81074)
 (22) 出願日 平成29年4月17日 (2017. 4. 17)
 (62) 分割の表示 特願2015-155970 (P2015-155970)
 の分割
 原出願日 平成13年3月23日 (2001. 3. 23)
 (31) 優先権主張番号 特願2000-87683 (P2000-87683)
 (32) 優先日 平成12年3月27日 (2000. 3. 27)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5C080 AA06 BB05 CC03 DD23 FF11
 JJ03 JJ04 JJ06 KK02 KK07
 KK20 KK23 KK34 KK43 KK47
 KK50
 5C094 AA10 BA03 BA27 CA19 DA13
 DB04 FA01 FA02 FB12 FB14
 HA05 HA06 HA07 HA08

最終頁に続く

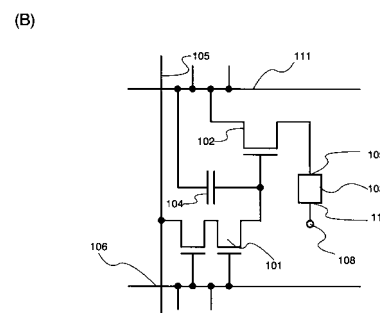
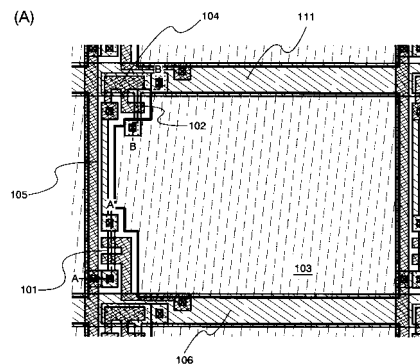
(54) 【発明の名称】 発光装置

(57) 【要約】

【課題】電気光学装置において、新規の構成を有する画素回路を用いることにより、従来の構成の画素よりも高い開口率を実現することを目的とする。

【解決手段】*i* 行目を除くゲート信号線の電位は、*i* 行目のゲート信号線106が選択されている以外の期間においては定電位となっていることを利用し、*i* - 1行目のゲート信号線111を*i* 行目のゲート信号線106によって制御されるEL素子103への電流供給線として兼用することで配線数を減らし、高開口率を実現する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、第 5 の導電層と、第 6 の導電層と、発光素子と、を有し、

前記第 1 のトランジスタは、チャンネルを形成することができる機能を有する領域を複数有し、

前記第 1 のトランジスタのゲートは、前記第 1 の導電層に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 の導電層を介して前記第 3 の導電層に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 4 の導電層を介して前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 5 の導電層を介して前記発光素子に電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 6 の導電層に電氣的に接続され、

前記第 1 の導電層と前記第 6 の導電層とは、第 1 の方向に延びて設けられ、

前記第 3 の導電層は、前記第 1 の方向と交差する第 2 の方向に延びて設けられ、

前記第 1 の導電層、前記第 2 の導電層、前記第 4 の導電層、前記第 5 の導電層及び前記第 6 の導電層は、同一の層に設けられ、

前記第 3 の導電層は、前記第 1 の導電層とは異なる層に設けられていることを特徴とする発光装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置の構成に関する。本発明は、特に、絶縁基板上に作成される薄膜トランジスタ(TFT)を有するアクティブマトリクス型電子装置に関する。

【背景技術】

【0002】

近年、LCD(液晶ディスプレイ)に替わるフラットパネルディスプレイとして、ELディスプレイが注目を集めており、活発な研究が行われている。

【0003】

EL素子は、エレクトロルミネッセンス(Electro Luminescence: 電場を加えることで発生するルミネッセンス)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明はどちらの発光を用いた電子装置にも適用可能である。

【0004】

なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】

また、本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

【0006】

LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはパッシブマトリクス型、もう1つが

10

20

30

40

50

アクティブマトリクス型である。

【0007】

パッシブマトリクス型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。

一方、アクティブマトリクス型の場合は、各画素にTFTを有し、各画素内で信号を保持出来るようになっている。

【0008】

ELディスプレイに用いられているアクティブマトリクス型電子装置の構成例を図15に示す。図15(A)は全体回路構成図であり、中央に画素部を有している。画素部の左側には、ゲート信号線を制御するためのゲート信号線側駆動回路が配置されている。画素部の上側には、ソース信号線を制御するためのソース信号線側駆動回路が配置されている。図15(A)において、点線枠で囲まれている部分が1画素分の回路である。拡大図を図15(B)に示す。図15(B)

において、1501は、画素に信号を書き込む時のスイッチング素子として機能するTFT(以下、スイッチング用TFTという)である。図15(B)では、スイッチング用TFTはダブルゲート構造となっているが、シングルゲート構造あるいはトリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造をとっても良い。また、TFTの極性は回路の構成形態によっていずれかの極性を用いれば良い。1502はEL素子1503に供給する電流を制御するための素子(電流制御素子)として機能するTFT(以下、EL駆動用TFTという)である。図15(B)では、EL素子1503の陽極1509と電流供給線1507との間に配置されている。別の構成方法として、EL素子1503の陰極1510と陰極電極1508の間に配置したりすることも可能である。また、TFTの極性は回路の構成形態によっていずれかの極性を用いれば良い。ただし、トランジスタの動作としてソース接地が良いこと、EL素子1503の製造上の制約などから、EL駆動用TFTにはpチャネル型を用い、EL素子1503の陽極1509と電流供給線1507との間にEL駆動用TFTを配置する方式が一般的であり、多く採用されている。1504は、ソース信号線1506から入力される信号(電圧)を保持するための保持容量である。図15(B)での保持容量1504の一方の端子は、電流供給線1507に接続されているが、専用の配線を用いることもある。スイッチング用TFT1501のゲート端子は、ゲート信号線1505に、ソース端子は、ソース信号線1506に接続されている。また、EL駆動用TFT1502のドレイン端子はEL素子1503の陽極1509に、ソース端子は電流供給線1507に接続されている。

【0009】

次に、同図15を参照して、アクティブマトリクス型電子装置の回路の動作について説明する。まず、ゲート信号線1506が選択されると、スイッチング用TFT1501のゲートに電圧が印加され、スイッチング用TFT1501が導通状態になる。すると、ソース信号線1506の信号(電圧)が保持容量1504に蓄積される。保持容量1504の電圧は、EL駆動用TFT1502のゲート・ソース間電圧 V_{GS} となるため、保持容量1504の電圧に応じた電流がEL駆動用TFT1502とEL素子1503に流れる。その結果、EL素子1503が点灯する。

【0010】

EL素子1503の輝度、つまりEL素子1503を流れる電流量は、 V_{GS} によって制御出来る。 V_{GS} は、保持容量1504の電圧であり、それはソース信号線1505に入力される信号(電圧)である。つまり、ソース信号線1505に入力される信号(電圧)を制御することによって、EL素子1503の輝度を制御する。最後に、ゲート信号線1506を非選択状態にして、スイッチング用TFT1501のゲートを閉じ、スイッチング用TFT1501を非導通状態にする。その時、保持容量1504に蓄積された電荷は保持される。よって、 V_{GS} は、そのまま保持され、 V_{GS} に応じた電流がEL駆動用TFT1502とEL素子1503に流れ続ける。

10

20

30

40

50

【 0 0 1 1 】

以上の内容に関しては、SID99 Digest : P372 : “ Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT ”、ASIA DISPLAY98 : P217 : “ High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver ”、Euro Display99 Late News : P27 : “ 3.8 Green OLED with Low Temperature Poly-Si TFT ”などに報告されている。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

アクティブマトリクス型電子装置においては、その表示性能の面から、画素には大きな保持容量を持たせるとともに、高開口率が求められている。各画素が高い開口率を持つことにより光の利用効率が向上し、表示装置の省電力化および小型化が達成出来る。

10

【 0 0 1 3 】

近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は1つの画素に占めるTFTおよび配線の形成面積が大きくなり画素開口率を低減させている。

【 0 0 1 4 】

そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【 0 0 1 5 】

以上のように、少ないマスク数で画素開口率の高いアクティブマトリクス型電子装置を実現するためには、従来にない新しい画素構成が求められている。

20

【 0 0 1 6 】

本発明は、そのような要求に答えるものであり、新規の構成を有する画素を用いて、マスク数および工程数を増加させることなく、高い開口率を実現した画素を有する電子装置を提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 7 】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じた。

【 0 0 1 8 】

本発明の電子装置は、その画素部の構成において、あるゲート信号線が、その選択期間以外の期間においては、一定の電位をとっている点に着目した。本発明の電子装置における特徴は、 i 行目のゲート信号線が選択されているとき、 i 行目の画素に電流を供給する電流供給線を、 i 行目のゲート信号線を含むゲート信号線のいずれか1本によって代用することにより、画素部においてある割合を占めている電流供給線を省略することが出来る、というものである。この方法により、マスク枚数や作成工程数を増加させることなく、画素部において高い開口率を実現することが出来る。また、従来の開口率と同等にするならば、信号線の幅をより大きくとることが出来るため、抵抗の低減やノイズの低減といった、画質の向上に寄与することが出来る。

30

【 0 0 1 9 】

以下に、本発明の電子装置の構成について記載する。

40

【 0 0 2 0 】

請求項1に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、EL素子とを有し、前記スイッチング用トランジスタのゲート電極は、ゲート信号線と電気的に接続され、前記スイッチング用トランジスタの不純物領域のうち、一方はソース信号線と電気的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電気的に接続され、前

50

記 E L 駆動用トランジスタの不純物領域のうち、一方は複数の前記ゲート信号線のうちいずれか 1 本と電氣的に接続され、残る一方は E L 素子の一方の電極と電氣的に接続されていることを特徴としている。

【 0 0 2 1 】

請求項 2 に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E L 駆動用トランジスタと、E L 素子とを有し、
i 行目の画素において、前記スイッチング用トランジスタのゲート電極は、i 行目のゲート信号線と電氣的に接続され、前記スイッチング用トランジスタの不純物領域のうち、一方は前記ソース信号線と電氣的に接続され、残る一方は前記 E L 駆動用トランジスタのゲート電極と電氣的に接続され、前記 E L 駆動用トランジスタの不純物領域のうち、一方は複数の前記ゲート信号線のうちいずれか 1 本と電氣的に接続され、残る一方は E L 素子の一方の電極と電氣的に接続され、i 行目の画素における E L 素子への電流の供給は、i 行目の画素における E L 駆動用トランジスタの不純物領域のうちの一方と電氣的に接続された前記ゲート信号線によって行われることを特徴としている。

10

【 0 0 2 2 】

請求項 3 に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E L 駆動用トランジスタと、E L 素子とを有し、
i 行目の画素において、前記スイッチング用トランジスタのゲート電極は、i 行目のゲート信号線と電氣的に接続され、前記スイッチング用トランジスタの不純物領域のうち、一方は前記ソース信号線と電氣的に接続され、残る一方は前記 E L 駆動用トランジスタのゲート電極と電氣的に接続され、前記 E L 駆動用トランジスタの不純物領域のうち、一方は複数の前記ゲート信号線のうちいずれか 1 本と電氣的に接続され、残る一方は E L 素子の一方の電極と電氣的に接続され、i 行目に走査される前記ゲート信号線は、i 行目に走査される前記ゲート信号線と電氣的に接続された前記スイッチング用トランジスタを制御する機能と、i 行目に走査される前記ゲート信号線と電氣的に接続された E L 駆動用トランジスタを介して、E L 素子への電流供給を行う機能とを有することを特徴としている。

20

30

【 0 0 2 3 】

請求項 4 に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E L 駆動用トランジスタと、E L 素子とを有し、
i 行目の画素において、前記スイッチング用トランジスタのゲート電極は、i 行目のゲート信号線と電氣的に接続され、前記スイッチング用トランジスタの不純物領域のうち、一方は前記ソース信号線と電氣的に接続され、残る一方は前記 E L 駆動用トランジスタのゲート電極と電氣的に接続され、前記 E L 駆動用トランジスタの不純物領域のうち、一方は複数の前記ゲート信号線のうち、i 行目に走査される前記ゲート信号線を除くいずれか 1 本と電氣的に接続され、残る一方は E L 素子の一方の電極と電氣的に接続されていることを特徴としている。

40

【 0 0 2 4 】

請求項 5 に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画

50

素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E L 駆動用トランジスタと、E L 素子とを有し、 i 行目の画素において、前記スイッチング用トランジスタのゲート電極は、 i 行目のゲート信号線と電氣的に接続され、前記スイッチング用トランジスタの不純物領域のうち、一方は前記ソース信号線と電氣的に接続され、残る一方は前記E L 駆動用トランジスタのゲート電極と電氣的に接続され、前記E L 駆動用トランジスタの不純物領域のうち、一方は $i - 1$ 行目に走査される前記ゲート信号線と電氣的に接続され、残る一方はE L 素子の一方の電極と電氣的に接続されていることを特徴としている。

【0025】

請求項6に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E L 駆動用トランジスタと、E L 素子とを有し、ソース信号線より、スイッチング用トランジスタを介してE L 駆動用トランジスタに映像信号が入力され、複数の前記ゲート信号線のうち1本より、E L 駆動用トランジスタを介してE L 素子への電流供給が行われることを特徴としている。

10

【0026】

請求項7に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E L 駆動用トランジスタと、E L 素子とを有し、ソース信号線より、 i 行目に走査される前記ゲート信号線と電氣的に接続されたスイッチング用トランジスタを介してE L 駆動用トランジスタに映像信号が入力され、複数の前記ゲート信号線のうち、 i 行目に走査される前記ゲート信号線を除く1本より、E L 駆動用トランジスタを介してE L 素子への電流供給が行われることを特徴としている。

20

【0027】

請求項8に記載の本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有する電子装置であって、前記ソース信号線駆動回路は、複数のソース信号線を有し、前記ゲート信号線駆動回路は、複数のゲート信号線を有し、前記画素部は、複数の画素がマトリクス状に配置された構造を有し、前記複数の画素はそれぞれ、スイッチング用トランジスタと、E L 駆動用トランジスタと、E L 素子とを有し、ソース信号線より、 i 行目に走査される前記ゲート信号線と電氣的に接続されたスイッチング用トランジスタを介してE L 駆動用トランジスタに映像信号が入力され、 $i - 1$ 行目に走査される前記ゲート信号線より、E L 駆動用トランジスタを介してE L 素子への電流供給が行われることを特徴としている。

30

【0028】

請求項9に記載の本発明の電子装置は、請求項1乃至請求項8のいずれか1項に記載の電子装置において、前記E L 素子の発光方向が、駆動回路が形成されている基板に向かう方向であるとき、前記E L 素子と電氣的に接続された前記E L 駆動用トランジスタの極性はPチャンネル型であり、前記E L 素子の発光方向が、駆動回路が形成されている基板に向かう方向に対して逆の方向であるとき、前記E L 素子と電氣的に接続された前記E L 駆動用トランジスタの極性はNチャンネル型であることを特徴としている。

40

【0029】

請求項10に記載の本発明の電子装置は、請求項1乃至請求項9のいずれか1項に記載の電子装置において、ゲート信号線は、アルミニウムあるいはそれを主たる成分とした材料を用いて形成されることを特徴としている。

【発明の効果】

【0030】

50

本発明の電子装置を用いることにより、電源供給線が必要なくなるため、従来の電子装置に比べて、パネル作成プロセスにおけるマスク枚数や工程数の増加を伴うことなく、より高い開口率を実現することが出来る。あるいは、従来通りの開口率であれば、その分、信号線を太くすることが出来るため、抵抗率が下がり、クロストーク、輝度傾斜などを低減することが出来、画質の向上を実現することが出来る。

【図面の簡単な説明】

【0031】

【図1】本発明における、電流供給線とゲート信号線を共有する構造を有する画素の平面図および回路図。

【図2】専用の電流供給線とゲート信号線を有する構造の画素の平面図および回路図。

【図3】本発明における、電流供給線とゲート信号線を共有する構造を有する画素を3行2列に配置した様子を示す回路図。

【図4】本発明の画素を用いるための基本的な信号パターンを説明する図。

【図5】実施例1に示している、本発明の画素を有する電子装置の回路構成例を示す図。

【図6】実施例1に示している、本発明の画素を有する電子装置を駆動する例を説明するタイミングチャート。

【図7】実施例1に示している、本発明の画素を有する電子装置を駆動する例を説明するタイミングチャート。

【図8】実施例2に示している、電子装置の作製工程例を示す図。

【図9】実施例2に示している、電子装置の作製工程例を示す図。

【図10】実施例2に示している、電子装置の作製工程例を示す図。

【図11】実施例3に示している電子装置の上面図および断面図。

【図12】実施例4に示している電子装置の上面図および断面図。

【図13】実施例5に示している、電子装置の画素部断面図。

【図14】実施例6に示している、電子装置の画素部断面図。

【図15】電子装置の回路構成例を示す図。

【図16】実施例7に示している、本発明の画素を有する電子装置を駆動する例を説明するタイミングチャート。

【図17】実施例7に示している、本発明の画素を有する電子装置の回路構成例を示す図。

【図18】実施例8に示している、本発明の画素を有する電子装置を駆動する例を説明するタイミングチャート。

【図19】実施例8に示している、本発明の画素を有する電子装置の回路構成例を示す図。

【図20】実施例9に示している、本発明の画素を有する電子装置の回路構成例を示す図。

【図21】実施例10に示している、本発明の画素を有する電子装置を駆動する例を説明するタイミングチャート。

【図22】本発明の電子装置を組み込んだ電子装置の例を示す図。

【図23】本発明の電子装置を組み込んだ電子装置の例を示す図。

【発明を実施するための形態】

【0032】

本発明の内容について述べる。図1、図2を参照する。図2は通常の構成のEL画素を、図1は本発明の構成のEL画素を示している。それぞれ、(A)には画素の平面図、(B)にはその回路図を示している。図2(B)中、201はスイッチング用TFT、202はEL駆動用TFT、203はEL画素、204は保持容量、205はソース信号線、206はゲート信号線、207は電流供給線、208は陰極電極、209はEL画素の陽極、210はEL画素の陰極である。

図1(B)中、101はスイッチング用TFT、102はEL駆動用TFT、103はEL画素、104は保持容量、105はソース信号線、106はi行目に走査されるゲート

10

20

30

40

50

信号線、108は陰極配線、109はEL画素の陽極、110はEL画素の陰極、111は隣り合う1行前の行のゲート信号線である。スイッチングTFT101, 201は、前述したように、EL素子の構造に応じて極性を決定すれば良い。

【0033】

また、図1、図2におけるスイッチング用TFTは、ダブルゲート構造をとっているが、シングルゲート構造でも良いし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造をとっていても良い。

【0034】

なお、EL駆動用TFTのソース領域とドレイン領域のうちいずれか一方に電気的に接続されているゲート信号線は、必ずしも隣り合う1行前の行のゲート信号線である必要はない。

10

【0035】

従来の画素構成では、図2に示すように、専用の電流供給線207を配置し、EL駆動用TFT202のソース電極や保持容量204の電極を電流供給線207に接続していた。対して本発明では、図1に示すように、EL駆動用TFT102のソース電極や保持容量104の電極は、別の行のゲート信号線111に接続する。この場合、配置の関係と各部の電圧の関係とにより、1行前に走査されるゲート信号線に接続するのが望ましい。

【0036】

図1(B)に示した画素1個分の回路を、3行2列に画素を並べた場合の回路図を図3に示す。なお、図3中の画素は図1(B)にて示したものと同様であるので、番号は図1(B)に付したものを継承する。図3では、i行目のゲート信号線106によって制御される画素部を、Aで示される点線枠で囲っている。ただし図では2列分のみ表示しているが、列方向にはパネルの水平方向の画素数分続くものである。EL駆動用TFT102のソース領域や保持容量104の電極は、i-1行目の行のゲート信号線111に接続している。ゲート信号線は、図において向かって上の行から順に下方向に走査されていくので、1行前のゲート信号線に接続していることになる。

20

【0037】

本発明の着眼点は、現在選択している行に信号を書き込んでいるとき、既に1行前のゲート信号線は非選択状態に戻っているということである。そして、再び選択されるようになるまでの間は、電位は一定(非選択状態)に保たれる。そこで、1行前のゲート信号線を定電位線、つまり、電流供給線として取り扱う点に特徴がある。つまり、ゲート信号線と電流供給線とを共用するようにする。その結果、配線数を減らすことが出来、開口率を向上させることが出来る。

30

【0038】

次に、図1に示した本発明の電子装置を駆動するための基本的な信号パターンを図4に示す。ここでは、各部の電位は、スイッチング用TFT、EL駆動用TFTの極性がともにpチャネル型である場合を例として示している。図4では、同じ列の画素(ある1本のソース信号線に接続されている画素)におけるi-1行目からi+2行目までの4行分の各配線での信号パターンを示している。そして、説明のため、時間を期間Aから期間Fまでに分割して示している。図4に示されているのは、i-1行目からi+2行目までの、EL駆動用TFT102のゲート電位、ソース信号線105の電位、ゲート信号線106の電位、陰極配線108の電位、EL駆動用TFT102のゲート・ソース間電圧 V_{GS} である。

40

【0039】

まず、各行において、ゲート信号線が選択されて、次の行へシフトしていく。スイッチング用TFTは、pチャネル型であるので、ゲート信号線の電位がスイッチング用TFTのソース領域の電位よりも十分に低い(つまりスイッチング用TFTのゲート・ソース間電圧の絶対値がしきい値電圧を上回る)ときに、スイッチング用TFTは導通状態となる。その時のゲート信号線の電位は、ソース信号線の電圧が画素に書き込まれるようにするため、ソース信号線での最も低い電位よりも十分低くしておく必要がある。まず

50

、 $i - 1$ 行目では、期間Bにおいて、ゲート信号線が選択される。 i 行目では、期間Cにおいて選択され、 $i + 1$ 行目では、期間Dにおいて選択され、 $i + 2$ 行目では、期間Eにおいて選択される。このように、各行において、ゲート信号線が選択されて、次の行へシフトしていく。

【0040】

次に、ソース信号線の電位について述べる。ここでは、ある1列のソース信号線に、各行の画素が接続している。よって、 $i - 1$ 行目から $i + 2$ 行目までにおいて、ソース信号線の電位は同一である。ここでは、期間Aと期間Dとにおいて、期間の終了時におけるソース信号線の電位はH i 信号の状態にあり、期間B、期間C、期間E、期間Fにおいて、期間の終了時におけるソース信号線の電位はL 0 信号の状態にあるとする。実際のソース信号線の電位は、表示パターンによって、様々な値を取る。

10

【0041】

次に、各画素のEL駆動用TFTのゲート電極での電位について述べる。まず、 i 行目について考える。期間A以前の期間においては、 i 行目の画素のEL駆動用TFTのゲート電極の電位は、高い状態にあるとする。そして期間Bにおいては、 i 行目の画素のEL駆動用TFTのゲート電極での電位は下がる。これは、 i 行目の保持容量の片方の電極が $i - 1$ 行目のゲート信号線に接続されており、その $i - 1$ 行目のゲート信号線が選択され、 $i - 1$ 行目のゲート信号線の電圧が低くなることが原因である。つまり、保持容量には、すでに蓄積されている電荷があり、保持容量の両端には、その電荷に応じた電圧がかかっている。その状態において、保持容量の片方の電極、つまり、 $i - 1$ 行目のゲート信号線の電圧を下げる。すると、 i 行目のスイッチング用TFTが非導通状態にあるため、 i 行目の画素の保持容量の電荷、つまり、保持容量の両端の電圧はそのまま保持され、保持容量のもう一方の電極、つまり、 i 行目のEL駆動用TFTのゲート電極の電位も同程度だけ下がる。よって、保持容量の両端の電圧、つまり、 i 行目のEL駆動用TFTのゲート・ソース間電圧は、 $i - 1$ 行目のゲート信号線の電位が変わっても、変化しない。

20

【0042】

この場合、期間Aでは、 i 行目の画素のEL駆動用TFTのゲート・ソース間電圧の絶対値は小さいので、EL素子には、電流が流れず、非発光状態にあった。

従って、期間Bにおいても、EL駆動用TFTのゲート電極の電位は下がったが、同時に、EL駆動用TFTのソース電極の電位も下がるため、EL駆動用TFTのゲート・ソース間電圧は、期間Aと期間Bとでは、同じである。よって、期間Bにおいては、 i 行目の画素のEL素子には、電流は流れない。また、たとえ、EL駆動用TFTが導通状態にあったとしても、期間Bでは、EL駆動用TFTのソース電極の電位は下がり、EL素子の陰極配線の電位よりも低くなることが想定されるため、EL素子には、順バイアスの電圧はかからなくなるため、電流は流れなくなる。そして、期間Bの最後において、 $i - 1$ 行目のゲート信号線の電圧が元に戻る。その結果、 i 行目の画素のEL駆動用TFTのゲート電極の電位も元に戻る。

30

【0043】

次に、期間Cに移る。期間Cでは、 i 行目のゲート信号線が選択される。よって、 i 行目の画素のEL駆動用TFTのゲート電極の電位は、ソース信号線の電位と同じになる。期間Cでは、ソース信号線は、L 0 信号の状態にあるとしている。よって、 i 行目の画素のEL駆動用TFTのゲート電極の電位も、ソース信号線と同電位となり、低くなる。その時、保持容量の片方の電極、つまり、 $i - 1$ 行目のゲート信号線の電位は、すでに高い状態に戻っている。よって、保持容量には、 $i - 1$ 行目のゲート信号線と i 行目の画素のEL駆動用TFTのゲート電極との間の電圧が加わることになり、 i 行目の画素のEL駆動用TFTのゲート・ソース間電圧の絶対値は大きくなる。従って、 i 行目の画素のEL駆動用TFTは導通状態になる。また、 $i - 1$ 行目のゲート信号線の電位、つまり、 i 行目の画素のEL駆動用TFTのソース電極の電位は、すでに高い状態に戻っているので、 i 行目のEL素子の陽極の電位は、陰極配線の電位よりも高い。その結果、 i 行目のEL素子に電流が流れ、発光する。 i 行目のEL素子を流れる電流は、 $i - 1$ 行目のゲート信

40

50

号線を通して供給される。よって、各行のゲート信号線の配線抵抗は、十分低くしておく必要がある。

【0044】

次に、期間Dへ移る。期間Dでは、 i 行目のゲート信号線の電圧が元に戻り、 i 行目のスイッチング用TFTは非導通状態になる。そして、 i 行目の画素のEL駆動用TFTのゲート電極の電位は、そのまま保持される。この時、 $i-1$ 行目のゲート信号線の電位、つまり、 i 行目の画素の保持容量の電極とEL駆動用TFTのソース電極の電位もそのまま変わらない。よって、以後、 i 行目の画素のEL駆動用TFTは導通状態になり、 i 行目のEL素子に電流が流れ続ける。

【0045】

同様に、 $i+1$ 行目について考える。期間B以前の期間においては、 $i+1$ 行目の画素のEL駆動用TFTのゲート電極の電位は、高い状態にあるとする。そして期間Cにおいては、 $i+1$ 行目の画素のEL駆動用TFTのゲート電極での電位は下がる。これは、 $i+1$ 行目の保持容量の片方の電極が i 行目のゲート信号線に接続されており、その i 行目のゲート信号線が選択され、 i 行目のゲート信号線の電圧が低くなるのが原因である。そして、期間Cの最後において、 i 行目のゲート信号線の電圧が元に戻り、 $i+1$ 行目の画素のEL駆動用TFTのゲート電極の電位も元に戻る。

【0046】

次に、期間Dに移る。期間Dでは、 $i+1$ 行目のゲート信号線が選択される。よって、 $i+1$ 行目の画素のEL駆動用TFTのゲート電極の電位は、ソース信号線の電位と同じになる。期間Dでは、ソース信号線は、H信号の状態にあるとしている。よって、 $i+1$ 行目の画素のEL駆動用TFTのゲート電極の電位も、ソース信号線と同電位となり、高くなる。その時、保持容量の片方の電極、つまり、 i 行目のゲート信号線の電位は、すでに高い状態に戻っている。よって、保持容量には、 i 行目のゲート信号線と $i+1$ 行目の画素のEL駆動用TFTのゲート電極との間の電圧が加わることになり、EL駆動用TFTのゲート・ソース間電圧の絶対値は小さくなる。従って、 $i+1$ 行目の画素のEL駆動用TFTは非導通状態になり、 $i+1$ 行目のEL素子に電流が流れず、発光しない。

【0047】

次に、期間Eへ移る。期間Eでは、 $i+1$ 行目のゲート信号線の電圧が元に戻り、 $i+1$ 行目のスイッチング用TFTは非選択状態になる。 $i+1$ 行目の画素のEL駆動用TFTのゲート電極の電位はそのまま保持される。 i 行目のゲート信号線の電位、つまり、 $i+1$ 行目の画素の保持容量の電極とEL駆動用TFTのソース電極の電位もそのまま変わらない。よって、以後、 $i+1$ 行目の画素のEL駆動用TFTは非導通状態になり、 $i+1$ 行目のEL素子に電流が流れない状態が続く。

【0048】

同様に、 $i+2$ 行目について考える。期間C以前の期間においては、 $i+2$ 行目の画素のEL駆動用TFTのゲート電極の電位は、低い状態にあるとする。そして期間Dにおいては、 $i+2$ 行目の画素のEL駆動用TFTのゲート電極での電位は下がる。これは、 $i+2$ 行目の保持容量の片方の電極が $i+1$ 行目のゲート信号線に接続されており、その $i+1$ 行目のゲート信号線が選択され、 $i+1$ 行目のゲート信号線の電圧が低くなるのが原因である。期間C以前の期間では、 $i+2$ 行目の画素のEL駆動用TFTのゲート・ソース間電圧の絶対値は大きいので、 $i+2$ 行目の画素のEL素子には、電流が流れ、発光状態にあった。期間Dにおいては、EL駆動用TFTのゲート電極の電位は下がったが、同時に、EL駆動用TFTのソース電極の電位も下がるため、EL駆動用TFTのゲート・ソース間電圧は、期間C以前の期間と期間Dとでは、同じである。ただし、EL駆動用TFTが導通状態にあったとしても、期間Dでは、EL駆動用TFTのソース電極の電位は下がり、EL素子の陰極配線の電位よりも低くなるため、EL素子には、電流は流れなくなる。そして、期間Dの最後において、 $i+1$ 行目のゲート信号線の電圧が元に戻る。その結果、 $i+2$ 行目の画素のEL駆動用TFTのゲート電極の電位も元に戻る。

10

20

30

40

50

【0049】

次に、期間Eに移る。期間Eでは、 $i + 2$ 行目のゲート信号線が選択される。よって、 $i + 2$ 行目の画素のEL駆動用TFTのゲート電極の電位は、ソース信号線の電位と同じになる。期間Eでは、ソース信号線は、L信号の状態にあるとしている。よって、 $i + 2$ 行目の画素のEL駆動用TFTのゲート電極の電位も、ソース信号線と同電位となり、低くなる。その時、保持容量の片方の電極、つまり、 $i + 1$ 行目のゲート信号線の電位は、すでに高い状態に戻っている。よって、保持容量には、 $i + 1$ 行目のゲート信号線と $i + 2$ 行目の画素のEL駆動用TFTのゲート電極との間の電圧が加わることになり、EL駆動用TFTのゲート・ソース間電圧の絶対値は大きくなる。従って、 $i + 2$ 行目の画素のEL駆動用TFTは導通状態になり、 $i + 2$ 行目のEL素子に電流が流れ、発光する。 $i + 2$ 行目のEL素子を流れる電流は、 $i + 1$ 行目のゲート信号線を通して供給される。

10

【0050】

次に、期間Fへ移る。期間Fでは、 $i + 2$ 行目のゲート信号線の電圧が元に戻り、 $i + 2$ 行目のスイッチング用TFTは非導通状態になる。 $i + 2$ 行目の画素のEL駆動用TFTのゲート電極の電位はそのまま保持される。 $i + 1$ 行目のゲート信号線の電位、つまり、 $i + 2$ 行目の画素の保持容量の電極とEL駆動用TFTのソース電極の電位もそのまま変わらない。よって、以後、 $i + 2$ 行目の画素のEL駆動用TFTは導通状態になり、 $i + 2$ 行目のEL素子に電流が流れ続ける。

【0051】

以上のような動作を繰り返していけば、EL駆動用TFT102のソース電極や保持容量104の電極を別の行のゲート信号線に接続することにより、ゲート信号線を通してEL素子に電流を供給させて、動作させることが出来る。

20

【0052】

次に、TFTの極性について述べる。

【0053】

EL駆動用TFTの場合は、従来通りが良い。つまり、 n チャネル型でも p チャネル型でも良い。ただし、トランジスタの動作としてソース接地が良いこと、EL素子の製造上の制約などを考えると、 p チャネル型の方が望ましい。

【0054】

スイッチング用TFTについては、ゲート信号線の電位によって、設定する必要がある。つまり、ゲート信号線とEL素子の陽極電極とをEL駆動用TFTを介して接続する場合には、EL素子に電流を流すためには、ゲート信号線の電位は、陰極配線よりも高くする必要がある。よって、スイッチング用TFTにおいて、非導通状態においてゲート信号線を高い電位にしておくためには、 p チャネル型を用いる必要がある。一方、もし仮に、ゲート信号線とEL素子の陰極電極とをEL駆動用TFTを介して接続する場合には、スイッチング用TFTは、 n チャネル型を用いる必要がある。

30

【0055】

なお、本発明は、アナログ階調方式、デジタル階調方式のどちらでも適応可能である。

【0056】

以下に本発明の実施例について記述する。

40

【実施例1】

【0057】

図5(A)に、電子装置全体の回路構成例を示す。中央に画素部が配置されている。1画素分の回路図は、図5(A)において、点線枠500で囲んだ部分である。図5(B)に回路図を示す。図5(B)内に付した番号は図1(B)のものと同じである。左側には、ゲート信号線106、111を制御するための、ゲート信号線側駆動回路が配置されている。図示していないが、ゲート信号線側駆動回路は、画素部の左右両側に対称に配置するとより効果的に駆動できる。上側には、ソース信号線105を制御するため、ソース信号線側駆動回路が配置されている。

50

【 0 0 5 8 】

ソース信号線 1 0 5 に入力する信号は、デジタル量でもアナログ量でも構わない。つまり、本発明は、デジタル階調の場合であっても、アナログ階調の場合であっても、適用する事が出来る。

【 0 0 5 9 】

次に、デジタル階調と時間階調を組み合わせて、 k ビット (2^k) の階調を表現させた場合について述べる。簡単のため、3ビット ($2^3 = 8$) の階調を表現することにする。図 6、図 7 に、各行のゲート信号線の電位を示したタイミングチャートを示す。画素を構成する T F T の極性には、スイッチング用 T F T、E L 駆動用 T F T とともに p チャネル型を用いる場合を例とした。

10

【 0 0 6 0 】

タイミングチャートの構成としては、まず、1 フレーム期間を 3 個のサブフレーム期間、 $S F_1 \sim S F_3$ に分割する。各サブフレーム期間の中には、アドレス (書き込み) 期間 $T a_1 \sim T a_3$ やサステイン (点灯) 期間 $T s_1 \sim T s_3$ がある。 $T s_1 \sim T s_3$ の長さは、2 のべき乗で変わるようにする。つまり、 $T s_1 : T s_2 : T s_3 = 4 : 2 : 1$ とする。

【 0 0 6 1 】

まず、1 行ずつ、画素に信号を入力していく。この場合、ゲート信号線 1 0 6 を選択して、ソース信号線 1 0 5 を通って、画素に信号を入力していく。そして、この動作を、ゲート信号線第 1 行目から最終行目まで行う。

【 0 0 6 2 】

ここで、アドレス期間は、1 行目のゲート信号線が選択されてから、最終行目のゲート信号線が選択される時までの期間である。よって、アドレス期間の長さは、どのサブフレーム期間中においても、同一である。

20

【 0 0 6 3 】

次に、 $S F_2$ に移る。ここでも同様に、ゲート信号線 1 0 6 を選択して、ソース信号線 1 0 5 を通って、画素に信号を入力していく。そして、この動作を、ゲート信号線第 1 行目から最終行目まで行う。

【 0 0 6 4 】

この間、陰極配線 1 0 8 における電位は、一定である。よって、各画素のサステイン期間は、ある 1 つのサブフレーム期間で画素に信号が書き込まれた時から、次のサブフレーム期間で画素に信号が書き込まれる時までの期間となる。従って、あるサブフレーム期間においては、各行によって、サステイン期間のタイミングは異なるが、その長さは全て同じである。

30

【 0 0 6 5 】

次に、 $S F_3$ に移る。ここでも同様に、ゲート信号線 1 0 6 を選択して、ソース信号線 1 0 5 を通って、画素に信号を入力していく。 $S F_3$ では、アドレス期間 $T a_3$ は、サステイン期間 $T s_3$ よりも長い。よって、 $T s_3$ の期間が終了して、すぐに次のフレーム期間のサブフレーム $S F_1$ でのアドレス期間 $T a_1$ に入ると、異なる 2 行のゲート信号線を同時に選択することになるため、正常に 2 行分の信号を同時に入力することは出来ない。そこで、 $T s_3$ の期間が終了した後、1 行目から順に、1 行前のゲート信号線の電位を上げていくようにする。つまり、1 行前のゲート信号線を選択状態にする。すると、1 行目の画素から順に、E L 素子に電圧が印加されなくなっていく、E L 素子が点灯しなくなっていく。ただしこの時は、複数行のゲート信号線が同時に選択されるので、無関係な行にも信号が入力されていく。しかし実際は、無関係な行では、E L 素子に電圧が印加されなくなっており、E L 素子は点灯しなくなっていくので、考えなくても良い。

40

そして、アドレス期間 $T a_3$ が終了し、次のアドレス期間 $T a_1$ が開始すると、通常の動作に戻していく。これにより、サステイン期間 $T s_3$ の長さを制御することが出来る。このように、一つ前の行のゲート信号線の電位を上げておき、非表示期間を設ける期間を、クリア期間 ($T c_n$ n : サブフレーム期間に付された番号) と呼ぶことにする。

【 0 0 6 6 】

50

このように、サステイン期間がアドレス期間よりも短い場合、サステインが終了してから、アドレス期間が終了する、あるいは、次のアドレス期間が開始するまでの期間をクリア期間に設定する。これにより、サステイン期間がアドレス期間よりも短くても、サステイン期間の長さを自由に設定することが出来る。

【実施例 2】

【0067】

本実施例においては、実施例 1 で説明した電子装置の作成方法例として、画素部の周辺に設けられる駆動回路（ソース信号線側駆動回路、ゲート信号線側駆動回路等）の TFT と、画素部のスイッチング TFT および EL 駆動用 TFT とを同一基板上に作成する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路部としてはその基本構成回路である CMOS 回路と、画素部としてはスイッチング用 TFT と EL 駆動用 TFT とを図示することにする。

10

【0068】

まず、図 8 (A) に示すように、コーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5001 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5002 を形成する。

例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 5002a を 10 ~ 200 [nm] (好ましくは 50 ~ 100 [nm]) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 5002b を 50 ~ 200 [nm] (好ましくは 100 ~ 150 [nm]) の厚さに積層形成する。本実施例では下地膜 5002 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

20

【0069】

島状半導体層 5003 ~ 5006 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5003 ~ 5006 の厚さは 25 ~ 80 [nm] (好ましくは 30 ~ 60 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【0070】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 30 [Hz] とし、レーザーエネルギー密度を 100 ~ 400 [mJ/cm^2] (代表的には 200 ~ 300 [mJ/cm^2]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 10 [kHz] とし、レーザーエネルギー密度を 300 ~ 600 [mJ/cm^2] (代表的には 350 ~ 500 [mJ/cm^2]) とすると良い。そして幅 100 ~ 1000 [μm]、例えば 400 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 80 ~ 98 [%] として行う。

30

40

【0071】

次いで、島状半導体層 5003 ~ 5006 を覆うゲート絶縁膜 5007 を形成する。ゲート絶縁膜 5007 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40 ~ 150 [nm] としシリコンを含む絶縁膜で形成する。本実施例では、120 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 40 [Pa]、基板温度 300 ~ 400 [] とし、高周波 (13.56 [MHz]) 電力密度 0.5 ~ 0.8 [W/cm^2] で放電させて形成することが

50

出来る。

このようにして作製される酸化シリコン膜は、その後400～500[]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0072】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0073】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相のTa膜の抵抗率は20[μ cm]程度でありゲート電極に使用することが出来るが、相のTa膜の抵抗率は180[μ cm]程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることが出来る。

10

【0074】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[μ cm]を実現することが出来る。

20

【0075】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成しても良い。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いても良い。本実施例以外の他の組み合わせの一例は、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられるが、特に、第1の導電膜5008と第2の導電膜5009とが、エッチングにより選択比の取れる組み合わせを用いて形成することが好ましい。

30

(図8(A))

【0076】

次に、レジストによるマスク5010を形成し、電極および配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜およびTa膜とも同程度にエッチングされる。

40

【0077】

上記のエッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層および第2の導電層の端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20[%]程度の割合でエッチング時間を

50

増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016（第1の導電層5011a～5016aと第2の導電層5011b～5016b）を形成する。ゲート絶縁膜5007は、第1の形状の導電層5011～5016で覆われない領域は20～50[nm]程度エッチングされ、薄くなった領域が形成される。

【0078】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60～100[keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011～5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5025が形成される。第1の不純物領域5017～5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加する。(図8(B))

10

【0079】

次に、第2のエッチング処理を行う。同様にICPEッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1[Pa]の圧力でコイル型の電極に500[W]のRF電力(13.56[MHz])を供給し、プラズマを生成して行う。

20

基板側(試料ステージ)には50[W]のRF(13.56[MHz])電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層5026～5031（第1の導電層5026a～5031aと第2の導電層5026b～5031b）を形成する。ゲート絶縁膜5007は、第2の形状の導電層5026～5031で覆われない領域はさらに20～50[nm]程度エッチングされ、薄くなった領域が形成される。(図8(C))

【0080】

W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜およびTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

30

40

【0081】

そして、図9(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図8(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層5026a～5030aと重なる第3の不純物領域5032～5041と、第1の不純物領域と第3

50

の不純物領域との間の第2の不純物領域5042～5051とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19}$ [atoms/cm³]の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18}$ [atoms/cm³]の濃度となるようにする。

【0082】

そして、図9(B)に示すように、pチャネル型TFTを形成する島状半導体層5004、5005、5006に一導電型とは逆の導電型の第4の不純物領域5052～5074を形成する。第2の導電層5012～5015を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5003、配線を形成する第2の導電層5031はレジストマスク5200で全面を被覆しておく。不純物領域5052～5054、5055～5057、5058～5060、5061～5065、5066～5068、5069～5071、5072～5074にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

10

【0083】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の形状の導電層5026～5030がゲート電極として機能する。また、5031は信号線として機能する。

【0084】

こうして導電型の制御を目的として図9(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 []、代表的には500～600 []で行うものであり、本実施例では500 []で4時間の熱処理を行う。ただし、5026～5031に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

20

【0085】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 []で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

30

【0086】

次に、図10(A)に示すように、第1層間絶縁膜5075を形成する。第1層間絶縁膜5075としては、珪素を含む絶縁膜を単層で用いるか、2種類以上の珪素を含む絶縁膜を組み合わせた積層膜を用いれば良い。また、膜厚は400 [nm]～1.5 [μm]とすれば良い。本実施例では、200 [nm]厚の窒化酸化珪素膜を形成した。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことが出来る。本実施例では電熱炉において窒素雰囲気中、550 []、4時間の熱処理を行う。

40

【0087】

このとき、第1層間絶縁膜はゲート電極の酸化を防止する役目を果たしている。

【0088】

さらに、3～100 %の水素を含む雰囲気中で、300～450 []で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不对結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0089】

なお、第1層間絶縁膜5075に積層膜を用いる場合、一つの層を形成する工程と他の層を形成する工程との間に水素化処理を行っても良い。

50

【0090】

次に、活性化工程が終了したら図10(B)に示すように、第2層間絶縁膜5076を形成した後、第1層間絶縁膜5075、第2層間絶縁膜5076、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続電極を含む)5077~5082、ゲート信号線5084をパターンニング形成した後、接続電極5082に接する画素電極5083をパターンニング形成する。

【0091】

第2層間絶縁膜5076としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2層間絶縁膜5076は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化する膜厚でアクリル膜を形成する。好ましくは1~5[μm](さらに好ましくは2~4[μm])とすれば良い。

10

【0092】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、n型の不純物領域5018~5026またはp型の不純物領域5054~5065に達するコンタクトホール、配線5032に達するコンタクトホール、電流供給線5033に達するコンタクトホール、およびゲート電極5029、5030に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0093】

また、配線(接続電極、信号線を含む)5077~5082、5084として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものをを用いる。勿論、他の導電膜を用いても良い。

20

【0094】

ところで、本発明の画素構成を有する回路を構成する際には、前記3層構造の積層膜の一部を利用してゲート信号線を形成し、そのゲート信号線を電流供給線と共用するので、低抵抗の材料(例えば、アルミニウム、銅などを主たる成分とする材料)を用いることが望ましい。

【0095】

また、本実施例では、画素電極5083としてITO膜を110[nm]の厚さに形成し、パターンニングを行った。画素電極5083を接続電極5082と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5083がEL素子の陽極となる。

30

【0096】

次に、図10(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5083に対応する位置に開口部を形成して第3層間絶縁膜5085を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

40

【0097】

次に、EL層5086および陰極(MgAg電極)5087を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5086の膜厚は80~200[nm](典型的には100~120[nm])、陰極5087の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

【0098】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタル

50

マスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にE L層および陰極を形成するのが好ましい。

【0099】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のE L層および陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE L層および陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE L層および陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にE L層および陰極を形成するまで真空を破らずに処理することが好ましい。

10

【0100】

ここではRGBに対応した三種類のE L素子を形成する方式を用いたが、白色発光のE L素子とカラーフィルタを組み合わせた方式、青色または青緑発光のE L素子と蛍光体(蛍光性の変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応したE L素子を重ねる方式などを用いても良い。

【0101】

なお、E L層5086としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をE L層とすれば良い。また、本実施例ではE L素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

20

【0102】

次いで、E L層および陰極を覆って保護電極5088を形成する。この保護電極5088としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極5088はE L層および陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、E L層および陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0103】

最後に、窒化珪素膜でなるパッシベーション膜5089を300[nm]の厚さに形成する。実際には保護電極5088がE L層を水分等から保護する役割を果たすが、さらにパッシベーション膜5089を形成しておくことで、E L素子の信頼性をさらに高めることが出来る。

30

【0104】

こうして図10(B)に示すような構造のアクティブマトリクス型電子装置が完成する。図10(B)中、A-A'、B-B'で示される部分は、図1(A)におけるA-A'断面およびB-B'断面に対応している。

【0105】

なお、本実施例におけるアクティブマトリクス型電子装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0106】

ところで、本実施例のアクティブマトリクス型電子装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

40

【0107】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスマッションゲートなどが含まれる。

50

【0108】

本実施例の場合、nチャンネル型TFTの活性層は、ソース領域、ドレイン領域、GOLD領域、LDD領域およびチャンネル形成領域を含み、GOLD領域はゲート絶縁膜を介してゲート電極と重なっている。

【0109】

また、CMOS回路のpチャンネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャンネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0110】

その他、駆動回路において、チャンネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャンネル型TFTは、チャンネル形成領域の両サイドにチャンネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャンネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。

10

【0111】

なお、実際には図10(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

20

【0112】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中ではELディスプレイ(またはELモジュール)という。

30

【実施例3】

【0113】

本実施例では、本発明の電子装置を作製した例について説明する。

【0114】

図11(A)は本発明を用いた電子装置の上面図であり、図11(A)をX-X'面で切断した断面図を図11(B)に示す。図11(A)において、4001は基板、4002は画素部、4003はソース信号線側駆動回路、4004はゲート信号線側駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

【0115】

このとき、少なくとも画素部、好ましくは駆動回路および画素部を囲むようにしてカバー材4009、密封材4010、シーリング材(ハウジング材ともいう)4011(図11(B)に図示)が設けられている。

40

【0116】

また、図11(B)は本実施例の電子装置の断面構造であり、基板4001、下地膜4012の上に駆動回路用TFT(但し、ここではnチャンネル型TFTとpチャンネル型TFTを組み合わせたCMOS回路を図示している)4013および画素部用TFT4014(但し、ここではEL素子への電流を制御するEL駆動用TFTだけ図示している)が形成されている。これらのTFTは公知の構造(トップゲート構造あるいはボトムゲート構造)を用いれば良い。

【0117】

50

公知の作製方法を用いて駆動回路用 T F T 4 0 1 3、画素部用 T F T 4 0 1 4 が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4 0 1 5 の上に画素部用 T F T 4 0 1 4 のドレインと電氣的に接続する透明導電膜でなる画素電極 4 0 1 6 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITO と呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4 0 1 6 を形成したら、絶縁膜 4 0 1 7 を形成し、画素電極 4 0 1 6 上に開口部を形成する。

【0118】

次に、E L 層 4 0 1 8 を形成する。E L 層 4 0 1 8 は公知の E L 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

10

【0119】

本実施例では、シャドウマスクを用いて蒸着法により E L 層を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層および青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の電子装置とすることもできる。

20

【0120】

E L 層 4 0 1 8 を形成したら、その上に陰極 4 0 1 9 を形成する。陰極 4 0 1 9 と E L 層 4 0 1 8 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で E L 層 4 0 1 8 と陰極 4 0 1 9 を連続成膜するか、E L 層 4 0 1 8 を不活性雰囲気中で形成し、大気解放しないで陰極 4 0 1 9 を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0121】

なお、本実施例では陰極 4 0 1 9 として、L i F（フッ化リチウム）膜と A l（アルミニウム）膜の積層構造を用いる。具体的には E L 層 4 0 1 8 上に蒸着法で 1 [nm] 厚の L i F（フッ化リチウム）膜を形成し、その上に 3 0 0 [nm] 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である M g A g 電極を用いても良い。そして陰極 4 0 1 9 は 4 0 2 0 で示される領域において配線 4 0 0 7 に接続される。配線 4 0 0 7 は陰極 4 0 1 9 に所定の電圧を与えるための電源線であり、導電性ペースト材料 4 0 2 1 を介して F P C 4 0 0 8 に接続される。

30

【0122】

4 0 2 0 に示された領域において陰極 4 0 1 9 と配線 4 0 0 7 とを電氣的に接続するために、層間絶縁膜 4 0 1 5 および絶縁膜 4 0 1 7 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 4 0 1 5 のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜 4 0 1 7 のエッチング時（E L 層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜 4 0 1 7 をエッチングする際に、層間絶縁膜 4 0 1 5 まで一括でエッチングしても良い。この場合、層間絶縁膜 4 0 1 5 と絶縁膜 4 0 1 7 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

40

【0123】

このようにして形成された E L 素子の表面を覆って、パッシベーション膜 4 0 2 2、充填材 4 0 2 3、カバー材 4 0 0 9 が形成される。

【0124】

さらに、E L 素子部を囲むようにして、カバー材 4 0 0 9 と基板 4 0 0 1 の内側にシーリング材 4 0 1 1 が設けられ、さらにシーリング材 4 0 1 1 の外側には密封材（第 2 のシーリング材）4 0 1 0 が形成される。

50

【0125】

このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0126】

また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

10

【0127】

スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0128】

また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

20

【0129】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材4009が透光性を有する必要がある。

【0130】

また、配線4007はシーリング材4011および密封材4010と基板4001との隙間を通してFPC4008に電氣的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通してFPC4008に電氣的に接続される。

【0131】

なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面（露呈面）を覆うようにシーリング材4011を取り付けているが、カバー材4009およびシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009およびシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} [Torr]以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙中の気圧よりも高くして、充填材を空隙の中に充填する。

30

【実施例4】

【0132】

本実施例では、本発明を用いて実施例3とは異なる形態の電子装置を作製した例について、図12(A)、(B)を用いて説明する。図11(A)、(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

40

【0133】

図12(A)は本実施例の電子装置の上面図であり、図12(A)をY-Y'面で切断した断面図を図12(B)に示す。

【0134】

実施例3に従って、EL素子の表面を覆ってパッシベーション膜4022までを形成する。

【0135】

さらに、EL素子を覆うようにして充填材4023を設ける。この充填材4023は、

50

カバー材 4009 を接着するための接着剤としても機能する。充填材 4023 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 4023 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材 4023 の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL 層の劣化を抑えても良い。

【0136】

また、充填材 4023 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0137】

スペーサーを設けた場合、パッシベーション膜 4022 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0138】

また、カバー材 4009 としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 4023 として PVB や EVA を用いる場合、数十 [μm] のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0139】

但し、EL 素子からの発光方向 (光の放射方向) によっては、カバー材 6000 が透光性を有する必要がある。

【0140】

次に、充填材 4023 を用いてカバー材 4009 を接着した後、充填材 4023 の側面 (露呈面) を覆うようにフレーム材 4024 を取り付ける。フレーム材 4024 はシーリング材 (接着剤として機能する) 4025 によって接着される。このとき、シーリング材 4025 としては、光硬化性樹脂を用いるのが好ましいが、EL 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材 4025 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材 4025 の内部に乾燥剤を添加してあっても良い。

【0141】

また、配線 4007 はシーリング材 4025 と基板 4001 との隙間を通過して FPC 4008 に電氣的に接続される。なお、ここでは配線 4007 について説明したが、他の配線 4005、4006 も同様にしてシーリング材 4025 の下を通過して FPC 4008 に電氣的に接続される。

【0142】

なお本実施例では、充填材 4023 を設けてからカバー材 4009 を接着し、充填材 4023 の側面 (露呈面) を覆うようにフレーム材 4024 を取り付けているが、カバー材 4009、シーリング材 4025 およびフレーム材 4024 を取り付けてから、充填材 4023 を設けても良い。この場合、基板 4001、カバー材 4009、シーリング材 4025 およびフレーム材 4024 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (10^{-2} [Torr] 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【実施例 5】

【0143】

ここで本発明の電子装置における画素部のさらに詳細な断面構造を図 13 に示す。

【0144】

図 13 において、基板 4501 上に設けられたスイッチング用 TFT 4502 は公知の

10

20

30

40

50

方法で形成されたnチャンネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造および作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に2つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成されたpチャンネル型TFTを用いて形成しても構わない。

【0145】

また、EL駆動用TFT4503は公知の方法で形成されたnチャンネル型TFTを用いる。スイッチング用TFT4502のドレイン配線4504は配線(図示せず)によってEL駆動用TFT4503のゲート電極4506に電氣的に接続されている。

10

【0146】

EL駆動用TFT4503はEL素子4510を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、EL駆動用TFT4503のドレイン側、あるいはソース側とドレイン側の両方に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける構造は極めて有効である。図13においては、例としてEL駆動用TFT4503のソース側とドレイン側の両方にLDD領域を形成した例を示している。

【0147】

また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャンネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

20

【0148】

また、EL駆動用TFT4503のゲート電極4506を含む配線(図示せず)は、EL駆動用TFT4503のドレイン配線4512と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はEL駆動用TFT4503のゲート電極4506にかかる電圧を保持する機能を有する。

【0149】

スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4514が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4515が形成される。

30

【0150】

4517は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、EL駆動用TFT4503のドレイン領域に一部が覆い被さるように形成され、電氣的に接続される。画素電極4517としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0151】

次に有機樹脂膜4516を画素電極4517上に形成し、画素電極4517に面する部分をパターンングした後、EL層4519が形成される。なおここでは図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

40

【0152】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder and H.Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

50

【0153】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150[nm]（好ましくは40～100[nm]）とすれば良い。

【0154】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光およびそのためのキャリアの移動を行わせるための層）を形成すれば良い。

10

【0155】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0156】

陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522および陽極4523で形成された保持容量とを指す。

【0157】

ところで、本実施例では、陽極4523の上にさらにパッシベーション膜4524を設けている。パッシベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これにより電子装置の信頼性が高められる。

20

【0158】

以上のように本実施例において説明してきた電子装置は図13のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFETと、ホットキャリア注入に強いEL駆動用TFETとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な電子装置が得られる。

30

【0159】

本実施例において説明した構造を有するEL素子の場合、発光層4519で発生した光は、矢印で示されるようにTFETが形成された基板の逆方向に向かって放射される。

【実施例6】

【0160】

本実施例では、実施例5に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図14を用いる。なお、図13の構造と異なる点はEL素子の部分とTFET部分だけであるので、その他の説明は省略することとする。

【0161】

図12において、スイッチング用TFET4502は公知の方法で形成されたpチャネル型TFETを用いる。EL駆動用TFET4503は公知の方法で形成されたpチャネル型TFETを用いる。ここで、スイッチング用TFETとEL駆動用TFETとは、その極性の同じ物を用いることが望ましい。

40

【0162】

本実施例では、画素電極（陽極）4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0163】

そして、樹脂膜でなる第3の層間絶縁膜4526が形成された後、発光層4528が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる

50

電子注入層 4 5 2 9、アルミニウム合金でなる陰極 4 5 3 0 が形成される。

【 0 1 6 4 】

その後、実施例 5 と同様に、有機 E L 材料の酸化を防止するためのパッシベーション膜 4 5 3 2 が形成され、こうして E L 素子 4 5 3 1 が形成される。

【 0 1 6 5 】

本実施例において説明した構造を有する E L 素子の場合、発光層 4 5 2 8 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。

【 実施例 7 】

【 0 1 6 6 】

本実施例においては、実施例 1 とは異なる駆動方法を本発明の電子装置と組み合わせた場合について述べる。説明には図 1 6、図 1 7 を参照する。

10

【 0 1 6 7 】

ここでは、簡単のため、デジタル階調と時間階調とを組み合わせ、3 ビットの階調 ($2^3 = 8$ 階調) を表現する場合について説明する。図 1 6 (A)、(B) にタイミングチャートを示す。1 フレーム期間を 3 つのサブフレーム期間 $S F_1 \sim S F_3$ に分割する。 $S F_1 \sim S F_3$ の各長さは、2 のべき乗で決定される。つまりこの場合、 $S F_1 : S F_2 : S F_3 = 4 : 2 : 1$ ($2^2 : 2^1 : 2^0$) となる。

【 0 1 6 8 】

まず、最初のサブフレーム期間において、1 段ずつ画素に信号を入力していく。ただしこの場合、実際にゲート信号線が選択されるのは、前半のサブゲート信号線選択期間のみである。後半のサブゲート信号線選択期間には、ゲート信号線の選択は行われず、画素への信号の入力も行われない。この動作を、1 段目から最終段まで行う。ここで、アドレス期間は、1 段目のゲート信号線が選択されてから、最終段のゲート信号線が選択されるまでの期間である。よって、アドレス期間の長さは、どのサブフレーム期間においても同一である。

20

【 0 1 6 9 】

続いて、第 2 のサブフレーム期間に入る。ここでも同様に、1 段ずつ画素に信号が入力される。この場合も、前半のサブゲート信号線選択期間においてのみ行われる。この動作を、1 段目から最終段まで行う。

【 0 1 7 0 】

この時、全画素の陰極配線には、一定電圧が印加されている。よって、あるサブフレーム期間における画素のサステイン (点灯) 期間は、あるサブフレーム期間において画素に信号が書き込まれてから、次のサブフレーム期間において画素に信号が書き込まれ始めるまでの期間となる。よって、各段におけるサステイン期間は、時期が異なり、長さが等しい。

30

【 0 1 7 1 】

続いて、第 3 のサブフレーム期間について説明する。まず、第 1、第 2 のサブフレーム期間と同様に、前半のサブゲート信号線選択期間においてゲート信号線を選択し、画素に信号を書き込む場合について考えてみる。この場合、最終段付近の画素への信号の書き込みが始まる時には、すでに次のフレーム期間での 1 段目の画素への書き込み期間、つまりアドレス期間に入ってしまった。その結果、第 3 のサブフレーム期間における最終段付近の画素への書き込みと、次のフレーム期間の第 1 のサブフレーム期間における前半のある画素への書き込みが重複することになるわけである。同時に異なる 2 段分の信号を異なる 2 段の画素に正常に書き込むことはできない。そこで、第 3 のサブフレーム期間においては、後半のサブゲート信号線選択期間にゲート信号線を選択していくことにする。すると、第 1 のサブフレーム期間 (このサブフレーム期間は次のフレーム期間に属している) ではゲート信号線の選択は前半のサブゲート信号線選択期間において行われているから、同時に異なる 2 段の画素に信号を書き込みが行われることを回避することができる。

40

【 0 1 7 2 】

以上のように、本発明の駆動方法においては、あるサブフレーム期間におけるアドレス

50

期間が、別のサブフレーム期間におけるアドレス期間と重複する場合、複数のサブゲート信号線選択期間を利用して書き込み期間の割り当てを行うことにより、実際にゲート信号線の選択タイミングが重複しないようにすることができる。その結果、画素に正常に信号を書き込むことができる。

【0173】

図17(A)は、本実施例の駆動方法を実施するための回路構成例を示している。画素部は、本発明の電子装置の構造を有している。

【0174】

図17(A)において、中央に画素部が配置され、その上方には、ソース信号線を制御するためのソース信号線側駆動回路を有している。また左右には、ゲート信号線を制御するための、1対のゲート信号線側駆動回路を有している。第1のゲート信号線側駆動回路は、前半のサブゲート信号線選択期間にゲート信号線を選択し、第2のゲート信号線側駆動回路は、後半のサブゲート信号線選択期間にゲート信号線を選択する。

10

【0175】

図17(B)は、図17(A)にて点線枠で示されている1画素部を拡大して示している。1701は第1のスイッチング用TFT、1702は第2のスイッチング用TFT、1703はEL駆動用TFT、1704はEL素子、1705は保持容量、1706はソース信号線、1707は第1のゲート信号線側駆動回路によって選択されるi行目の第1のゲート信号線、1708は第2のゲート信号線側駆動回路によって選択されるi行目の第2のゲート信号線、1709は陰極電極、1710はEL素子の陽極、1711はEL素子の陰極、1712はEL素子1704への電流供給線として機能する第3のゲート信号線である。第3のゲート信号線1712に関しては、前述の通り、隣り合う1行前の行のゲート信号線である必要はないが、ここでは簡単のため、隣り合う1行前の行のゲート信号線に接続されている場合を例にとって説明する。

20

【0176】

前半のサブゲート信号線選択期間にゲート信号線を選択する際には、アドレス期間において、第1のゲート信号線側駆動回路からの選択パルスが第1のゲート信号線1707から入力され、第1のスイッチング用TFT1701が導通状態となる。その後、サステイン期間でEL駆動用TFT1703が導通状態となり、第3のゲート信号線1712から供給される電流がEL素子1704に流れ、保持容量1705がEL駆動用TFT1703のゲート電極に印加される電荷を保持している期間だけ発光を続ける。

30

【0177】

後半のサブゲート信号線選択期間にゲート信号線を選択する際には、アドレス期間において、第2のゲート信号線側駆動回路からの選択パルスが第2のゲート信号線1708から入力され、第2のスイッチング用TFT1702が導通状態となる。その後、サステイン期間でEL駆動用TFT1703が導通状態となり、第3のゲート信号線1712から供給される電流がEL素子1704に流れ、保持容量1705がEL駆動用TFT1703のゲート電極に印加される電荷を保持している期間だけ発光を続ける。

【0178】

このように、本発明の画素は、様々な駆動方法と組み合わせて使用することが可能である。

40

【0179】

また、図17(B)におけるTFT1701、1702、1703は、ここではシングルゲートTFTを示しているが、本実施例においてはダブルゲート型や、それ以上のゲート電極を有するマルチゲート型を用いても良い。また、TFTの極性については、EL素子の構造等に合わせて決定すれば良い。

【実施例8】

【0180】

本実施例においては、実施例1におけるクリア期間による非表示期間を、実施例1とは異なる方法により設ける駆動方法を本発明の電子装置と組み合わせた場合について述べる

50

。説明には図18、図19を参照する。

【0181】

図18(A)は、本実施例の駆動方法を行う際の、ゲート信号線の電位を示すタイミングチャートである。各サブフレーム期間におけるゲート信号線選択のタイミングは、実施例1と同様であるので、ここでは説明を省略する。

【0182】

実施例1では、サステイン期間 T_{s3} と、次の行のアドレス期間 T_{a1} の重複を回避するために、電流供給線として機能しているゲート信号線の電位を上げることで、非表示期間(クリア期間)を設けていた。対して、本実施例においては、専用の信号線を用いてリセット信号を入力することにより、実施例1と同様の非表示期間を設ける。ここでは、この期間をリセット期間(T_{rn} : サブフレーム期間に付された番号)と呼ぶことにする。

10

【0183】

図19(A)は、本実施例の駆動方法を実施するための回路構成例を示している。画素部は、本発明の電子装置の構造を有している。

【0184】

図19(A)において、中央に画素部が配置され、その上方には、ソース信号線を制御するためのソース信号線側駆動回路を有している。また左方には、ゲート信号線を制御するための、ゲート信号線側駆動回路を有している。図示していないが、ゲート信号線側駆動回路は、画素アレイの左右両側に配置するとより効果的に駆動できる。本実施例におけるゲート信号線側駆動回路は、リセット信号を出力する回路(図示せず)を有している。

20

【0185】

図19(B)は、図19(A)にて点線枠で示されている1画素部を拡大して示している。1901はスイッチング用TFT、1902はEL駆動用TFT、1903はEL素子、1904は保持容量、1905はリセット用TFT、1906はソース信号線、1907はi行目の第1のゲート信号線、1908は陰極電極、1909はEL素子の陽極、1910はEL素子の陰極、1911はEL素子1903への電流供給線として機能する第2のゲート信号線、1912はリセット信号を入力するためのリセット信号線である。第2のゲート信号線1911に関しては、前述の通り、隣り合う1行前の行のゲート信号線である必要はないが、ここでは簡単のため、隣り合う1行前の行のゲート信号線に接続されている場合を例にとって説明する。

30

【0186】

ゲート信号線側駆動回路からの選択パルスが第1のゲート信号線1907から入力され、スイッチング用TFT1901が導通状態となる。その後、サステイン期間でEL駆動用TFT1902が導通状態となり、第2のゲート信号線1911から供給される電流がEL素子1903に流れ、保持容量1904がEL駆動用TFT1902のゲート電極に印加される電荷を保持している期間だけ発光を続ける。

【0187】

ここで、図18(B)においてサステイン期間 T_{s3} とアドレス期間 T_{a1} との重複を回避するため、リセット期間で、リセット信号線1912よりリセット信号が入力され、リセット用TFT1905が導通状態となり、保持容量1904で保持されていた電荷を逃がす。よってこの期間はEL素子への電流供給は停止し、非点灯状態となる。

40

【0188】

このような方法で非点灯期間を設けることにより、実施例1と同様、アドレス期間とサステイン期間の重複を回避し、正常に画像の表示が可能となる。

【0189】

本実施例で示したような回路を用いる際にも、本発明の電子装置は、容易に応用が可能である。

【0190】

また、図19(B)におけるTFT1901、1902、1905は、ここではシング

50

ルゲートTFTを示しているが、本実施例においてはダブルゲート型や、それ以上のゲート電極を有するマルチゲート型を用いても良い。また、TFTの極性については、EL素子の構造等に合わせて決定すれば良い。

【実施例9】

【0191】

本実施例においては、実施例8におけるリセット信号による非表示期間を、実施例8とは異なる方法により設ける駆動方法を本発明の電子装置と組み合わせた場合について述べる。説明には図20を参照する。

【0192】

図20(A)は、本実施例の駆動方法を実施するための回路構成例を示している。画素部は、本発明の電子装置の構造を有している。

10

【0193】

図20(A)において、中央に画素部が配置され、その上方には、ソース信号線を制御するためのソース信号線側駆動回路を有している。また左方には、ゲート信号線を制御するための、ゲート信号線側駆動回路を有している。図示していないが、ゲート信号線側駆動回路は、画素アレイの左右両側に配置するとより効果的に駆動できる。本実施例におけるゲート信号線側駆動回路は、リセット信号を出力する回路(図示せず)を有している。

【0194】

図20(B)は、図20(A)にて点線枠で示されている1画素部を拡大して示している。2001はスイッチング用TFT、2002はEL駆動用TFT、2003はEL素子、2004は保持容量、2005はリセット用TFT、2006はソース信号線、2007はi行目の第1のゲート信号線、2008は陰極電極、2009はEL素子の陽極、2010はEL素子の陰極、2011はEL素子2003への電流供給線として機能する第2のゲート信号線、2012はリセット信号を入力するためのリセット信号線である。第2のゲート信号線2011に関しては、前述の通り、隣り合う1行前の行のゲート信号線である必要はないが、ここでは簡単のため、隣り合う1行前の行のゲート信号線に接続されている場合を例にとって説明する。

20

【0195】

本実施例にて示す回路の駆動方法は、実施例8のものと同様であるので、図18(A)(B)を参照すればよい。ここでは説明を省略する。実施例8においては、リセット信号の入力により、リセット用TFTを導通状態にして、保持容量の電荷を逃がす方法により、リセット期間を設けていた。これに対して本実施例においては、リセット用TFT2005を、電流供給線である第2のゲート信号線2011と、EL駆動用TFT2002との間に配置する。通常のサステイン期間では、リセット用TFTは導通状態にあり、第2のゲート信号線2011から供給される電流はEL駆動用TFT2002を通過してEL素子2003へと流れる。リセット期間において、リセット信号線2012にリセット信号が入力されると、リセット用TFT2005は非導通状態となり、EL素子への電流供給を遮断する。こうすることにより非表示期間を設ける。

30

【0196】

このような方法で非点灯期間を設けることにより、実施例1および実施例8と同様、アドレス期間とサステイン期間の重複を回避し、正常に画像の表示が可能となる。

40

【0197】

本実施例で示したような回路を用いる際にも、本発明の電子装置は、容易に応用が可能である。

【0198】

また、図20(B)におけるTFT2001、2002、2005は、ここではシングルゲートTFTを示しているが、本実施例においてはダブルゲート型や、それ以上のゲート電極を有するマルチゲート型を用いても良い。また、TFTの極性については、EL素子の構造等に合わせて決定すれば良い。

【実施例10】

50

【0199】

本実施例においては、実施例1、実施例7～実施例9とは異なる駆動方法を本発明の画素と組み合わせた場合について述べる。回路構成に関しては、実施例1で示したものと様のもので良い。以下の説明には図5、図21を参照する。

【0200】

図21(A)は、点灯時間の差を利用して階調を表現する時分割階調方法による駆動を示すタイミングチャートである。本図においては、一例として、フレーム周波数60[Hz]、VGA、4ビット階調の例を示している。

【0201】

1フレーム期間を4個のサブフレーム期間に分割する。各サブフレーム期間は、アドレス期間とサステイン期間とに完全に分離されている。また、サステイン期間 $T_{s_1} \sim T_{s_4}$ は、 $T_{s_1} : T_{s_2} : T_{s_3} : T_{s_4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ となっており、4ビット=16階調を表示出来る。アドレス期間 $T_{a_1} \sim T_{a_4}$ は、それぞれが1画面分の画素への書き込みを行う期間であるから、全て長さが等しい。

10

【0202】

1つのサブフレーム期間に行われるデータの書き込みについて説明する。まずソース信号線を通して入力されるデジタルデータが順にサンプリングされる。1水平期間分(本実施例の例の場合はVGAであるから、640本+ダミー2本としている)のサンプリングが終了した後、一斉にデータがラッチされる。これを全てのゲート信号線の分(本実施例の例の場合はVGAであるから、480本+ダミー2本としている)だけ繰り返し、各ビットにおいて、1フレーム分の書き込みを完了する。

20

【0203】

なお、この書き込みが行われている間は、図21(B)に示すように、陰極108の電位を、電流供給線(本発明の画素と組み合わせる場合は、電流供給線として機能しているゲート信号線111)の電位と等しくしておく。こうすることにより、その期間はEL素子103の陽極109、陰極110間には電圧が発生せず、電流は流れない。つまり、アドレス期間中は、画面内のいずれのEL素子103も発光することはない。

【0204】

アドレス期間内で、各ビットごとに1フレーム分の書き込みが終了した後、先程まで電流供給線と等しい電位にあった陰極108の電位を下げ、点灯させるEL素子の陽極、陰極間に電圧を生じさせることにより、EL素子103に電流が流れ、発光する。EL素子103の発光は、スイッチングTFT101がOFFした後も、保持容量104によってEL駆動用TFT102のゲートへの電圧印加が保たれ、一定期間、発光が継続する。

30

【0205】

本実施例で示した駆動方法は容易に実施が可能であり、本発明の電子装置と組み合わせる場合においても、容易に応用が可能である。

【0206】

また、図5(B)におけるスイッチングTFT101は、ここではダブルゲートTFTを、EL駆動用TFT102は、ここではシングルゲートTFTを示しているが、本実施例においては、シングルゲート型、ダブルゲート型を問わず、3つ以上のゲート電極を有するマルチゲート型を用いても良い。また、TFTの極性については、EL素子の構造等に合わせて決定すれば良い。

40

【実施例11】

【0207】

本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0208】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular S

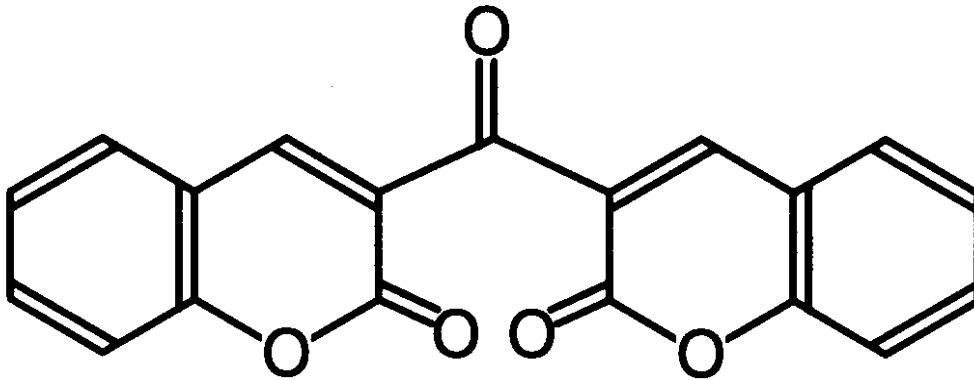
50

systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記の論文により報告された E L 材料 (クマリン色素) の分子式を以下に示す。

【 0 2 0 9 】

【 化 1 】



10

【 0 2 1 0 】

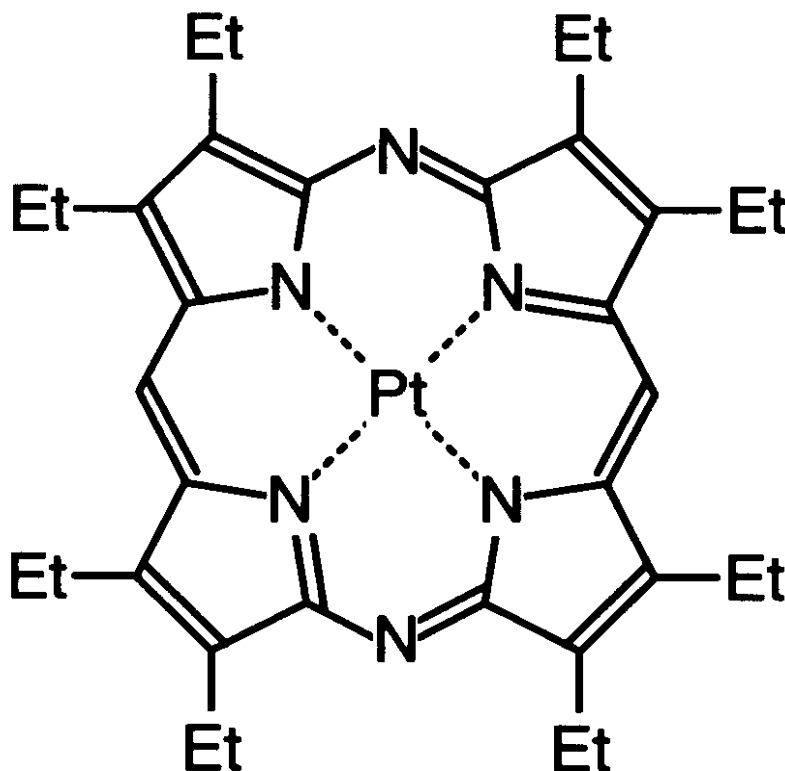
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

20

上記の論文により報告された E L 材料 (Pt 錯体) の分子式を以下に示す。

【 0 2 1 1 】

【 化 2 】



30

40

【 0 2 1 2 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

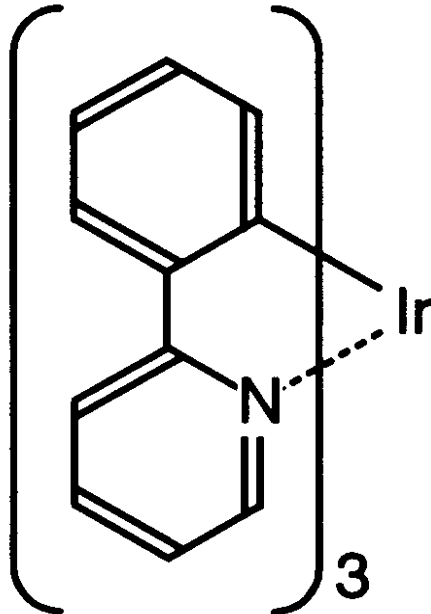
50

(T.Tsutsui, M.J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告された E L 材料 (I r 錯体) の分子式を以下に示す。

【 0 2 1 3 】

【 化 3 】



10

20

【 0 2 1 4 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ~ 4 倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例 1 ~ 実施例 10 のいずれの構成とも自由に組みあわせて実施することが可能である。

30

【 実施例 1 2 】

【 0 2 1 5 】

本発明の電子装置を用いた E L ディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV 放送等を大画面で鑑賞するには対角 30 インチ以上 (典型的には 40 インチ以上) の E L ディスプレイの表示部として本発明の電子装置を用いると良い。

【 0 2 1 6 】

なお、E L ディスプレイには、パソコン用表示装置、TV 放送受信表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部として本発明の E L ディスプレイを用いることが出来る。

40

【 0 2 1 7 】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置 (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的にはデジタルビデオディスク (D V D) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E L ディスプレイを用いることが望ましい。それら電子機器の具体例を図 2 2 および図 2 3 に示す

50

。

【0218】

図22(A)はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の電子装置は表示部3303に用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0219】

図22(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の電子装置は表示部3312に用いることが出来る。

10

【0220】

図22(C)はヘッドマウントELディスプレイの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の電子装置は表示装置3326に用いることが出来る。

【0221】

図22(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335等を含む。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、本発明の電子装置はこれら表示部(a)3334、表示部(b)3335に用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

20

【0222】

図22(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明の電子装置は表示部3342に用いることが出来る。

【0223】

図22(F)はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の電子装置は表示部3353に用いることが出来る。

30

【0224】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0225】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0226】

また、ELディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

40

【0227】

図23(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の電子装置は表示部3404に用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0228】

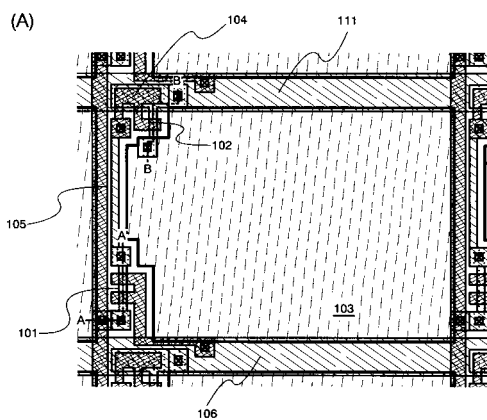
50

図 2 3 (B) は音響再生装置、具体的にはカーオーディオであり、本体 3 4 1 1、表示部 3 4 1 2、操作スイッチ 3 4 1 3、3 4 1 4 を含む。本発明の電子装置は表示部 3 4 1 2 に用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部 3 4 1 4 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

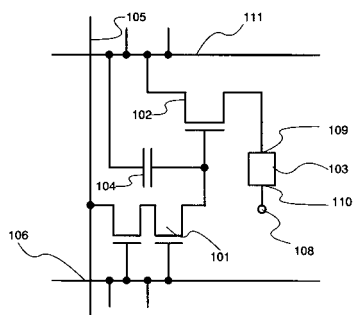
【 0 2 2 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ~ 実施例 1 1 に示したいずれの構成の電子装置を用いても良い。

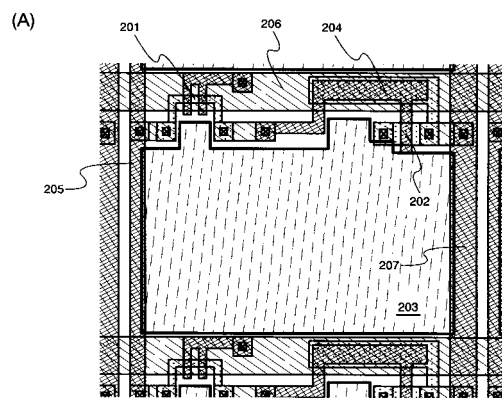
【 図 1 】



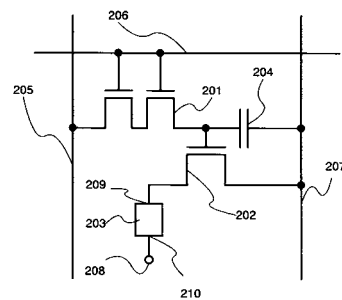
(B)



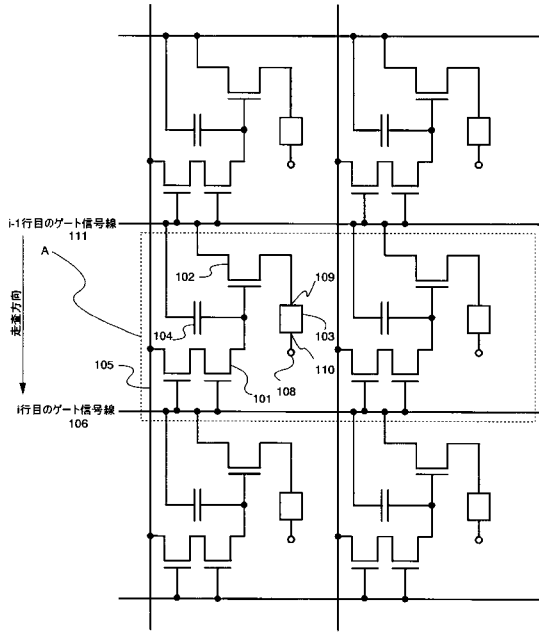
【 図 2 】



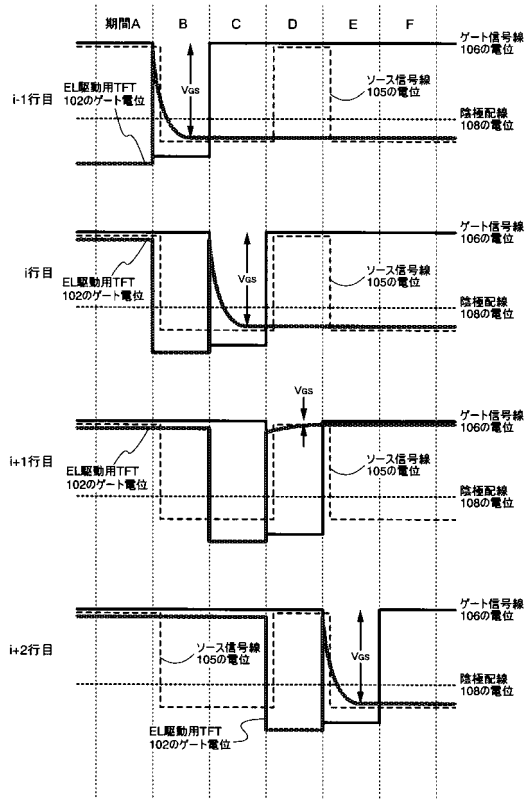
(B)



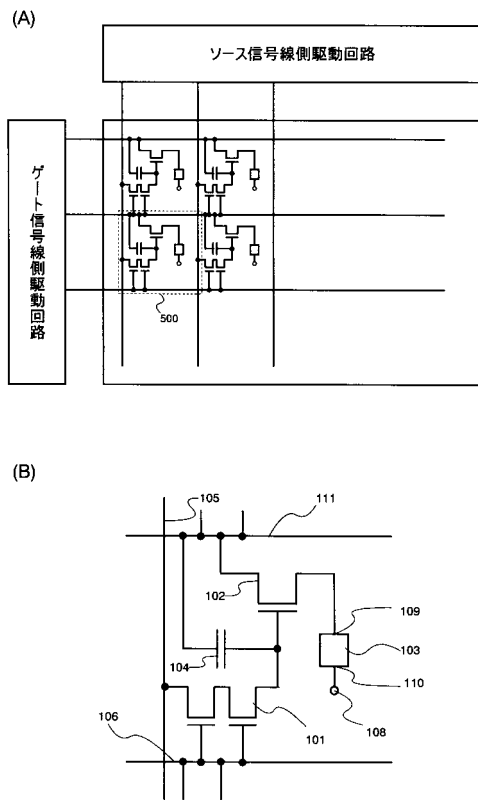
【図3】



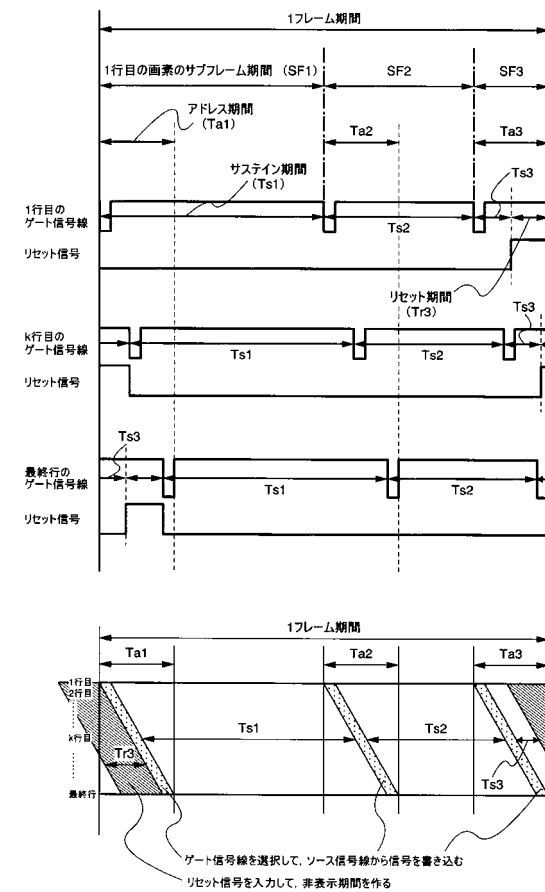
【図4】



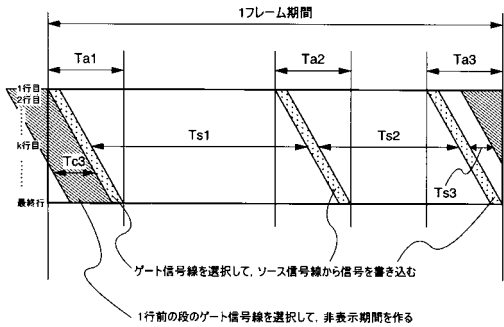
【図5】



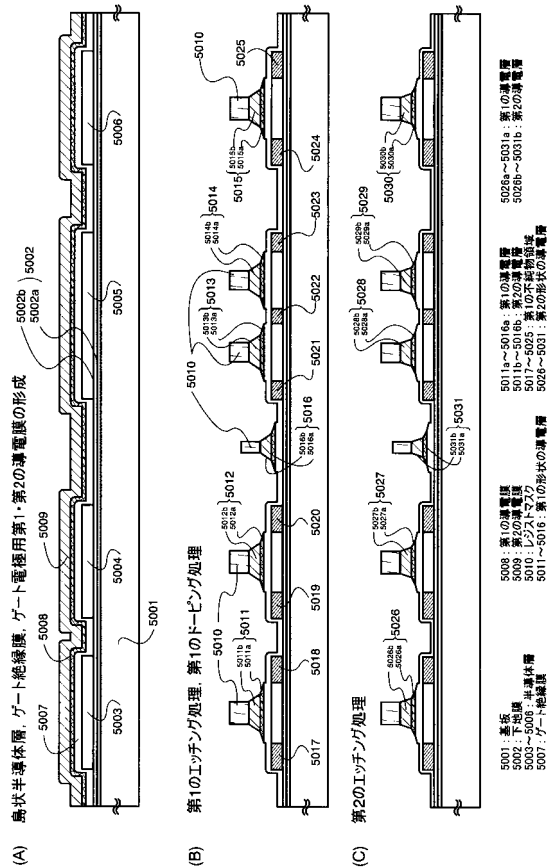
【図6】



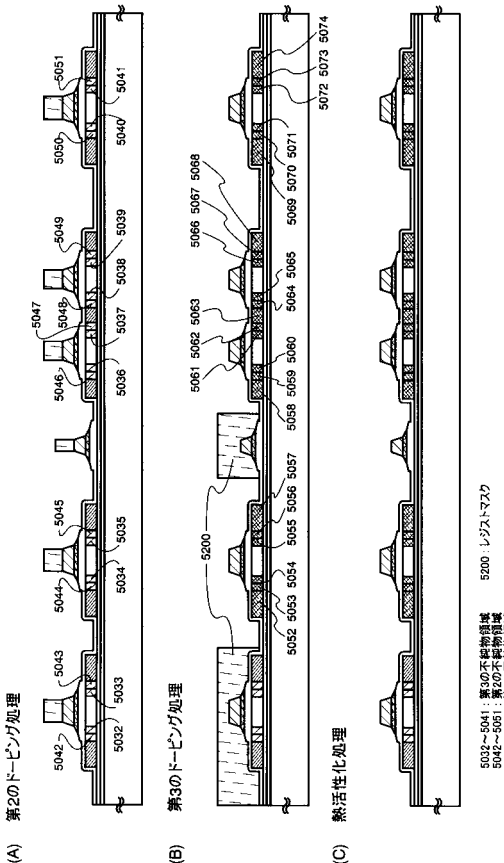
【 図 7 】



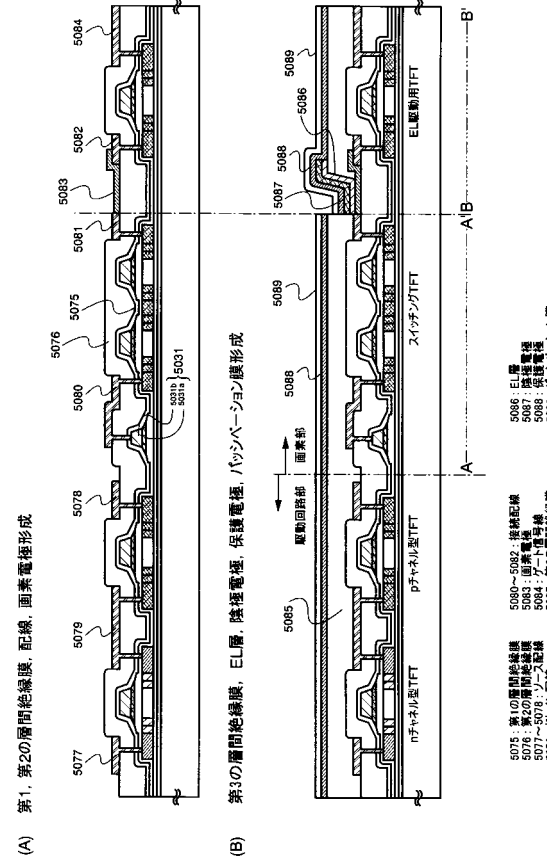
【 図 8 】



【 図 9 】

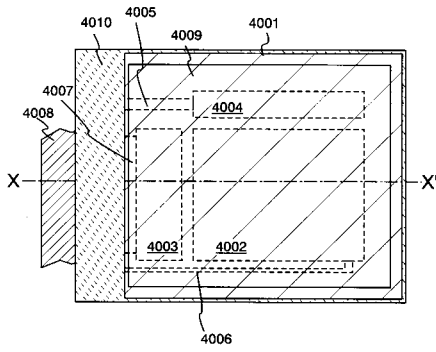


【 図 10 】

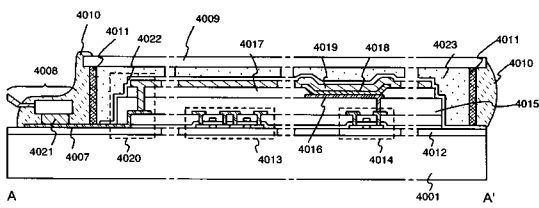


【図 1 1】

(A)

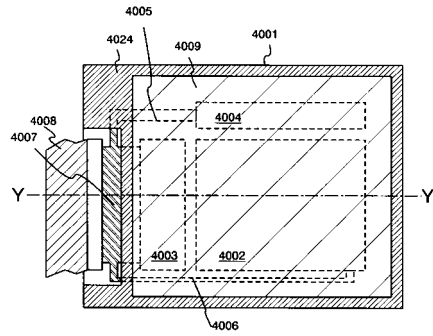


(B)

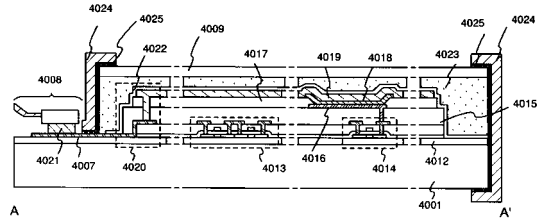


【図 1 2】

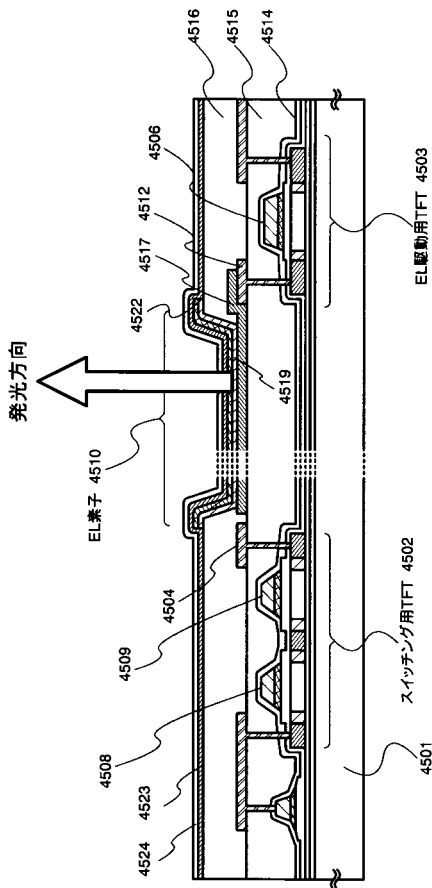
(A)



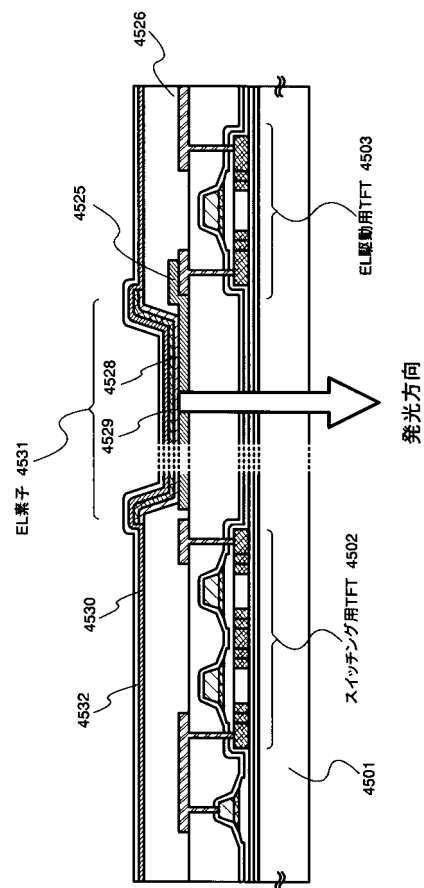
(B)



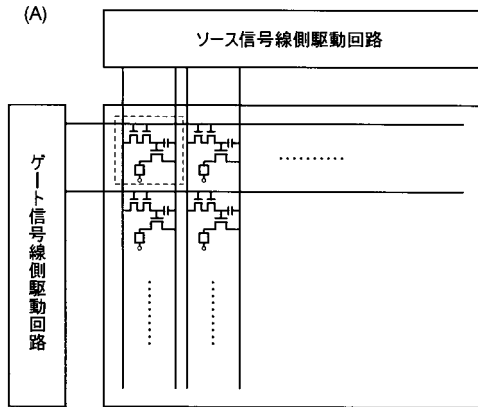
【図 1 3】



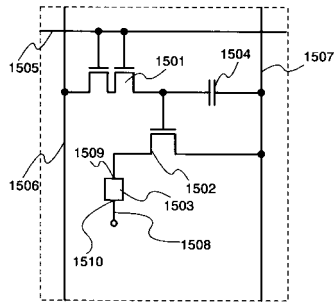
【図 1 4】



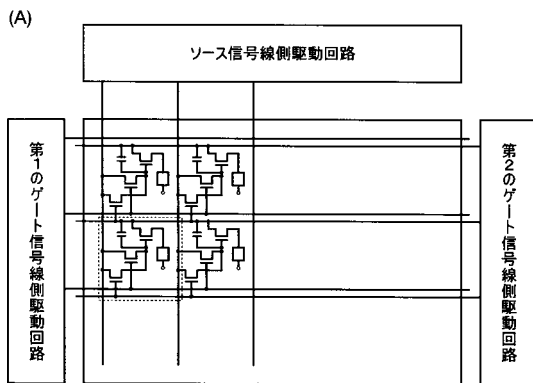
【図 15】



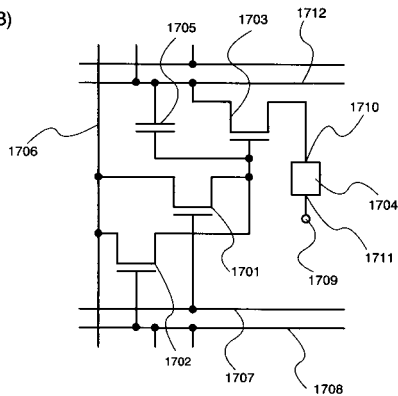
(B)



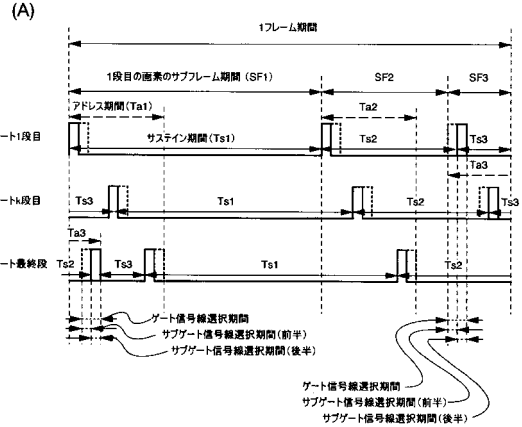
【図 17】



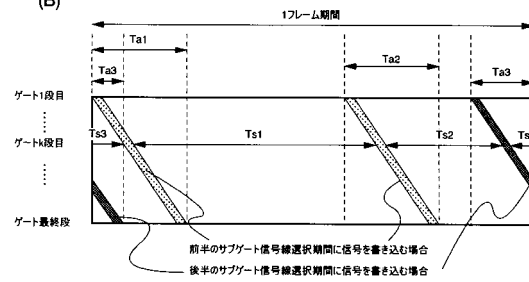
(B)



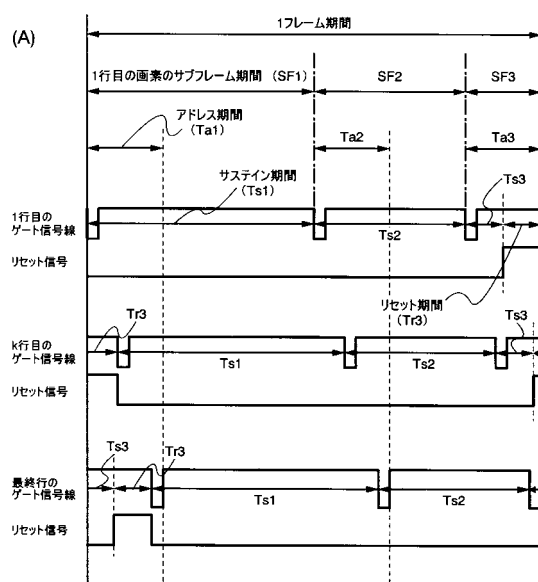
【図 16】



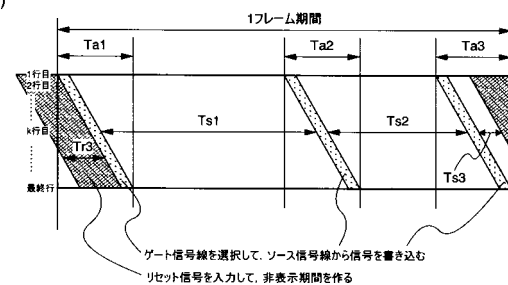
(B)



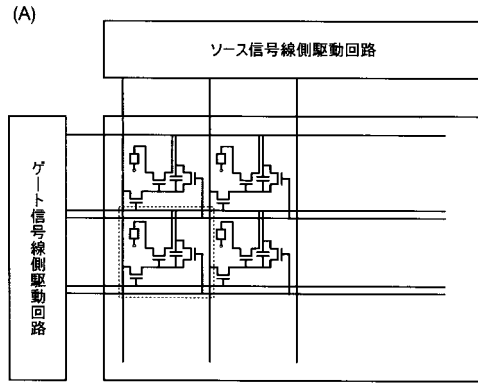
【図 18】



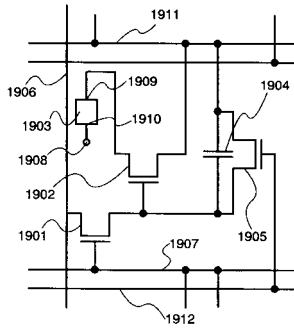
(B)



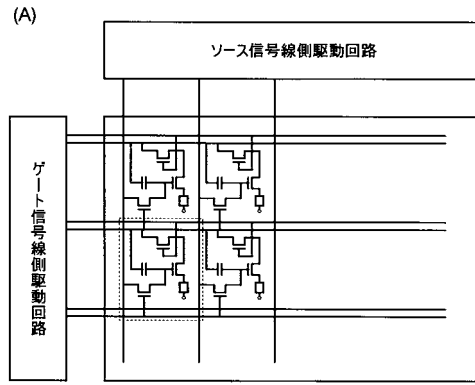
【図 19】



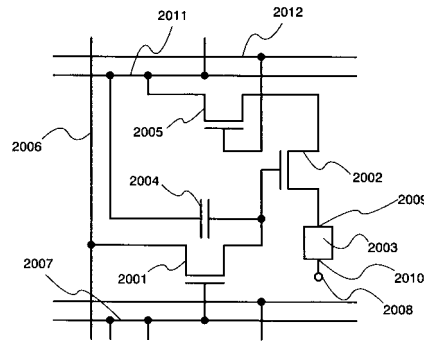
(B)



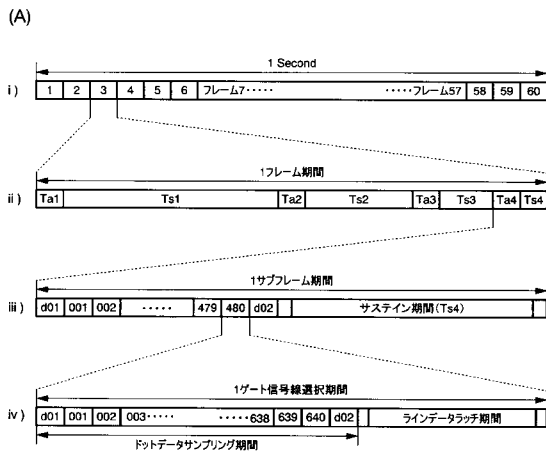
【図 20】



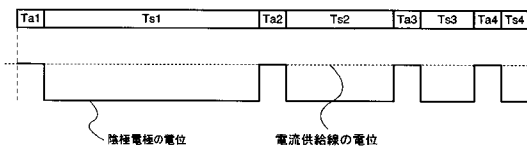
(B)



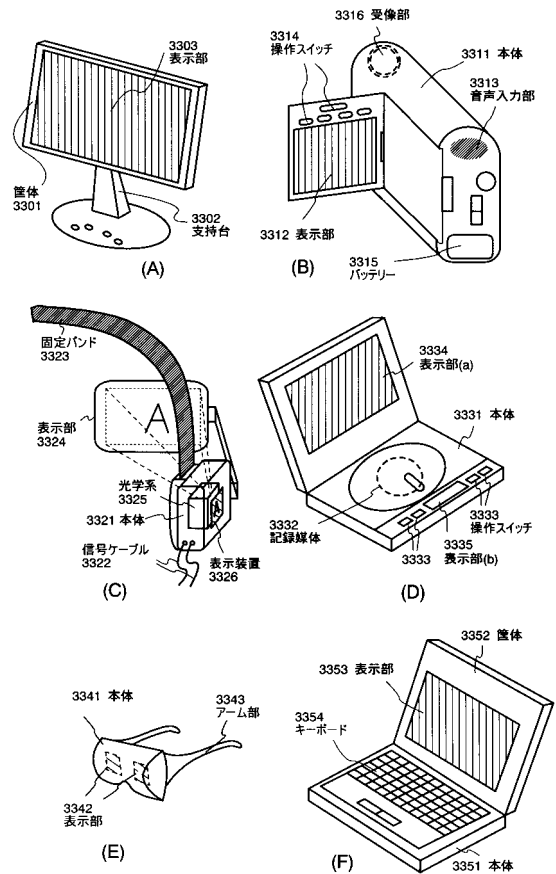
【図 21】



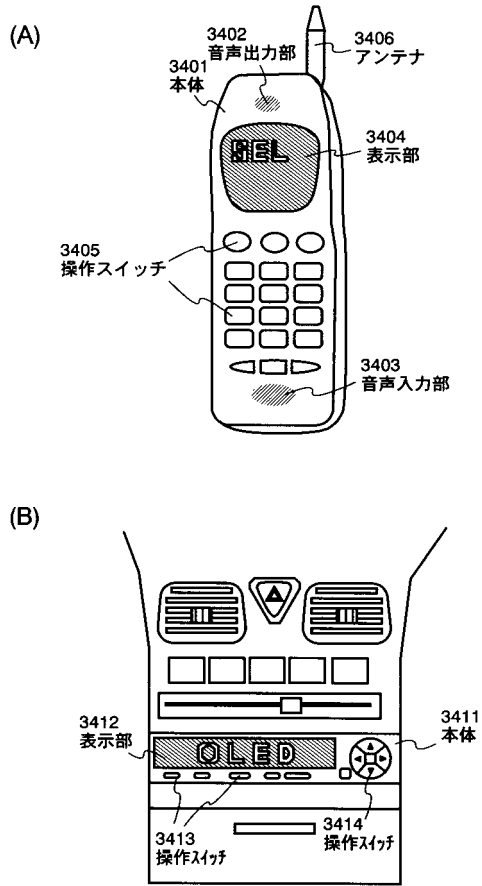
(B)



【図 22】



【図 2 3】



フロントページの続き

Fターム(参考) 5C380 AA01 AB06 AB18 AB34 AC07 AC08 AC09 AC11 AC12 AC13
BA12 CA12 CA14 CB01 CB19 CB20 CC01 CC26 CC34 CC55
CC62 CD012 CF07 CF09 CF22 CF24 DA02 DA06 DA09