



(21) 申请号 202180002635.3

(51) Int.Cl.

(22) 申请日 2021.09.23

G09G 3/32 (2016.01)

(85) PCT国际申请进入国家阶段日

2021.09.24

(86) PCT国际申请的申请数据

PCT/CN2021/120001 2021.09.23

(87) PCT国际申请的公布数据

W02023/044680 ZH 2023.03.30

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 郭玉珍 张振宇 史鲁斌 张震

张晨阳 李付强

(74) 专利代理机构 北京安信方达知识产权代理

有限公司 11262

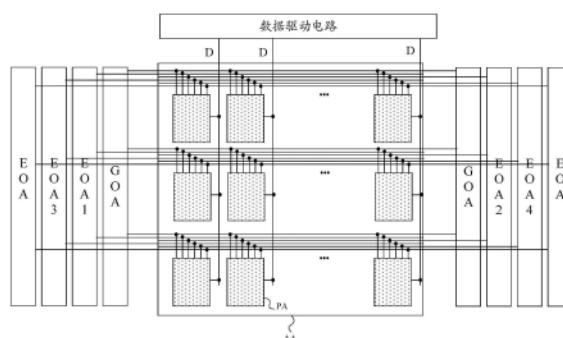
专利代理师 解婷婷 曲鹏

(54) 发明名称

显示基板和显示装置

(57) 摘要

一种显示基板和显示装置,显示基板包括:显示区(AA)和非显示区,显示区(AA)设置有像素电路(PA)和发光单元(L);每个像素电路(PA)与K个发射同一颜色光线的发光器件(EL_1-EL_k)连接;每个像素电路(PA)包括:电流控制子电路和发光选择子电路;电流控制子电路,分别与复位信号端(Reset)、初始信号端(Vinit)、扫描信号端(Gate)、数据信号端(Data)、发光控制端(EM)、第一电源端(VDD)和第一节点(N1)连接,设置为在复位信号端(Reset)、初始信号端(Vinit)、扫描信号端(Gate)、数据信号端(Data)、发光控制端(EM)和第一电源端(VDD)的控制下,向第一节点(N1)提供驱动电流;发光选择子电路,分别与第一节点(N1)、K个发光选择信号端(EL_1-EL_k)和K个发射同一颜色光线的发光器件(EL_1-EL_k)连接,设置为在K个发光选择信号端(EL_1-EL_k)的控制下,依次向K个发射同一颜色光线的发光器件(EL_1-EL_k)提供第一节点(N1)的信号。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 3 月 30 日 (30.03.2023)



(10) 国际公布号
WO 2023/044680 A1

- (51) 国际专利分类号:
G09G 3/32 (2016.01) *H01L 27/32* (2006.01)
- (21) 国际申请号: PCT/CN2021/120001
- (22) 国际申请日: 2021 年 9 月 23 日 (23.09.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。
- (72) 发明人: 郭玉珍(GUO, Yuzhen); 中国北京市经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。 张
振宇(ZHANG, Zhenyu); 中国北京市经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。 史鲁斌

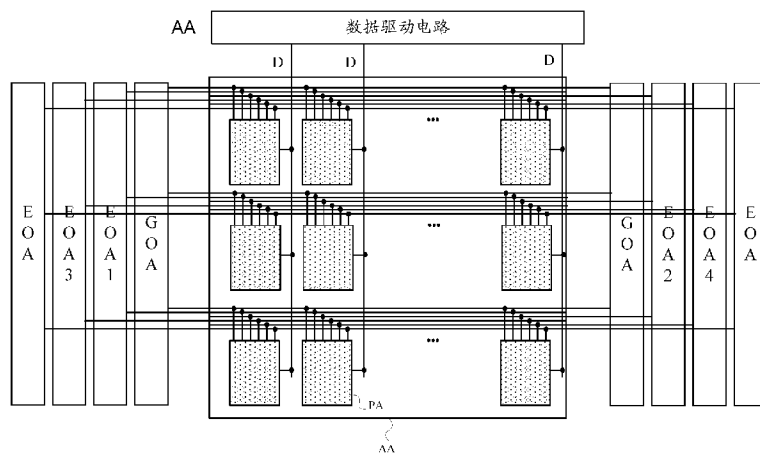
(SHI, Lubin); 中国北京市经济技术开发区地泽路
9 号, Beijing 100176 (CN)。 张震(ZHANG, Zhen);
中国北京市经济技术开发区地泽路 9 号, Beijing
100176 (CN)。 张晨阳(ZHANG, Chenyang); 中国
北京市经济技术开发区地泽路 9 号, Beijing 100176
(CN)。 李付强(LI, Fuqiang); 中国北京市经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路 38 号 (B 座) 21 层 2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,

(54) Title: DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 显示基板和显示装置



AA Data driving circuit

(57) Abstract: A display substrate and a display apparatus. The display substrate comprises a display area (AA) and a non-display area, and the display area (AA) is provided with pixel circuits (PA) and light-emitting units (L); each pixel circuit (PA) is connected to K light-emitting devices (EL₁-EL_k) that emit light of the same color; each pixel circuit (PA) comprises a current control sub-circuit and a light emitting selection sub-circuit; the current control sub-circuit is separately connected to a reset signal terminal (Reset), an initial signal terminal (Vinit), a scanning signal terminal (Gate), a data signal terminal (Data), a light emitting control terminal (EM), a first power supply terminal (VDD), and a first node (N1), and is configured to provide a driving current to the first node (N1) under the control of the reset signal terminal (Reset), the initial signal terminal (Vinit), the scanning signal terminal (Gate), the data signal terminal (Data), the light emitting control

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

terminal (EM), and the first power supply terminal (VDD); the light emitting selection sub-circuit is separately connected to the first node (N1), K light emitting selection signal terminals (EM₁-EM_k), and said K light-emitting devices (EL₁-EL_k), and is configured to sequentially provide, under the control of the K light emitting selection signal terminals (EM₁-EM_k), a signal of the first node (N1) to said K light-emitting devices (EL₁-EL_k).

(57) 摘要: 一种显示基板和显示装置, 显示基板包括: 显示区(AA)和非显示区, 显示区(AA)设置有像素电路(PA)和发光单元(L); 每个像素电路(PA)与K个发射同一颜色光线的发光器件(EL₁-EL_k)连接; 每个像素电路(PA)包括: 电流控制子电路和发光选择子电路; 电流控制子电路, 分别与复位信号端(Reset)、初始信号端(Vinit)、扫描信号端(Gate)、数据信号端(Data)、发光控制端(EM)、第一电源端(VDD)和第一节点(N1)连接, 设置为在复位信号端(Reset)、初始信号端(Vinit)、扫描信号端(Gate)、数据信号端(Data)、发光控制端(EM)和第一电源端(VDD)的控制下, 向第一节点(N1)提供驱动电流; 发光选择子电路, 分别与第一节点(N1)、K个发光选择信号端(EM₁-EM_k)和K个发射同一颜色光线的发光器件(EL₁-EL_k)连接, 设置为在K个发光选择信号端(EM₁-EM_k)的控制下, 依次向K个发射同一颜色光线的发光器件(EL₁-EL_k)提供第一节点(N1)的信号。

显示基板和显示装置

技术领域

本公开实施例涉及但不限于显示技术领域，具体涉及一种显示基板和显示装置。

背景技术

有机发光二极管(Organic Light Emitting Diode, 简称 OLED) 和量子点发光二极管(Quantum-dot Light Emitting Diodes, 简称 QLED)为主动发光显示器件, 具有自发光、广视角、高对比度、低耗电、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展, 以 OLED 或 QLED 为发光器件、由薄膜晶体管 (Thin Film Transistor, 简称 TFT) 进行信号控制的柔性显示装置 (Flexible Display) 已成为目前显示领域的主流产品。

15 发明概述

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

第一方面, 本公开提供了一种显示基板, 包括: 显示区和非显示区, 所述显示区设置有 M1 行 N1 列像素电路和 M2 行 N2 列发光单元, 每个发光单元包括: 第一发光器件、第二发光器件和第三发光器件, 第一发光器件、第二发光器件和第三发光器件发射不同颜色的光线; 其中, $M1 \neq M2$, $N1 \neq N2$;

每个像素电路与 K 个发射同一颜色光线的发光器件连接, K 为大于或者等于 2 的正整数;

每个像素电路包括: 电流控制子电路和发光选择子电路;

25 所述电流控制子电路, 分别与复位信号端、初始信号端、扫描信号端、数据信号端、发光控制端、第一电源端和第一节点连接, 设置为在复位信号端、初始信号端、扫描信号端、数据信号端、发光控制端和第一电源端的控制下, 向第一节点提供驱动电流;

所述发光选择子电路，分别与第一节点、K个发光选择信号端和K个发射同一颜色光线的发光器件连接，设置为在K个发光选择信号端的控制下，依次向K个发射同一颜色光线的发光器件提供第一节点的信号。

5 在一些可能的实现方式中，在每个像素电路中，所述电流控制子电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和电容，其中，电容包括：第一极板和第二极板；

第一晶体管的控制极与复位信号端连接，第一晶体管的第一极与初始信号端连接，第一晶体管的第二极与第二节点连接；

10 第二晶体管的控制极与扫描信号端连接，第二晶体管的第一极与数据信号端连接，第二晶体管的第二极与第三节点连接；

第三晶体管的控制极与第二节点连接，第三晶体管的第一极与第三节点连接，第三晶体管的第二极与第一节点连接；

第四晶体管的控制极与扫描信号端连接，第四晶体管的第一极与第二节点连接，第四晶体管的第二极与第一节点连接；

15 第五晶体管的控制极与发光控制端连接，第五晶体管的第一极与第一电源端连接，第五晶体管的第二极与第三节点连接；

第一极板与第二节点连接，第二极板与第一电源端连接。

在一些可能的实现方式中，在每个像素电路中，发光选择子电路包括：第六晶体管至第 $5+K$ 晶体管；

20 第 k 晶体管的控制极与第 $k-5$ 发光选择信号端连接，第 k 晶体管的第一极与第一节点连接，第 k 晶体管的第二极与第 $k-5$ 个发光器件连接， $6 \leq k \leq 5+K$ 。

在一些可能的实现方式中，K个发光选择信号端接收有效电平信号的时间不重合。

25 在一些可能的实现方式中，位于同一行的相邻像素电路所连接的发光器件发射不同颜色的光线，位于同一列的相邻像素电路所连接的发光器件发射相同颜色的光线。

在一些可能的实现方式中，当 $M2=K \times M1$ ， $N1=3 \times N2$ 时，每个像素电路连接的发光器件位于同一列；

第 m 行第 $3n-2$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第一发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第一发光器件，直至第 $K \times m$ 行第 n 列发光单元中的第一发光器件连接，其中， $1 \leq m \leq M1$ ， $1 \leq n \leq N2$ ；

5 第 m 行第 $3n-1$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第二发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第二发光器件，直至第 $K \times m$ 行第 n 列发光单元中的第二发光器件连接；

第 m 行第 $3n$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第三发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第三发光器件，直至第 $K \times m$ 行第 n 列发光单元中的第三发光器件连接。

10 在一些可能的实现方式中，当 $M2 = 4 \times M1$ ， $N1 = 3 \times N2$ 时，像素电路所连接的发光器件沿第一方向和第二方向排布，所述第一方向与所述第二方向相交；

第 m 行第 $3n-2$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第一发光器件，第 $2m-1$ 行第 $2n$ 列发光单元中的第一发光器件，第 $2m$ 行第 $2n-1$ 列
15 发光单元中的第一发光器件和第 $2m$ 行第 $2n$ 列发光单元中的第一发光器件连接，其中， $1 \leq m \leq M1$ ， $1 \leq n \leq N2$ ；

第 m 行第 $3n-1$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元的第二发光器件，第 $2m-1$ 行第 $2n$ 列发光单元的第二发光器件，第 $2m$ 行第 $2n-1$ 列发光单元的第二发光器件，第 $2m$ 行第 $2n$ 列发光单元中的第二发光器件连接；

20 第 m 行第 $3n$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元的第三发光器件，第 $2m-1$ 行第 $2n$ 列发光单元的第三发光器件，第 $2m$ 行第 $2n-1$ 列发光单元的第三发光器件，第 $2m$ 行第 $2n$ 列发光单元中的第三发光器件连接。

25 在一些可能的实现方式中，还包括： $N1$ 列数据信号线， $M1$ 行扫描信号线、 $M1$ 行第一电源线， $M1$ 行复位信号线、 $M1$ 行初始信号线、 P 行第一发光选择信号线、 P 行第二发光选择信号线、 P 行第三发光选择信号线、 P 行第四发光选择信号线和 P 行发光控制线， $P = M1$ 或者 $M1/2$ ；

所述数据信号线沿第一方向延伸，所述扫描信号线、所述第一电源线，所述复位信号线、所述初始信号线、所述第一发光选择信号线、所述第二发

光选择信号线、所述第三发光选择信号线、所述第四发光选择信号线和所述发光控制线沿第二方向延伸，所述第一方向和所述第二方向相交；

第 s 行扫描信号线与第 s 行像素电路的扫描信号端连接，第 s 行第一电源线与第 s 行像素电路的第一电源端连接，第 s 行复位信号线与第 s 行像素电路的复位信号端连接，第 s 行初始信号线与第 s 行像素电路的初始信号端连接，第 t 列数据信号线与第 t 列像素电路的数据信号端连接， $1 \leq s \leq M1$ ， $1 \leq t \leq N1$ ；

当 $P=M1$ 时，第 s 行第一发光选择信号线与第 s 行像素电路的第一发光选择信号端连接，第 s 行第二发光选择信号线与第 s 行像素电路的第二发光选择信号端连接，第 s 行第三发光选择信号线与第 s 行像素电路的第三发光选择信号端连接，第 s 行第四发光选择信号线与第 s 行像素电路的第四发光选择信号端连接；

当 $P=M1/2$ 时，第 v 行第一发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第一发光选择信号端连接，第 v 行第二发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第二发光选择信号端连接，第 v 行第三发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第三发光选择信号端连接，第 v 行第四发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第四发光选择信号端连接，第 v 行发光控制线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的发光控制端连接，其中， $1 \leq v \leq P$ 。

在一些可能的实现方式中，所述第一发光选择信号线与所述第二发光选择信号线同层设置，所述第三发光选择信号线和所述第四发光选择信号线同层设置，所述第一发光选择信号线和所述第三发光选择信号线异层设置。

在一些可能的实现方式中，所述非显示区设置有扫描驱动电路、发光驱动电路、第一发光选择驱动电路、第二发光选择驱动电路、第三发光选择驱动电路和第四发光选择驱动电路，所述显示区包括：相对设置的第一侧和第二侧；

所述扫描驱动电路位于所述显示区的第一侧和第二侧，所述发光驱动电路位于所述扫描驱动电路远离所述显示区的一侧，所述第一发光选择驱动电路位于所述显示区的第一侧，且位于所述扫描驱动电路和所述发光驱动电路

之间，所述第二发光选择驱动电路位于所述显示区的第二侧，且位于所述扫描驱动电路和所述发光驱动电路之间，所述第三发光选择驱动电路位于所述显示区的第一侧，且位于所述第一发光选择驱动电路和所述发光驱动电路之间，所述第四发光选择驱动电路位于所述显示区的第二侧，且位于所述第二
5 发光选择驱动电路和所述发光驱动电路之间；

所述扫描驱动电路包括：M1 个级联的扫描移位寄存器，第 s 级扫描移位寄存器与第 s 行扫描信号线连接；所述发光驱动电路包括：P 个级联的发光移位寄存器，第 v 级发光移位寄存器与第 v 行发光控制线连接；所述第一
10 发光选择驱动电路包括：P 个级联的第一发光选择移位寄存器，第 v 级第一发光选择移位寄存器与第 v 行第一发光选择信号线连接；所述第二发光选择驱动电路包括：P 个级联的第二发光选择移位寄存器，第 v 级第二发光选择移位寄存器与第 v 行第二发光选择信号线连接；所述第三发光选择驱动电路包括：P 个级联的第三发光选择移位寄存器，第 v 级第三发光选择移位寄存器与第 v 行第三发光选择信号线连接；所述第四发光选择驱动电路包括：P
15 个级联的第四发光选择移位寄存器，第 v 级第四发光选择移位寄存器与第 v 行第四发光选择信号线连接。

在一些可能的实现方式中，包括：基底以及依次设置在所述基底上的驱动电路层和发光结构层；所述驱动电路层包括：像素电路，所述发光结构层包括：发光单元；

20 所述驱动电路层包括：依次叠设在所述基底上的第一绝缘层、半导体层、第二绝缘层、第一金属层、第三绝缘层、第二金属层、第四绝缘层、第三金属层、第五绝缘层、第四金属层、第六绝缘层、第五金属层、第七绝缘层、第六金属层、第八绝缘层、第七金属层和平坦层；

当 K=4 时，所述半导体层包括：多个像素电路的有源层，每个像素电路
25 的有源层包括：多个晶体管的有源层；所述第一金属层包括：发光控制线、扫描信号线、复位信号线和多个像素电路的第一导电层，每个像素电路的第一导电层包括：多个晶体管的栅电极和第一极板；所述第二金属层包括：第一电源线、初始信号线和多个像素电路的第二导电层，每个像素电路的第二导电层包括：多个晶体管的第一极和第二极、第一连接部和第二连接部；所

述第三金属层包括：数据信号线和多个像素电路的第三导电层，每个像素电路的第三导电层包括：第二晶体管的第一极，第三连接部，第四连接部和第五连接部；所述第四金属层包括：多个像素电路的第四导电层，每个像素电路的第四导电层包括：第六连接部，第七连接部，第八连接部，第九连接部，第十连接部和第十一连接部；所述第五金属层包括：多个像素电路的第五导电层，每个像素电路的导电层包括：第十二连接部；所述第六金属层包括：第三发光选择信号线、第四发光选择信号线和除了第一列像素电路之外的其他像素电路的第六导电层，除了第一列像素电路之外的其他像素电路的第六导电层包括：第十三连接部和第十四连接部；所述第七金属层包括：第一发光选择信号线、第二发光选择信号线和多个像素电路的第七导电层，每个像素电路的第七导电层包括：第十五连接部、第十六连接部、第十七连接部和第十八连接部。

在一些可能的实现方式中，第 s 行初始信号线在基底上的正投影与第 s 行复位信号线在基底上的正投影至少部分重叠；

所述第一发光选择信号线在基底上的正投影位于所述第三发光选择信号线在基底上的正投影和所述第四发光选择信号线在基底上的正投影之间；

所述第二发光选择信号线在基底上的正投影位于所述第四发光选择信号线在基底上的正投影远离所述第三发光选择信号线在基底上的正投影的一侧。

在一些可能的实现方式中，位于同一行的相邻像素电路的有源层沿相邻像素电路的中线对称设置，且第 i 行第 j 列像素电路的像素电路的有源层与第 i 行第 $j+1$ 列像素电路的像素电路的有源层连接， $1 \leq i \leq M1$ ， $1 \leq j < N1$ ，且为奇数；

位于同一行的相邻像素电路的第一导电层沿相邻像素电路之间的中线对称设置；位于同一行的相邻像素电路的第二导电层沿相邻像素电路之间的中线对称设置；位于同一行的相邻像素电路的第三导电层沿相邻像素电路之间的中线对称设置；位于同一行的相邻像素电路的第四导电层沿相邻像素电路的中线对称设置；位于同一行的相邻像素电路的第五导电层沿相邻像素电路的中线对称设置。

在一些可能的实现方式中，所述第一晶体管的有源层包括：第一分支段、

第一连接段和第二分支段;

所述第一分支段和所述第二分支段位于所述第一连接段的同一侧,且所述第一连接段分别与所述第一分支段和所述第二分支段连接;

所述第一分支段和所述第二分支段沿第一方向延伸,所述第一连接段沿
5 第二方向延伸;

所述第一连接段的长度大于所述第一分支段的长度。

在一些可能的实现方式中,当像素电路所连接的发光器件沿第一方向和
第二方向排布时,第*i*行第*j*列像素电路的第五晶体管的有源层与第*i*行第*i*+1
列像素电路的第五晶体管的有源层为一体成型结构;第*i*行第*j*列像素电路
10 的第八晶体管的栅电极与第*i*行第*j*+1列像素电路的第八晶体管的栅电极
为一体成型结构;第*i*行第*j*列像素电路的第九晶体管的栅电极与第*i*行第*j*+1
列像素电路的第九晶体管的栅电极为一体成型结构;第*i*行第*j*+1列像素电
路的第六晶体管的栅电极与第*i*行第*j*+2列像素电路的第六晶体管的栅电极
为一体成型结构;第*i*行第*j*+1列像素电路的第七晶体管的栅电极与第*i*行第
15 *j*+2列像素电路的第七晶体管的栅电极为一体成型结构;第*i*行第*j*列像素电
路的第一连接部和第*i*行第*j*+1列像素电路的第一连接部为一体成型结构;
第*i*行第*j*列像素电路的第五晶体管的第一极和第*i*行第*j*+1列像素电路的
第五晶体管的第一极为一体成型结构;第*i*行第*j*列像素电路的第八连接部
和第*i*行第*j*+1列像素电路的第八连接部为一体成型结构,第*i*行第*j*列像素电
20 路的第九连接部和第*i*行第*j*+1列像素电路的第九连接部为一体成型结构。

在一些可能的实现方式中,第二绝缘层和第三绝缘层开设有位于每个像
素电路中的第一过孔至第九过孔,第三绝缘层还开设有位于每个像素电路中的
第十过孔和第十一过孔,第二绝缘层、第三绝缘层和第四绝缘层上开设有
十二过孔和第十三过孔,第三绝缘层和第四绝缘层上开设有位于每个像素电
25 路中的第十四过孔、第十五过孔和第十六过孔,第四绝缘层和第五绝缘层上
开设有位于每个像素电路中的第十七过孔至第二十二过孔,第三绝缘层、第
四绝缘层、第五绝缘层和第六绝缘层上开设有位于每个像素电路中的第二十
三过孔和第二十四过孔,第六绝缘层和第七绝缘层上开设有位于每个像素电
路中的第二十五过孔和第二十六过孔,第六绝缘层和第七绝缘层还开设有位

于第一列像素电路之外的其他像素电路中的第二十七过孔和第二十八过孔，第五绝缘层、第六绝缘层、第七绝缘层和第八绝缘层开设有位于每个像素电路中的第二十九过孔和第三十过孔，在第一列像素电路中，第六绝缘层、第七绝缘层和第八绝缘层开设有位于每个像素电路中的第三十一过孔和第三十二过孔，第六绝缘层、第七绝缘层和第八绝缘层还开设有位于每个像素电路中的第三十三过孔和第三十四过孔，第八绝缘层开设有位于第一列像素电路之外的其他像素电路中的第三十五过孔和第三十六过孔，平坦层开设有位于每个像素电路中的第三十七过孔、第三十八过孔、第三十九过孔和第四十过孔；

10 第一过孔暴露出第五晶体管的有源层，第二过孔暴露出第三晶体管的有源层，第三过孔暴露出第一晶体管的有源层，第四过孔暴露出第六晶体管的有源层，第五过孔暴露出第八晶体管的有源层，第六过孔暴露出第八晶体管的有源层，第七过孔暴露出第六晶体管的有源层，第八过孔暴露出第七晶体管的有源层，第九过孔暴露出第九晶体管的有源层，第十过孔暴露出第八晶体管的栅电极，第十一过孔暴露出第九晶体管的栅电极，第十二过孔暴露出第一晶体管的有源层和第四晶体管的有源层，第十三过孔暴露出第二晶体管的有源层，第十四过孔暴露出第一极板，第十五过孔暴露出第六晶体管的栅电极，第十六过孔暴露出第七晶体管的栅电极，第十七过孔暴露出第六晶体管的第二极，第十八过孔暴露出第八晶体管的第二极，第十九过孔暴露出第一连接部，第二十过孔暴露出第二连接部，第二十一过孔暴露出第七晶体管的第二极，第二十二过孔暴露出第九晶体管的第二极，第二十三过孔暴露出第三晶体管的第二极，第二十四过孔暴露出第六晶体管的第一极，在每个像素电路中，第二十五过孔暴露出第八连接部，第二十六过孔暴露出第九连接部，第二十七过孔暴露出第六连接部，第二十八过孔暴露出第十连接部，第二十九过孔暴露出第四连接部，第三十过孔暴露出第五连接部，第三十一过孔暴露出第六连接部，第三十二过孔暴露出第十连接部，第三十三过孔暴露出第七连接部，第三十四过孔暴露出第十一连接部，第三十五过孔暴露出第七连接部，第三十六过孔暴露出第十一连接部，第三十七过孔暴露出第十三连接部，第三十八过孔暴露出第十四连接部，第三十九过孔暴露出第十五连接部，第三十九过孔暴露出第十七连接

部，第四十过孔暴露出第十八连接部。

5 在一些可能的实现方式中，第 i 行第 j 列像素电路的第一过孔与第 i 行第 $j+1$ 列像素电路的第一过孔为同一过孔；第 i 行第 j 列像素电路的第十过孔与第 i 行第 $j+1$ 列像素电路的第十过孔为同一过孔；第 i 行第 j 列像素电路的第十一过孔与第 i 行第 $j+1$ 列像素电路的第十一过孔为同一过孔；第 i 行第 $j+1$ 列像素电路的第十五过孔和第 i 行第 $j+2$ 列像素电路的第十五过孔为同一过孔；第 i 行第 $j+1$ 列像素电路的第十六过孔和第 i 行第 $j+2$ 列像素电路的第十六过孔为同一过孔；第 i 行第 j 列像素电路中的第十九过孔与第 i 行第 $j+1$ 列像素电路中的第十九过孔为同一过孔；第 i 行第 j 列像素电路中的第二十五过孔与第 i 行第 $j+1$ 列像素电路中的第二十五过孔为同一过孔，第 i 行第 j 列像素电路中的第二十六过孔与第 i 行第 $j+1$ 列像素电路中的第二十六过孔为同一过孔；第 i 行第 $j+1$ 列像素电路中的第二十九过孔与第 i 行第 $j+2$ 列像素电路中的第二十九过孔为同一过孔；第 i 行第 $j+1$ 列像素电路中的第三十过孔与第 i 行第 $j+2$ 列像素电路中的第三十过孔为同一过孔。

15 在一些可能的实现方式中，对于每个像素电路，第五晶体管的第一极通过第一过孔与第五晶体管的有源层连接，第三晶体管的第二极通过第二过孔与第三晶体管的有源层连接，第一晶体管的第一极通过第三过孔与第一晶体管的有源层连接，第六晶体管的第二极通过第四过孔与第六晶体管的有源层连接，第八晶体管的第二极通过第五过孔与第八晶体管的有源层连接，第八晶体管的第二极通过第六过孔与第八晶体管的有源层连接，第六晶体管的第一极通过第七过孔与第六晶体管的有源层连接，第七晶体管的第二极通过第八过孔与第七晶体管的有源层连接，第九晶体管的第二极通过第九过孔与第九晶体管的有源层连接，第一连接部通过第十过孔与第八晶体管的栅电极连接，第二连接部通过第十一过孔与第九晶体管的栅电极连接，第三连接部通过第十二过孔与第一晶体管的有源层连接，第三连接部通过第十四过孔与第一极板连接，第二晶体管的第一极通过第十三过孔与第二晶体管的有源层连接，第四连接部通过第十五过孔与第六晶体管的栅电极连接，第五连接部通过第十六过孔与第七晶体管的栅电极连接，第六连接部通过第十七过孔与第六晶体管的第二极连接，第七连接部通过第十八过孔与第八晶体管的第二极

连接，第八连接部通过第十九过孔与第一连接部连接，第九连接部通过第二十过孔与第二连接部连接，第十连接部通过第二十一过孔与第七晶体管的第二极连接，第十一连接部通过第二十二过孔与第九晶体管的第二极连接，第十二连接部通过第二十三过孔与第三晶体管的第二极，且通过第二十四过孔与第六晶体管的第一极连接，第三发光选择信号线通过第二十五过孔与第八连接部连接，第四发光选择信号线通过第二十六过孔与第九连接部连接，第一发光选择信号线通过第二十九过孔与第四连接部连接，第二发光选择信号线通过第三十过孔与第五连接部连接，像素电路所连接的第一发光器件通过第三十六过孔与第十五连接部连接，像素电路所连接的第三发光器件通过第三十八过孔与第十七连接部连接，像素电路所连接的第四发光器件通过第三十八过孔与第十八连接部连接；

在第一列像素电路中，第十五连接部通过第三十一过孔与第六连接部连接，第十六连接部通过第三十二过孔与第十连接部连接，第十七连接部通过第三十三过孔与第七连接部连接，第十八连接部通过第三十四过孔与第十一连接部连接，在除了第一列像素电路之外的其他像素电路中，第十三连接部通过第二十七过孔与第六连接部连接，第十四连接部通过第二十八过孔与第十连接部连接，第十五连接部通过第三十三过孔与第七连接部连接，第十六连接部通过第三十四过孔与第十一连接部连接，第十七连接部通过第三十五过孔与第十三连接部连接，第十八连接部通过第三十六过孔与第十四连接部连接。

在一些可能的实现方式中，所述发光器件包括：第一电极、有机发光层和第二电极；所述发光结构层包括：依次叠设在所述驱动结构层上的第一电极层、像素界定层、发光材料层和第二电极层；

所述第一电极层包括：阵列排布的第一电极，所述发光材料层包括：阵列排布的有机发光层，所述第二电极层包括：第二电极；

所述像素电路与所连接连接发光器件的第一电极连接，所有发光器件的第二电极与第二电源端连接；

对于第 m 行第 $3n-2$ 列像素电路，第十五连接部在基底上的正投影与第

2m-1 行第 2n-1 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 2m 行第 2n-1 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；第十七连接部在基底上的正投影与第 2m-1 行第 2n 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；第十八连接部在基底上的正投影与第 2m 行第 2n 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；

对于第 m 行第 3n-1 列像素电路，第十五连接部在基底上的正投影与第 2m-1 行第 2n-1 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 2m 行第 2n-1 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十七连接部在基底上的正投影与第 2m-1 行第 2n 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十八连接部在基底上的正投影与第 2m 行第 2n 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠；

对于第 m 行第 3n 列像素电路，第十五连接部在基底上的正投影与第 2m-1 行第 2n-1 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 2m 行第 2n-1 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十七连接部在基底上的正投影与第 2m-1 行第 2n 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十八连接部在基底上的正投影与第 2m 行第 2n 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠。

在一些可能的实现方式中，对于每个发光器件，所述第一电极远离基底的表面包括：第一端和第二端；平坦层开设有过孔，第一电极通过平坦层过孔与像素电路连接；

位于同一行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的同一端；

位于第 x 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第

一电极的第一端或第二端，位于第 $x+1$ 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一端或第二端。

第二方面，本公开还提供了一种显示装置，包括：上述显示基板。

在阅读并理解了附图和详细描述后，可以明白其他方面。

5

附图概述

附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

- 10 图 1 为一种显示基板的结构示意图；
图 2 为一种示例性实施例提供的像素电路的结构示意图；
图 3 为一种示例性实施例提供的显示基板的示意图；
图 4A 为一种示例性实施例提供的像素电路的示意图；
图 4B 为另一示例性实施例提供的像素电路的示意图；
15 图 5 为一种像素电路的工作时序图；
图 6A 为像素电路与发光器件的连接示意图一；
图 6B 为像素电路与发光器件的连接示意图二；
图 7A 为一种显示基板的结构示意图一；
图 7B 为一种显示基板的结构示意图二；
20 图 8 为位于同一列第 i 行和第 $i+1$ 行像素电路的时序图；
图 9 为一种示例性实施例提供的显示基板的结构示意图；
图 10A 为一种示例性实施例提供的驱动电路层的结构示意图一；
图 10B 为一种示例性实施例提供的驱动电路层的结构示意图二；
图 10C 为一种示例性实施例提供的驱动电路层的结构示意图三；
25 图 11 为第一晶体管的有源层的结构示意图；
图 12A 为一种示例性实施例中平坦层和第一电极层的示意图一；

- 图 12B 为一种示例性实施例提供的平坦层和第一电极层的示意图二；
图 13 为形成半导体层后的示意图；
图 14A 为第一金属层的示意图；
图 14B 为形成第一金属层后的示意图；
5 图 15A 为第三绝缘层的示意图；
图 15B 为形成第三绝缘层后的示意图；
图 16A 为第二金属层的示意图；
图 16B 为形成第二金属层后的示意图；
图 17A 为第四绝缘层的示意图；
10 图 17B 为形成第四绝缘层后的示意图；
图 18A 为第三金属层的示意图；
图 18B 为形成第三金属层后的示意图；
图 19A 为第五绝缘层的示意图；
图 19B 为形成第五绝缘层后的示意图；
15 图 20A 为第四金属层的示意图；
图 20B 为形成第四金属层后的示意图；
图 21A 为第六绝缘层的示意图；
图 21B 为形成第六绝缘层后的示意图；
图 22A 为第五金属层的示意图；
20 图 22B 为形成第五金属层后的示意图；
图 23A 为第七绝缘层的示意图；
图 23B 为形成第七绝缘层后的示意图；
图 24A 为第六金属层的示意图；
图 24B 为形成第六金属层的示意图；
25 图 25A 为第八绝缘层的示意图；

图 25B 为形成第八绝缘层后的示意图；

图 26A 为第七金属层的示意图；

图 26B 为形成第七金属层后的示意图；

图 27A 为平坦层的示意图；

5 图 27B 为形成平坦层后的示意图；

图 28A 为第一电极层的示意图；

图 28B 为形成第一电极层后的示意图。

详述

10 为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在
15 不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。为了保持本公开实施例的以下说明清楚且简明，本公开省略了部分已知功能和已知部件的详细说明。本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计

在附图中，有时为了明确起见，夸大表示了各构成要素的大小、层的厚度或区域。因此，本公开的一个方式并不一定限定于该尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的一个方式不局限于附图所示的形状或数值等。

本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

25 在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构

造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；
5 可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个
10 端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一
15 极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换。

在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的
20 电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

在本说明书中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两
25 条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

一种近眼显示装置中的显示基板的分辨率较低，导致近眼显示装置出现纱窗效应，显示效果不佳。

5 图 1 为一种显示基板的结构示意图，图 2 为一种示例性实施例提供的像素电路的结构示意图，图 3 为一种示例性实施例提供的显示基板的示意图。如图 1 至图 3 所示，显示基板包括：显示区 AA 和位于显示区外围的非显示区，显示区 AA 设置有 M1 行 N1 列像素电路 PA 和 M2 行 N2 列发光单元，每个发光单元 L 包括：第一发光器件 L1、第二发光器件 L2 和第三发光器件 L3，第一发光器件 L1、第二发光器件 L2 和第三发光器件 L3 发射不同颜色的光线；其中， $M1 \neq M2$ ， $N1 \neq N2$ ；每个像素电路与 K 个发射同一颜色光线的发光器件连接，K 为大于或者等于 2 的正整数。

15 如图 2 所示，在一种示例性实施例中，每个像素电路可以包括：电流控制子电路和发光选择子电路。其中，电流控制子电路，分别与复位信号端 Reset、初始信号端 Vinit、扫描信号端 Gate、数据信号端 Data、发光控制端 EM、第一电源端 VDD 和第一节点 N1 连接，设置为复位信号端 Reset、初始信号端 Vinit、扫描信号端 Gate、数据信号端 Data、发光控制端 EM 和第一电源端 VDD 的控制下，向第一节点 N1 提供驱动电流。发光选择子电路，分别与第一节点 N1、K 个发光选择信号端 EM_1 至 EM_K 和 K 个发射同一颜色光线的发光器件 EL_1 至 EL_K 连接，设置为在 K 个发光选择信号端 EM_1 至 EM_K 的控制下，依次向 K 个发射同一颜色光线的发光器件 EL_1 至 EL_K 提供第一节点 N1 的信号。

在一种示例性实施例中，发光器件可以为 OLED 或者 QLED。

25 在一种示例性实施例中，发光单元中的三个发光器件可以分别发射红色、绿色或者蓝色的光线，本公开在此不做限定。在示例性实施方式中，每个发光器件的形状可以是矩形状、菱形、五边形或六边形。三个发光器件可以采用水平并列、竖直并列或品字方式排列，本公开在此不做限定。

在一种示例性实施例中，第一电源端持续提供高电平信号。

本公开实施例提供的一种显示基板，包括：显示区和非显示区，所述显示区设置有 M1 行 N1 列像素电路和 M2 行 N2 列发光单元，每个发光单元包括：第一发光器件、第二发光器件和第三发光器件，第一发光器件、第二发光器件和第三发光器件发射不同颜色的光线；其中， $M1 \neq M2$ ， $N1 \neq N2$ ；每个像素电路与 K 个发射同一颜色光线的发光器件连接，K 为大于或者等于 2 的正整数；每个像素电路包括：电流控制子电路和发光选择子电路；电流控制子电路，分别与复位信号端、初始信号端、扫描信号端、数据信号端、发光控制端、第一电源端和第一节点连接，设置为在复位信号端、初始信号端、扫描信号端、数据信号端、发光控制端和第一电源端的控制下，向第一节点提供驱动电流；发光选择子电路，分别与第一节点、K 个发光选择信号端和 K 个发射同一颜色光线的发光器件连接，设置为在 K 个发光选择信号端的控制下，依次向 K 个发射同一颜色光线的发光器件提供第一节点的信号。本公开通过像素电路与 K 个发光器件连接，可以增大显示基板的分辨率，提升显示基板的显示效果。

在一种示例性实施例中，图 4A 为一种示例性实施例提供的像素电路的示意图，图 4B 为另一示例性实施例提供的像素电路的示意图。如图 4A 和图 4B 所示，在每个像素电路中，电流控制子电路可以包括：第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和电容 C，其中，电容 C 包括：第一极板 C1 和第二极板 C2。其中，第一晶体管 T1 的控制极与复位信号端 Reset 连接，第一晶体管 T1 的第一极与初始信号端 Vinit 连接，第一晶体管 T1 的第二极与第二节点 N2 连接。第二晶体管 T2 的控制极与扫描信号端 Gate 连接，第二晶体管 T2 的第一极与数据信号端 Data 连接，第二晶体管 T2 的第二极与第三节点 N3 连接。第三晶体管 T3 的控制极与第二节点 N2 连接，第三晶体管 T3 的第一极与第三节点 N3 连接，第三晶体管 T3 的第二极与第一节点 N1 连接。第四晶体管 T4 的控制极与扫描信号端 Gate 连接，第四晶体管 T4 的第一极与第二节点 N2 连接，第四晶体管 T4 的第二极与第一节点 N1 连接。第五晶体管 T5 的控制极与发光控制端 EM 连接，第五晶体管 T5 的第一极与第一电源端 VDD 连接，第五晶体管 T5 的第二极与第三节点 N3 连接。第一极板 C1 与第二节点 N2 连接，第二极板 C2 与第一电源端 VDD 连接。

在一种示例性实施例中，如图 4A 和图 4B 所示，在每个像素电路中，发光选择子电路可以包括：第六晶体管 T6 至第 5+K 晶体管 T5+K。其中，第 k 晶体管 Tk 的控制极与第 k-5 发光选择信号端 EM_{k-5} 连接，第 k 晶体管 Tk 的第一极与第一节点 N1 连接，第 k 晶体管 Tk 的第二极与第 k-5 个发光器件 EL_{k-5} 连接， $6 \leq k \leq 5+K$ 。图 4B 是以 K=4 为例进行说明的。图 4B 中第六晶体管 T6 的控制极与第一发光选择信号端 EM₁ 连接，第六晶体管 T6 的第一极与第一节点 N1 连接，第六晶体管 T6 的第二极与第一个发光器件 EL₁ 连接，第七晶体管 T7 的控制极与第二发光选择信号端 EM₂ 连接，第七晶体管 T7 的第一极与第一节点 N1 连接，第七晶体管 T7 的第二极与第二个发光器件 EL₂ 连接。第八晶体管 T8 的控制极与第三发光选择信号端 EM₃ 连接。第八晶体管 T8 的第一极与第一节点 N1 连接，第八晶体管 T8 的第二极与第三个发光器件 EL₃ 连接。第九晶体管 T9 的控制极与第四发光选择信号端 EM₄ 连接。第九晶体管 T9 的第一极与第一节点 N1 连接，第九晶体管 T9 的第二极与第四个发光器件 EL₄ 连接。

在一种示例性实施例中，第三晶体管为驱动晶体管。第一晶体管、第二晶体管、第四晶体管至第 5+K 晶体管均为开关晶体管。示例性地，第一晶体管 T1 到第 5+K 晶体管 T5+K 可以采用低温多晶硅薄膜晶体管，或者可以采用氧化物薄膜晶体管，或者可以采用低温多晶硅薄膜晶体管和氧化物薄膜晶体管。低温多晶硅薄膜晶体管的有源层采用低温多晶硅 (Low Temperature Poly-Silicon, 简称 LTPS)，氧化物薄膜晶体管的有源层采用氧化物 (Oxide)。低温多晶硅薄膜晶体管具有迁移率高、充电快等优点，氧化物薄膜晶体管具有漏电流低等优点。在示例性实施方式中，可以将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个显示基板上，形成低温多晶氧化物 (Low Temperature Polycrystalline Oxide, 简称 LTPO) 显示基板，可以利用两者的优势，可以实现高分辨率 (Pixel Per Inch, 简称 PPI)，低频驱动，可以降低功耗，可以提高显示品质。

在一种示例性实施例中，第一晶体管 T1 到第 5+K 晶体管 T5+K 可以是 P 型晶体管，或者可以是 N 型晶体管。像素驱动电路中采用相同类型的晶体管可以简化工艺流程，减少显示面板的工艺难度，提高产品的良率。在一种

示例性实施例中，第一晶体管 T1 到第 5+K 晶体管 T5+K 可以包括 P 型晶体管和 N 型晶体管。其中，当低电平加载在 P 型晶体管的栅电极时，P 型晶体管导通，当高电平加载在 P 型晶体管的栅电极时，P 型晶体管截止。相应的，时钟信号是在两个不同电平间周期性切换的信号，且这两个电平通常也是分别用于使晶体管导通和截止的，故通常也将二者中较高的称为高电平，而较

5 低的称为低电平。

在一种示例性实施例中，位于同一行的相邻像素电路所连接的发光器件发射不同颜色的光线，位于同一列的相邻像素电路所连接的发光器件发射相同颜色的光线。

10 在一种示例性实施例中，K 个发光选择信号端接收有效电平信号的时间不重合。K 个发光选择信号端接收有效电平信号的时间不重合可以使得像素电路连接的 K 个发光器件不同时发光，可以保证显示基板的显示效果。

以 K=4，且 9 个晶体管均为 P 型晶体管为例进行说明，图 5 为一种像素电路的工作时序图。下面通过图 4B 示例的像素电路的工作过程说明本公开

15 示例性实施例提供的像素电路，图 4B 中的像素电路包括 9 个晶体管（第一晶体管 T1 至第九晶体管 T9）、1 个电容 C 和 9 个信号端（数据信号端 Data、扫描信号端 Gate、复位信号端 Reset、初始信号端 Vinit、发光控制端 EM、第一电源端 VDD、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄）。在一帧中，每个像

20 素电路中的电流控制电路进行四次充电，分别对应四个子帧，每个子帧对应一个发光器件，四个发光器件依次被点亮。每个像素电路的工作过程可以包括四个子帧：依次为第一子帧、第二子帧、第三子帧和第四子帧。

每个像素电路在第一子帧的工作过程可以包括：

第一阶段 t1₁，称为复位阶段，复位信号端 Reset 的信号为低电平信号，

25 扫描信号端 Gate、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。复位信号端 Reset 的信号为低电平信号，第一晶体管 T1 导通，初始信号端 Vinit 的信号提供至第二节点 N2，对电容 C 进行初始化，清除电容中原有数据电压。扫描信号端 Gate、复位信号端 Reset、发光控制

端 EM、第一发光选择信号端 EM_1 、第二发光选择信号端 EM_2 、第三发光选择信号端 EM_3 和第四发光选择信号端 EM_4 的信号均为高电平信号,使第二晶体管 T2、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止,此阶段发光器件 EL_1 至 EL_K 不发光。

- 5 第二阶段 $t2_1$ 、称为数据写入阶段或者阈值补偿阶段,扫描信号端 Gate 信号为低电平信号,复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM_1 、第二发光选择信号端 EM_2 、第三发光选择信号端 EM_3 和第四发光选择信号端 EM_4 的信号均为高电平信号。数据信号端 Data 输出数据电压,数据信号端 Data 的数据电压提供至第三节点 N3。此阶段由于第二节点 N2 的信号为低电平信号,因此第三晶体管 T3 导通。扫描信号端 Gate 信号为低电平信号,第二晶体管 T2 和第四晶体管 T4 导通,第二晶体管 T2 和第四晶体管 T4 导通使得数据信号端 Data 输出的数据电压经过第三节点 N3、导通的第三晶体管 T3、第一节点 N1 和导通的第二晶体管 T2 提供至第二节点 N2,并将数据信号端 Data 输出的数据电压与第三晶体管 T3 的阈值电压之差充入电
- 10 容 C,第二节点 N2 的电压为 $V_d - |V_{th}|$, V_d 为数据信号端 Data 输出的数据电压, V_{th} 为第三晶体管 T3 的阈值电压。复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM_1 、第二发光选择信号端 EM_2 、第三发光选择信号端 EM_3 和第四发光选择信号端 EM_4 的信号均为高电平信号,使得第一晶体管 T1、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止,此阶段发光器件 EL_1 至 EL_K 不发光。
- 15 20

- 第三阶段 $t3_1$ 、称为发光阶段,发光控制端 EM 和第一发光选择信号端 EM_1 的信号为低电平信号,扫描信号端 Gate、复位信号端 Reset、第二发光选择信号端 EM_2 、第三发光选择信号端 EM_3 和第四发光选择信号端 EM_4 的信号均为高电平信号。发光控制端 EM 和第一发光选择信号端 EM_1 的信号为低电平信号,使第五晶体管 T5 和第六晶体管 T6 导通,第一电源端 VDD 输出的电源电压通过导通的第五晶体管 T5、第三晶体管 T3 和第六晶体管 T6 向第一个发光器件 EL_1 的第一极提供驱动电压,驱动第一个发光器件 EL_1 发光。
- 25

每个像素电路在第二子帧的工作过程可以包括:

第一阶段 t1₂, 称为复位阶段, 复位信号端 Reset 的信号为低电平信号, 扫描信号端 Gate、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。复位信号端 Reset 的信号为低电平信号, 第一晶体管 T1 导通, 初始信号端 Vinit 的信号提供至第二节点 N2, 对电容 C 进行初始化, 清除电容中原有数据电压。扫描信号端 Gate、复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号, 使第二晶体管 T2、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止, 此阶段发光器件 EL₁ 至 EL_K 不发光。

第二阶段 t2₂、称为数据写入阶段或者阈值补偿阶段, 扫描信号端 Gate 信号为低电平信号, 复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。数据信号端 Data 输出数据电压, 数据信号端 Data 的数据电压提供至第三节点 N3。此阶段由于第二节点 N2 的信号为低电平信号, 因此第三晶体管 T3 导通。扫描信号端 Gate 信号为低电平信号, 第二晶体管 T2 和第四晶体管 T4 导通, 第二晶体管 T2 和第四晶体管 T4 导通使得数据信号端 Data 输出的数据电压经过第三节点 N3、导通的第三晶体管 T3、第一节点 N1 和导通的第二晶体管 T2 提供至第二节点 N2, 并将数据信号端 Data 输出的数据电压与第三晶体管 T3 的阈值电压之差充入电容 C, 第二节点 N2 的电压为 $V_d - |V_{th}|$, V_d 为数据信号端 Data 输出的数据电压, V_{th} 为第三晶体管 T3 的阈值电压。复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号, 使得第一晶体管 T1、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止, 此阶段发光器件 EL₁ 至 EL_K 不发光。

第三阶段 t3₂、称为发光阶段, 发光控制端 EM 和第二发光选择信号端 EM₂ 的信号为低电平信号, 扫描信号端 Gate、复位信号端 Reset、第一发光选择信号端 EM₁、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的

信号均为高电平信号。发光控制端 EM 和第二发光选择信号端 EM₂ 的信号为低电平信号，使第五晶体管 T5 和第七晶体管 T7 导通，第一电源端 VDD 输出的电源电压通过导通的第五晶体管 T5、第三晶体管 T3 和第七晶体管 T7 向第二个发光器件 EL₂ 的第一极提供驱动电压，驱动第二个发光器件 EL₂ 发光。

每个像素电路在第三子帧的工作过程可以包括：

第一阶段 t1₃，称为复位阶段，复位信号端 Reset 的信号为低电平信号，扫描信号端 Gate、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。复位信号端 Reset 的信号为低电平信号，第一晶体管 T1 导通，初始信号端 Vinit 的信号提供至第二节点 N2，对电容 C 进行初始化，清除电容中原有数据电压。扫描信号端 Gate、复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号，使第二晶体管 T2、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止，此阶段发光器件 EL₁ 至 EL_K 不发光。

第二阶段 t2₃，称为数据写入阶段或者阈值补偿阶段，扫描信号端 Gate 信号为低电平信号，复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。数据信号端 Data 输出数据电压，数据信号端 Data 的数据电压提供至第三节点 N3。此阶段由于第二节点 N2 的信号为低电平信号，因此第三晶体管 T3 导通。扫描信号端 Gate 信号为低电平信号，第二晶体管 T2 和第四晶体管 T4 导通，第二晶体管 T2 和第四晶体管 T4 导通使得数据信号端 Data 输出的数据电压经过第三节点 N3、导通的第三晶体管 T3、第一节点 N1 和导通的第二晶体管 T2 提供至第二节点 N2，并将数据信号端 Data 输出的数据电压与第三晶体管 T3 的阈值电压之差充入电容 C，第二节点 N2 的电压为 $V_d - |V_{th}|$ ，V_d 为数据信号端 Data 输出的数据电压，V_{th} 为第三晶体管 T3 的阈值电压。复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端

EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号, 使得第一晶体管 T1、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止, 此阶段发光器件 EL₁ 至 EL_K 不发光。

第三阶段 t3_3、称为发光阶段, 发光控制端 EM 和第三发光选择信号端 EM₃ 的信号为低电平信号, 扫描信号端 Gate、复位信号端 Reset、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。发光控制端 EM 和第三发光选择信号端 EM₃ 的信号为低电平信号, 使第五晶体管 T5 和第八晶体管 T8 导通, 第一电源端 VDD 输出的电源电压通过导通的第五晶体管 T5、第三晶体管 T3 和第八晶体管 T8 向第三个发光器件 EL₃ 的第一极提供驱动电压, 驱动第三个发光器件 EL₃ 发光。

每个像素电路在第四子帧的工作过程可以包括:

第一阶段 t1_4, 称为复位阶段, 复位信号端 Reset 的信号为低电平信号, 扫描信号端 Gate、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。复位信号端 Reset 的信号为低电平信号, 第一晶体管 T1 导通, 初始信号端 Vinit 的信号提供至第二节点 N2, 对电容 C 进行初始化, 清除电容中原有数据电压。扫描信号端 Gate、复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号, 使第二晶体管 T2、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止, 此阶段发光器件 EL₁ 至 EL_K 不发光。

第二阶段 t2_4、称为数据写入阶段或者阈值补偿阶段, 扫描信号端 Gate 信号为低电平信号, 复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM₁、第二发光选择信号端 EM₂、第三发光选择信号端 EM₃ 和第四发光选择信号端 EM₄ 的信号均为高电平信号。数据信号端 Data 输出数据电压, 数据信号端 Data 的数据电压提供至第三节点 N3。此阶段由于第二节点 N2 的信号为低电平信号, 因此第三晶体管 T3 导通。扫描信号端 Gate 信号为低电平信号, 第二晶体管 T2 和第四晶体管 T4 导通, 第二晶体管 T2 和第四晶体

管 T4 导通使得数据信号端 Data 输出的数据电压经过第三节点 N3、导通的第三晶体管 T3、第一节点 N1 和导通的第二晶体管 T2 提供至第二节点 N2，并将数据信号端 Data 输出的数据电压与第三晶体管 T3 的阈值电压之差充入电容 C，第二节点 N2 的电压为 $V_d - |V_{th}|$ ， V_d 为数据信号端 Data 输出的数据电压， V_{th} 为第三晶体管 T3 的阈值电压。复位信号端 Reset、发光控制端 EM、第一发光选择信号端 EM_1 、第二发光选择信号端 EM_2 、第三发光选择信号端 EM_3 和第四发光选择信号端 EM_4 的信号均为高电平信号，使得第一晶体管 T1、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 截止，此阶段发光器件 EL_1 至 EL_K 不发光。

第三阶段 $t3_4$ 、称为发光阶段，发光控制端 EM 和第四发光选择信号端 EM_4 的信号为低电平信号，扫描信号端 Gate、复位信号端 Reset、第一发光选择信号端 EM_1 、第二发光选择信号端 EM_2 和第三发光选择信号端 EM_3 的信号均为高电平信号。发光控制端 EM 和第四发光选择信号端 EM_4 的信号为低电平信号，使第五晶体管 T5 和第九晶体管 T9 导通，第一电源端 VDD 输出的电源电压通过导通的第五晶体管 T5、第三晶体管 T3 和第九晶体管 T9 向第四个发光器件 EL_4 的第一极提供驱动电压，驱动第四个发光器件 EL_4 发光。

本公开中，一帧时间内，第一晶体管 T1 至第五晶体管 T5 分别开启四次，数据信号端 Data 提供四次数据信号，依次驱动四个发光器件发光，可以利用人眼视觉暂留，实现显示基板的正常显示。

在像素电路驱动过程中，流过第三晶体管 T3（驱动晶体管）的驱动电流由其控制极和第一极之间的电压差决定。由于第二节点 N2 的电压为 $V_{data} - |V_{th}|$ ，因而第三晶体管 T3 的驱动电流为：

$$I = K \cdot (V_{gs} - V_{th})^2 = K \cdot [(V_{dd} - V_d + |V_{th}|) - V_{th}]^2 = K \cdot [(V_{dd} - V_d)]^2$$

其中，I 为流过第三晶体管 T3 的驱动电流，也就是驱动 OLED 的驱动电流，K 为常数， V_{gs} 为第三晶体管 T3 的栅电极和第一极之间的电压差， V_{th} 为第三晶体管 T3 的阈值电压， V_d 为数据信号端 Data 输出的数据电压， V_{dd} 为第一电源线 VDD 输出的电源电压。

在一种示例性实施例中，当 $M2=K \times M1$ ， $N1=3 \times N2$ 时，每个像素电路连接的发光器件位于同一列。其中，第 m 行第 $3n-2$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第一发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第一发光器件，直至第 $K \times m$ 行第 n 列发光单元中的第一发光器件连接，其中， $1 \leq m \leq M1$ ， $1 \leq n \leq N2$ 。第 m 行第 $3n-1$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第二发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第二发光器件，直至第 $K \times m$ 行第 n 列发光单元中的第二发光器件连接。第 m 行第 $3n$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第三发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第三发光器件，直至第 $K \times m$ 行第 n 列发光单元中的第三发光器件连接。图 6A 为像素电路与发光器件的连接示意图一，图 6A 是以 $K=4$ 为例进行说明的。如图 6A 所示，R 为发射红光的第一发光器件，G 为发射绿光的第二发光器件，B 为发射蓝光的第三发光器件， PA_i 为第 i 列像素电路， PA_1 中的 1 表示像素电路中的第六晶体管的第二极，2 表示像素电路中的第七晶体管的第二极，3 表示像素电路中第八晶体管的第二极，4 表示像素电路中第九晶体管的第二极。以 $K=4$ 为例，第一行第一列像素电路的第六晶体管的第二极、第七晶体管的第二极、第八晶体管的第二极和第九晶体管的第二极分别与第一行第一列发光单元中的第一发光器件、第二行第一列发光单元中的第一发光器件，第三行第一列发光单元中的第一发光器件和第四行第一列发光单元中的第一发光器件发光。第一行第二列像素电路的第六晶体管的第二极、第七晶体管的第二极、第八晶体管的第二极和第九晶体管的第二极分别与第一行第一列发光单元中的第二发光器件、第二行第一列发光单元中的第二发光器件，第三行第一列发光单元中的第二发光器件和第四行第一列发光单元中的第二发光器件发光。第一行第三列像素电路的第六晶体管的第二极、第七晶体管的第二极、第八晶体管的第二极和第九晶体管的第二极分别与第一行第一列发光单元中的第三发光器件、第二行第一列发光单元中的第三发光器件，第三行第一列发光单元中的第一发光器件和第四行第一列发光单元中的第三发光器件发光，依次类推。

当每个像素电路连接的发光器件位于同一列时，位于同一行的像素电路依次点亮所连接的 K 个发光器件所在行的所有发光器件。例如以 $K=4$ 为例，

第一行像素电路依次点亮第一行发光器件、第二行发光器件、第三行发光器件和第四行发光器件。

在一种示例性实施例中，当 $M2=4 \times M1$ ， $N1=3 \times N2$ 时，像素电路所连接的发光器件沿第一方向和第二方向排布，第一方向与第二方向相交。其中，
5 第 m 行第 $3n-2$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第一发光器件，第 $2m-1$ 行第 $2n$ 列发光单元中的第一发光器件，第 $2m$ 行第 $2n-1$ 列发光单元中的第一发光器件和第 $2m$ 行第 $2n$ 列发光单元中的第一发光器件连接，其中， $1 \leq m \leq M1$ ， $1 \leq n \leq N2$ 。第 m 行第 $3n-1$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元的第二发光器件，第 $2m-1$ 行第 $2n$ 列发光单元的第二发光器件，
10 第 $2m$ 行第 $2n-1$ 列发光单元的第二发光器件，第 $2m$ 行第 $2n$ 列发光单元中的第二发光器件连接。第 m 行第 $3n$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元的第三发光器件，第 $2m-1$ 行第 $2n$ 列发光单元的第三发光器件，第 $2m$ 行第 $2n-1$ 列发光单元的第三发光器件，第 $2m$ 行第 $2n$ 列发光单元中的第三发光器件连接。图 6B 为像素电路与发光器件的连接示意图二。如图 6B 所示，
15 R 为发射红光的第一发光器件，G 为发射绿光的第二发光器件，B 为发射蓝光的第三发光器件， PA_i 为第 i 列像素电路， PA_1 中的 1 表示像素电路中的第六晶体管的第二极，2 表示像素电路中的第七晶体管的第二极，3 表示像素电路中第八晶体管的第二极，4 表示像素电路中第九晶体管的第二极。

在一种示例性实施例中，如图 6B 所示，相邻像素电路中的第六晶体管的第二极至第九晶体管的第二极的排布方式沿相邻像素电路的中线对称设置。
20

在一种示例性实施例中，如图 6B 所示，第一行第一列像素电路的第六晶体管的第二极与第一行第一列像素单元中的第一发光器件连接，第一行第一列像素电路的第七晶体管的第二极与第二行第一列像素单元中的第一发光器件连接，第一行第一列像素电路的第八晶体管的第二极与第一行第二列像素单元中的第一发光器件连接，第一行第一列像素电路的第九晶体管的第二极与第二行第一列像素单元中的第一发光器件连接。第一行第二列像素电路的第六晶体管的第二极与第一行第一列像素单元中的第二发光器件连接，第一行第二列像素电路的第七晶体管的第二极与第二行第一列像素单元中的第二发光器件连接，第一行第二列像素电路的第八晶体管的第二极与第一行第
25

二列像素单元中的第二发光器件连接，第一行第二列像素电路的第九晶体管的第二极与第二行第一列像素单元中的第二发光器件连接。第一行第三列像素电路的第六晶体管的第二极与第一行第一列像素单元中的第三发光器件连接，第一行第三列像素电路的第七晶体管的第二极与第二行第一列像素单元中的第三发光器件连接，第一行第三列像素电路的第八晶体管的第二极与第一行第二列像素单元中的第三发光器件连接，第一行第三列像素电路的第九晶体管的第二极与第二行第一列像素单元中的第三发光器件连接。第一行第四列像素电路的第六晶体管的第二极与第一行第三列像素单元中的第一发光器件连接，第一行第四列像素电路的第七晶体管的第二极与第二行第三列像素单元中的第一发光器件连接，第一行第四列像素电路的第八晶体管的第二极与第一行第四列像素单元中的第一发光器件连接，第一行第四列像素电路的第九晶体管的第二极与第二行第一列像素单元中的第一发光器件连接。第一行第五列像素电路的第六晶体管的第二极与第一行第三列像素单元中的第二发光器件连接，第一行第四列像素电路的第七晶体管的第二极与第二行第三列像素单元中的第二发光器件连接，第一行第四列像素电路的第八晶体管的第二极与第一行第四列像素单元中的第二发光器件连接，第一行第四列像素电路的第九晶体管的第二极与第二行第一列像素单元中的第二发光器件连接。第一行第六列像素电路的第六晶体管的第二极与第一行第三列像素单元中的第三发光器件连接，第一行第四列像素电路的第七晶体管的第二极与第二行第三列像素单元中的第三发光器件连接，第一行第四列像素电路的第八晶体管的第二极与第一行第四列像素单元中的第三发光器件连接，第一行第四列像素电路的第九晶体管的第二极与第二行第一列像素单元中的第三发光器件连接，依次类推。

当每个像素电路连接的发光器件沿第一方向和第二方向排布时，位于同一行的像素电路同时点亮每个发光器件所在行的部分发光器件，四个子帧后，两行发光器件中的所有发光器件全部发光完毕。

图 7A 为一种显示基板的结构示意图一，图 7B 为一种显示基板的结构示意图二。如图 1、图 7A 和图 7B 所示，显示基板还可以包括：N1 列数据信号线 D，M1 行扫描信号线 G_1 至 G_{M1} 、M1 行第一电源线，M1 行复位信号线、

M1 行初始信号线、P 行第一发光选择信号线 E_{11} 至 E_{1P} 、P 行第二发光选择信号线 E_{2P} 至 E_{2P} 、P 行第三发光选择信号线 E_{31} 至 E_{3P} 、P 行第四发光选择信号线 E_{41} 至 E_{4M1} 和 P 行发光控制线 E_1 至 E_{M1} ， $P=M1$ 或者 $M1/2$ ；图 7A 是以 $P=M1$ 为例进行说明，图 7B 是以 $P=M1/2$ 为例进行说明的。

5 在一种示例性实施例中，数据信号线沿第一方向延伸，扫描信号线、第一电源线，复位信号线、初始信号线、第一发光选择信号线、第二发光选择信号线、第三发光选择信号线、第四发光选择信号线和发光控制线沿第二方向延伸。

10 在一种示例性实施例中，如图 7A 和 7B 所示，第 s 行扫描信号线与第 s 行像素电路的扫描信号端连接，第 s 行第一电源线与第 s 行像素电路的第一电源端连接，第 s 行复位信号线与第 s 行像素电路的复位信号端连接，第 s 行初始信号线与第 s 行像素电路的初始信号端连接，第 t 列数据信号线与第 t 列像素电路的数据信号端连接， $1 \leq s \leq M1$ ， $1 \leq t \leq N1$ 。

15 在一种示例性实施例中，当 $P=M1$ 时，第 s 行第一发光选择信号线与第 s 行像素电路的第一发光选择信号端连接，第 s 行第二发光选择信号线与第 s 行像素电路的第二发光选择信号端连接，第 s 行第三发光选择信号线与第 s 行像素电路的第三发光选择信号端连接，第 s 行第四发光选择信号线与第 s 行像素电路的第四发光选择信号端连接。

20 在一种示例性实施例中，当 $P=M1/2$ 时，第 v 行第一发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第一发光选择信号端连接，第 v 行第二发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第二发光选择信号端连接，第 v 行第三发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第三发光选择信号端连接，第 v 行第四发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第四发光选择信号端连接，
25 第 v 行发光控制线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的发光控制端连接，其中， $1 \leq v \leq P$ 。

在一种示例性实施例中，第一发光选择信号线与第二发光选择信号线同层设置，第三发光选择信号线和第四发光选择信号线同层设置，第一发光选择信号线和第三发光选择信号线异层设置。第一发光选择信号线和第三发光

选择信号线异层设置可以减少像素电路对第一方向的占用，可以减少像素电路所占用的面积，可以提升显示基板的分辨率。

在一种示例性实施例中，如图 1、图 7A 和图 7B 所示，非显示区可以设置有扫描驱动电路 GOA、发光驱动电路 EOA、第一发光选择驱动电路 EOA1、
5 第二发光选择驱动电路 EOA2、第三发光选择驱动电路 EOA3 和第四发光选择驱动电路 EOA4。显示区 AA 包括：相对设置的第一侧和第二侧。

在一种示例性实施例中，扫描驱动电路位于显示区的第一侧和第二侧。如图 1、图 7A 和图 7B 是以扫描驱动电路位于显示区的第一侧和第二侧为例进行说明的。发光驱动电路 EOA 位于扫描驱动电路 GOA 远离显示区的一侧，
10 第一发光选择驱动电路 EOA1 位于显示区的第一侧，且位于扫描驱动电路 GOA 和发光驱动电路 EOA 之间，第二发光选择驱动电路 EOA2 位于显示区的第二侧，且位于扫描驱动电路 GOA 和发光驱动电路 EOA 之间，第三发光选择驱动电路 EOA3 位于显示区的第一侧，且位于第一发光选择驱动电路 EOA1 和发光驱动电路 EOA 之间，第四发光选择驱动电路 EOA4 位于显示区
15 的第二侧，且位于第二发光选择驱动电路 EOA2 和发光驱动电路 EOA 之间。

在一种示例性实施例中，图 7A 和图 7B 所示，扫描驱动电路 GOA 可以包括：M1 个级联的扫描移位寄存器 G_1 至 G_M1，第 s 级扫描移位寄存器与第 s 行扫描信号线连接。发光驱动电路 EOA 可以包括：P 个级联的发光移位寄存器 E_1 至 E_P，第 v 级发光移位寄存器与第 v 行发光控制线连接。第一发光选择驱动电路 EOA1 包括：P 个级联的第一发光选择移位寄存器 E1_1 至 E1_P，第 v 级第一发光选择移位寄存器与第 v 行第一发光选择信号线连接。第二发光选择驱动电路 EOA2 包括：P 个级联的第二发光选择移位寄存器 E2_1 至 E2_P，第 v 级第二发光选择移位寄存器与第 v 行第二发光选择信号线连接。第三发光选择驱动电路 EOA3 包括：P 个级联的第三发光选择移位寄存器 E3_1 至 E3_P，第 v 级第三发光选择移位寄存器与第 v 行第三发光选择信号线连接。第四发光选择驱动电路 EOA4 包括：P 个级联的第四发光选择移位寄存器 E4_1 至 E4_P，第 v 级第四发光选择移位寄存器与第 v 行第四发光选择信号线连接。
20
25

图 8 为位于同一列第 i 行和第 i+1 行像素电路的时序图。图 8 是以 $P=M1/2$,

K=4 为例进行说明。如图 8 所示, D1 指的是第一子帧, 向第 i 行像素电路的数据信号端提供的数据信号, D2 指的是第二子帧向第 i 行像素电路的数据信号端提供的数据信号, D3 指的是第三子帧时向第 i 行像素电路的数据信号端提供的数据信号, D4 指的是第四子帧时向第 i 行像素电路的数据信号端提供的数据信号, D5 指的是第一子帧, 向第 $i+1$ 行像素电路的数据信号端提供的数据信号, D6 指的是第二子帧向第 $i+1$ 行像素电路的数据信号端提供的数据信号, D7 指的是第三子帧时向第 $i+1$ 行像素电路的数据信号端提供的数据信号, D8 指的是第四子帧时向第 $i+1$ 行像素电路的数据信号端提供的数据信号。EM1 为向第 i 行像素电路和第 $i+1$ 行像素电路的第一信号选择信号端提供的信号, EM2 为向第 i 行像素电路和第 $i+1$ 行像素电路的第二信号选择信号端提供的信号, EM3 为向第 i 行像素电路和第 $i+1$ 行像素电路的第三信号选择信号端提供的信号, EM4 为向第 i 行像素电路和第 $i+1$ 行像素电路的第四信号选择信号端提供的信号, G1 为向第 i 行像素电路的扫描信号端提供的扫描信号, G2 为向第 $i+1$ 行像素电路的扫描信号端提供的扫描信号, Reset 为向第 i 行像素电路和第 $i+1$ 行像素电路的复位信号端提供信号。同一列第 i 行和第 $i+1$ 行像素电路共用同一发光控制线、同一第一发光选择信号线, 同一第二发光选择信号线、同一第三发光信号线和同一第四发光信号线。由图 8 可知, 即发光时间相应的减少一行的充电时间, 即两行电流控制电路进行充电时, 发光控制线的信号均为关闭状态, 在同一子帧中, 两行像素电路中的一个发光器件同时发光。

图 9 为一种示例性实施例提供的显示基板的结构示意图, 图 10A 为一种示例性实施例提供的驱动电路层的结构示意图一。如图 9 和图 10A 所示, 一种示例性实施例提供的显示基板可以包括: 基底 100 以及依次设置在基底 100 上的驱动电路层 200 和发光结构层 300; 驱动电路层包括: 像素电路, 发光结构层包括: 发光单元。驱动电路层包括: 依次叠设在基底 100 上的第一绝缘层 11、半导体层 21、第二绝缘层 12、第一金属层 22、第三绝缘层 13、第二金属层 23、第四绝缘层 14、第三金属层 24、第五绝缘层 15、第四金属层 25、第六绝缘层 16、第五金属层 26、第七绝缘层 17、第六金属层 27、第八绝缘层 18、第七金属层 28 和平坦层 19。

在一种示例性实施例中，如图 9 所示，显示基板还可以包括封装层。其中，封装层可以包括叠设的第一封装层 401、第二封装层 402 和第三封装层 403，第一封装层 401 和第三封装层 403 可以采用无机材料，第二封装层 402 可以采用有机材料，第二封装层 402 设置在第一封装层 401 和第三封装层 403 之间，可以保证外界水汽无法进入发光结构层。

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，半导体层包括：多个像素电路的有源层，每个像素电路的有源层包括：多个晶体管的有源层；第一金属层包括：发光控制线、扫描信号线、复位信号线和多个像素电路的第一导电层，每个像素电路的第一导电层包括：多个晶体管的栅电极和第一极板；第二金属层包括：第一电源线、初始信号线和多个像素电路的第二导电层，每个像素电路的第二导电层包括：多个晶体管的第一极和第二极、第一连接部和第二连接部；第三金属层包括：数据信号线和多个像素电路的第三导电层，每个像素电路的第三导电层包括：第二晶体管的第一极，第三连接部，第四连接部和第五连接部；第四金属层包括：多个像素电路的第四导电层，每个像素电路的第四导电层包括：第六连接部，第七连接部，第八连接部，第九连接部，第十连接部和第十一连接部；第五金属层包括：多个像素电路的第五导电层，每个像素电路的导电层包括：第十二连接部；第六金属层包括：第三发光选择信号线、第四发光选择信号线和除了第一列像素电路之外的其他像素电路的第六导电层，除了第一列像素电路之外的其他像素电路的第六导电层包括：第十三连接部和第十四连接部；第七金属层包括：第一发光选择信号线、第二发光选择信号线和多个像素电路的第七导电层，每个像素电路的第七导电层包括：第十五连接部、第十六连接部、第十七连接部和第十八连接部。

图 10B 为一种示例性实施例提供的驱动电路层的结构示意图二。如图 10B 所示，一种示例性实施例提供的显示基板中的驱动电路层包括：依次叠设在基底 100 上的第一绝缘层 11、半导体层 21、第二绝缘层 12、第一金属层 22、第三绝缘层 13、第二金属层 23、第四绝缘层 14、第三金属层 24、第五绝缘层 15、第四金属层 25、第六绝缘层 16、第五金属层 26、第七绝缘层

17、第六金属层 27 和平坦层 18。

图 10C 为一种示例性实施例提供的驱动电路层的结构示意图三。如图 10C 所示，一种示例性实施例提供的显示基板中的驱动电路层包括：依次叠设在基底 100 上的第一绝缘层 11、半导体层 21、第二绝缘层 12、第一金属层 22、第三绝缘层 13、第二金属层 23、第四绝缘层 14、第三金属层 24、第五绝缘层 15、第四金属层 25、第六绝缘层 16、第五金属层 26、第七绝缘层 17、第六金属层 27、第八绝缘层 18、第七金属层 28、第九绝缘层 19、第八金属层 29 和平坦层 20。

图 10A、图 10B 和图 10C 相比，驱动电路层中的绝缘层和金属层的膜层数不同，本公开对此不作任何限定。

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，第 s 行初始信号线在基底上的正投影与第 s 行复位信号线在基底上的正投影至少部分重叠。第一发光选择信号线在基底上的正投影位于第三发光选择信号线在基底上的正投影和第四发光选择信号线在基底上的正投影之间；第二发光选择信号线在基底上的正投影位于第四发光选择信号线在基底上的正投影远离第三发光选择信号线在基底上的正投影的一侧。

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，位于同一行的相邻像素电路的有源层沿相邻像素电路的中线对称设置，且第 i 行第 j 列像素电路的像素电路的有源层与第 i 行第 $j+1$ 列像素电路的像素电路的有源层连接， $1 \leq i \leq M1$ ， $1 \leq j < N1$ ，且为奇数；位于同一行的相邻像素电路的第一导电层沿相邻像素电路之间的中线对称设置；位于同一行的相邻像素电路的第二导电层沿相邻像素电路之间的中线对称设置；位于同一行的相邻像素电路的第三导电层沿相邻像素电路之间的中线对称设置；位于同一行的相邻像素电路的第四导电层沿相邻像素电路的中线对称设置；位于同一行的相邻像素电路的第五导电层沿相邻像素电路的中线对称设置。

图 11 为第一晶体管的有源层的结构示意图。如图 11 所示，在一种示例性实施例中，第一晶体管的有源层包括：第一分支段 T11A、第一连接段 T11C

和第一分支段 T11B。其中，第一分支段 T11A 和第二分支段 T11B 位于第一连接段 T11C 的同一侧，且第一连接段 T11C 分别与第一分支段 T11A 和第二分支段 T11B 连接。

5 在一种示例性实施例中，第一分支段 T11A 和第二分支段 T11B 沿第一方向延伸，第一连接段 T11C 沿第二方向延伸。在一种示例性实施例中，第一连接段 T11C 的长度大于第一分支段的长度。

本公开中，第一晶体管的有源层为 U 型，其沟道区域沿第二方向延伸，可以增加第一晶体管的有源层的长度，减少漏电，还可以减少像素电路对于第一方向的占用。

10 在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，当像素电路所连接的发光器件沿第一方向和第二方向排布时，第 i 行第 j 列像素电路的第五晶体管的有源层与第 i 行第 $i+1$ 列像素电路的第五晶体管的有源层为一体成型结构；第 i 行第 j 列像素电路的第八晶体管的栅电极与第 i 行第 $j+1$ 列像素电路的第八晶体管的栅电极为一体成型结构；第 i 行第 j 列像素电路的第九晶体管的栅电极与第 i 行第 $j+1$ 列像素电路的第九晶体管的栅电极为一体成型结构；第 i 行第 $j+1$ 列像素电路的第六晶体管的栅电极与第 i 行第 $j+2$ 列像素电路的第六晶体管的栅电极为一体成型结构；第 i 行第 $j+1$ 列像素电路的第七晶体管的栅电极与第 i 行第 $j+2$ 列像素电路的第七晶体管的栅电极为一体成型结构；第 i 行第 j 列像素电路的第一连接部和第 i 行第 $j+1$ 列像素电路的第一连接部为一体成型结构；第 i 行第 j 列像素电路的第五晶体管的第 i 极和第 i 行第 $j+1$ 列像素电路的第五晶体管的第 i 极为一体成型结构；第 i 行第 j 列像素电路的第八连接部和第 i 行第 $j+1$ 列像素电路的第八连接部为一体成型结构，第 i 行第 j 列像素电路的第九连接部和第 i 行第 $j+1$ 列像素电路的第九连接部为一体成型结构。相邻像素电路共用以上结构可以减少像素电路所占用的面积，实现显示基板的高分辨率。

15 20 25

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，第二绝缘层和第三绝缘层开设有位于每个像素电路中的第一过孔至第九过孔，第三绝缘层还开设有

位于每个像素电路中的第十过孔和第十一过孔，第二绝缘层、第三绝缘层和第四绝缘层上开设有十二过孔和第十三过孔，第三绝缘层和第四绝缘层上开设有位于每个像素电路中的第十四过孔、第十五过孔和第十六过孔，第四绝缘层和第五绝缘层上开设有位于每个像素电路中的第十七过孔至第二十二过孔，第三绝缘层、第四绝缘层、第五绝缘层和第六绝缘层上开设有位于每个像素电路中的第二十三过孔和第二十四过孔，第六绝缘层和第七绝缘层上开设有位于每个像素电路中的第二十五过孔和第二十六过孔，第六绝缘层和第七绝缘层还开设有位于第一列像素电路之外的其他像素电路中的第二十七过孔和第二十八过孔，第五绝缘层、第六绝缘层、第七绝缘层和第八绝缘层开设有位于每个像素电路中的第二十九过孔和第三十过孔，在第一列像素电路中，第六绝缘层、第七绝缘层和第八绝缘层开设有位于每个像素电路中的第三十一过孔和第三十二过孔，第六绝缘层、第七绝缘层和第八绝缘层还开设有位于每个像素电路中的第三十三过孔和第三十四过孔，第八绝缘层开设有位于第一列像素电路之外的其他像素电路中的第三十五过孔和第三十六过孔，平坦层开设有位于每个像素电路中的第三十七过孔、第三十八过孔、第三十九过孔和第四十过孔。

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，第一过孔暴露出第五晶体管的有源层，第二过孔暴露出第三晶体管的有源层，第三过孔暴露出第一晶体管的有源层，第四过孔暴露出第六晶体管的有源层，第五过孔暴露出第八晶体管的有源层，第六过孔暴露出第八晶体管的有源层，第七过孔暴露出第六晶体管的有源层，第八过孔暴露出第七晶体管的有源层，第九过孔暴露出第九晶体管的有源层，第十过孔暴露出第八晶体管的栅电极，第十一过孔暴露出第九晶体管的栅电极，第十二过孔暴露出第一晶体管的有源层和第四晶体管的有源层，第十三过孔暴露出第二晶体管的有源层，第十四过孔暴露出第一极板，第十五过孔暴露出第六晶体管的栅电极，第十六过孔暴露出第七晶体管的栅电极，第十七过孔暴露出第六晶体管的第二极，第十八过孔暴露出第八晶体管的第二极，第十九过孔暴露出第一连接部，第二十过孔暴露出第二连接部，第二十一过孔暴露出第七晶体管的第二极，第二十二过孔暴露出第九晶体管的第二极。第二十三过孔暴露出第三晶体管的第二极，第二

十四过孔暴露出第六晶体管的第一极。在每个像素电路中，第二十五过孔暴露出第八连接部，第二十六过孔暴露出第九连接部，第二十七过孔暴露出第六连接部，第二十八过孔暴露出第十连接部，第二十九过孔暴露出第四连接部，第三十过孔暴露出第五连接部，第三十一过孔暴露出第六连接部，第三十二过孔暴露出第十连接部，第三十三过孔暴露出第七连接部，第三十四过孔暴露出第十一连接部，第三十五过孔暴露出第七连接部，第三十六过孔暴露出第十一连接部，第三十七过孔暴露出第十三连接部，第三十八过孔暴露出第十四连接部，第三十九过孔暴露出第十五连接部，第四十过孔暴露出第十六连接部，第四十一过孔暴露出第十七连接部，第四十二过孔暴露出第十八连接部。

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，第 i 行第 j 列像素电路的第一过孔与第 i 行第 $j+1$ 列像素电路的第一过孔为同一过孔；第 i 行第 j 列像素电路的第十过孔与第 i 行第 $j+1$ 列像素电路的第十过孔为同一过孔；第 i 行第 j 列像素电路的第十一过孔与第 i 行第 $j+1$ 列像素电路的第十一过孔为同一过孔；第 i 行第 $j+1$ 列像素电路的第十五过孔和第 i 行第 $j+2$ 列像素电路的第十五过孔为同一过孔；第 i 行第 $j+1$ 列像素电路的第十六过孔和第 i 行第 $j+2$ 列像素电路的第十六过孔为同一过孔；第 i 行第 j 列像素电路中的第十九过孔与第 i 行第 $j+1$ 列像素电路中的第十九过孔为同一过孔；第 i 行第 j 列像素电路中的第二十五过孔与第 i 行第 $j+1$ 列像素电路中的第二十五过孔为同一过孔。第 i 行第 j 列像素电路中的第二十六过孔与第 i 行第 $j+1$ 列像素电路中的第二十六过孔为同一过孔；第 i 行第 $j+1$ 列像素电路中的第二十九过孔与第 i 行第 $j+2$ 列像素电路中的第二十九过孔为同一过孔；第 i 行第 $j+1$ 列像素电路中的第三十过孔与第 i 行第 $j+2$ 列像素电路中的第三十过孔为同一过孔。相邻像素电路共用以上过孔，可以简化显示基板的制作工艺，可以减少像素电路沿第二方向所占用的空间，实现了显示基板的高分辨率。

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，对于每个像素电路，第五晶体管的第一极通过第一过孔与第五晶体管的有源层连接，第三晶体管的

第二极通过第二过孔与第三晶体管的有源层连接，第一晶体管的第一极通过第三过孔与第一晶体管的有源层连接，第六晶体管的第二极通过第四过孔与第六晶体管的有源层连接，第八晶体管的第二极通过第五过孔与第八晶体管的有源层连接，第八晶体管的第一极通过第六过孔与第八晶体管的有源层连接，第六晶体管的第一极通过第七过孔与第六晶体管的有源层连接，第七晶体管的第二极通过第八过孔与第七晶体管的有源层连接，第九晶体管的第二极通过第九过孔与第九晶体管的有源层连接，第一连接部通过第十过孔与第八晶体管的栅电极连接，第二连接部通过第十一过孔与第九晶体管的栅电极连接，第三连接部通过第十二过孔与第一晶体管的有源层连接，第三连接部通过第十四过孔与第一极板连接，第二晶体管的第一极通过第十三过孔与第二晶体管的有源层连接，第四连接部通过第十五过孔与第六晶体管的栅电极连接，第五连接部通过第十六过孔与第七晶体管的栅电极连接。在一种示例性实施例中，第六连接部通过第十七过孔与第六晶体管的第二极连接，第七连接部通过第十八过孔与第八晶体管的第二极连接，第八连接部通过第十九过孔与第一连接部连接，第九连接部通过第二十过孔与第二连接部连接，第十连接部通过第二十一过孔与第七晶体管的第二极连接，第十一连接部通过第二十二过孔与第九晶体管的第二极连接，第十二连接部通过第二十三过孔与第三晶体管的第二极，且通过第二十四过孔与第六晶体管的第一极连接，第三发光选择信号线通过第二十五过孔与第八连接部连接，第四发光选择信号线通过第二十六过孔与第九连接部连接，第一发光选择信号线通过第二十九过孔与第四连接部连接，第二发光选择信号线通过第三十过孔与第五连接部连接，像素电路所连接的第一发光器件通过第三十六过孔与第十五连接部连接，像素电路所连接的第二发光器件通过第三十八过孔与第十七连接部连接，像素电路所连接的第三发光器件通过第三十七过孔与第十六连接部连接，像素电路所连接的第四发光器件通过第三十八过孔与第十八连接部连接。在第一列像素电路中，第十五连接部通过第三十一过孔与第六连接部连接，第十六连接部通过第三十二过孔与第十连接部连接，第十七连接部通过第三十三过孔与第七连接部连接，第十八连接部通过第三十四过孔与第十一连接部连接，在除了第一列像素电路之外的其他像素电路中，第十三连接部通过第二十七过孔与第六连接部连接，第十四连接部通过第二十八过孔与第十连接

部连接，第十五连接部通过第三十三过孔与第七连接部连接，第十六连接部通过第三十四过孔与第十一连接部连接，第十七连接部通过第三十五过孔与第十三连接部连接，第十八连接部通过第三十六过孔与第十四连接部连接。

在一种示例性实施例中，如图9所示，发光器件包括：第一电极、有机发光层和第二电极；发光结构层300包括：依次叠设在驱动结构层200上的第一电极层31、像素界定层34、发光材料层33和第二电极层34。其中，第一电极层包括：阵列排布的第一电极，发光材料层包括：阵列排布的有机发光层，第二电极层包括：第二电极。像素电路与所连接连接发光器件的第一电极连接，所有发光器件的第二电极与第二电源端VSS连接。

在一种示例性实施例中，有机发光层可以包括叠设的空穴注入层（Hole Injection Layer，简称HIL）、空穴传输层（Hole Transport Layer，简称HTL）、电子阻挡层（Electron Block Layer，简称EBL）、发光层（Emitting Layer，简称EML）、空穴阻挡层（Hole Block Layer，简称HBL）、电子传输层（Electron Transport Layer，简称ETL）和电子注入层（Electron Injection Layer，简称EIL）。在示例性实施方式中，所有子像素的空穴注入层可以是连接在一起的共通层，所有子像素的电子注入层可以是连接在一起的共通层，所有子像素的空穴传输层可以是连接在一起的共通层，所有子像素的电子传输层可以是连接在一起的共通层，所有子像素的空穴阻挡层可以是连接在一起的共通层，相邻子像素的发光层可以有少量的交叠，或者可以是隔离的，相邻子像素的电子阻挡层可以有少量的交叠，或者可以是隔离的。

在一种示例性实施例中，第二电源端VSS持续提供低电平信号。

在一种示例性实施例中，当驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布时，对于第 m 行第 $3n-2$ 列像素电路，第十五连接部在基底上的正投影与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 $2m$ 行第 $2n-1$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；第十七连接部在基底上的正投影与第 $2m-1$ 行第 $2n$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；第十八连接部在基底上的正投影与第 $2m$ 行第 $2n$ 列发光单元中

的第一发光器件的第一电极在基底上的正投影至少部分重叠；对于第 m 行第 $3n-1$ 列像素电路，第十五连接部在基底上的正投影与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 $2m$ 行第 $2n-1$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十七连接部在基底上的正投影与第 $2m-1$ 行第 $2n$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十八连接部在基底上的正投影与第 $2m$ 行第 $2n$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠；对于第 m 行第 $3n$ 列像素电路，第十五连接部在基底上的正投影与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 $2m$ 行第 $2n-1$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十七连接部在基底上的正投影与第 $2m-1$ 行第 $2n$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十八连接部在基底上的正投影与第 $2m$ 行第 $2n$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠。

图 12A 为一种示例性实施例中平坦层和第一电极层的示意图一，图 12B 为一种示例性实施例提供的平坦层和第一电极层的示意图二。如图 12A 和图 12B 所示，对于每个发光器件，第一电极层中的第一电极 310 远离基底的表面包括：第一端和第二端；平坦层开设有过孔 V，第一电极通过平坦层过孔与像素电路连接。

在一种示例性实施例中，位于同一行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的同一端。

在一种示例性实施例中，位于第 x 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一端或第二端，位于第 $x+1$ 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一端或第二端。图 12A 是以位于第 x 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一端，位于第 $x+1$ 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一端为例进行说明。图 12B 是以位于第 x 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一

端，位于第 $x+1$ 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第二端为例进行说明，本公开并不以此危险。

下面通过显示基板的制备过程的示例说明显示基板的结构。本公开所说的“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀和剥离光刻胶处理。沉积可以采用溅射、蒸镀和化学气相沉积中的任意一种或多种，涂覆可以采用喷涂和旋涂中的任意一种或多种，刻蚀可以采用干刻和湿刻中的任意一种或多种。“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程中该“薄膜”无需构图工艺，则该“薄膜”还可以称为“层”。若在整个制作过程中该“薄膜”需构图工艺，则在构图工艺前称为“薄膜”，构图工艺后称为“层”。经过构图工艺后的“层”中包含至少一个“图案”。本公开中所说的“A 和 B 同层设置”是指，A 和 B 通过同一次构图工艺同时形成。

图 13 至图 28 为一种示例性实施例提供的显示面板的制备过程的示意图。下面结合图 13 至图 28 说明一种示例性实施例提供的显示面板。图 13 至图 28 是以 6 个像素电路、驱动电路层包括七个金属层，且 $K=4$ ，像素电路连接的发光器件沿第一方向和第二方向排布为例进行说明的。

(1) 在基底形成半导体层，包括：在基底上沉积第一绝缘薄膜，通过图案化工艺对第一绝缘薄膜进行构图，形成位于第一绝缘层，在第一绝缘薄膜上沉积半导体薄膜，通过图案化工艺对半导体薄膜进行构图，形成半导体层。半导体层包括：多个像素电路 PA 的有源层，每个像素电路 PA 的有源层包括：第一晶体管的有源层 T11、第二晶体管的有源层 T21、第三晶体管的有源层 T31、第四晶体管的有源层 T41、第五晶体管的有源层 T51、第六晶体管的有源层 T61、第七晶体管的有源层 T71、第八晶体管的有源层 T81 和第九晶体管的有源层 T91，如图 13 所示，图 13 为形成半导体层后的示意图。

在一种示例性实施例中，每个像素电路中，第一晶体管的有源层 T11 至第五晶体管的有源层 T51 为一体成型结构。第六晶体管的有源层 T61 至第七晶体管的有源层 T71 为一体成型结构，第八晶体管的有源层 T81 和第九晶体管的有源层 T91 为一体成型结构。第六晶体管的有源层 T61、第七晶体管的有源层 T71、第八晶体管的有源层 T81 和第九晶体管的有源层 T91 位于第一

晶体管的有源层 T11、第二晶体管的有源层 T21、第三晶体管的有源层 T31、第四晶体管的有源层 T41 和第五晶体管的有源层 T51 的同一侧，位于第一晶体管 T11 远离第四晶体管的有源层 T41 的一侧。

5 在一种示例性实施例中，第一晶体管的有源层 T11 为 U 型结构，第二晶体管的有源层 T21 沿第一方向延伸，第三晶体管的有源层 T31 为倒 U 型结构，第一晶体管的有源层 T11 的开口方向与第三晶体管的有源层 T31 的开口方向相对，第四晶体管的有源层 T41 沿第一方向延伸，第五晶体管的有源层 T51 沿第一方向延伸，第六晶体管的有源层 T61 至第七晶体管的有源层 T71 均沿第一方向延伸，第八晶体管的有源层 T81 和第九晶体管的有源层 T91 均沿第一方向延伸，且第六晶体管的有源层 T61 和第八晶体管的有源层 T81 沿第二方向排布，第一方向和第二方向相交。

在一种示例性实施例中，相邻像素电路的有源层沿相邻像素电路的中线对称设置。第 i 行第 i 列像素电路的第五晶体管的有源层与第 i 行第 $i+1$ 列像素电路的第五晶体管的有源层为一体成型结构， i 为奇数。

15 (2) 形成第一金属层，包括：在形成有半导体层的基底上沉积第二绝缘薄膜，通过图案化工艺对第二绝缘薄膜进行构图，形成位于第二绝缘层。在第二绝缘层上沉积第一金属薄膜，通过图案化工艺对第一金属薄膜进行构图，形成第一金属层。第一金属层包括：发光控制线 E、扫描信号线 G、复位信号线 RL 和多个像素电路的第一导电层，每个像素电路的第一导电层包括：
20 第一晶体管的栅电极 T12、第二晶体管的栅电极 T22、第三晶体管的栅电极 T32、第四晶体管的栅电极 T42、第五晶体管的栅电极 T52、第六晶体管的栅电极 T62、第七晶体管的栅电极 T72、第八晶体管的栅电极 T82、第九晶体管的栅电极 T92 和第一极板 C1，如图 14A 和 14B 所示，图 14A 为第一金属层的示意图，图 14B 为形成第一金属层后的示意图。

25 在一种示例性实施例中，相邻像素电路的第一导电层沿相邻像素电路之间的中线对称设置。

在一种示例性实施例中，发光控制线 E、扫描信号线 G、复位信号线 RL 均沿第二方向延伸，且沿第一方向排布，扫描信号线 G 位于发光控制线 E 和复位信号线 RL 之间。其中，第 i 行发光控制线与位于第 i 行的所有像素电路

的发光控制端电连接，第 i 行扫描信号线与位于第 i 行的所有像素电路的扫描信号端电连接，第 i 行复位信号线与位于第 i 行的所有像素电路的复位信号端电连接。

5 在一种示例性实施例中，第一极板 C1 位于发光控制线 E 和扫描信号线 G 之间。

在一种示例性实施例中，第一晶体管的栅电极 T12 和复位信号线 RL 为一体成型结构。第二晶体管的栅电极 T22、第四晶体管的栅电极 T42 和扫描信号线 G 为一体成型结构。第三晶体管的栅电极 T32 和第一极板 C1 为一体成型结构。第五晶体管的栅电极 T52 和发光控制线 E 为一体成型结构。

10 在一种示例性实施例中，第六晶体管的栅电极 T62、第七晶体管的栅电极 T72、第八晶体管的栅电极 T82 和第九晶体管的栅电极 T92 均位于复位信号线 RL 远离扫描信号线 G 的一侧。其中，第六晶体管的栅电极 T62 和第七晶体管的栅电极 T72 沿第一方向排布，第七晶体管的栅电极 T72 位于第六晶体管的栅电极 T62 远离复位信号线 RL 的一侧，第八晶体管的栅电极 T82 和
15 第九晶体管的栅电极 T92 沿第一方向排布，第九晶体管的栅电极 T92 位于第八晶体管的栅电极 T82 远离复位信号线 RL 的一侧，第六晶体管的栅电极 T62 和第八晶体管的栅电极 T82 沿第二方向排布，第七晶体管的栅电极 T72 和第九晶体管的栅电极 T92 沿第二方向排布。

在一种示例性实施例中，第 i 行第 j 列像素电路的第八晶体管的栅电极
20 T82 与第 i 行第 $j+1$ 列像素电路的第八晶体管的栅电极 T82 为一体成型结构，第 i 行第 j 列像素电路的第九晶体管的栅电极 T92 与第 i 行第 $j+1$ 列像素电路的第九晶体管的栅电极 T92 为一体成型结构。第 i 行第 $j+1$ 列像素电路的第六晶体管的栅电极 T62 与第 i 行第 $j+2$ 列像素电路的第六晶体管的栅电极 T62 为一体成型结构，第 i 行第 $j+1$ 列像素电路的第七晶体管的栅电极 T72 与第 i
25 行第 $j+2$ 列像素电路的第七晶体管的栅电极 T72 为一体成型结构， $1 \leq i \leq M$ ， j 为大于等于 1，且小于等于 N 的奇数。

(3) 形成第三绝缘层，在形成有第一金属层的基底上沉积第三绝缘薄膜，通过图案化工艺对第三绝缘薄膜进行构图，形成第三绝缘层。其中，第二绝缘层和第三绝缘层开设有位于每个像素电路中的第一过孔 V1 至第九过孔 V9，

第三绝缘层还开设有位于每个像素电路中的第十过孔 V10 和第十一过孔 V11，如图 15A 和图 15B 所示，图 15A 为第三绝缘层的示意图，图 15B 为形成第三绝缘层后的示意图。

在一种示例性实施例中，第一过孔 V1 暴露出第五晶体管的有源层，第二过孔 V2 暴露出第三晶体管的有源层，第三过孔 V3 暴露出第一晶体管的有源层，第四过孔 V4 暴露出第六晶体管的有源层，第五过孔 V5 暴露出第八晶体管的有源层，第六过孔 V6 暴露出第八晶体管的有源层，第七过孔 V7 暴露出第六晶体管的有源层，第八过孔 V8 暴露出第七晶体管的有源层，第九过孔 V9 暴露出第九晶体管的有源层，第十过孔 V10 暴露出第八晶体管的栅电极，第十一过孔 V11 暴露出第九晶体管的栅电极。

在一种示例性实施例中，第 i 行第 j 列像素电路的第一过孔 V1 与第 i 行第 j+1 列像素电路的第一过孔 V1 为同一过孔。第 i 行第 j 列像素电路的第十过孔 V10 与第 i 行第 j+1 列像素电路的第十过孔 V10 为同一过孔。第 i 行第 j 列像素电路的第十一过孔 V11 与第 i 行第 j+1 列像素电路的第十一过孔 V11 为同一过孔，i 为奇数。

(4) 形成第二金属层，包括：在形成有第三绝缘层的基底上沉积第二金属薄膜，通过图案化工艺对第二金属薄膜进行构图，形成第二金属层。其中，第二金属层包括：多个像素电路 PA 的第二导电层、第一电源线 VL 和初始信号线 Vi，每个像素电路 PA 的第二导电层包括：第一晶体管的第一极 T13，第三晶体管的第二极 T34，第四晶体管的第二极 T44、第五晶体管的第一极 T53、第二极板 C2、第六晶体管的第一极 T63、第六晶体管的第二极 T64、第七晶体管的第一极 T73、第七晶体管的第二极 T74、第八晶体管的第一极 T83、第八晶体管的第二极 T84、第九晶体管的第一极 T93、第九晶体管的第二极 T94、第一连接部 VL1 和第二连接部 VL2，如图 16A 和图 16B 所示，图 16A 为第二金属层的示意图，图 16B 为形成第二金属层后的示意图。

在一种示例性实施例中，相邻像素电路的第二导电层沿相邻像素电路之间的中线对称设置。

在一种示例性实施例中，第一电源线 VL 和初始信号线 Vi 沿第二方向延伸，且沿第一方向排布。其中，第 i 行第一电源线 VL 与位于第 i 行的所有像

素电路的第一电源端电连接,第*i*行初始信号线 Vi 与位于第*i*行的所有像素电路的初始信号端电连接。

在一种示例性实施例中,第*i*行第一电源线 VL 在基底上的正投影与第*i*行发光控制线 EM0 在基底上的正投影至少部分重叠。

5 在一种示例性实施例中,第*i*行初始信号线 Vi 在基底上的正投影与第*i*行复位信号线 Reset 在基底上的正投影至少部分重叠。

在一种示例性实施例中,第一晶体管的第一极 T13 位于初始信号线 Vi 靠近第一电源线 VL 的一侧,且第一晶体管的第一极 T13 与初始信号线 Vi 为一体成型结构。第五晶体管的第一极 T53 位于第一电源线 VL 远离初始信号线 Vi 的一侧,第二极板 C2 位于第一电源线 VL 靠近初始信号线 Vi 的一侧,且第五晶体管的第一极 T53、第二极板 C2 和第一电源线 VL 为一体成型结构。第三晶体管的第二极 T34 和第四晶体管的第二极 T44 位于第一电源线 VL 和初始信号线 Vi 之间,且第三晶体管的第二极 T34 和第四晶体管的第二极 T44 为一体成型结构。第六晶体管的第一极 T63、第六晶体管的第二极 T64、第七晶体管的第一极 T73、第七晶体管的第二极 T74、第八晶体管的第一极 T83、第八晶体管的第二极 T84、第九晶体管的第一极 T93、第九晶体管的第二极 T94、第一连接部 VL1 和第二连接部 VL2 位于初始信号线 Vi 远离第一电源线 VL 的一侧,且第六晶体管的第一极 T63、第七晶体管的第一极 T73、第八晶体管的第一极 T83 和第九晶体管的第一极 T93 为一体成型结构。

20 在一种示例性实施例中,第六晶体管的第二极 T64 和第八晶体管的第二极 T84 沿第二方向排布,且位于第六晶体管的第一极 T63 靠近初始信号线 Vi 的一侧,第七晶体管的第二极 T74 和第九晶体管的第二极 T94 沿第二方向排布,且位于第六晶体管的第一极 T63 远离初始信号线 Vi 的一侧。第一连接部 VL1 和第二连接部 VL2 沿第一方向排布。

25 在一种示例性实施例中,第*i*行第*j*列像素电路的第一连接部 VL1 和第*i*行第*j*+1 列像素电路的第一连接部 VL1 为一体成型结构,第*i*行第*j*列像素电路的第五晶体管的第一极 T53 和第*i*行第*j*+1 列像素电路的第五晶体管的第一极 T53 为一体成型结构,*i* 为奇数。

在一种示例性实施例中,对于每个像素电路,第五晶体管的第一极 T53

通过第一过孔与第五晶体管的有源层连接,第三晶体管的第二极 T34 通过第二过孔与第三晶体管的有源层连接,第一晶体管的第一极 T13 通过第三过孔与第一晶体管的有源层连接,第六晶体管的第二极 T64 通过第四过孔与第六晶体管的有源层连接,第八晶体管的第二极 T84 通过第五过孔与第八晶体管的有源层连接,第八晶体管的第一极 T83 通过第六过孔与第八晶体管的有源层连接,第六晶体管的第一极 T63 通过第七过孔与第六晶体管的有源层连接,第七晶体管的第二极 T74 通过第八过孔与第七晶体管的有源层连接,第九晶体管的第二极 T94 通过第九过孔与第九晶体管的有源层连接,第一连接部 VL1 通过第十过孔与第八晶体管的栅电极连接,第二连接部 VL2 通过第十一过孔与第九晶体管的栅电极连接。

(5) 形成第四绝缘层,包括:在形成有第二金属层的基底上,沉积第四绝缘薄膜,通过图案化工艺对第四绝缘薄膜进行构图,形成第四绝缘层。在每个像素电路中,第二绝缘层、第三绝缘层和第四绝缘层上开设有十二过孔 V12 和第十三过孔 V13,第三绝缘层和第四绝缘层上开设有第十四过孔 V14、第十五过孔 V15 和第十六过孔 V16,如图 17A 和图 17B 所示,图 17A 为第四绝缘层的示意图,图 17B 为形成第四绝缘层后的示意图。

在一种示例性实施例中,第十二过孔 V12 暴露出第一晶体管的有源层和第四晶体管的有源层,第十三过孔 V13 暴露出第二晶体管的有源层,第十四过孔 V14 暴露出第一极板 C1,第十五过孔 V15 暴露出第六晶体管的栅电极 T62,第十六过孔暴露出第七晶体管的栅电极 T72。

在一种示例性实施例中,第 i 行第 $j+1$ 列像素电路的第十五过孔和第 i 行第 $j+2$ 列像素电路的第十五过孔为同一过孔,第 i 行第 $j+1$ 列像素电路的第十六过孔和第 i 行第 $j+2$ 列像素电路的第十六过孔为同一过孔, j 为奇数。

(6) 形成第三金属层,包括:在形成有第四绝缘层的基底上,沉积第三金属薄膜,通过图案化工艺对第三金属薄膜进行构图,形成第三金属层。第三金属层包括:数据信号线 D 和多个像素电路的第三导电层,每个像素电路的第三导电层包括:第二晶体管的第一极 T23,第三连接部 VL3,第四连接部 VL4 和第五连接部 VL5,如图 18A 和 18B 所示,图 18A 为第三金属层的示意图,图 18B 为形成第三金属层后的示意图。

在一种示例性实施例中，数据信号线 D 沿第一方向延伸，第 j 列数据信号线与位于第 i 行第 j 列像素电路所连接的数据信号端连接。第 j 列数据信号线 D 和第 j+1 列数据信号线 D 位于第 j 列像素电路和第 j+1 列像素电路之间。

在一种示例性实施例中，相邻像素电路的第三导电层沿相邻像素电路之间的中线对称设置。

在一种示例性实施例中，第二晶体管的第一极 T23 和数据信号线 D 为一体成型结构。第三连接部 VL3，第四连接部 VL4 和第五连接部 VL5 位于数据信号线 D 的同一侧。

在一种示例性实施例中，第三连接部 VL3 通过第十二过孔与第一晶体管的有源层连接，第三连接部 VL3 通过第十四过孔与第一极板 C1 连接，第二晶体管的第一极 T23 通过第十三过孔与第二晶体管的有源层连接，第四连接部 VL4 通过第十五过孔与第六晶体管的栅电极连接，第五连接部 VL5 通过第十六过孔与第七晶体管的栅电极连接。

(7) 形成第五绝缘层，包括：在形成有第三金属层的基底上，沉积第五绝缘薄膜，通过图案化工艺对第五绝缘薄膜进行构图，形成第五绝缘层。在每个像素电路中，第四绝缘层和第五绝缘层上开设有第十七过孔 V17 至第二十二过孔 V22，如图 19A 和 19B 所示，图 19A 为第五绝缘层的示意图，图 19B 为形成第五绝缘层后的示意图。

在一种示例性实施例中，第十七过孔 V17 暴露出第六晶体管的第二极 T64，第十八过孔 V18 暴露出第八晶体管的第二极 T84，第十九过孔 V19 暴露出第一连接部 VL1，第二十过孔 V20 暴露出第二连接部 VL2，第二十一过孔 V21 暴露出第七晶体管的第二极 T74，第二十二过孔 V22 暴露出第九晶体管的第二极 T94。

在一种示例性实施例中，第 i 行第 j 列像素电路中的第十九过孔与第 i 行第 j+1 列像素电路中的第十九过孔为同一过孔，j 为奇数。

(8) 形成第四金属层，包括：在形成有第五绝缘层的基底上，沉积第四金属薄膜，通过图案化工艺对第四金属薄膜进行构图，形成第四金属层。第四金属层包括：多个像素电路的第四导电层。每个像素电路的第四导电层包

括: 第六连接部 VL6, 第七连接部 VL7, 第八连接部 VL8, 第九连接部 VL9, 第十连接部 VL10 和第十一连接部 VL11, 如图 20A 和图 20B 所示, 如图 20A 为第四金属层的示意图, 图 20B 为形成第四金属层后的示意图。

5 在一种示例性实施例中, 相邻像素电路的第四导电层沿相邻像素电路的中线对称。

在一种示例性实施例中, 在每个像素电路中, 第六连接部 VL6 和第七连接部 VL7 沿第二方向排布, 第八连接部 VL8 和第九连接部 VL9 沿第一方向排布, 第十连接部 VL10 和第十一连接部 VL11 沿第二方向排布, 第六连接部 VL6 和第十连接部 VL10 沿第一方向排布。

10 在一种示例性实施例中, 第 i 行第 j 列像素电路的第八连接部 VL8 和第 i 行第 $j+1$ 列像素电路的第八连接部 VL8 为一体成型结构, j 为奇数。

在一种示例性实施例中, 第 i 行第 j 列像素电路的第九连接部 VL9 和第 i 行第 $j+1$ 列像素电路的第九连接部 VL9 为一体成型结构, j 为奇数。

15 在一种示例性实施例中, 在每个像素电路中, 第六连接部 VL6 通过第十七过孔与第六晶体管的第二极连接, 第七连接部 VL7 通过第十八过孔与第八晶体管的第二极连接, 第八连接部 VL8 通过第十九过孔与第一连接部连接, 第九连接部 VL9 通过第二十过孔与第二连接部连接, 第十连接部 VL10 通过第二十一过孔与第七晶体管的第二极连接, 第十一连接部 VL11 通过第二十二过孔与第九晶体管的第二极连接。

20 在一种示例性实施例中, 在每个像素电路中, 第八连接部 VL8 通过第十九过孔与第一连接部连接, 第一连接部通过第十过孔与第八晶体管的栅电极连接, 也就是说, 第八连接部通过第一连接部与第八晶体管的栅电极连接。

25 在一种示例性实施例中, 在每个像素电路中, 第九连接部 VL9 通过第二十过孔与第二连接部连接, 第二连接部通过第十一过孔与第九晶体管的栅电极连接, 也就是说, 第九连接部通过第二连接部与第九晶体管的栅电极连接。

(9) 形成第六绝缘层, 包括: 在形成有第四金属层的基底上, 沉积第六绝缘薄膜, 通过图案化工艺对第六绝缘薄膜进行构图, 形成第六绝缘层。在每个像素电路中, 第三绝缘层、第四绝缘层、第五绝缘层和第六绝缘层上开

设有第二十三过孔 V23 和第二十四过孔 V24, 如图 21A 和 21B 所示, 图 21A 为第六绝缘层的示意图, 图 21B 为形成第六绝缘层后的示意图。

在一种示例性实施例中, 第二十三过孔 V23 暴露出第三晶体管的第二极, 第二十四过孔 V24 暴露出第六晶体管的第一极。

- 5 (10) 形成第五金属层, 包括: 在形成有第六绝缘层的基底上, 沉积第五金属薄膜, 通过图案化工艺对第五金属薄膜进行构图, 形成第五金属层。第五金属层包括: 多个像素电路的第五导电层。每个像素电路的导电层包括: 第十二连接部 VL12, 如图 22A 和 22B 所示, 图 22A 为第五金属层的示意图, 图 22B 为形成第五金属层后的示意图。

- 10 在一种示例性实施例中, 位于同一行的相邻像素电路的第十二连接部沿相邻像素电路的中线对称。

在一种示例性实施例中, 第十二连接部 VL12 通过第二十三过孔与第三晶体管的第二极, 且通过第二十四过孔与第六晶体管的第一极连接。

- 15 (11) 形成第七绝缘层, 包括: 在形成有第五金属层的基底上, 沉积第七绝缘薄膜, 通过图案化工艺对第七绝缘薄膜进行构图, 形成第七绝缘层。每个像素电路中, 第六绝缘层和第七绝缘层上开设有第二十五过孔 V25、第二十六过孔 V26, 除了第一列像素电路之外的其他像素电路中, 第六绝缘层和第七绝缘层还开设有第二十七过孔 V27 和第二十八过孔 V28, 如图 23A 和图 23B 所示, 图 23A 为第七绝缘层的示意图, 图 23B 为形成第七绝缘层后
20 的示意图。

在一种示例性实施例中, 在每个像素电路中, 第二十五过孔 V25 暴露出第八连接部 VL8, 第二十六过孔 V26 暴露出第九连接部 VL9。

- 25 在一种示例性实施例中, 除了第一列像素电路之外的其他像素电路中, 第二十七过孔 V27 暴露出第六连接部 VL6, 第二十八过孔 V28 暴露出第十连接部 VL10。

在一种示例性实施例中, 第 i 行第 j 列像素电路中的第二十五过孔 V25 与第 i 行第 j+1 列像素电路中的第二十五过孔 V25 为同一过孔。第 i 行第 j 列像素电路中的第二十六过孔 V26 与第 i 行第 j+1 列像素电路中的第二十六

过孔 V26 为同一过孔。

(12) 形成第六金属层, 包括: 在形成有第七绝缘层的基底上, 沉积第六金属薄膜, 通过图案化工艺对第六金属薄膜进行构图, 形成第六金属层。第六金属层包括: 第三发光选择信号线 E3、第四发光选择信号线 E4 和除了第一列像素电路之外的其他像素电路的第六导电层, 除了第一列像素电路之外的其他像素电路的第六导电层包括: 第十三连接部 VL13 和第十四连接部 VL14, 如图 24A 和图 24B 所示, 图 24A 为第六金属层的示意图, 图 24B 为形成第六金属层后的示意图。

在一种示例性实施例中, 第三发光选择信号线 E3 和第四发光选择信号线 EM4 沿第一方向排布, 且均沿第二方向延伸。除了第一列像素电路之外的其他像素电路的第十三连接部 VL13 位于第三发光选择信号线 E3 远离第四发光选择信号线 E4 的一侧, 除了第一列像素电路之外的其他像素电路的第十四连接部 VL14 位于第四发光选择信号线 E4 远离第三发光选择信号线 E3 的一侧。

位于同一行像素电路连接同一第三发光选择信号线。位于同一行像素电路连接同一第四发光选择信号线。

在一种示例性实施例中, 相邻行像素电路连接不同第三发光选择信号线, 相邻行像素电路连接不同第四发光选择信号线。

在一种示例性实施例中, 第 m 行像素电路与第 $m+1$ 行像素电路连接同一第三发光选择信号线, 第 m 行像素电路与第 $m+1$ 行像素电路连接同一第四发光选择信号线, m 为奇数。

在一种示例性实施例中, 在每个像素电路中, 第三发光选择信号线 E3 通过第二十五过孔与第八连接部连接。由于第八连接部通过第十九过孔与第一连接部连接, 第一连接部通过第十过孔与第八晶体管的栅电极连接, 也就是说, 第三发光选择信号线 E3 依次通过第八连接部和第一连接部与第八晶体管的栅电极连接。

在一种示例性实施例中, 在每个像素电路中, 第四发光选择信号线 E4 通过第二十六过孔与第九连接部连接。由于第九连接部通过第二十过孔与第二连接部连接, 第二连接部通过第十一过孔与第九晶体管的栅电极连接, 也

就是说，第四发光选择信号线 E4 依次通过第九连接部和第二连接部与第九晶体管的栅电极连接。

在一种示例性实施例中，在除了第一列像素电路之外的其他像素电路中，第十三连接部 VL13 通过第二十七过孔与第六连接部连接。由于第六连接部通过第十七过孔与第六晶体管的第二极连接，第十三连接部 VL13 通过第六连接部与第六晶体管的第二极连接。

在一种示例性实施例中，在除了第一列像素电路之外的其他像素电路中，第十四连接部 VL14 通过第二十八过孔与第十连接部连接。由于第十连接部通过第二十一过孔与第七晶体管的第二极连接，第十四连接部 VL14 通过第十连接部与第七晶体管的第二极连接。

(13) 形成第八绝缘层，包括：在形成有第六金属层的基底上，沉积第八绝缘薄膜，通过图案化工艺对第八绝缘薄膜进行构图，形成第八绝缘层。在每个像素电路中，第五绝缘层、第六绝缘层、第七绝缘层和第八绝缘层开设有第二十九过孔 V29 和第三十过孔 V30，在第一列像素电路中，第六绝缘层、第七绝缘层和第八绝缘层开设有第三十一过孔 V31 和第三十二过孔 V32。在每列像素电路中，第六绝缘层、第七绝缘层和第八绝缘层还开设有第三十三过孔 V33 和第三十四过孔 V34，在除了第一列像素电路之外的其他像素电路中，第八绝缘层开设有第三十五过孔 V35 和第三十六过孔 V36，如图 25A 和 25B 所示，图 25A 为第八绝缘层的示意图，图 25B 为形成第八绝缘层后的示意图。

在一种示例性实施例中，在每个像素电路中，第二十九过孔 V29 暴露出第四连接部 VL4，第三十过孔 V30 暴露出第五连接部 VL5。

在一种示例性实施例中，第 i 行第 j+1 列像素电路中的第二十九过孔与第 i 行第 j+2 列像素电路中的第二十九过孔为同一过孔。第 i 行第 j+1 列像素电路中的第三十过孔与第 i 行第 j+2 列像素电路中的第三十过孔为同一过孔。其中，j 为奇数。

在一种示例性实施例中，在第一列像素电路中，第三十一过孔 V31 暴露出第六连接部，第三十二过孔 V32 暴露出第十连接部，第三十三过孔 V33 暴露出第七连接部，第三十四过孔 V34 暴露出第十一连接部。

在一种示例性实施例中,在除了第一列像素电路之外的其他像素电路中,第三十三过孔 V33 暴露出第七连接部,第三十四过孔 V34 暴露出第十一连接部,第三十五过孔 V35 暴露出第十三连接部,第三十六过孔 V36 暴露出第十四连接部。

- 5 (14) 形成第七金属层,包括:在形成有第八绝缘层的基底上,沉积第七金属薄膜,通过图案化工艺对第七金属薄膜进行构图,形成第七金属层。第七金属层包括:第一发光选择信号线 E1、第二发光选择信号线 E2 和多个像素电路的第七导电层,每个像素电路的第七导电层包括:第十五连接部 VL15、第十六连接部 VL16、第十七连接部 VL17 和第十八连接部 VL18,如图 26A 和图 26B 所示,图 26A 为第七金属层的示意图,图 26B 为形成第七金属层后的示意图。
- 10

- 在一种示例性实施例中,第一发光选择信号线 E1 和第二发光选择信号线 E2 沿第一方向排布,且均沿第二方向延伸。每个像素电路的第十五连接部 VL15 和第十七连接部 VL17 位于第一发光选择信号线 E1 远离第二发光选择信号线 E2 的一侧,第十六连接部 VL16 和第十八连接部 VL18 位于第二发光选择信号线 E2 远离第一发光选择信号线 E1 的一侧。
- 15

在一种示例性实施例中,第一发光选择信号线 E1 在基底上的正投影位于第三发光选择信号线在基底上的正投影和第四发光选择信号线在基底上的正投影之间。

- 20 在一种示例性实施例中,第二发光选择信号线 E2 在基底上的正投影位于第四发光选择信号线在基底上的正投影远离第三发光选择信号线在基底上的正投影一侧。

- 在一种示例性实施例中,在每个像素电路中,第一发光选择信号线 E1 通过第二十九过孔与第四连接部连接。由于第四连接部 VL4 通过第十五过孔与第六晶体管的栅电极连接,因此,第一发光选择信号线 E1 通过第四连接部与第六晶体管的栅电极连接。
- 25

在一种示例性实施例中,在每个像素电路中,第二发光选择信号线 E2 通过第三十过孔与第五连接部连接。由于第五连接部通过第十六过孔与第七晶体管的栅电极连接。因此,第二发光选择信号线 E2 通过第五连接部与第

七晶体管的栅电极连接。

在一种示例性实施例中，在第一列像素电路中，第十五连接部通过第三十一过孔与第六连接部连接，第十六连接部通过第三十二过孔与第十连接部连接，第十七连接部通过第三十三过孔与第七连接部连接，第十八连接部通过第三十四过孔与第十一连接部连接。由于第六连接部通过第十七过孔与第六晶体管的第二极连接，因此，第十五连接部通过第六连接部与第六晶体管的第二极连接。由于第十连接部通过第二十一过孔与第七晶体管的第二极连接，因此，第十六连接部通过第十连接部与第七晶体管的第二极连接。由于第七连接部通过第十八过孔与第八晶体管的第二极连接，因此，第十七连接部通过第七连接部与第八晶体管的第二极连接。由于第十一连接部通过第二十二过孔与第九晶体管的第二极连接，因此，第十八连接部通过第十一连接部与第九晶体管的第二极连接。

在一种示例性实施例中，在除了第一列像素电路之外的其他像素电路中，第十五连接部通过第三十三过孔与第七连接部连接，第十六连接部通过第三十四过孔与第十一连接部连接，第十七连接部通过第三十五过孔与第十三连接部连接，第十八连接部通过第三十六过孔与第十四连接部连接。由于第七连接部通过第十八过孔与第八晶体管的第二极连接，因此，第十七连接部通过第七连接部与第八晶体管的第二极连接。由于第十一连接部通过第二十二过孔与第九晶体管的第二极连接，因此，第十八连接部通过第十一连接部与第九晶体管的第二极连接。由于十三连接部通过第六连接部与第六晶体管的第二极连接，因此，第十七连接部依次通过第十三连接部和第六连接部与第六晶体管的第二极连接。由于第十四连接部通过第十连接部与第七晶体管的第二极连接，因此，第十八连接部依次通过第十四连接部和第十连接部与第七晶体管的第二极连接。

(15)形成平坦层，包括：在形成有第七金属层的基底上涂覆平坦薄膜，通过平坦薄膜的掩膜、曝光和显影，形成平坦层，平坦层包括：位于每个像素电路中的第三十七过孔 V37、第三十八过孔 V38、第三十九过孔 V39 和第四十过孔 V40，如图 27A 和图 27B 所示，图 27A 为平坦层的示意图，图 27B 为形成平坦层后的示意图。

在一种示例性实施例中，在每个像素电路中，第三十七过孔 V37 暴露出第十五连接部，第三十八过孔 V38 暴露出第十六连接部，第三十九过孔 V39 暴露出第十七连接部，第四十过孔 V40 暴露出第十八连接部。

5 (16) 形成第一电极层，包括：在形成有平坦层的基底上，沉积透明导电薄膜，通过图案化工艺对透明导电薄膜进行构图，形成第一电极层。第一电极层包括第一电极 100，第一电极形成在每个发光器件中，如图 28A 和图 28B，图 28A 为第一电极层的示意图，图 28B 为形成第一电极层后的示意图。

10 在一种示例性实施例中，对于每个像素电路，像素电路所连接的第一发光器件的第一电极通过第三十六过孔与第十五连接部连接，像素电路所连接的
第二发光器件的第一电极通过第三十八过孔与第十七连接部连接，像素电路所连接的第三发光器件的第一电极通过第三十七过孔与第十六连接部连接，
像素电路所连接的第四发光器件的第一电极通过第三十八过孔与第十八连接部连接。

15 在一种示例性实施例中，第 i 行第 $3j-2$ 列像素电路中的第十五连接部在基底上的正投影与第 $2i-1$ 行第 $2j-1$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠。第 i 行第 $3j-2$ 列像素电路中的第十六连接部在基底上的正投影与第 $2i$ 行第 $2j-1$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠。第 i 行第 $3j-2$ 列像素电路中的第十七连接部在基底上的正投影与第 $2i-1$ 行第 $2j$ 列发光单元中的第一发光器件的第一
20 电极在基底上的正投影至少部分重叠。第 i 行第 $3j-2$ 列像素电路中的第十八连接部在基底上的正投影与第 $2i$ 行第 $2j$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠。

25 在一种示例性实施例中，第 i 行第 $3j-1$ 列像素电路与第 $2i-1$ 行第 $2j-1$ 列发光单元，第 $2i-1$ 行第 $2j$ 列发光单元，第 $2i$ 行第 $2j-1$ 列发光单元，第 $2i$ 行第 $2j$ 列发光单元中的第二发光单元连接。

在一种示例性实施例中，第 i 行第 $3j-1$ 列像素电路中的第十五连接部在基底上的正投影与第 $2i-1$ 行第 $2j-1$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠。第 i 行第 $3j-1$ 列像素电路中的第十六连接部在基底上的正投影与第 $2i$ 行第 $2j-1$ 列发光单元中的第二发光器件的第一电

极在基底上的正投影至少部分重叠。第 i 行第 $3j-1$ 列像素电路中的第十七连接部在基底上的正投影与第 $2i-1$ 行第 $2j$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠。第 i 行第 $3j-1$ 列像素电路中的第十八连接部在基底上的正投影与第 $2i$ 行第 $2j$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠。

在一种示例性实施例中，第 i 行第 $3j$ 列像素电路与第 $2i-1$ 行第 $2j-1$ 列发光单元，第 $2i-1$ 行第 $2j$ 列发光单元，第 $2i$ 行第 $2j-1$ 列发光单元，第 $2i$ 行第 $2j$ 列发光单元中的第三发光单元连接。

在一种示例性实施例中，第 i 行第 $3j$ 列像素电路中的第十五连接部在基底上的正投影与第 $2i-1$ 行第 $2j-1$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠。第 i 行第 $3j$ 列像素电路中的第十六连接部在基底上的正投影与第 $2i$ 行第 $2j-1$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠。第 i 行第 $3j$ 列像素电路中的第十七连接部在基底上的正投影与第 $2i-1$ 行第 $2j$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠。第 i 行第 $3j$ 列像素电路中的第十八连接部在基底上的正投影与第 $2i$ 行第 $2j$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠。

(17) 形成像素定义层，包括：在形成透明导电层的基底上涂覆像素定义薄膜，通过掩膜、曝光和显影工艺形成像素定义层 (Pixel Define Layer)，像素定义层形成在每个发光器件中，每个发光器件中的像素定义层形成有暴露出第一电极的开口区域。

在一种示例性实施例中，像素定义层可以采用聚酰亚胺、亚克力或聚对苯二甲酸乙二醇酯。

(18) 形成发光材料层，包括：在形成的像素定义层的开口区域内和像素定义层上形成发光材料层。发光材料层包括：有机发光层。

(19) 形成第二电极层，包括：在形成有机发光层的基底上涂覆导电薄膜，通过图案化工艺对导电薄膜进行构图，形成第二电极层。第二电极层包括第二电极。第二电极覆盖每个发光器件中的有机发光层。第二电极与有机

发光层连接。

在一种示例性实施例中，第二电极可以采用镁（Mg）、银（Ag）、铝（Al）、铜（Cu）和锂（Li）中的任意一种或更多种，或可以采用上述金属中任意一种或多种制成的合金。

- 5 (20) 形成封装层，在形成第二电极的基底上形成封装层，封装层包括无机材料的第一封装层、有机材料的第二封装层和无机材料的第三封装层，第一封装层设置在第二电极上，第二封装层设置在第一封装层上，第三封装层设置在第二封装层上，形成无机材料/有机材料/无机材料的叠层结构。

- 10 在一种示例性实施例中，基底可以为刚性基底或柔性基底，其中，刚性基底可以为但不限于玻璃、金属箔片中的一种或多种；柔性基底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。

- 15 在一种示例性实施例中，在每个移位寄存器中，所有晶体管的有源层包括：沟道区和位于沟道区两侧的源极连接部和漏极连接部，晶体管的源电极与源极连接部电连接，晶体管的漏电极与漏极连接部电连接。其中，沟道区可以不掺杂杂质，并具有半导体特性。源极连接部和漏极连接部可以在沟道区的两侧，并且掺杂有杂质，并因此具有导电性。杂质可以根据晶体管的类型（例如，N型或P型）而变化。

- 20 在一种示例性实施例中，半导体层可以为非晶硅层、多晶硅层，或者可以为金属氧化物层。其中，金属氧化物层可以采用包含铟和锡的氧化物、包含钨和铟的氧化物、包含钨和铟和锌的氧化物、包含钛和铟的氧化物、包含钛和铟和锡的氧化物、包含铟和锌的氧化物、包含硅和铟和锡的氧化物或者包含铟或镓和锌的氧化物。金属氧化物层可以单层，或者可以是双层，或者
- 25 可以是多层。

在一种示例性实施例中，第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层、第五绝缘层、第六绝缘层、第七绝缘层和第八绝缘层可以采用硅氧化物（SiO_x）、硅氮化物（SiN_x）和氮氧化硅（SiON）中的任意一种或更多

种，可以是单层、多层或复合层。

在一种示例性实施例中，第一金属层、第二金属层、第三金属层、第四金属层、第五金属层、第六金属层和第七金属层可以采用金属材料，如银(Ag)、铜(Cu)、铝(Al)和钼(Mo)中的任意一种或更多种，或上述金属的合金材料，如铝钨合金(AlNd)或钼铌合金(MoNb)，可以是单层结构，或者多层复合结构，如Mo/Cu/Mo等。

本公开实施例还提供了一种显示装置，包括：显示基板。

显示基板为前述任一个实施例提供的显示基板，实现原理和实现效果类似，在此不再赘述。

在一种示例性实施例中，显示装置可以为液晶显示装置(Liquid Crystal Display, 简称LCD)或有机发光二极管(Organic Light Emitting Diode, 简称OLED)显示装置。该显示装置可以为：液晶面板、电子纸、OLED面板、有源矩阵有机发光二极管(active-matrix organic light emitting diode, 简称AMOLED)面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件。

本公开中的附图只涉及本公开实施例涉及到的结构，其他结构可参考通常设计。

为了清晰起见，在用于描述本公开的实施例的附图中，层或微结构的厚度和尺寸被放大。可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

权 利 要 求 书

1. 一种显示基板，包括：显示区和非显示区，所述显示区设置有 M1 行 N1 列像素电路和 M2 行 N2 列发光单元，每个发光单元包括：第一发光器件、第二发光器件和第三发光器件，第一发光器件、第二发光器件和第三发光器件发射不同颜色的光线；其中， $M1 \neq M2$ ， $N1 \neq N2$ ；

每个像素电路与 K 个发射同一颜色光线的发光器件连接，K 为大于或者等于 2 的正整数；

每个像素电路包括：电流控制子电路和发光选择子电路；

所述电流控制子电路，分别与复位信号端、初始信号端、扫描信号端、数据信号端、发光控制端、第一电源端和第一节点连接，设置为在复位信号端、初始信号端、扫描信号端、数据信号端、发光控制端和第一电源端的控制下，向第一节点提供驱动电流；

所述发光选择子电路，分别与第一节点、K 个发光选择信号端和 K 个发射同一颜色光线的发光器件连接，设置为在 K 个发光选择信号端的控制下，依次向 K 个发射同一颜色光线的发光器件提供第一节点的信号。

2. 根据权利要求 1 所述的显示基板，其中，在每个像素电路中，所述电流控制子电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和电容，其中，电容包括：第一极板和第二极板；

第一晶体管的控制极与复位信号端连接，第一晶体管的第一极与初始信号端连接，第一晶体管的第二极与第二节点连接；

第二晶体管的控制极与扫描信号端连接，第二晶体管的第一极与数据信号端连接，第二晶体管的第二极与第三节点连接；

第三晶体管的控制极与第二节点连接，第三晶体管的第一极与第三节点连接，第三晶体管的第二极与第一节点连接；

第四晶体管的控制极与扫描信号端连接，第四晶体管的第一极与第二节点连接，第四晶体管的第二极与第一节点连接；

第五晶体管的控制极与发光控制端连接，第五晶体管的第一极与第一电源端连接，第五晶体管的第二极与第三节点连接；

第一极板与第二节点连接,第二极板与第一电源端连接。

3. 根据权利要求 1 或 2 所述的显示基板,其中,在每个像素电路中,发光选择子电路包括:第六晶体管至第 $5+K$ 晶体管;

第 k 晶体管的控制极与第 $k-5$ 发光选择信号端连接,第 k 晶体管的第一极与第一节点连接,第 k 晶体管的第二极与第 $k-5$ 个发光器件连接, $6 \leq k \leq 5+K$ 。

4. 根据权利要求 1 至 3 任一项所述的显示基板,其中, K 个发光选择信号端接收有效电平信号的时间不重合。

5. 根据权利要求 1 至 3 任一项所述的显示基板,其中,位于同一行的相邻像素电路所连接的发光器件发射不同颜色的光线,位于同一列的相邻像素电路所连接的发光器件发射相同颜色的光线。

6. 根据权利要求 5 所述的显示基板,其中,当 $M2=K \times M1$, $N1=3 \times N2$ 时,每个像素电路连接的发光器件位于同一列;

第 m 行第 $3n-2$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第一发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第一发光器件,直至第 $K \times m$ 行第 n 列发光单元中的第一发光器件连接,其中, $1 \leq m \leq M1$, $1 \leq n \leq N2$;

第 m 行第 $3n-1$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第二发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第二发光器件,直至第 $K \times m$ 行第 n 列发光单元中的第二发光器件连接;

第 m 行第 $3n$ 列像素电路分别与第 $K \times m - K + 1$ 行第 n 列发光单元中的第三发光器件、第 $Km - K + 2$ 行第 n 列发光单元中的第三发光器件,直至第 $K \times m$ 行第 n 列发光单元中的第三发光器件连接。

7. 根据权利要求 5 所述的显示基板,其中,当 $M2=4 \times M1$, $N1=3 \times N2$ 时,像素电路所连接的发光器件沿第一方向和第二方向排布,所述第一方向与所述第二方向相交;

第 m 行第 $3n-2$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第一发光器件,第 $2m-1$ 行第 $2n$ 列发光单元中的第一发光器件,第 $2m$ 行第 $2n-1$ 列发光单元中的第一发光器件和第 $2m$ 行第 $2n$ 列发光单元中的第一发光器件连接,其中, $1 \leq m \leq M1$, $1 \leq n \leq N2$;

第 m 行第 $3n-1$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元的第二发光器件, 第 $2m-1$ 行第 $2n$ 列发光单元的第二发光器件, 第 $2m$ 行第 $2n-1$ 列发光单元的第二发光器件, 第 $2m$ 行第 $2n$ 列发光单元中的第二发光器件连接;

5 第 m 行第 $3n$ 列像素电路与第 $2m-1$ 行第 $2n-1$ 列发光单元的第三发光器件, 第 $2m-1$ 行第 $2n$ 列发光单元的第三发光器件, 第 $2m$ 行第 $2n-1$ 列发光单元的第三发光器件, 第 $2m$ 行第 $2n$ 列发光单元中的第三发光器件连接。

8. 根据权利要求 6 或 7 所述的显示基板, 其中, 还包括: $N1$ 列数据信号线, $M1$ 行扫描信号线、 $M1$ 行第一电源线, $M1$ 行复位信号线、 $M1$ 行初始信号线、 P 行第一发光选择信号线、 P 行第二发光选择信号线、 P 行第三发光选择信号线、 P 行第四发光选择信号线和 P 行发光控制线, $P=M1$ 或者 $M1/2$;

10

所述数据信号线沿第一方向延伸, 所述扫描信号线、所述第一电源线, 所述复位信号线、所述初始信号线、所述第一发光选择信号线、所述第二发光选择信号线、所述第三发光选择信号线、所述第四发光选择信号线和所述发光控制线沿第二方向延伸, 所述第一方向和所述第二方向相交;

15 第 s 行扫描信号线与第 s 行像素电路的扫描信号端连接, 第 s 行第一电源线与第 s 行像素电路的第一电源端连接, 第 s 行复位信号线与第 s 行像素电路的复位信号端连接, 第 s 行初始信号线与第 s 行像素电路的初始信号端连接, 第 t 列数据信号线与第 t 列像素电路的数据信号端连接, $1 \leq s \leq M1$, $1 \leq t \leq N1$;

20 当 $P=M1$ 时, 第 s 行第一发光选择信号线与第 s 行像素电路的第一发光选择信号端连接, 第 s 行第二发光选择信号线与第 s 行像素电路的第二发光选择信号端连接, 第 s 行第三发光选择信号线与第 s 行像素电路的第三发光选择信号端连接, 第 s 行第四发光选择信号线与第 s 行像素电路的第四发光选择信号端连接;

25 当 $P=M1/2$ 时, 第 v 行第一发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第一发光选择信号端连接, 第 v 行第二发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第二发光选择信号端连接, 第 v 行第三发光选择信号线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的第三发光选择信号端连接, 第 v 行第四发光选择信号线分别与第 $2v-1$ 行像素电

路和第 $2v$ 行像素电路的第四发光选择信号端连接,第 v 行发光控制线分别与第 $2v-1$ 行像素电路和第 $2v$ 行像素电路的发光控制端连接,其中, $1 \leq v \leq P$ 。

9. 根据权利要求 8 所述的显示基板,其中,所述第一发光选择信号线与所述第二发光选择信号线同层设置,所述第三发光选择信号线和所述第四发光选择信号线同层设置,所述第一发光选择信号线和所述第三发光选择信号线异层设置。

10. 根据权利要求 8 或 9 所述的显示基板,其中,所述非显示区设置有扫描驱动电路、发光驱动电路、第一发光选择驱动电路、第二发光选择驱动电路、第三发光选择驱动电路和第四发光选择驱动电路,所述显示区包括:相对设置的第一侧和第二侧;

所述扫描驱动电路位于所述显示区的第一侧和第二侧,所述发光驱动电路位于所述扫描驱动电路远离所述显示区的一侧,所述第一发光选择驱动电路位于所述显示区的第一侧,且位于所述扫描驱动电路和所述发光驱动电路之间,所述第二发光选择驱动电路位于所述显示区的第二侧,且位于所述扫描驱动电路和所述发光驱动电路之间,所述第三发光选择驱动电路位于所述显示区的第一侧,且位于所述第一发光选择驱动电路和所述发光驱动电路之间,所述第四发光选择驱动电路位于所述显示区的第二侧,且位于所述第二发光选择驱动电路和所述发光驱动电路之间;

所述扫描驱动电路包括: $M1$ 个级联的扫描移位寄存器,第 s 级扫描移位寄存器与第 s 行扫描信号线连接;所述发光驱动电路包括: P 个级联的发光移位寄存器,第 v 级发光移位寄存器与第 v 行发光控制线连接;所述第一发光选择驱动电路包括: P 个级联的第一发光选择移位寄存器,第 v 级第一发光选择移位寄存器与第 v 行第一发光选择信号线连接;所述第二发光选择驱动电路包括: P 个级联的第二发光选择移位寄存器,第 v 级第二发光选择移位寄存器与第 v 行第二发光选择信号线连接;所述第三发光选择驱动电路包括: P 个级联的第三发光选择移位寄存器,第 v 级第三发光选择移位寄存器与第 v 行第三发光选择信号线连接;所述第四发光选择驱动电路包括: P 个级联的第四发光选择移位寄存器,第 v 级第四发光选择移位寄存器与第 v 行第四发光选择信号线连接。

11. 根据权利要求 9 所述的显示基板, 包括: 基底以及依次设置在所述基底上的驱动电路层和发光结构层; 所述驱动电路层包括: 像素电路, 所述发光结构层包括: 发光单元;

所述驱动电路层包括: 依次叠设在所述基底上的第一绝缘层、半导体层、
5 第二绝缘层、第一金属层、第三绝缘层、第二金属层、第四绝缘层、第三金属层、第五绝缘层、第四金属层、第六绝缘层、第五金属层、第七绝缘层、第六金属层、第八绝缘层、第七金属层和平坦层;

当 $K=4$ 时, 所述半导体层包括: 多个像素电路的有源层, 每个像素电路的有源层包括: 多个晶体管的有源层; 所述第一金属层包括: 发光控制线、
10 扫描信号线、复位信号线和多个像素电路的第一导电层, 每个像素电路的第一导电层包括: 多个晶体管的栅电极和第一极板; 所述第二金属层包括: 第一电源线、初始信号线和多个像素电路的第二导电层, 每个像素电路的第二导电层包括: 多个晶体管的第一极和第二极、第一连接部和第二连接部; 所述第三金属层包括: 数据信号线和多个像素电路的第三导电层, 每个像素电
15 路的第三导电层包括: 第二晶体管的第一极, 第三连接部, 第四连接部和第五连接部; 所述第四金属层包括: 多个像素电路的第四导电层, 每个像素电路的第四导电层包括: 第六连接部, 第七连接部, 第八连接部, 第九连接部, 第十连接部和第十一连接部; 所述第五金属层包括: 多个像素电路的第五导电层, 每个像素电路的导电层包括: 第十二连接部; 所述第六金属层包括:
20 第三发光选择信号线、第四发光选择信号线和除了第一列像素电路之外的其他像素电路的第六导电层, 除了第一列像素电路之外的其他像素电路的第六导电层包括: 第十三连接部和第十四连接部; 所述第七金属层包括: 第一发光选择信号线、第二发光选择信号线和多个像素电路的第七导电层, 每个像素电路的第七导电层包括: 第十五连接部、第十六连接部、第十七连接部和
25 第十八连接部。

12. 根据权利要求 11 所述的显示基板, 其中, 第 s 行初始信号线在基底上的正投影与第 s 行复位信号线在基底上的正投影至少部分重叠;

所述第一发光选择信号线在基底上的正投影位于所述第三发光选择信号线在基底上的正投影和所述第四发光选择信号线在基底上的正投影之间;

所述第二发光选择信号线在基底上的正投影位于所述第四发光选择信号线在基底上的正投影远离所述第三发光选择信号线在基底上的正投影的一侧。

13. 根据权利要求 11 所述的显示基板, 其中, 位于同一行的相邻像素电路的有源层沿相邻像素电路的中线对称设置, 且第 i 行第 j 列像素电路的像素电路的有源层与第 i 行第 $j+1$ 列像素电路的像素电路的有源层连接, $1 \leq i \leq M1$, $1 \leq j < N1$, 且为奇数;

- 10 位于同一行的相邻像素电路的第一导电层沿相邻像素电路之间的中线对称设置; 位于同一行的相邻像素电路的第二导电层沿相邻像素电路之间的中线对称设置; 位于同一行的相邻像素电路的第三导电层沿相邻像素电路之间的中线对称设置; 位于同一行的相邻像素电路的第四导电层沿相邻像素电路的中线对称设置; 位于同一行的相邻像素电路的第五导电层沿相邻像素电路的中线对称设置。

14. 根据权利要求 11 所述的显示基板, 其中, 所述第一晶体管的有源层包括: 第一分支段、第一连接段和第二分支段;

- 15 所述第一分支段和所述第二分支段位于所述第一连接段的同一侧, 且所述第一连接段分别与所述第一分支段和所述第二分支段连接;

所述第一分支段和所述第二分支段沿第一方向延伸, 所述第一连接段沿第二方向延伸;

所述第一连接段的长度大于所述第一分支段的长度。

- 20 15. 根据权利要求 11 所述的显示基板, 其中, 当像素电路所连接的发光器件沿第一方向和第二方向排布时, 第 i 行第 j 列像素电路的第五晶体管的有源层与第 i 行第 $i+1$ 列像素电路的第五晶体管的有源层为一体成型结构; 第 i 行第 j 列像素电路的第八晶体管的栅电极与第 i 行第 $j+1$ 列像素电路的第八晶体管的栅电极为一体成型结构; 第 i 行第 j 列像素电路的第九晶体管的栅电极与第 i 行第 $j+1$ 列像素电路的第九晶体管的栅电极为一体成型结构; 第 i 行第 $j+1$ 列像素电路的第六晶体管的栅电极与第 i 行第 $j+2$ 列像素电路的第六晶体管的栅电极为一体成型结构; 第 i 行第 $j+1$ 列像素电路的第七晶体管的栅电极与第 i 行第 $j+2$ 列像素电路的第七晶体管的栅电极为一体成型结
- 25

构;第*i*行第*j*列像素电路的第一连接部和第*i*行第*j*+1列像素电路的第一连接部为一体成型结构;第*i*行第*j*列像素电路的第五晶体管的第一极和第*i*行第*j*+1列像素电路的第五晶体管的第一极为一体成型结构;第*i*行第*j*列像素电路的第八连接部和第*i*行第*j*+1列像素电路的第八连接部为一体成型结构,第*i*行第*j*列像素电路的第九连接部和第*i*行第*j*+1列像素电路的第九连接部为一体成型结构。

16. 根据权利要求 11 至 15 任一项所述的显示基板,其中,第二绝缘层和第三绝缘层开设有位于每个像素电路中的第一过孔至第九过孔,第三绝缘层还开设有位于每个像素电路中的第十过孔和第十一过孔,第二绝缘层、第三绝缘层和第四绝缘层上开设有十二过孔和第十三过孔,第三绝缘层和第四绝缘层上开设有位于每个像素电路中的第十四过孔、第十五过孔和第十六过孔,第四绝缘层和第五绝缘层上开设有位于每个像素电路中的第十七过孔至第二十二过孔,第三绝缘层、第四绝缘层、第五绝缘层和第六绝缘层上开设有位于每个像素电路中的第二十三过孔和第二十四过孔,第六绝缘层和第七绝缘层上开设有位于每个像素电路中的第二十五过孔和第二十六过孔,第六绝缘层和第七绝缘层还开设有位于第一列像素电路之外的其他像素电路中的第二十七过孔和第二十八过孔,第五绝缘层、第六绝缘层、第七绝缘层和第八绝缘层开设有位于每个像素电路中的第二十九过孔和第三十过孔,在第一列像素电路中,第六绝缘层、第七绝缘层和第八绝缘层开设有位于每个像素电路中的第三十一过孔和第三十二过孔,第六绝缘层、第七绝缘层和第八绝缘层还开设有位于每个像素电路中的第三十三过孔和第三十四过孔,第八绝缘层开设有位于第一列像素电路之外的其他像素电路中的第三十五过孔和第三十六过孔,平坦层开设有位于每个像素电路中的第三十七过孔、第三十八过孔、第三十九过孔和第四十过孔;

第一过孔暴露出第五晶体管的有源层,第二过孔暴露出第三晶体管的有源层,第三过孔暴露出第一晶体管的有源层,第四过孔暴露出第六晶体管的有源层,第五过孔暴露出第八晶体管的有源层,第六过孔暴露出第八晶体管的有源层,第七过孔暴露出第六晶体管的有源层,第八过孔暴露出第七晶体管的有源层,第九过孔暴露出第九晶体管的有源层,第十过孔暴露出第八晶

体管的栅电极，第十一过孔暴露出第九晶体管的栅电极，第十二过孔暴露出第一晶体管的有源层和第四晶体管的有源层，第十三过孔暴露出第二晶体管的有源层，第十四过孔暴露出第一极板，第十五过孔暴露出第六晶体管的栅电极，第十六过孔暴露出第七晶体管的栅电极，第十七过孔暴露出第六晶体管的第二极，第十八过孔暴露出第八晶体管的第二极，第十九过孔暴露出第一连接部，第二十过孔暴露出第二连接部，第二十一过孔暴露出第七晶体管的第二极，第二十二过孔暴露出第九晶体管的第二极，第二十三过孔暴露出第三晶体管的第二极，第二十四过孔暴露出第六晶体管的第一极，在每个像素电路中，第二十五过孔暴露出第八连接部，第二十六过孔暴露出第九连接部，第二十七过孔暴露出第六连接部，第二十八过孔暴露出第十连接部，第二十九过孔暴露出第四连接部，第三十过孔暴露出第五连接部，第三十一过孔暴露出第六连接部，第三十二过孔暴露出第十连接部，第三十三过孔暴露出第七连接部，第三十四过孔暴露出第十一连接部，第三十五过孔暴露出第七连接部，第三十六过孔暴露出第十四连接部，第三十七过孔暴露出第十五连接部，第三十八过孔暴露出第十六连接部，第三十九过孔暴露出第十七连接部，第四十过孔暴露出第十八连接部。

17. 根据权利要求 16 所述的显示基板，其中，第 i 行第 j 列像素电路的第一过孔与第 i 行第 $j+1$ 列像素电路的第一过孔为同一过孔；第 i 行第 j 列像素电路的第十过孔与第 i 行第 $j+1$ 列像素电路的第十过孔为同一过孔；第 i 行第 j 列像素电路的第十一过孔与第 i 行第 $j+1$ 列像素电路的第十一过孔为同一过孔；第 i 行第 $j+1$ 列像素电路的第十五过孔和第 i 行第 $j+2$ 列像素电路的第十五过孔为同一过孔；第 i 行第 $j+1$ 列像素电路的第十六过孔和第 i 行第 $j+2$ 列像素电路的第十六过孔为同一过孔；第 i 行第 j 列像素电路中的第十九过孔与第 i 行第 $j+1$ 列像素电路中的第十九过孔为同一过孔；第 i 行第 j 列像素电路中的第二十五过孔与第 i 行第 $j+1$ 列像素电路中的第二十五过孔为同一过孔，第 i 行第 j 列像素电路中的第二十六过孔与第 i 行第 $j+1$ 列像素电路中的第二十六过孔为同一过孔；第 i 行第 $j+1$ 列像素电路中的第二十九过孔与第 i 行第 $j+2$ 列像素电路中的第二十九过孔为同一过孔；第 i 行第 $j+1$ 列像素电路中的第三十过孔与第 i 行第 $j+2$ 列像素电路中的第三十过孔为同一过孔。

18. 根据权利要求 16 所述的显示基板, 其中, 对于每个像素电路, 第五晶体管的第一极通过第一过孔与第五晶体管的有源层连接, 第三晶体管的第二极通过第二过孔与第三晶体管的有源层连接, 第一晶体管的第一极通过第三过孔与第一晶体管的有源层连接, 第六晶体管的第二极通过第四过孔与第六晶体管的有源层连接, 第八晶体管的第二极通过第五过孔与第八晶体管的有源层连接, 第八晶体管的第一极通过第六过孔与第八晶体管的有源层连接, 第六晶体管的第一极通过第七过孔与第六晶体管的有源层连接, 第七晶体管的第二极通过第八过孔与第七晶体管的有源层连接, 第九晶体管的第二极通过第九过孔与第九晶体管的有源层连接, 第一连接部通过第十过孔与第八晶体管的栅电极连接, 第二连接部通过第十一过孔与第九晶体管的栅电极连接, 第三连接部通过第十二过孔与第一晶体管的有源层连接, 第三连接部通过第十四过孔与第一极板连接, 第二晶体管的第一极通过第十三过孔与第二晶体管的有源层连接, 第四连接部通过第十五过孔与第六晶体管的栅电极连接, 第五连接部通过第十六过孔与第七晶体管的栅电极连接, 第六连接部通过第十七过孔与第六晶体管的第二极连接, 第七连接部通过第十八过孔与第八晶体管的第二极连接, 第八连接部通过第十九过孔与第一连接部连接, 第九连接部通过第二十过孔与第二连接部连接, 第十连接部通过第二十一过孔与第七晶体管的第二极连接, 第十一连接部通过第二十二过孔与第九晶体管的第二极连接, 第十二连接部通过第二十三过孔与第三晶体管的第二极, 且通过第二十四过孔与第六晶体管的第一极连接, 第三发光选择信号线通过第二十五过孔与第八连接部连接, 第四发光选择信号线通过第二十六过孔与第九连接部连接, 第一发光选择信号线通过第二十九过孔与第四连接部连接, 第二发光选择信号线通过第三十过孔与第五连接部连接, 像素电路所连接的第一发光器件通过第三十六过孔与第十五连接部连接, 像素电路所连接的第二发光器件通过第三十八过孔与第十七连接部连接, 像素电路所连接的第三发光器件通过第三十七过孔与第十六连接部连接, 像素电路所连接的第四发光器件通过第三十八过孔与第十八连接部连接;

在第一列像素电路中, 第十五连接部通过第三十一过孔与第六连接部连接, 第十六连接部通过第三十二过孔与第十连接部连接, 第十七连接部通过第三十三过孔与第七连接部连接, 第十八连接部通过第三十四过孔与第十一

连接部连接，在除了第一列像素电路之外的其他像素电路中，第十三连接部通过第二十七过孔与第六连接部连接，第十四连接部通过第二十八过孔与第十连接部连接，第十五连接部通过第三十三过孔与第七连接部连接，第十六连接部通过第三十四过孔与第十一连接部连接，第十七连接部通过第三十五过孔与第十三连接部连接，第十八连接部通过第三十六过孔与第十四连接部连接。

19. 根据权利要求 11 所述的显示基板，其中，所述发光器件包括：第一电极、有机发光层和第二电极；所述发光结构层包括：依次叠设在所述驱动结构层上的第一电极层、像素界定层、发光材料层和第二电极层；

10 所述第一电极层包括：阵列排布的第一电极，所述发光材料层包括：阵列排布的有机发光层，所述第二电极层包括：第二电极；

所述像素电路与所连接连接发光器件的第一电极连接，所有发光器件的第二电极与第二电源端连接；

对于第 m 行第 $3n-2$ 列像素电路，第十五连接部在基底上的正投影与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 $2m$ 行第 $2n-1$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；第十七连接部在基底上的正投影与第 $2m-1$ 行第 $2n$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；第十八连接部在基底上的正投影与第 $2m$ 行第 $2n$ 列发光单元中的第一发光器件的第一电极在基底上的正投影至少部分重叠；

对于第 m 行第 $3n-1$ 列像素电路，第十五连接部在基底上的正投影与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 $2m$ 行第 $2n-1$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十七连接部在基底上的正投影与第 $2m-1$ 行第 $2n$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠，第十八连接部在基底上的正投影与第 $2m$ 行第 $2n$ 列发光单元中的第二发光器件的第一电极在基底上的正投影至少部分重叠；

对于第 m 行第 $3n$ 列像素电路，第十五连接部在基底上的正投影与第 $2m-1$ 行第 $2n-1$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十六连接部在基底上的正投影与第 $2m$ 行第 $2n-1$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十七连接部在基底上的正投影与第 $2m-1$ 行第 $2n$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠，第十八连接部在基底上的正投影与第 $2m$ 行第 $2n$ 列发光单元中的第三发光器件的第一电极在基底上的正投影至少部分重叠。

20. 根据权利要求 19 所述的显示基板，其中，对于每个发光器件，所述第一电极远离基底的表面包括：第一端和第二端；平坦层开设有过孔，第一电极通过平坦层过孔与像素电路连接；

位于同一行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的同一端；

位于第 x 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一端或第二端，位于第 $x+1$ 行的发光器件的第一电极与像素电路连接的平坦层过孔位于第一电极的第一端或第二端， $1 \leq x < M2$ 。

21. 一种显示装置，包括：如权利要求 1 至 20 任一项所述的显示基板。

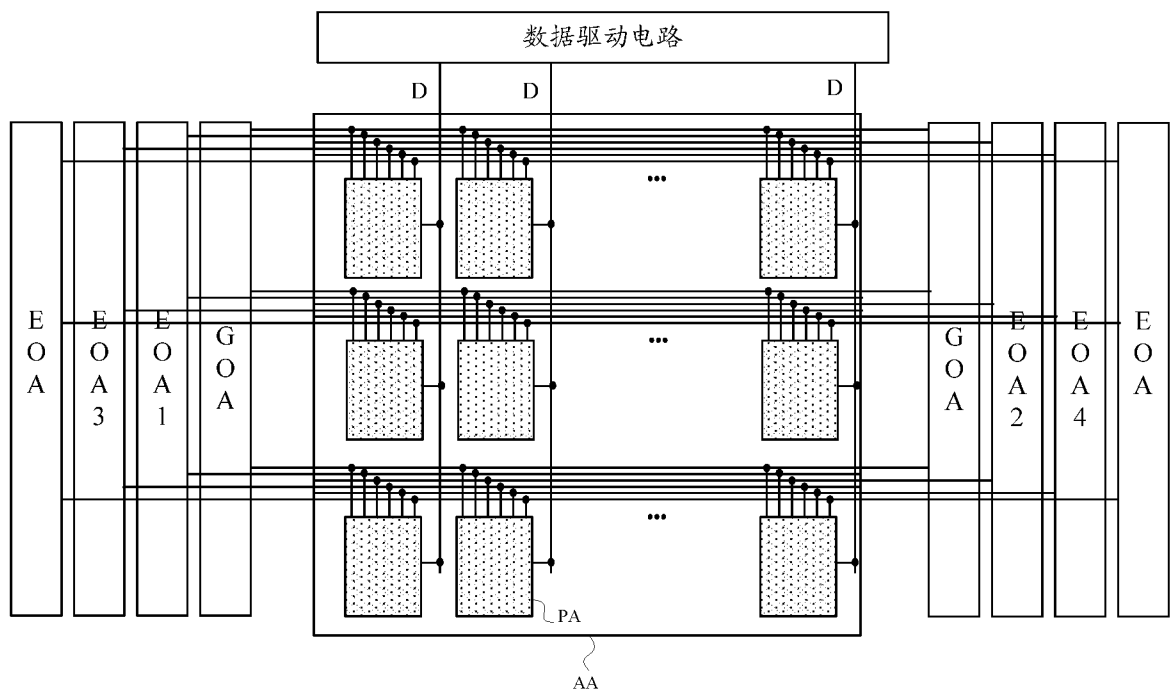


图 1

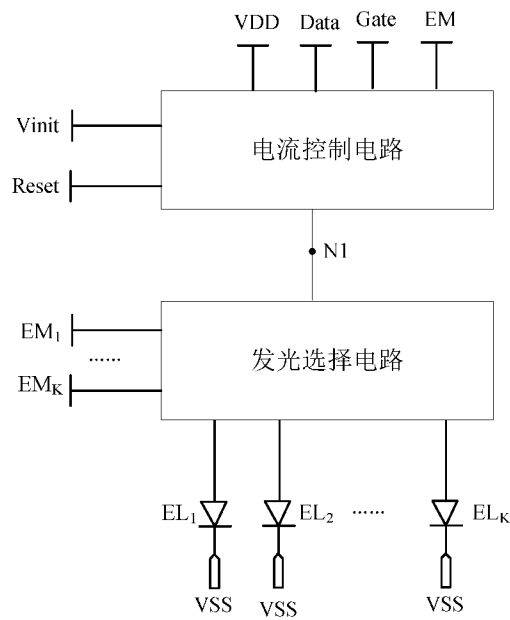


图 2

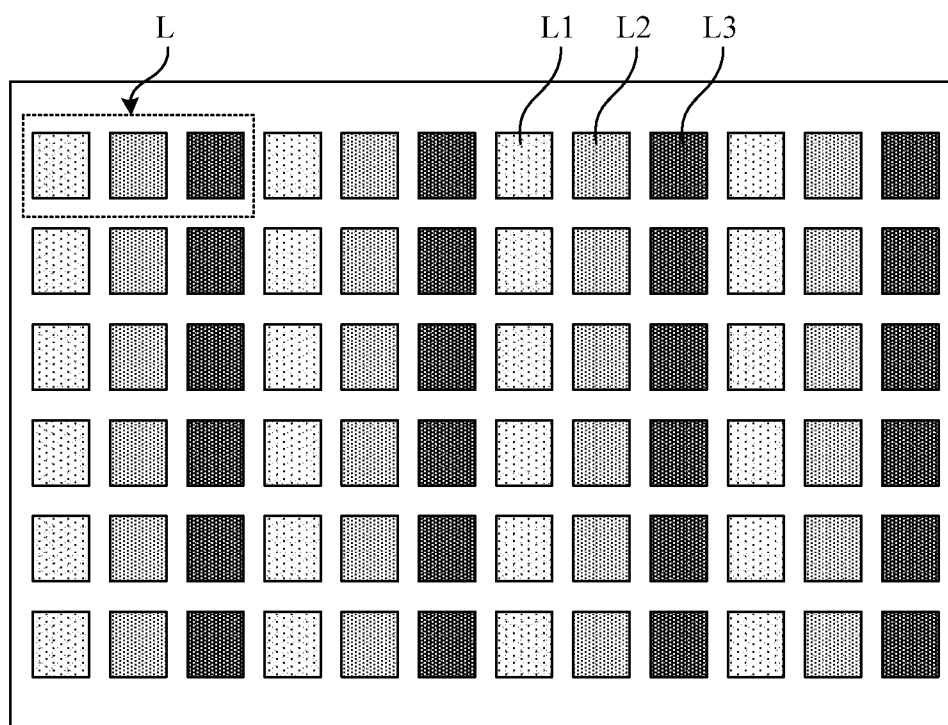


图 3

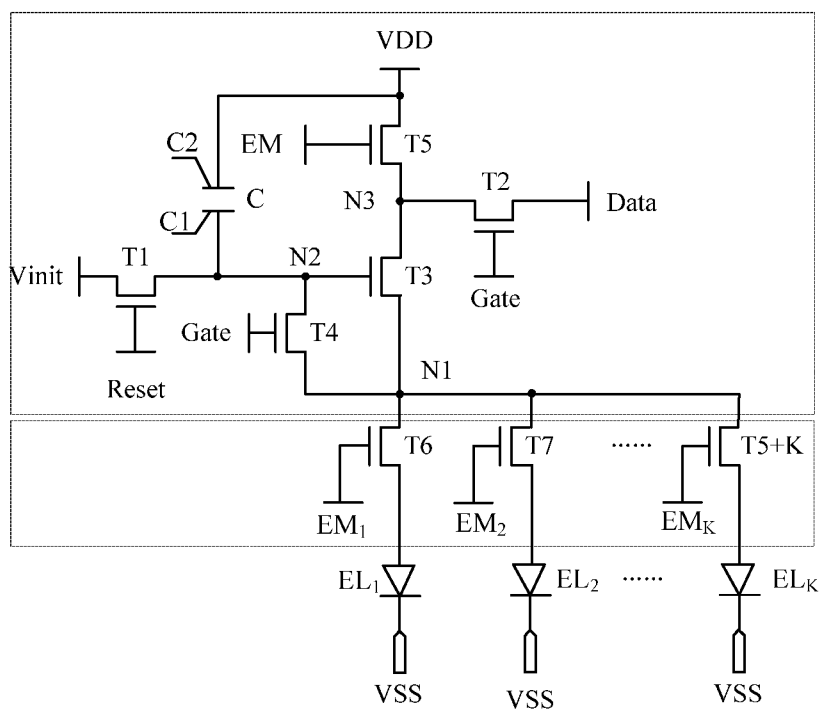


图 4A

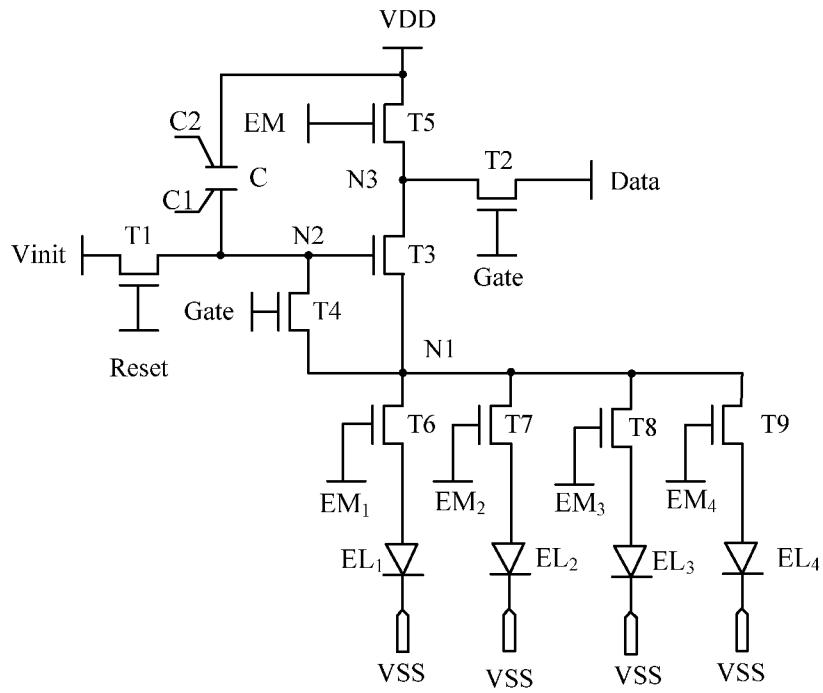


图 4B

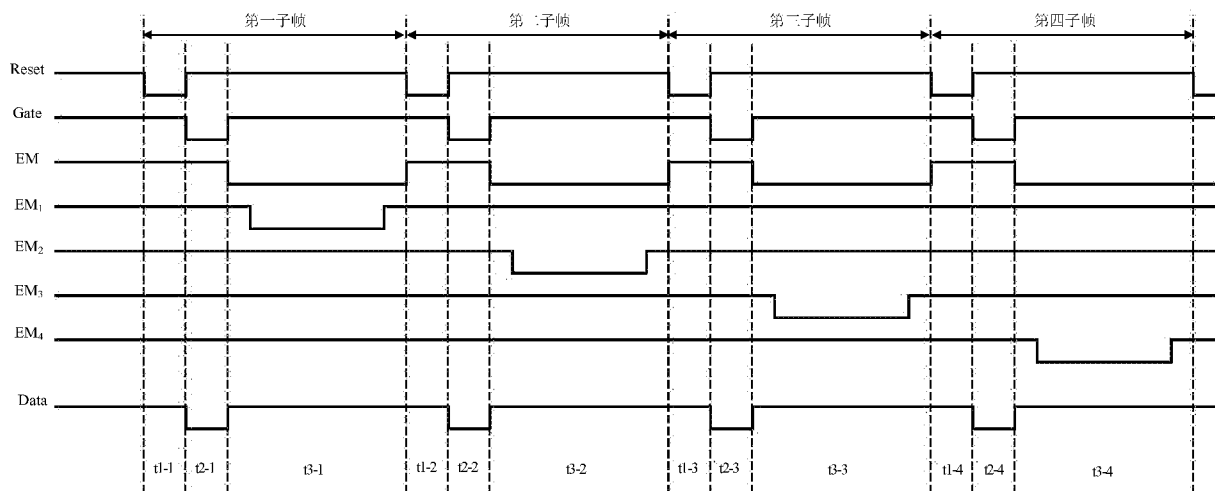


图 5

PA1 R	PA2 G 1	PA3 B 1	PA4 R	PA5 G	PA6 B
R	G 2	B 2	R 2	G 2	B 2
R 3	G 3	B 3	R 3	G 3	B 3
R	G 4	B 4	R	G	B

图 6A

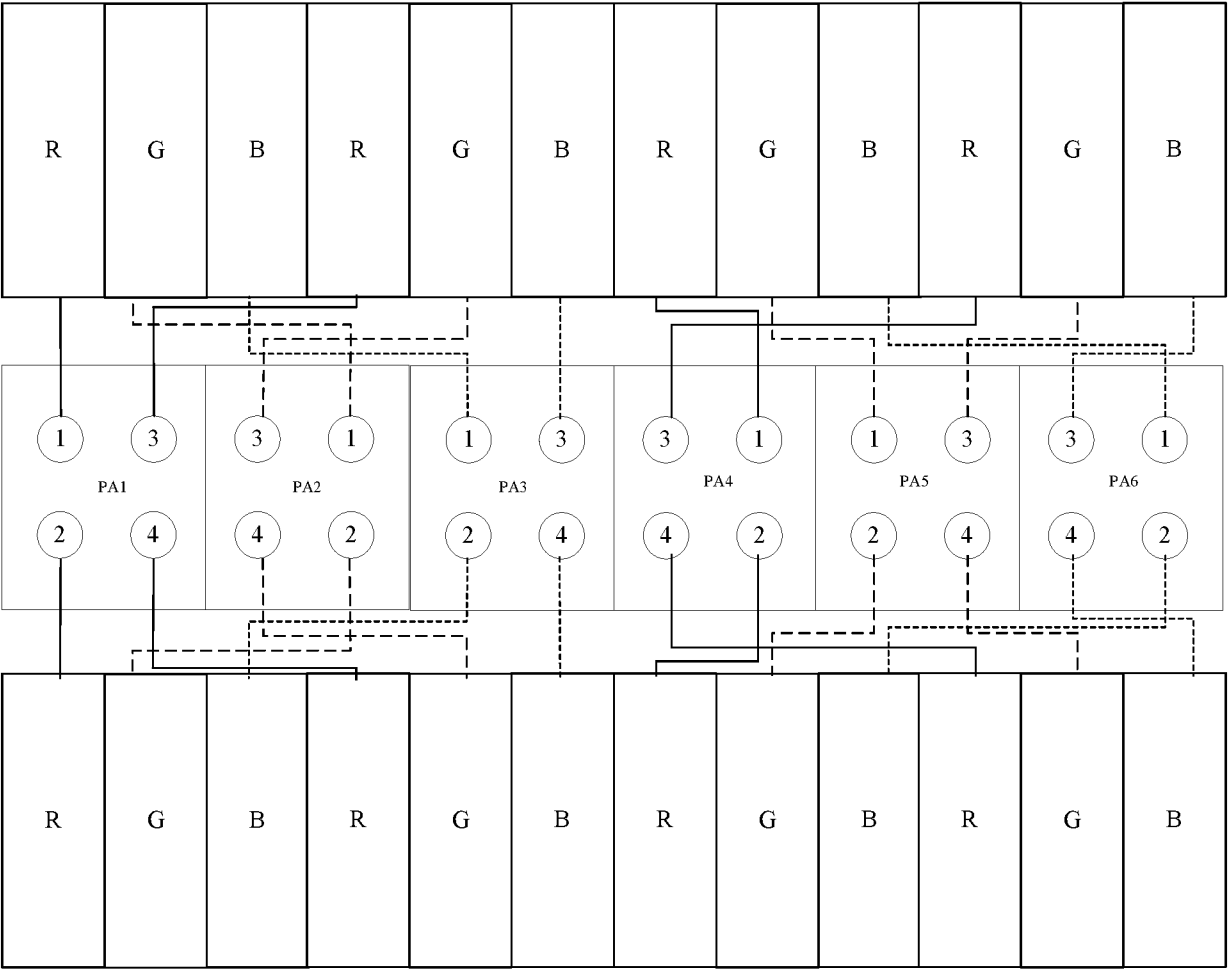


图 6B

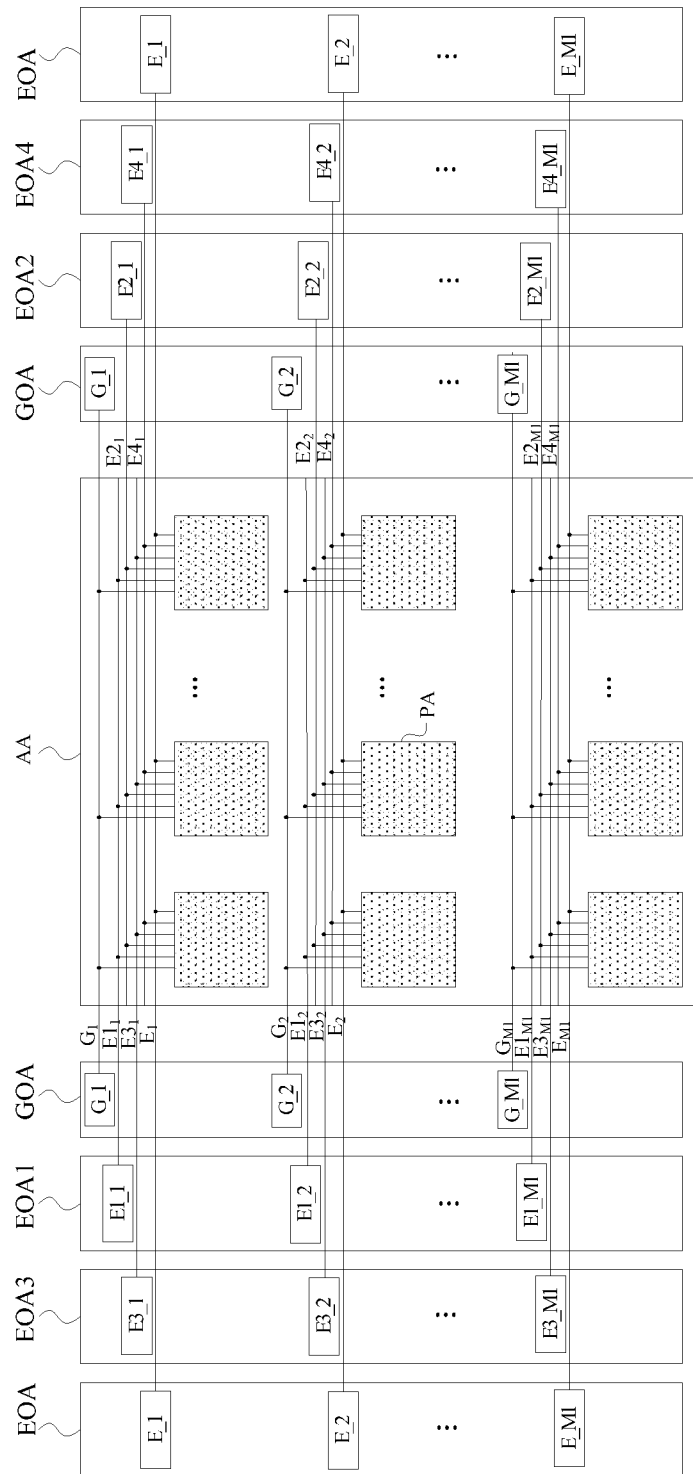


图 7A

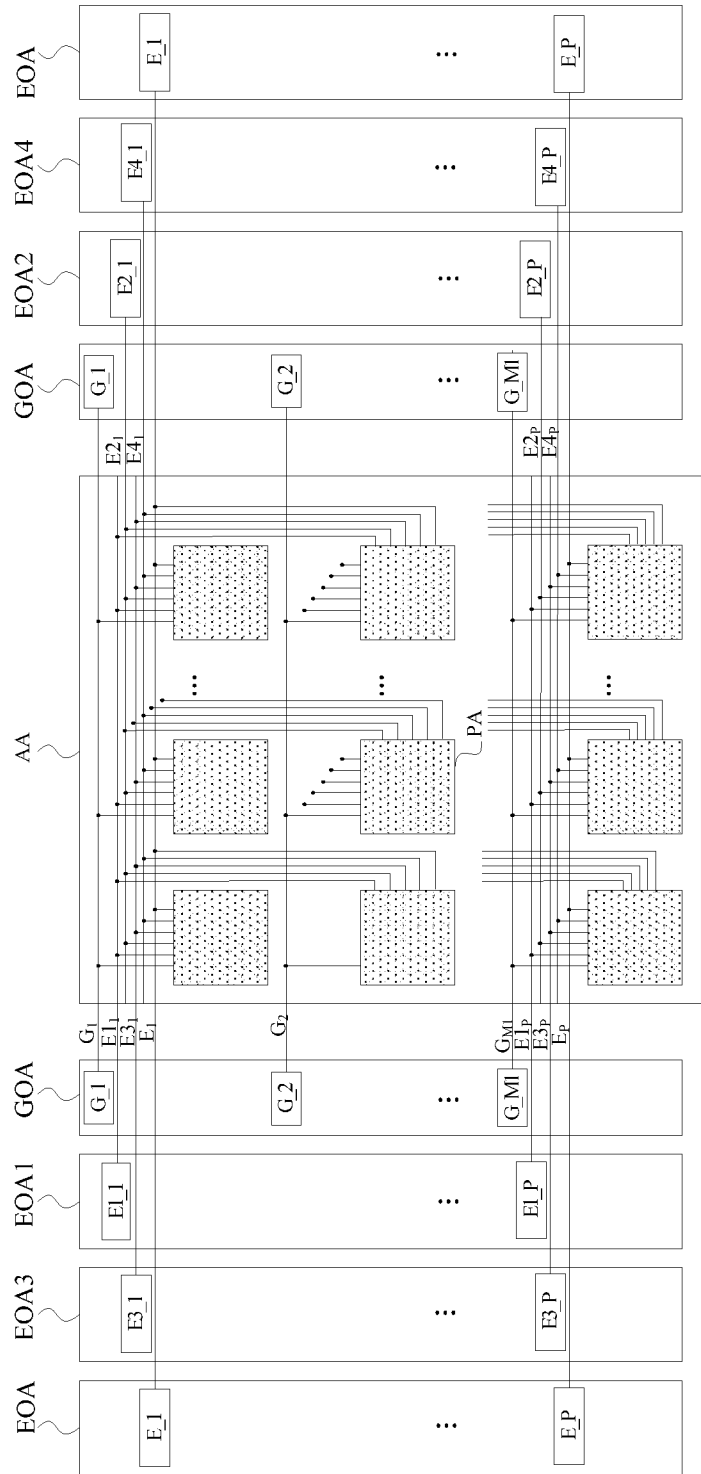


图7B

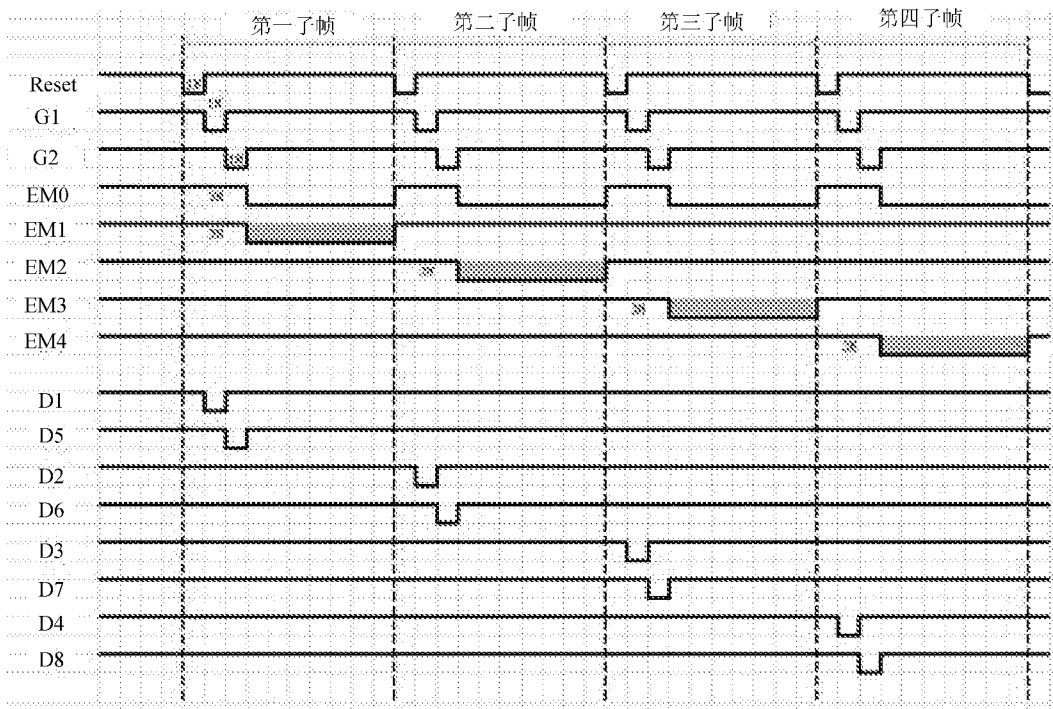


图 8

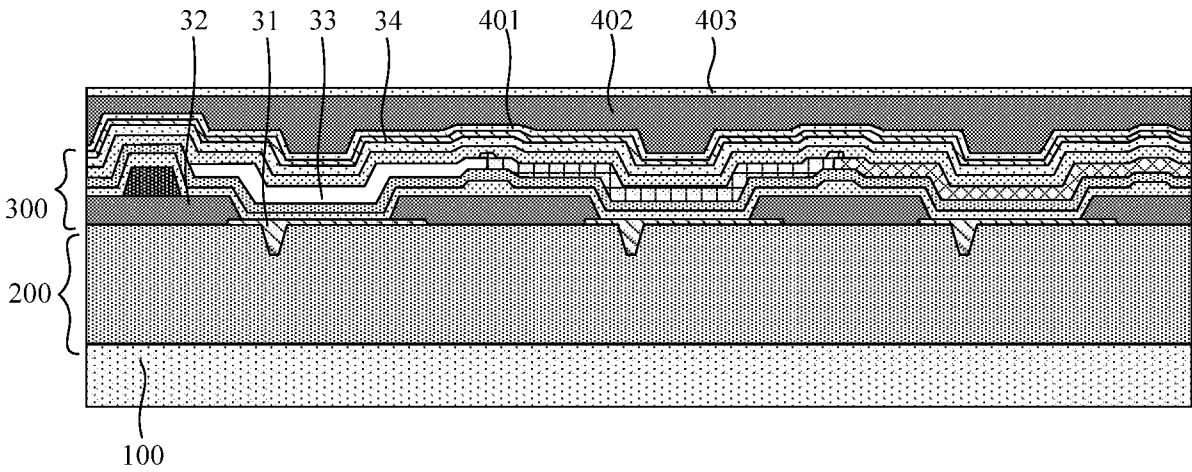


图 9

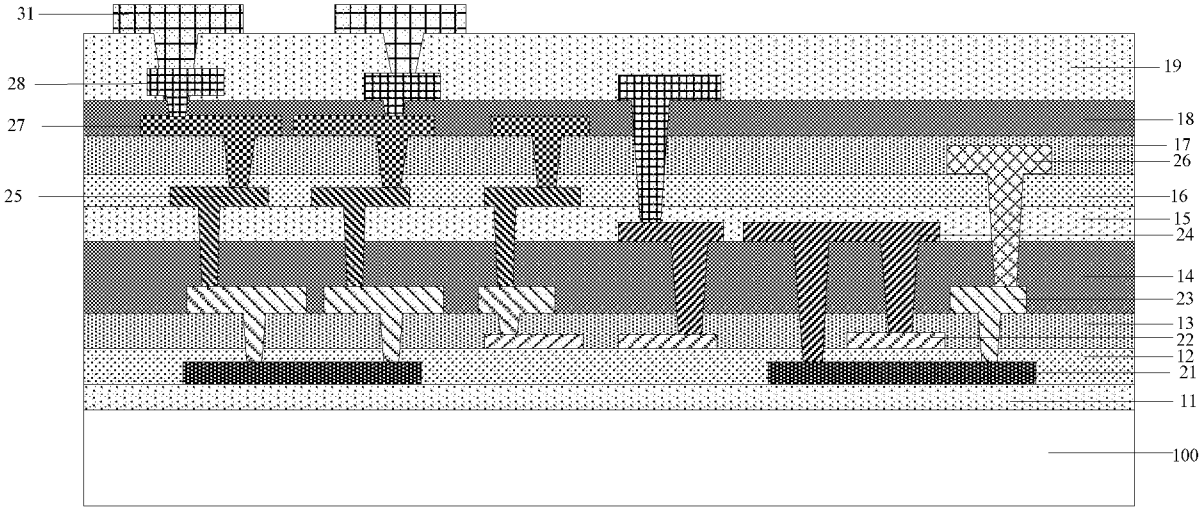


图 10A

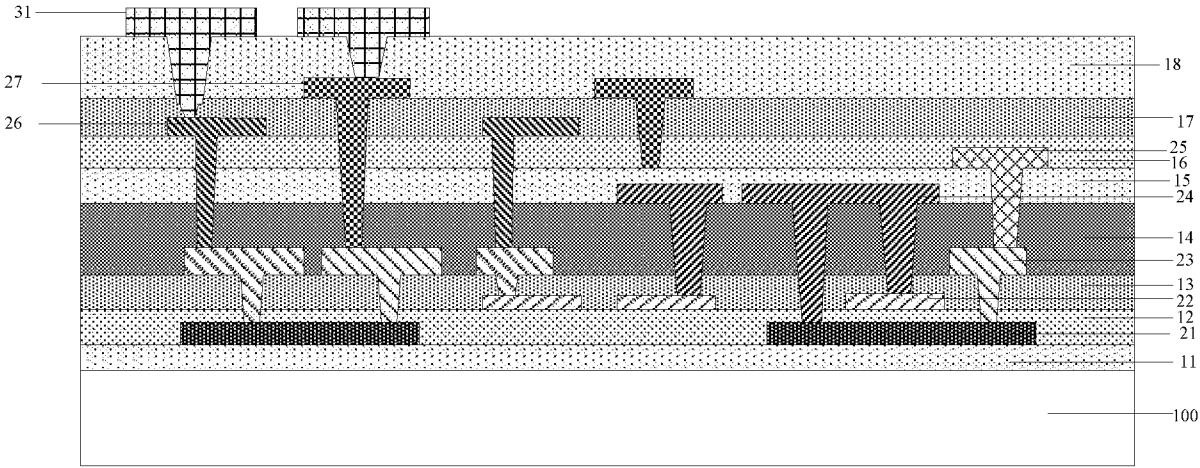


图 10B

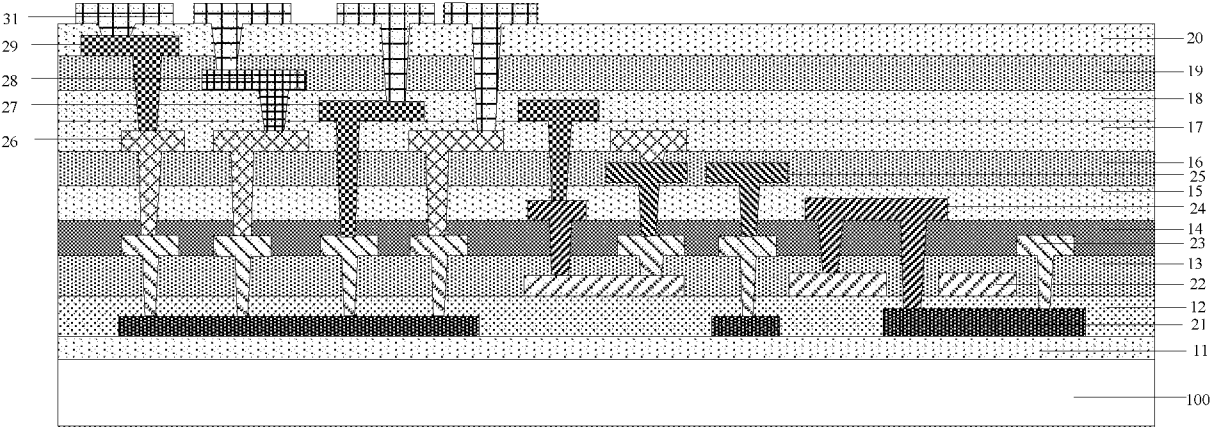


图 10C

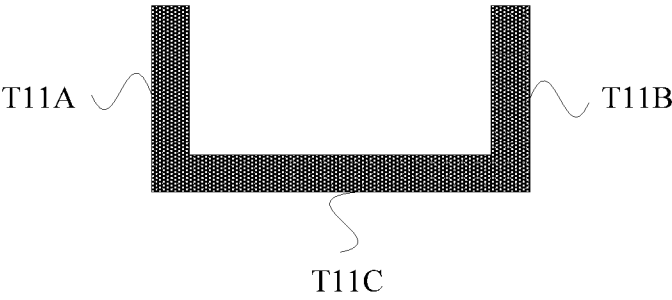


图 11

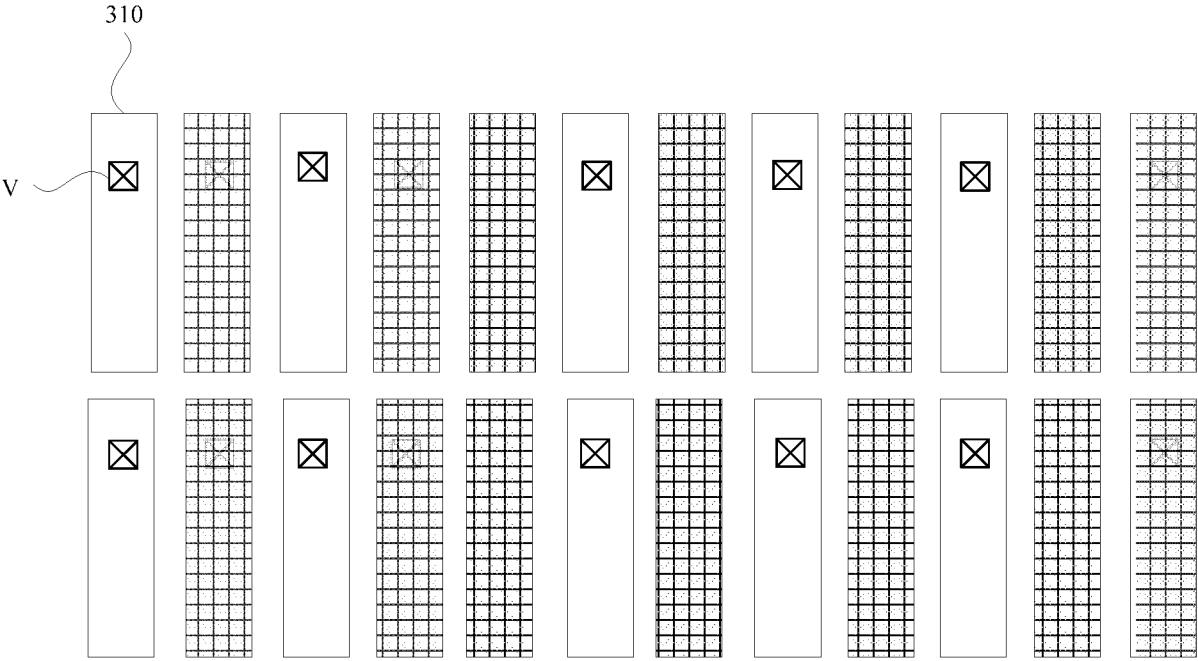


图 12A

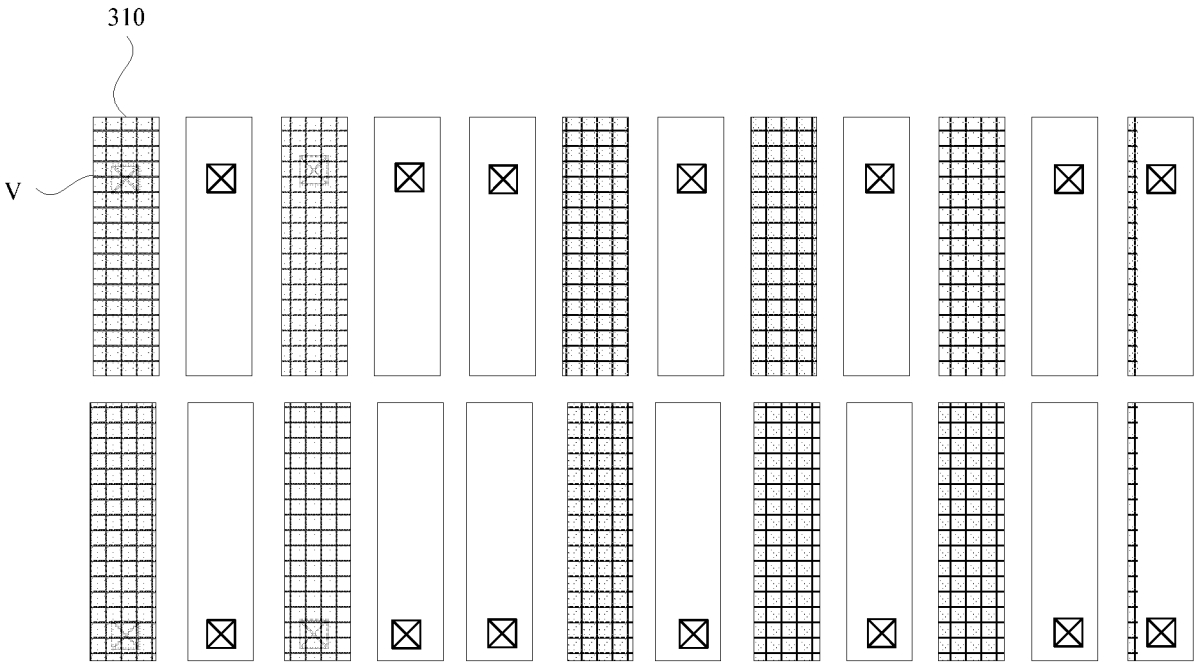


图 12B

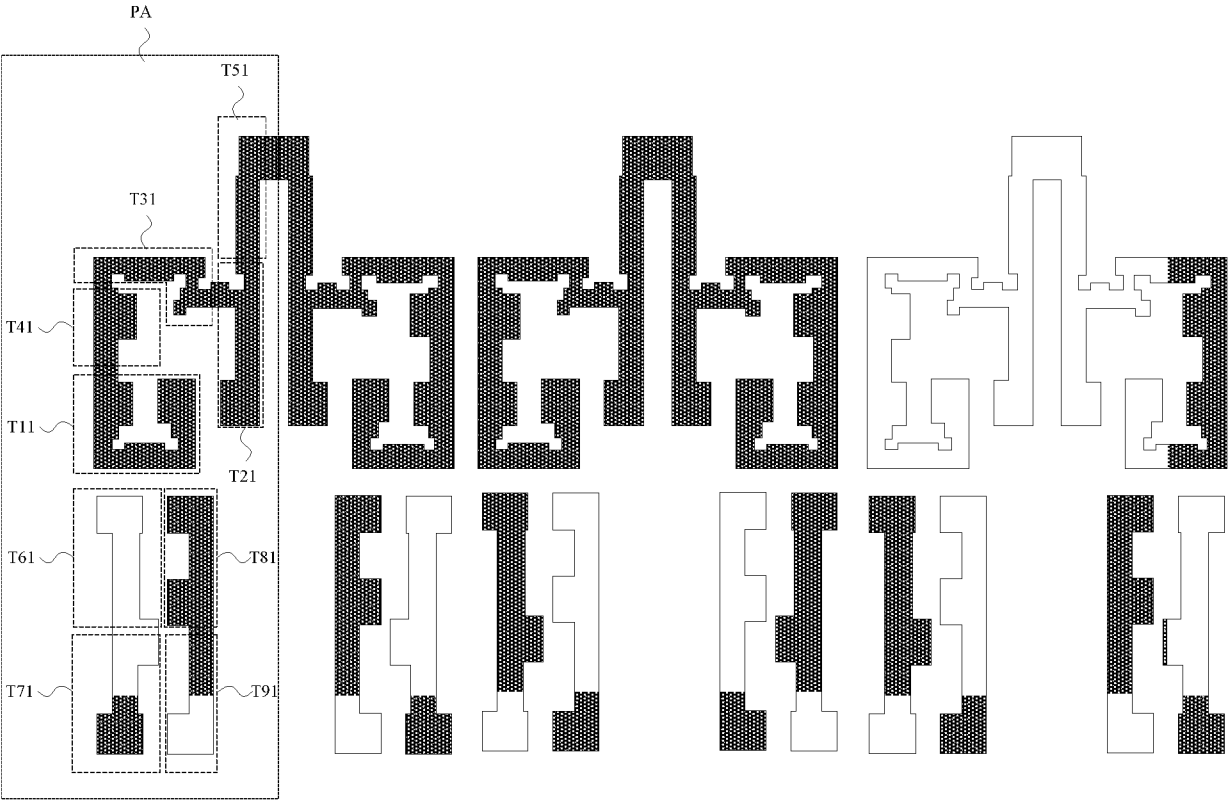


图 13

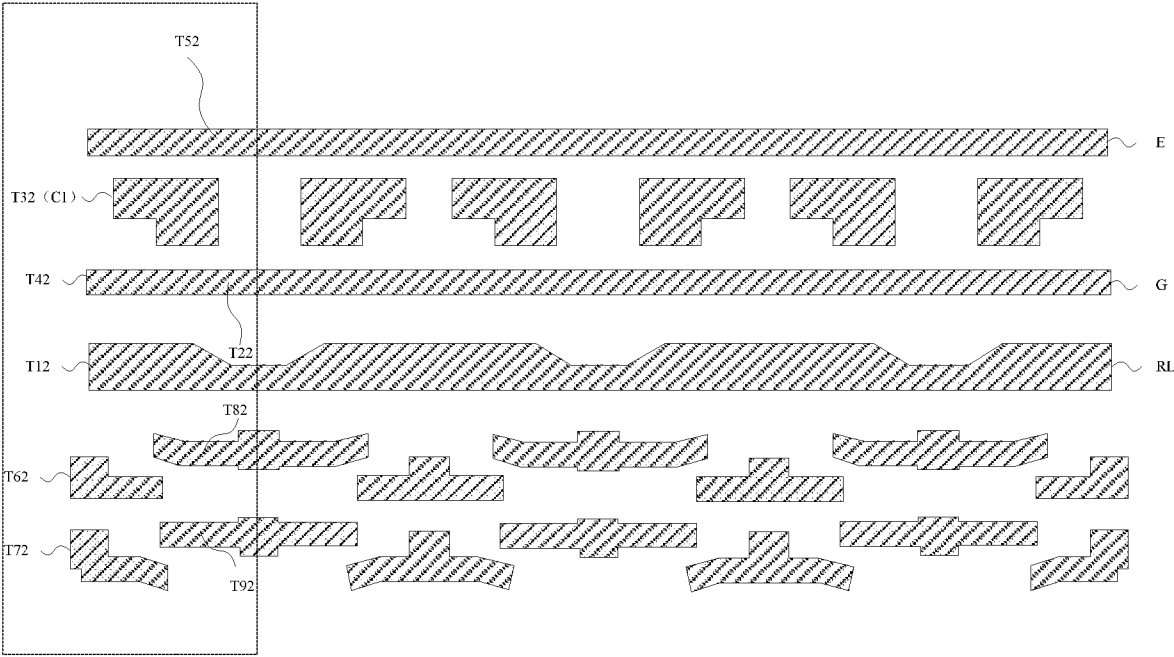


图 14A

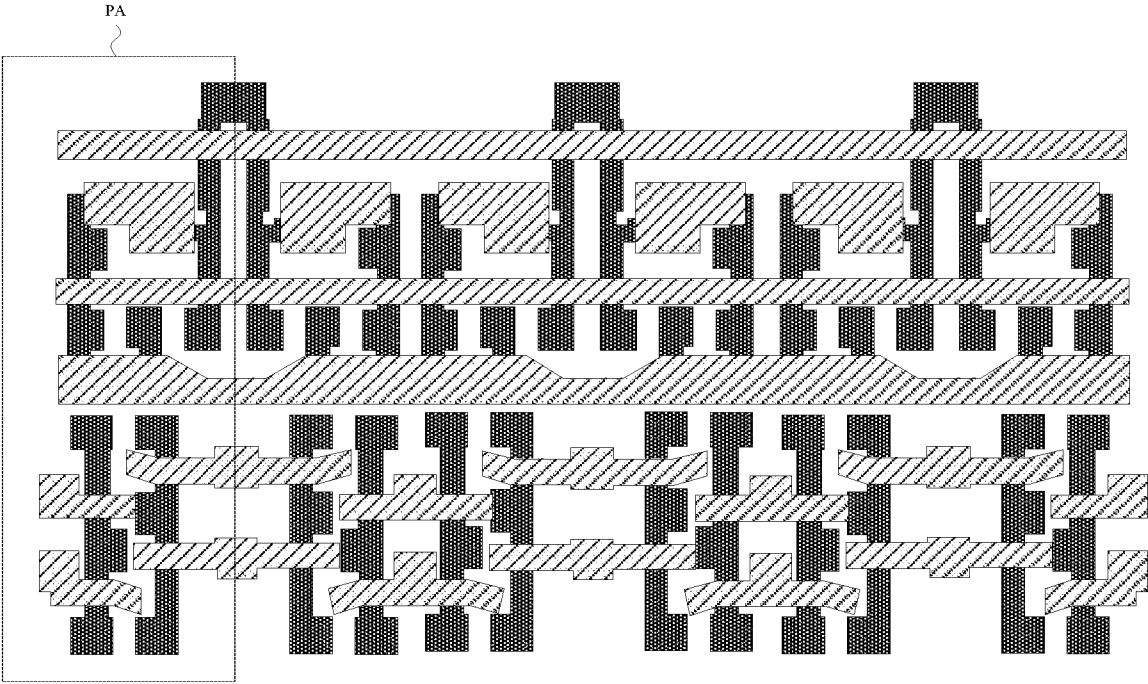


图 14B

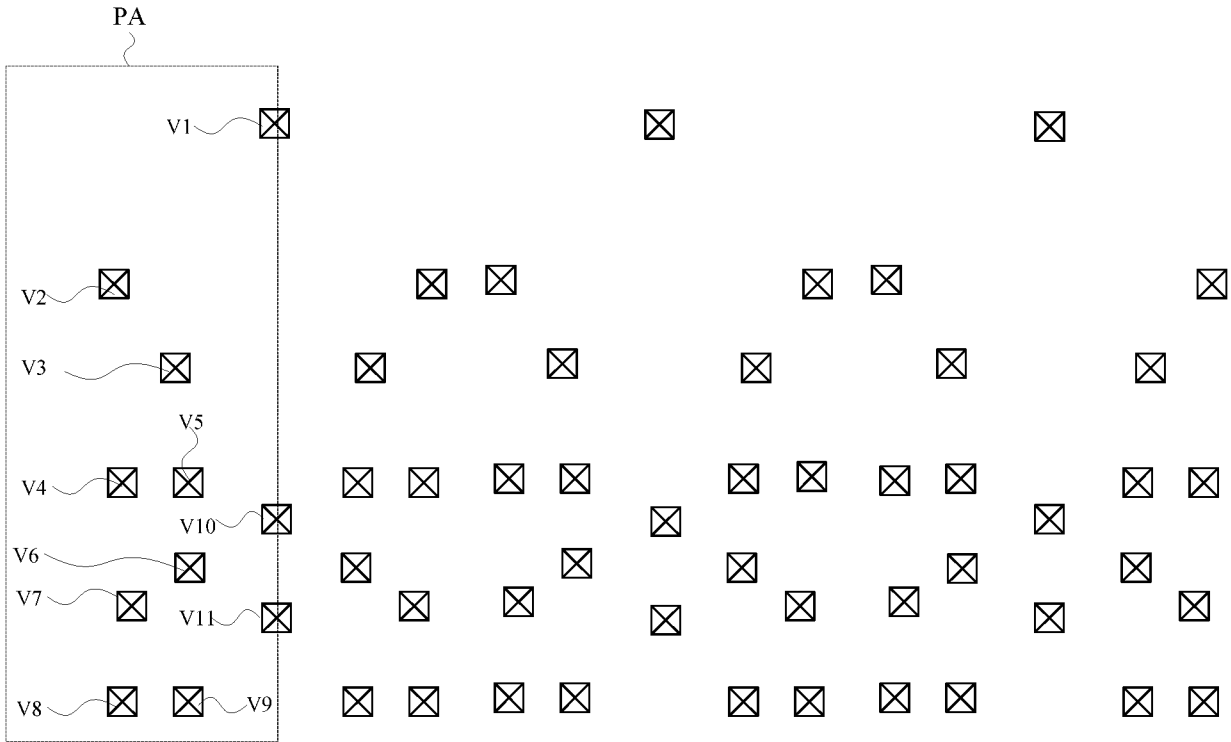


图 15A

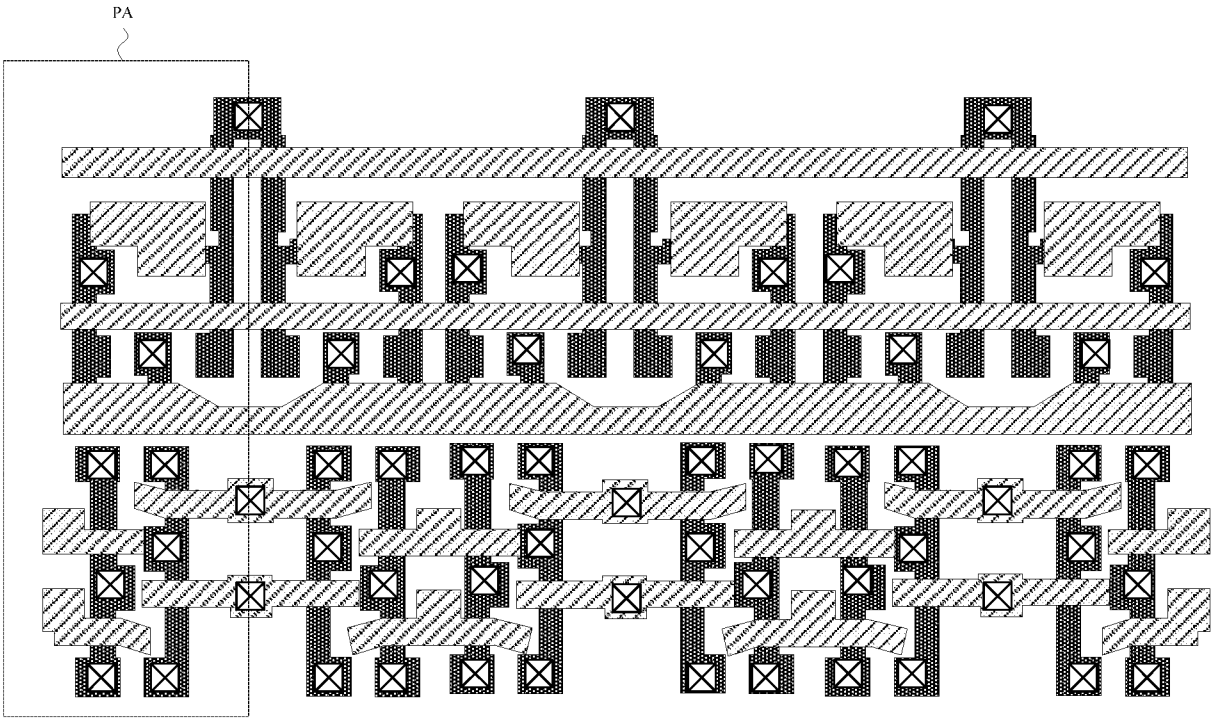


图 15B

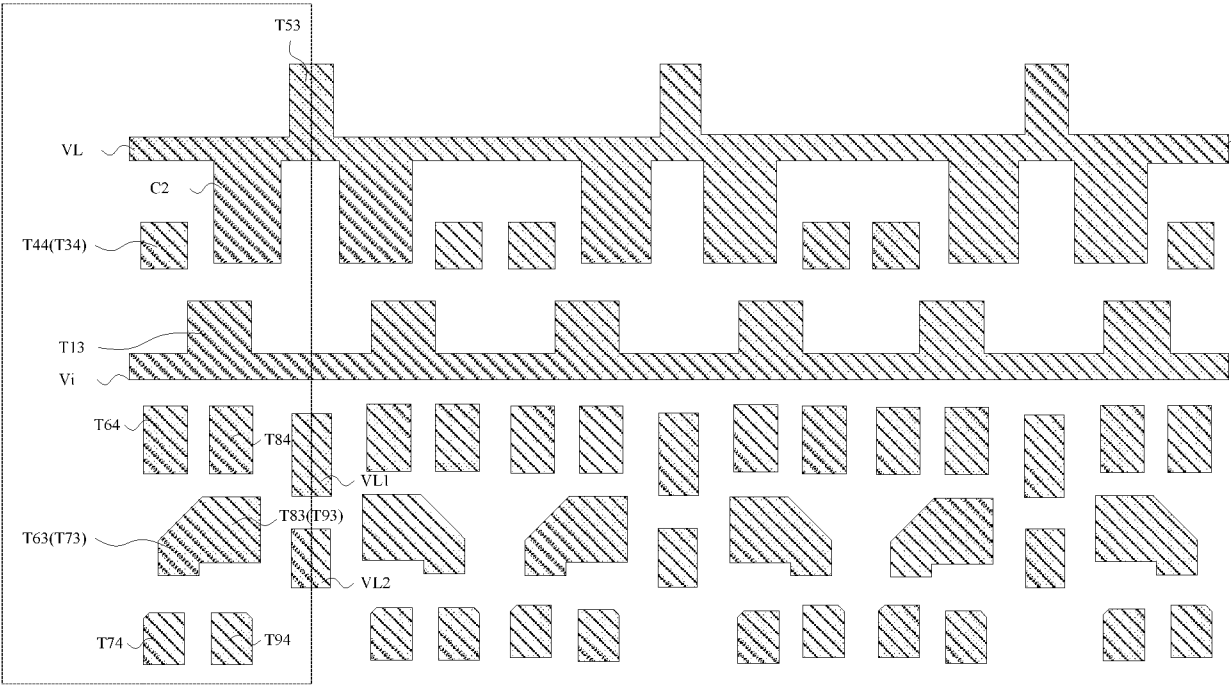


图 16A

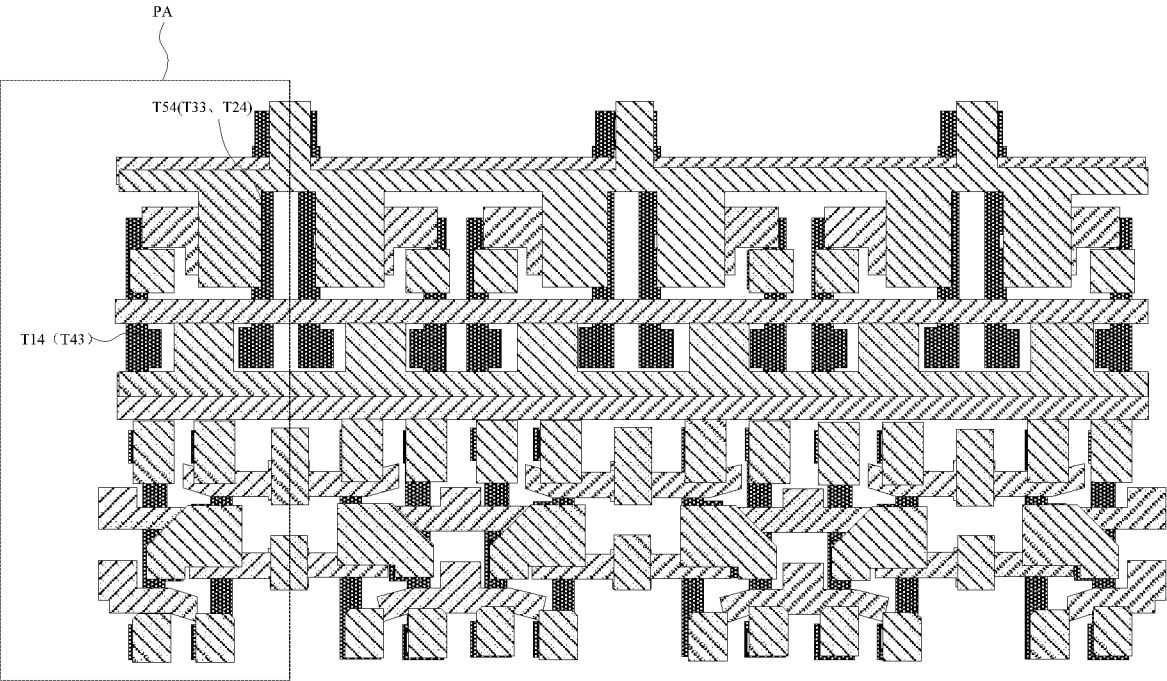


图 16B

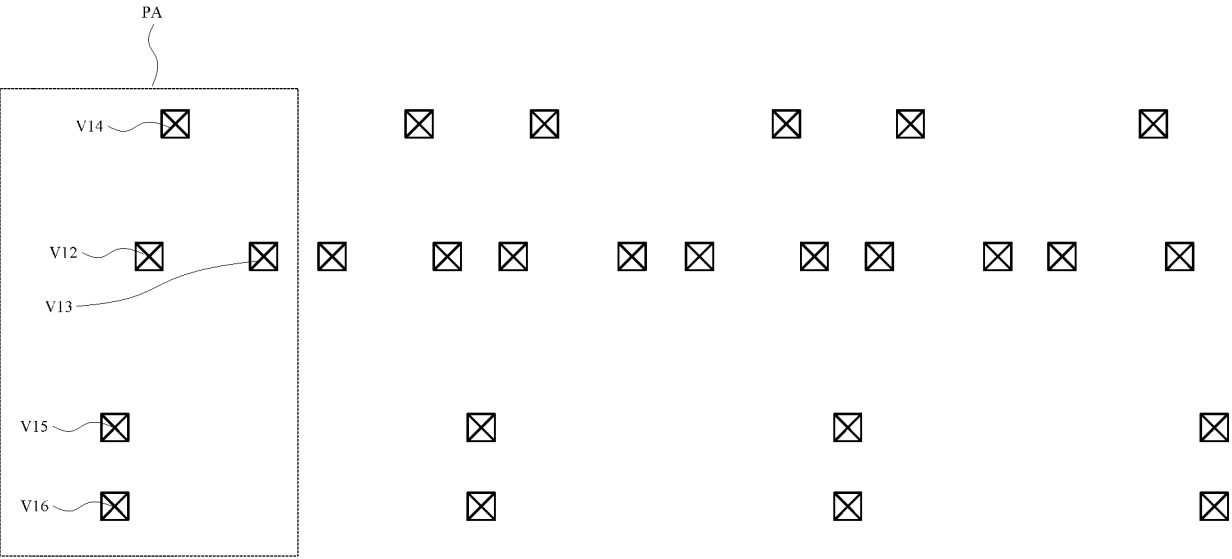


图 17A

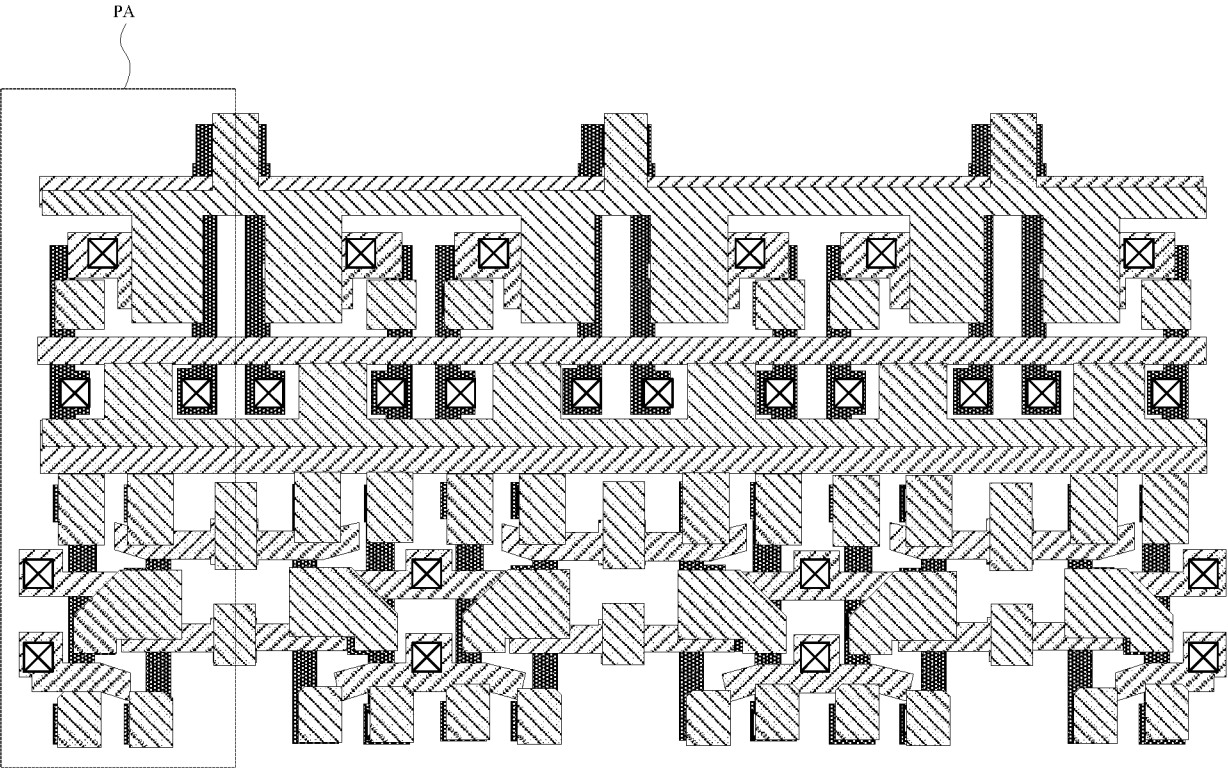


图 17B

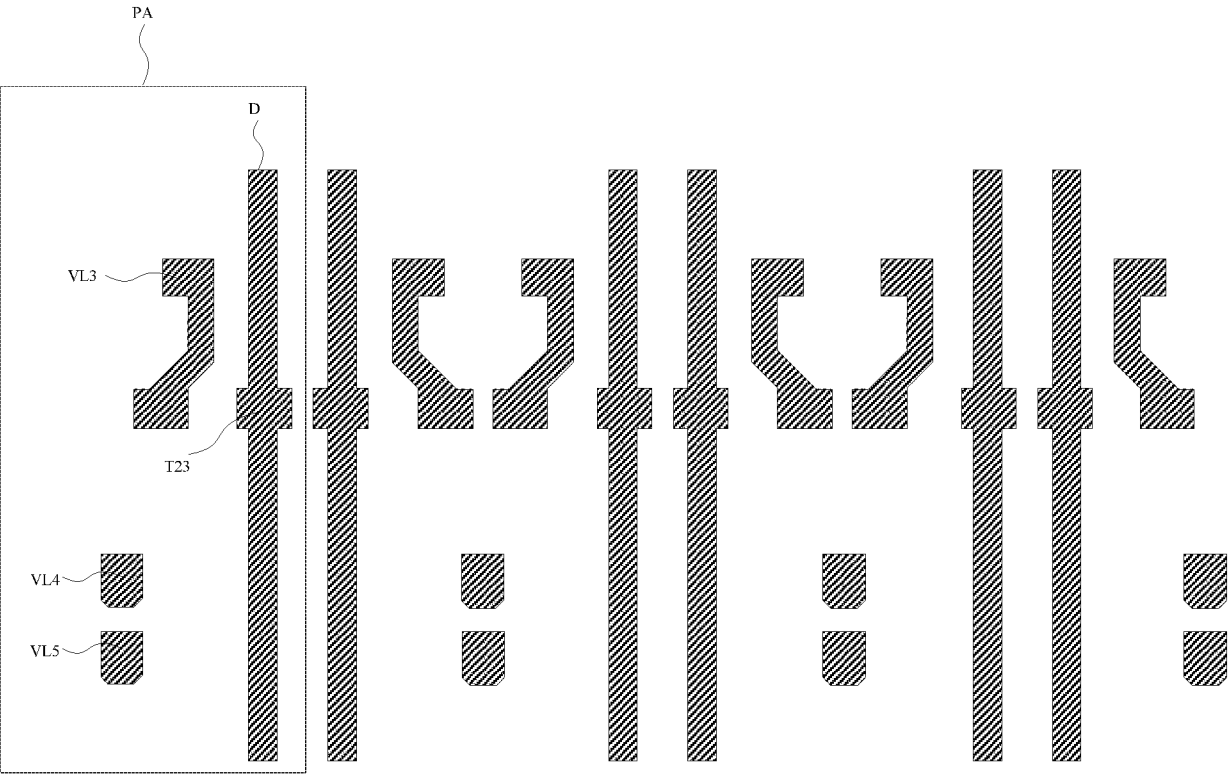


图 18A

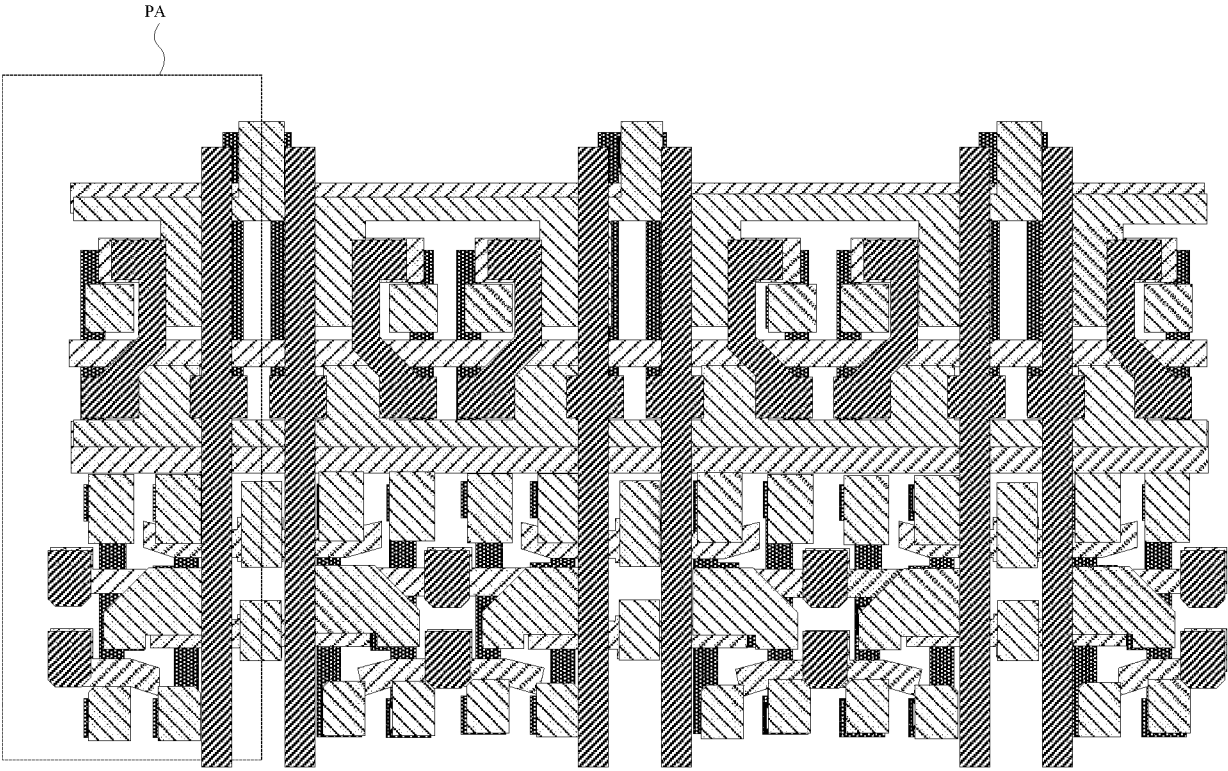


图 18B

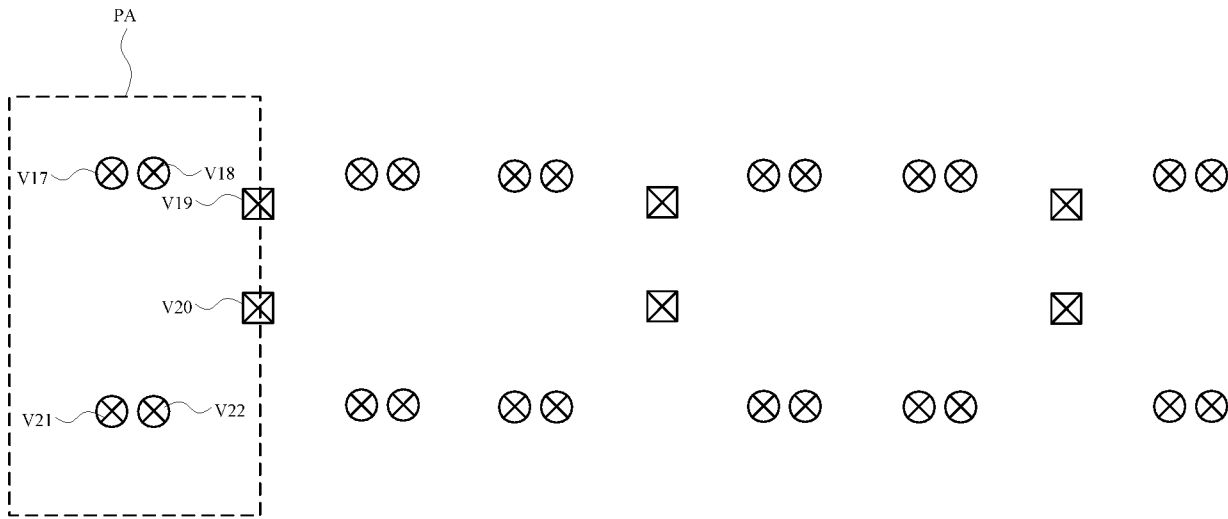


图 19A

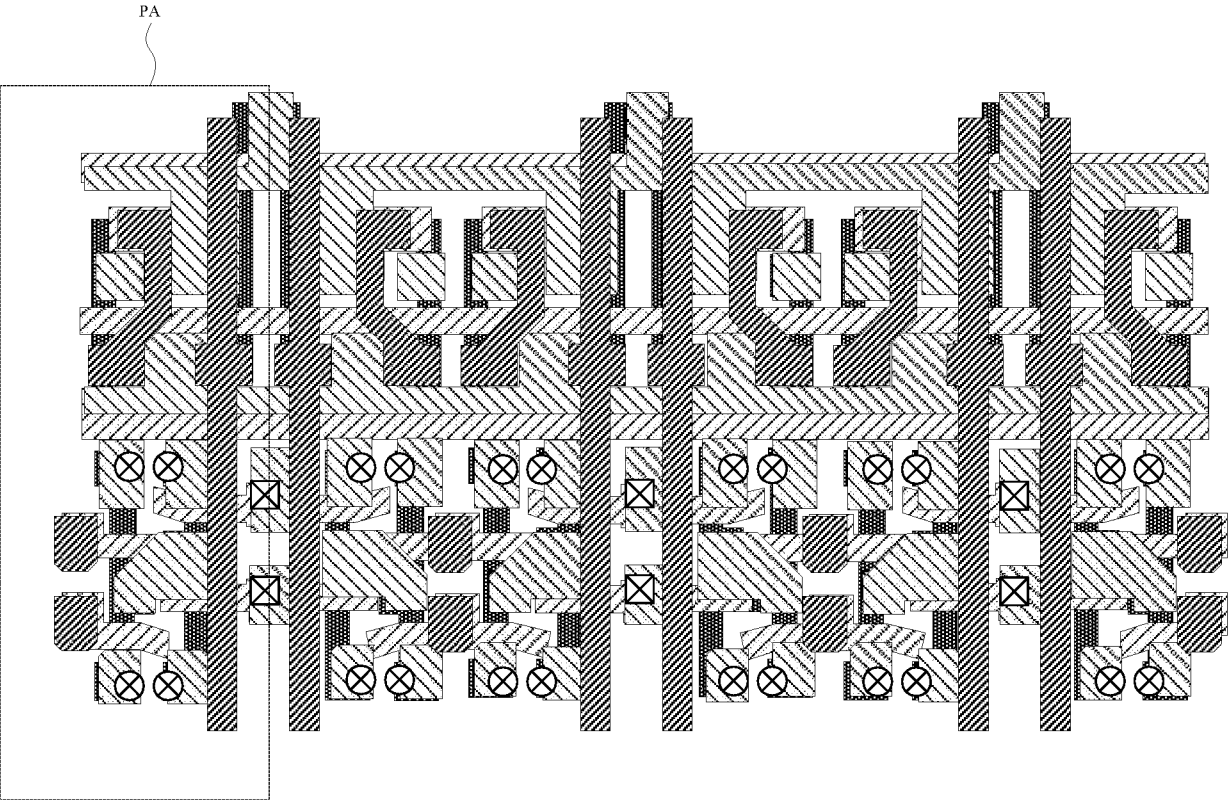


图 19B

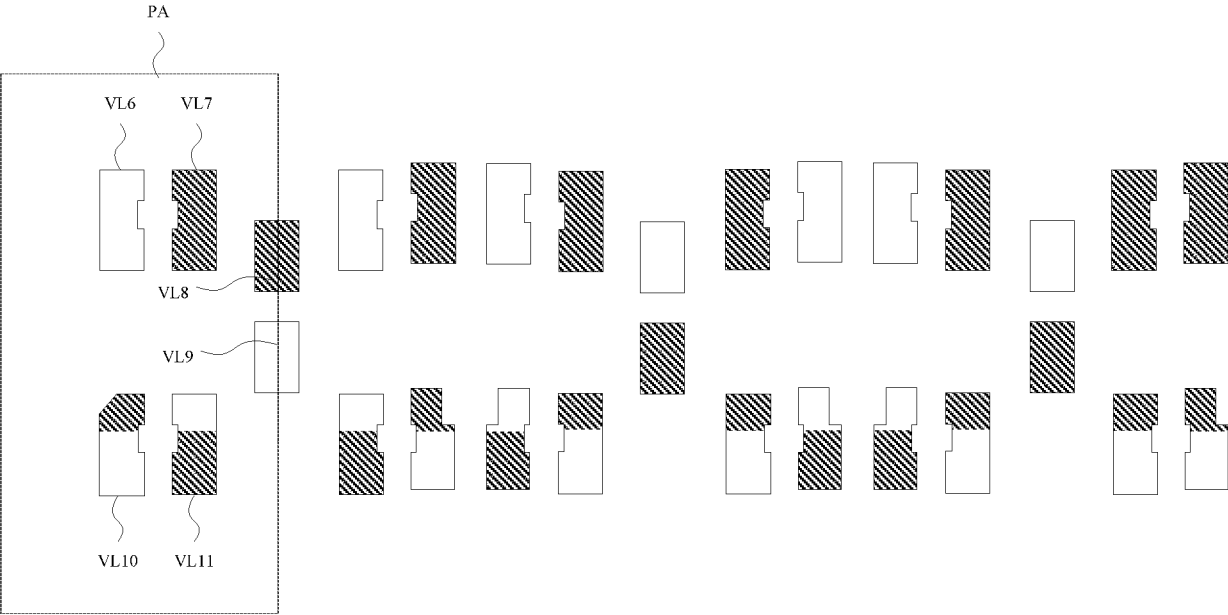


图 20A

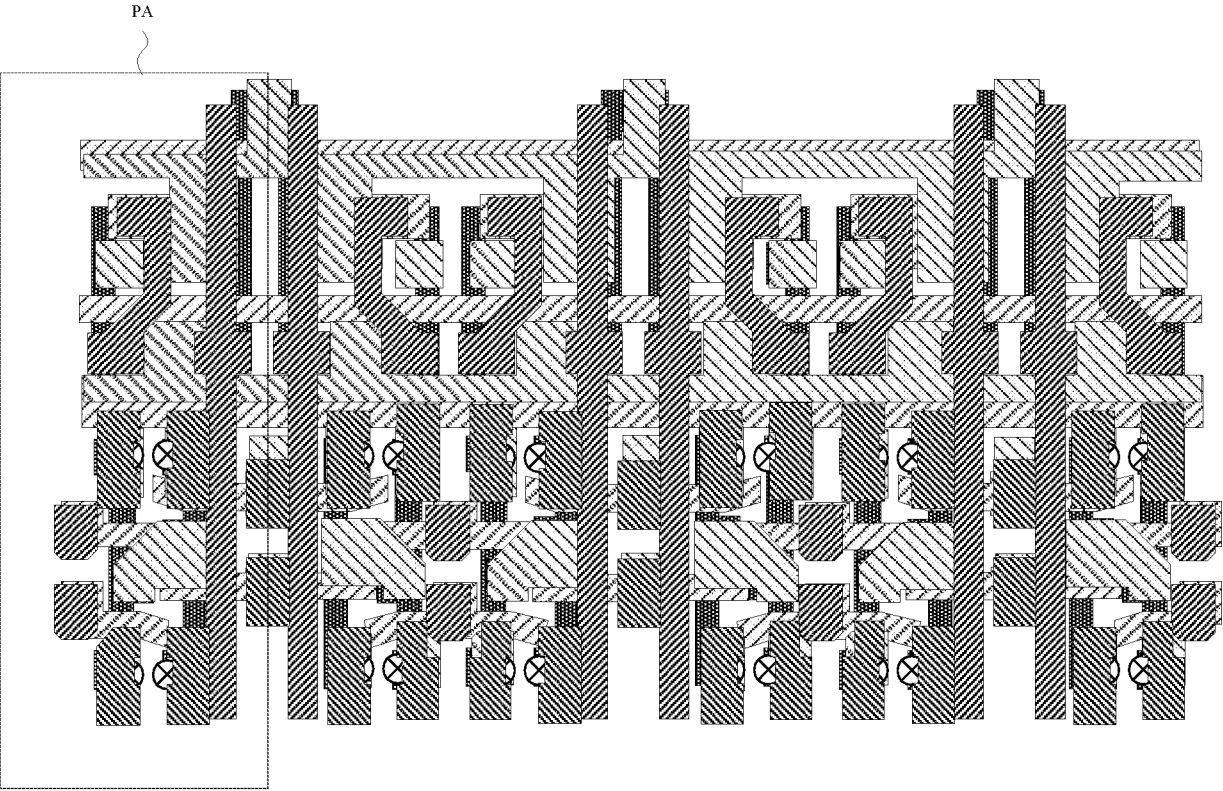


图 20B

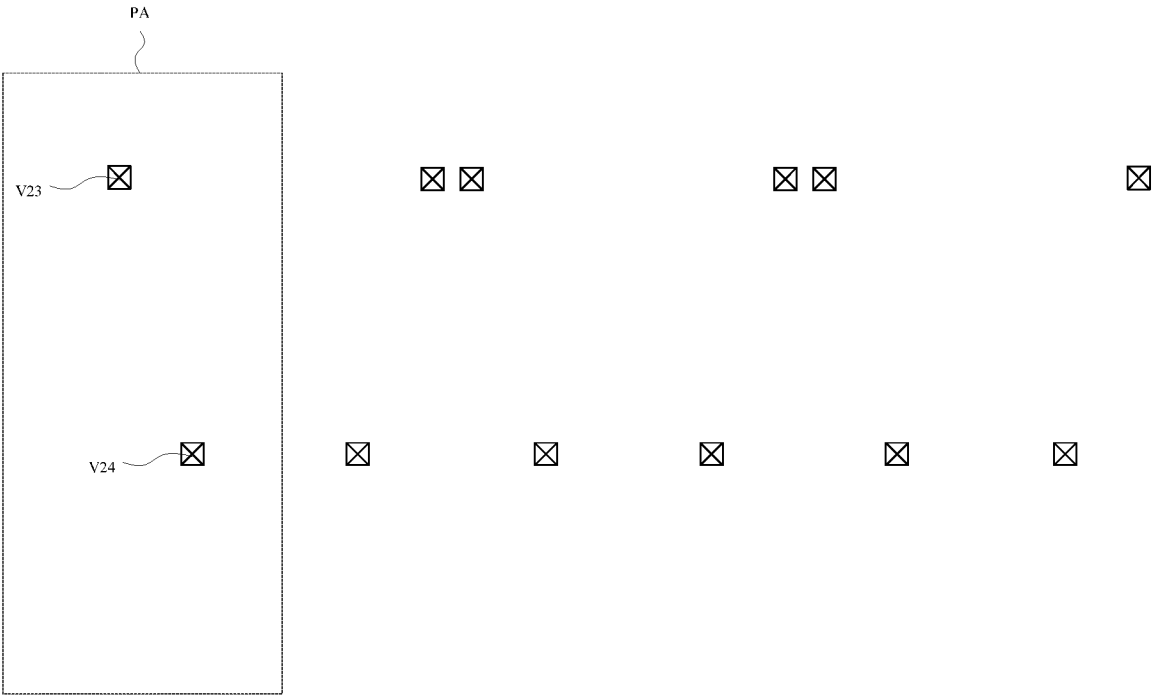


图 21A

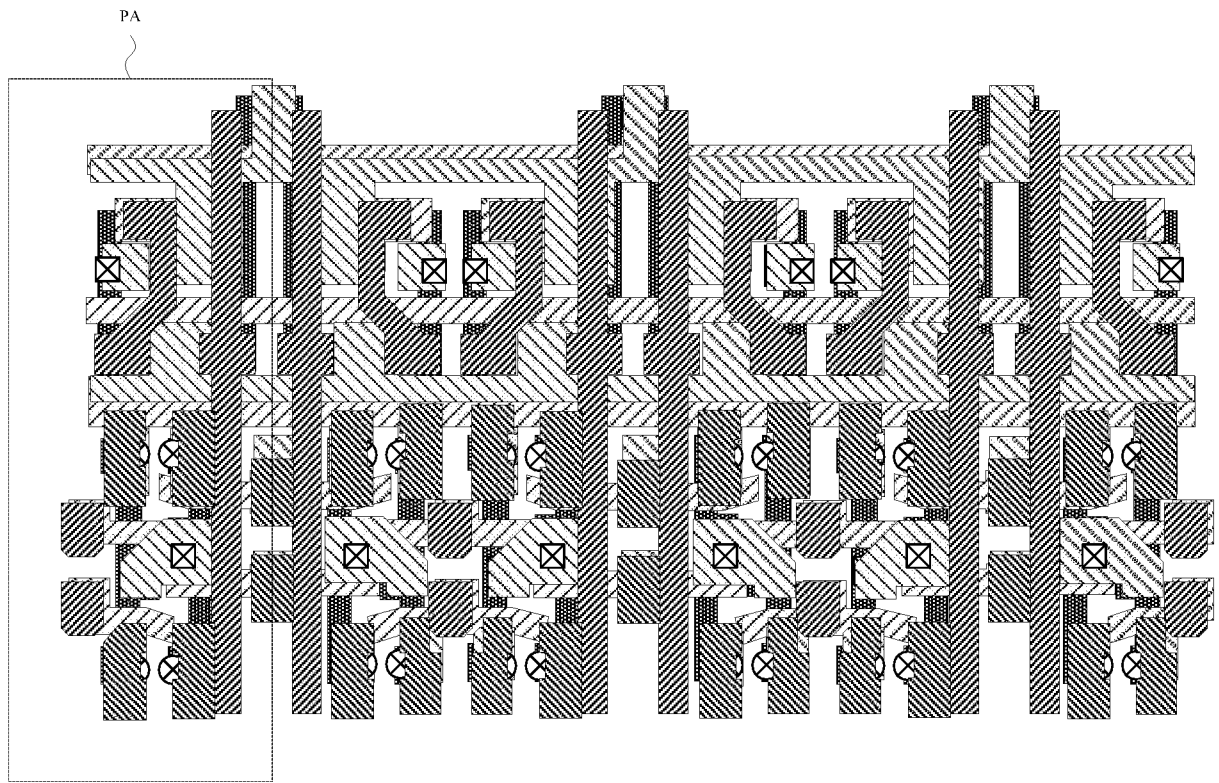


图 21B

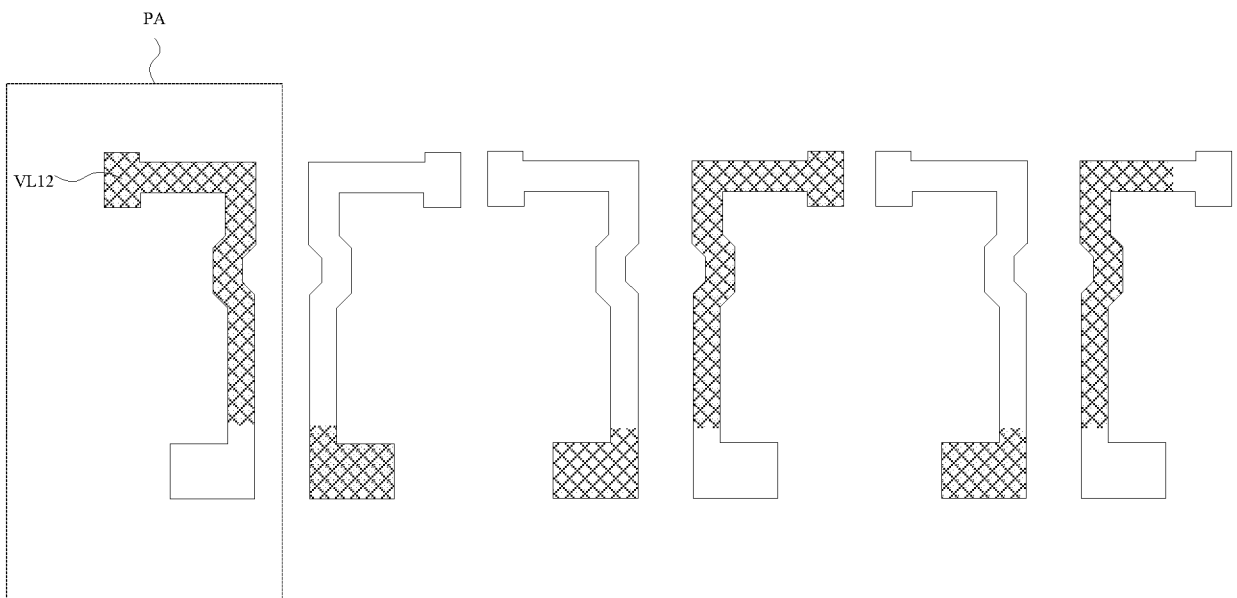


图 22A

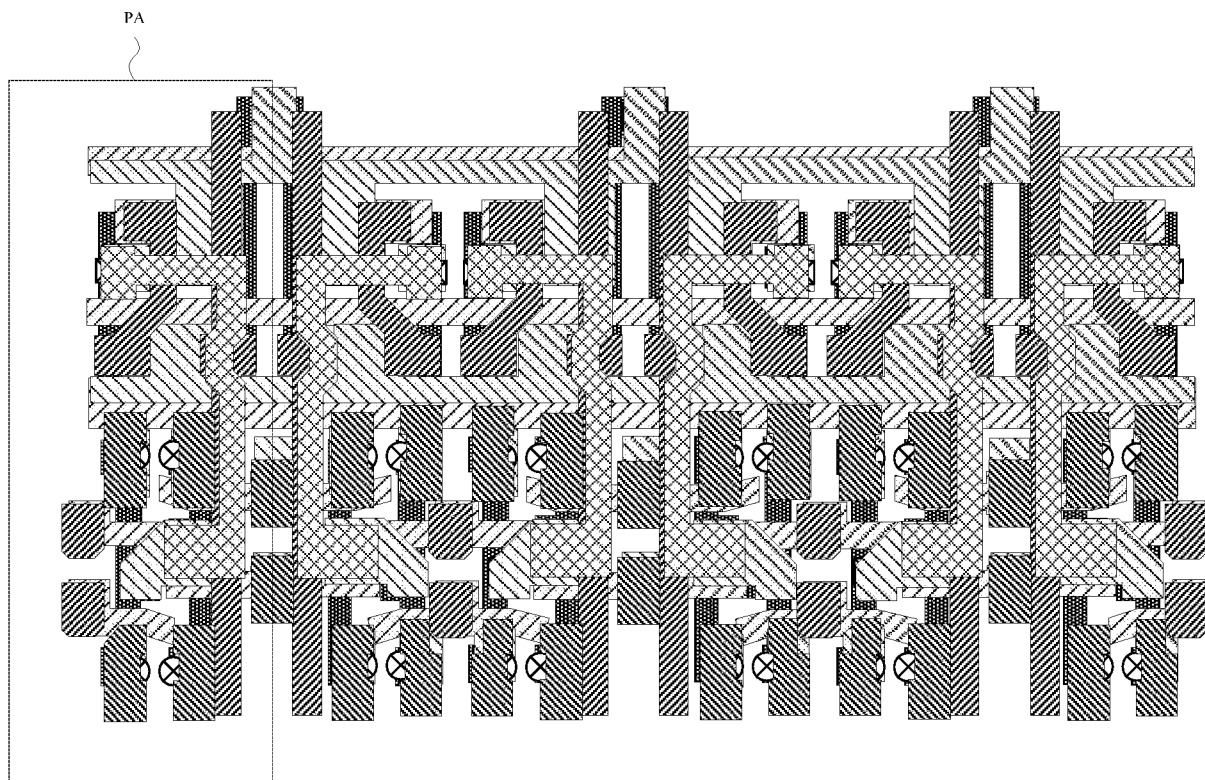


图 22B

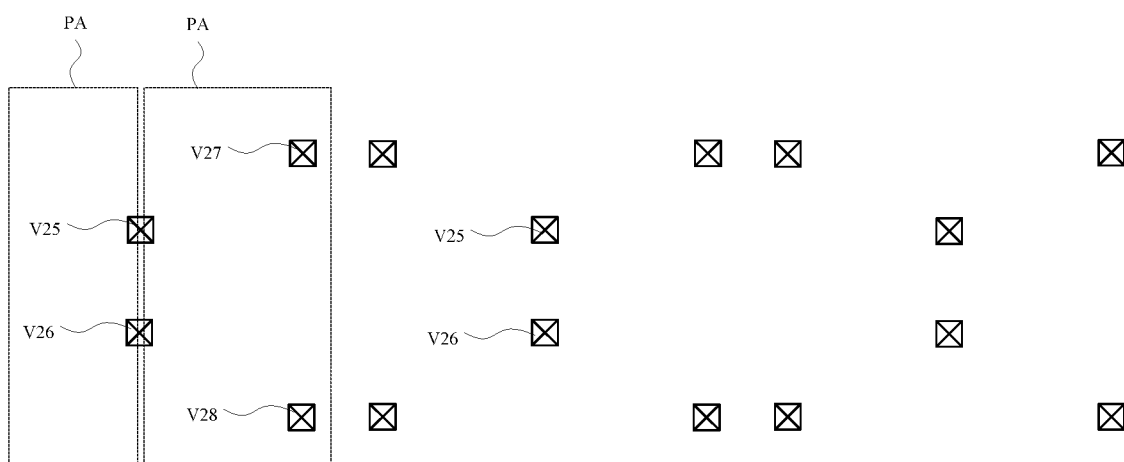


图 23A

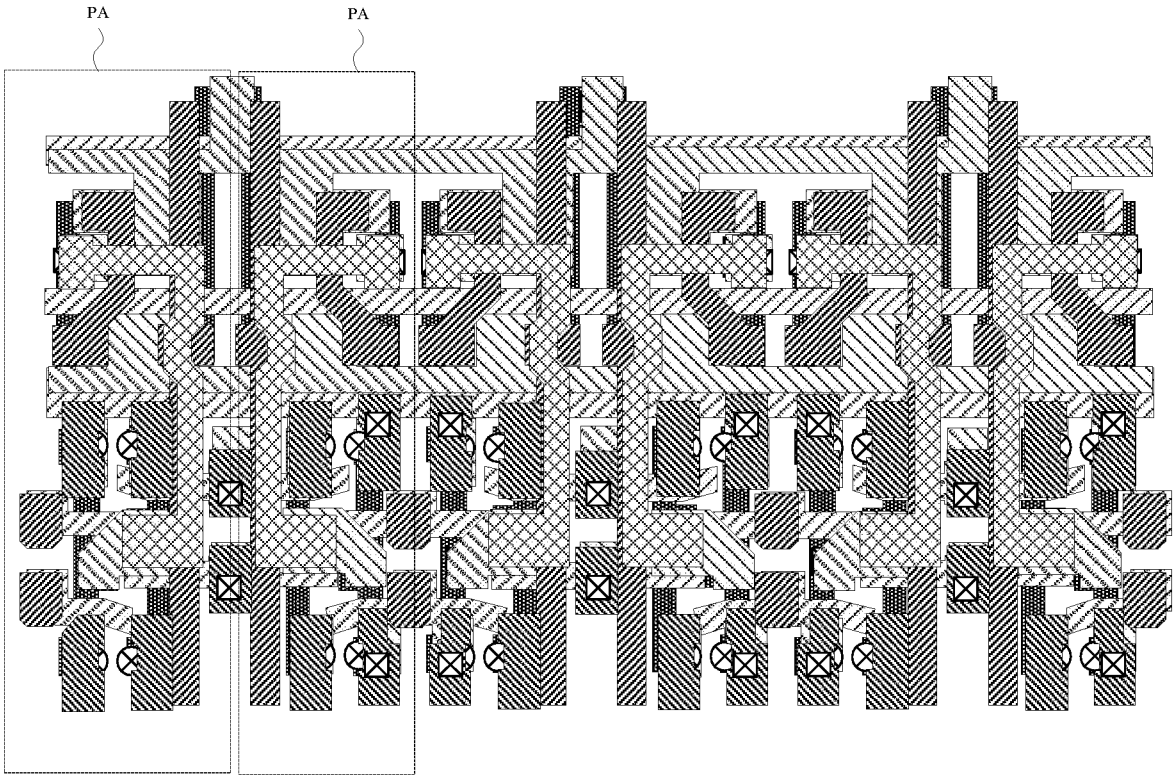


图 23B

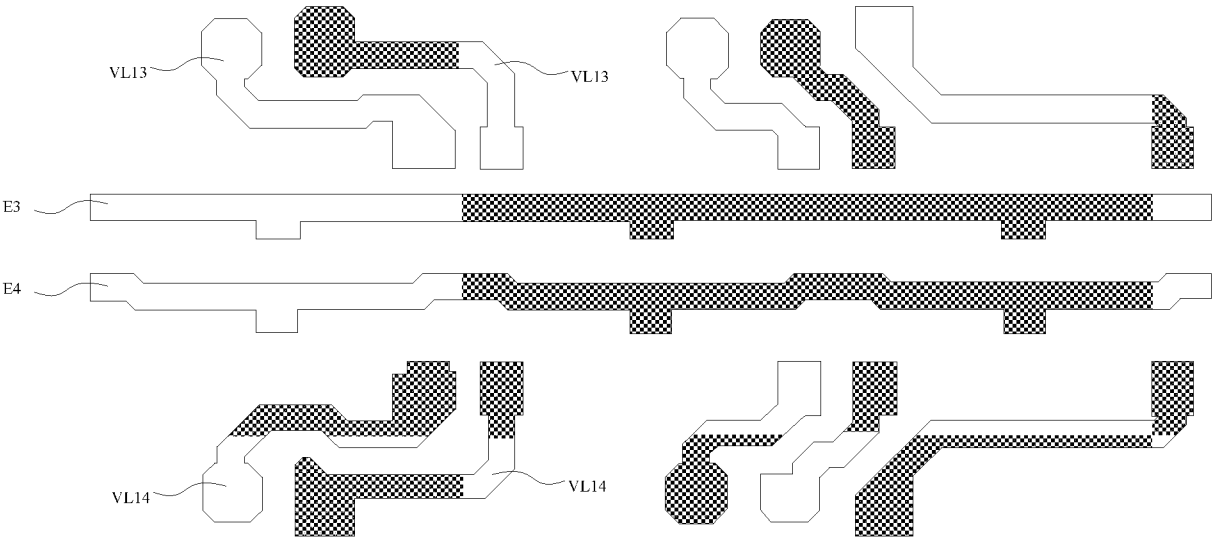


图 24A

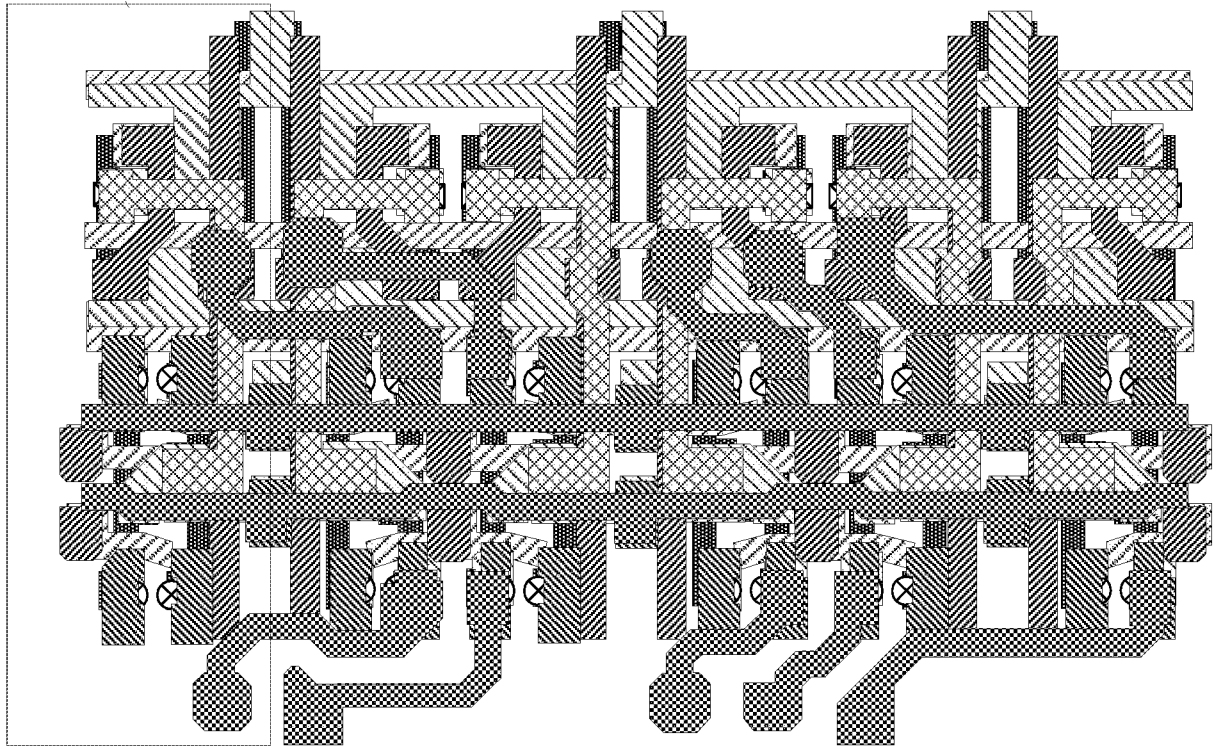


图 24B

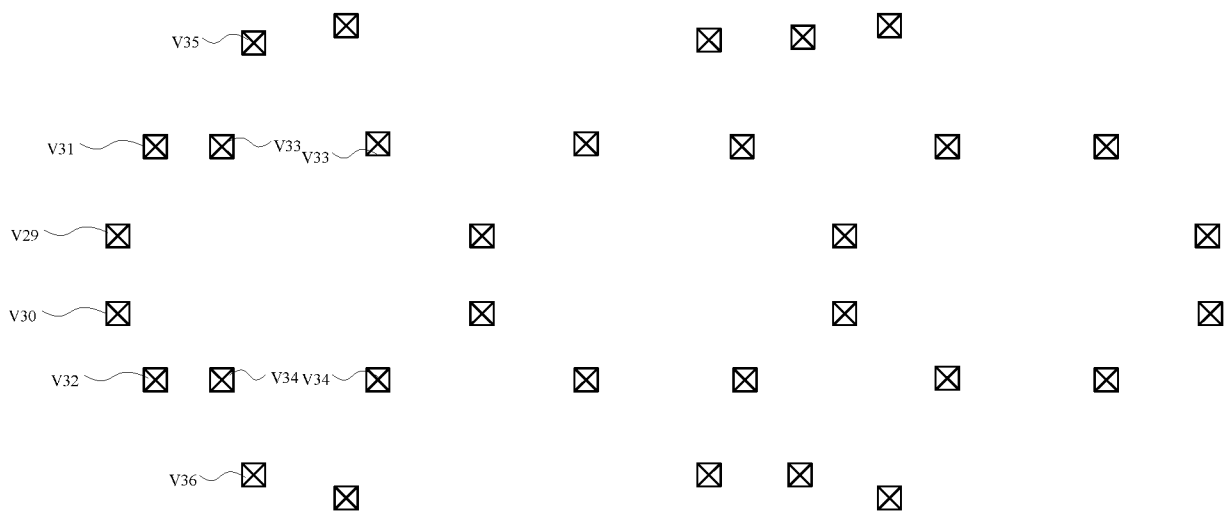


图 25A

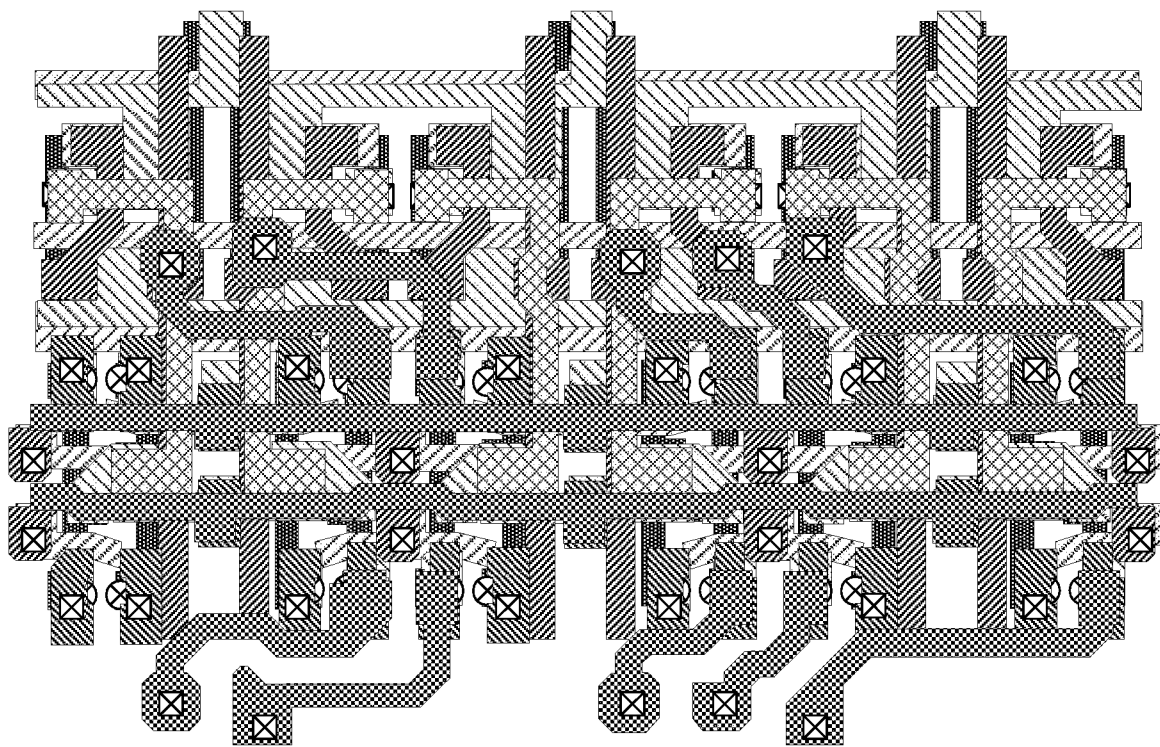


图 25B

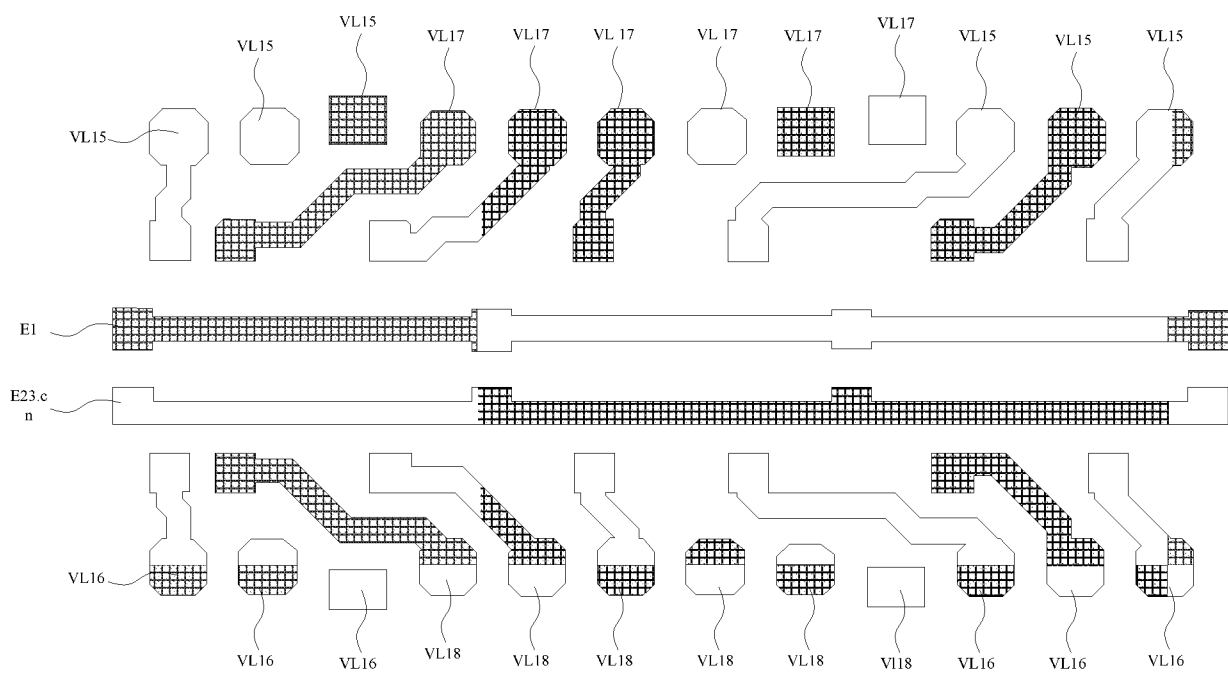


图 26A

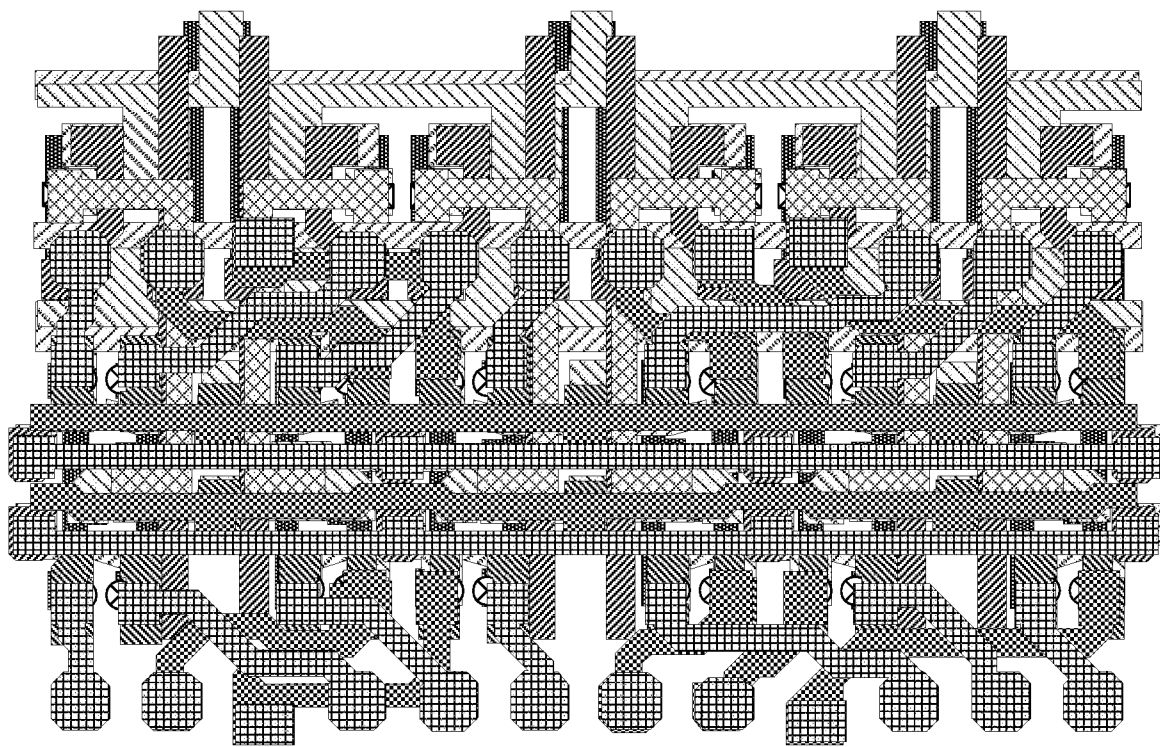


图 26B



图 27A

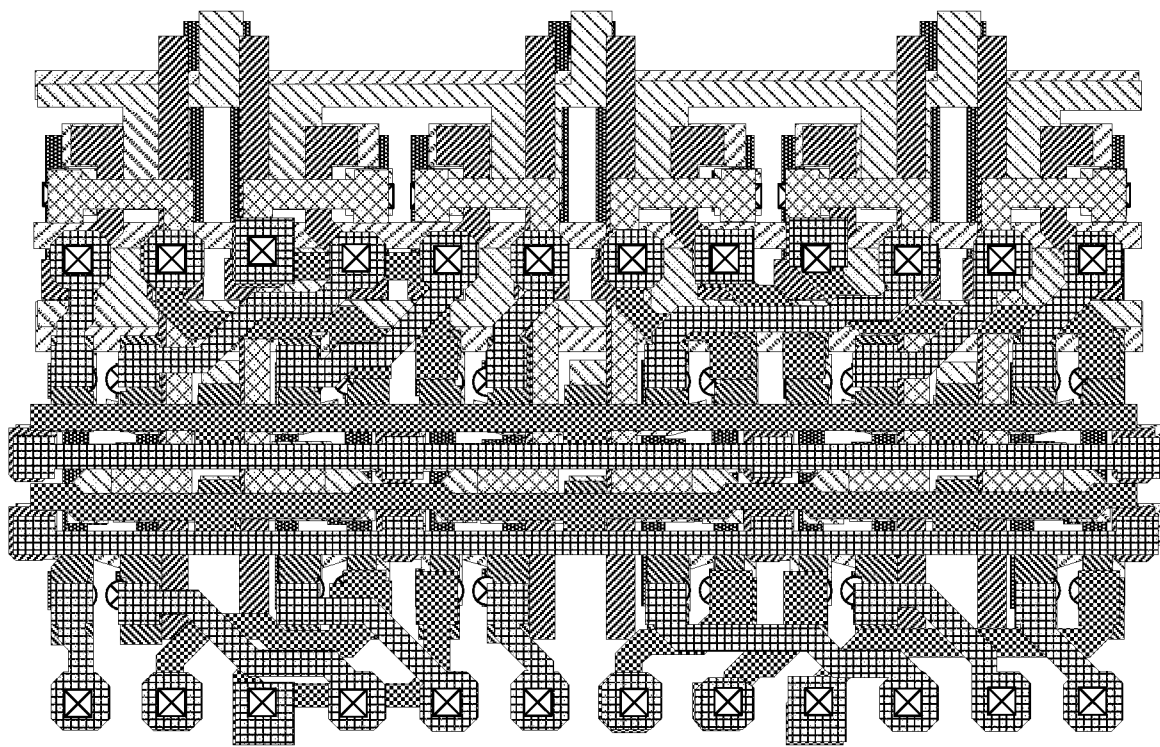


图 27B

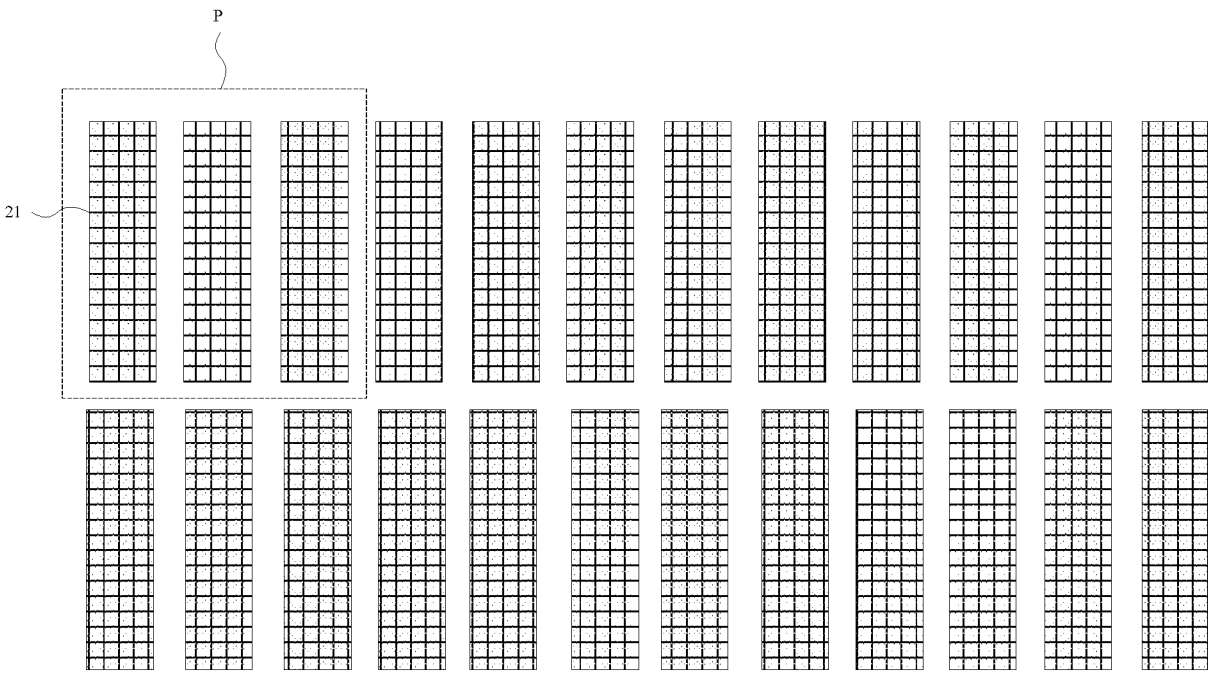


图 28A

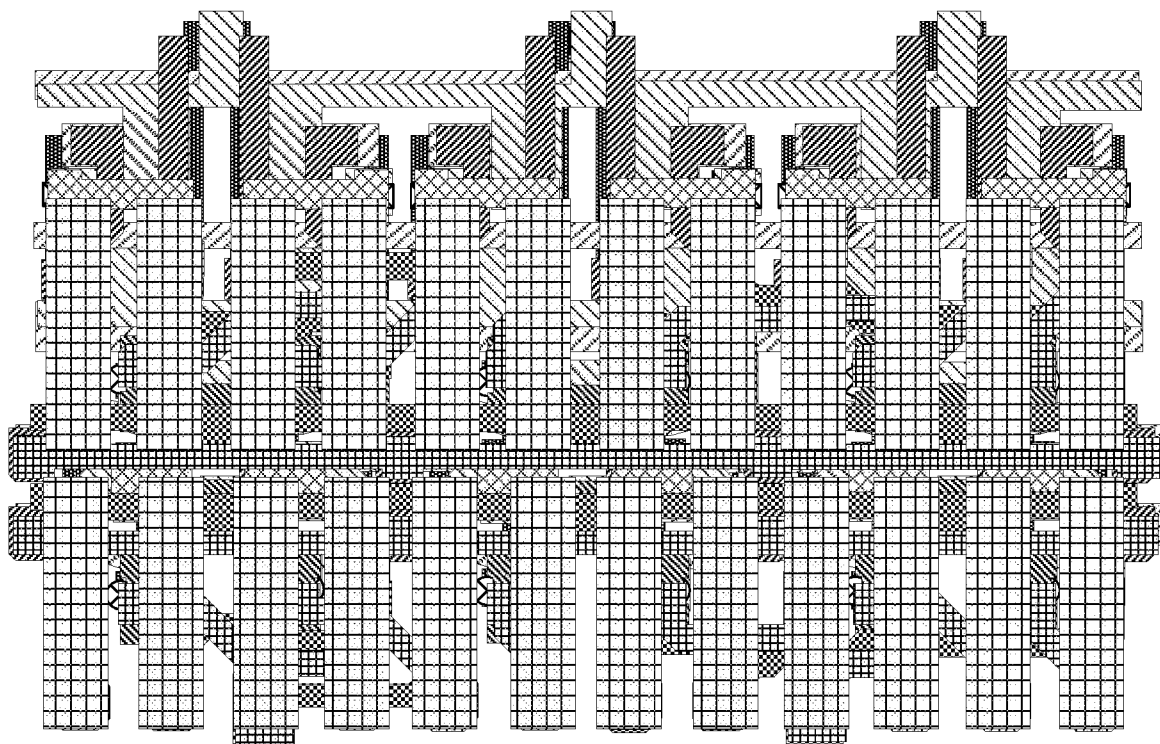


图 28B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120001

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2016.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, ENTXT, VEN: 两个, 三个, 第二, 第三, 多个, 像素, 象素, 发光, 二极管, 共享, 公共, 公用, 共用, 复用, 时分, 分时, 驱动, 电路, 相同, 同样, 同一, 一样, 颜色, 色彩, two, three, many, second, third, +pixel?, ?led?, diode?, light+, el?, common, shar+, multiplex+, time, public, dirv+, circuit, same, colo?r

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2013129216 A1 (SHARP K. K.) 06 September 2013 (2013-09-06) description, pages 8-28, and figures 1-20	1-21
X	CN 106782301 A (TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 31 May 2017 (2017-05-31) description, pages 2-8, and figures 1-11	1-21
X	CN 1779765 A (SAMSUNG SDI CO., LTD.) 31 May 2006 (2006-05-31) description, pages 5-23, and figures 2-15	1-21
X	CN 104464644 A (BOE TECHNOLOGY GROUP CO., LTD.) 25 March 2015 (2015-03-25) description, pages 2-4, and figures 1a-5	1-21
X	US 2021264848 A1 (SAMSUNG ELECTRONICS CO., LTD.) 26 August 2021 (2021-08-26) description, pages 3-36, and figures 1-60	1-21
X	US 2009315874 A1 (KIM, E. A.) 24 December 2009 (2009-12-24) description, pages 2-4, and figures 1-5	1-21
X	US 2015015468 A1 (SAMSUNG DISPLAY CO., LTD.) 15 January 2015 (2015-01-15) description, pages 4 -12, and figures 1-11	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 June 2022

Date of mailing of the international search report

01 July 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120001

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108604436 A (SHENZHEN YUNYINGGU TECHNOLOGY CO., LTD.) 28 September 2018 (2018-09-28) entire document	1-21
A	CN 106297672 A (BOE TECHNOLOGY GROUP CO., LTD.) 04 January 2017 (2017-01-04) entire document	1-21
A	CN 105528997 A (TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 27 April 2016 (2016-04-27) entire document	1-21
A	US 2015022508 A1 (SAMSUNG DISPLAY CO., LTD.) 22 January 2015 (2015-01-22) entire document	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/120001

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2013129216	A1	06 September 2013	None			
CN	106782301	A	31 May 2017	None			
CN	1779765	A	31 May 2006	KR	20060056786	A	25 May 2006
CN	104464644	A	25 March 2015	EP	3244390	A1	15 November 2017
				US	2016307510	A1	20 October 2016
				WO	2016110021	A1	14 July 2016
US	2021264848	A1	26 August 2021	WO	2021167292	A1	26 August 2021
US	2009315874	A1	24 December 2009	KR	20090131405	A	29 December 2009
US	2015015468	A1	15 January 2015	KR	20150006729	A	19 January 2015
CN	108604436	A	28 September 2018	EP	3403257	A1	21 November 2018
				EP	3403256	A2	21 November 2018
				WO	2016141777	A2	15 September 2016
				CN	108885855	A	23 November 2018
				WO	2017121166	A1	20 July 2017
				US	2018293942	A1	11 October 2018
				US	2017200412	A1	13 July 2017
CN	106297672	A	04 January 2017	US	2019340979	A1	07 November 2019
				WO	2018076745	A1	03 May 2018
CN	105528997	A	27 April 2016	DE	102016213263	A1	10 August 2017
				US	2017229056	A1	10 August 2017
US	2015022508	A1	22 January 2015	KR	20150009732	A	27 January 2015

国际检索报告

国际申请号

PCT/CN2021/120001

A. 主题的分类

G09G 3/32 (2016.01) i; H01L 27/32 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G3; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS, CNTXT, ENTXT, ENTXT, VEN: 两个, 三个, 第二, 第三, 多个, 像素, 象素, 发光, 二极管, 共享, 公共, 公用, 共用, 复用, 时分, 分时, 驱动, 电路, 相同, 同样, 同一, 一样, 颜色, 色彩, two, three, many, second, third, +pixel?, ?led?, diode?, light+, el?, common, shar+, multiplex+, time, public, dirv+, circuit, same, colo?r

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	WO 2013129216 A1 (SHARP KK) 2013年9月6日 (2013 - 09 - 06) 说明书第8页-第28页, 图1-20	1-21
X	CN 106782301 A (上海天马有机发光显示技术有限公司 等) 2017年5月31日 (2017 - 05 - 31) 说明书第2页-第8页, 图1-11	1-21
X	CN 1779765 A (三星SDI株式会社) 2006年5月31日 (2006 - 05 - 31) 说明书第5页-第23页, 图2-15	1-21
X	CN 104464644 A (京东方科技集团股份有限公司) 2015年3月25日 (2015 - 03 - 25) 说明书第2页-第4页, 图1a-5	1-21
X	US 2021264848 A1 (SAMSUNG ELECTRONICS CO LTD) 2021年8月26日 (2021 - 08 - 26) 说明书第3页-第36页, 图1-60	1-21
X	US 2009315874 A1 (KIM EUN-AH) 2009年12月24日 (2009 - 12 - 24) 说明书第2页-第4页, 图1-5	1-21
X	US 2015015468 A1 (SAMSUNG DISPLAY CO LTD) 2015年1月15日 (2015 - 01 - 15) 说明书第4页-第12页, 图1-11	1-21

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年6月20日

国际检索报告邮寄日期

2022年7月1日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王超

电话号码 (86-10)62085834

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 108604436 A (深圳云英谷科技有限公司) 2018年9月28日 (2018 - 09 - 28) 全文	1-21
A	CN 106297672 A (京东方科技集团股份有限公司) 2017年1月4日 (2017 - 01 - 04) 全文	1-21
A	CN 105528997 A (上海天马有机发光显示技术有限公司 等) 2016年4月27日 (2016 - 04 - 27) 全文	1-21
A	US 2015022508 A1 (SAMSUNG DISPLAY CO LTD) 2015年1月22日 (2015 - 01 - 22) 全文	1-21

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/120001

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
WO	2013129216	A1	2013年9月6日	无			
CN	106782301	A	2017年5月31日	无			
CN	1779765	A	2006年5月31日	KR	20060056786	A	2006年5月25日
CN	104464644	A	2015年3月25日	EP	3244390	A1	2017年11月15日
				US	2016307510	A1	2016年10月20日
				WO	2016110021	A1	2016年7月14日
US	2021264848	A1	2021年8月26日	WO	2021167292	A1	2021年8月26日
US	2009315874	A1	2009年12月24日	KR	20090131405	A	2009年12月29日
US	2015015468	A1	2015年1月15日	KR	20150006729	A	2015年1月19日
CN	108604436	A	2018年9月28日	EP	3403257	A1	2018年11月21日
				EP	3403256	A2	2018年11月21日
				WO	2016141777	A2	2016年9月15日
				CN	108885855	A	2018年11月23日
				WO	2017121166	A1	2017年7月20日
				US	2018293942	A1	2018年10月11日
				US	2017200412	A1	2017年7月13日
CN	106297672	A	2017年1月4日	US	2019340979	A1	2019年11月7日
				WO	2018076745	A1	2018年5月3日
CN	105528997	A	2016年4月27日	DE	102016213263	A1	2017年8月10日
				US	2017229056	A1	2017年8月10日
US	2015022508	A1	2015年1月22日	KR	20150009732	A	2015年1月27日