

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2016年5月6日(06.05.2016)

W I P O | P C T

(10) 国際公開番号
W O 2016/067835 A 1

- (51) 国際特許分類 :
H02M 7/48 (2007.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号 : PCT/JP20 15/078 160
- (22) 国際出願日 : 2015年10月5日(05.10.2015)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :
特願 2014-221265 2014年10月30日(30.10.2014) JP
- (71) 出願人 : ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者 : 大嶽 浩隆(OTAKE, Hirotaka); 〒6158585
京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人 : 三好 秀禾, 外(MIYOSHI, Hidekazu et al); 〒1050001 東京都港区虎ノ門一丁目2番8号
虎ノ門琴平タワー Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, ML, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

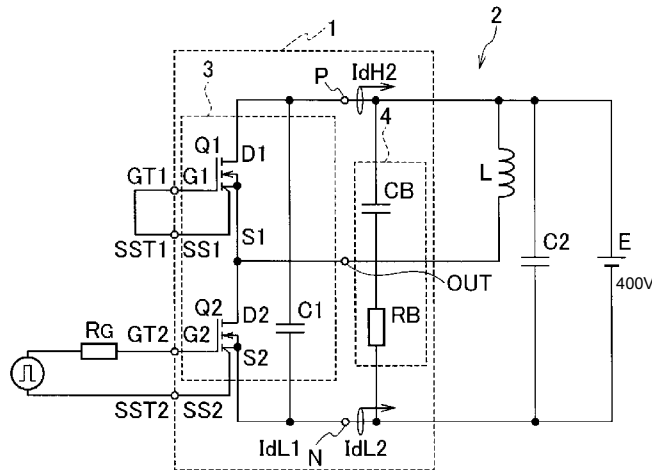
添付公開書類 :

- 国際調査報告 (条約第21条(3))

(54) Title: POWER MODULE AND POWER CIRCUIT

(54) 発明の名称 : パワーモジュールおよびパワー回路

[図b]



(57) Abstract: This power module (1) is provided with: a bridge unit (3) having a bridge circuit configured with a plurality of SiC-MOSFETs Q1-Q2, and an embedded capacitor C1 connected across to both ends of the bridge circuit; a positive power terminal P and a negative power terminal N, each having one end respectively connected to both ends of the bridge unit (3) and the other end externally exposed; and a snubber circuit (RB·CB)(4) connected across to the exposed sides of the positive power terminal P and the negative power terminal N. This power circuit (2) is provided with: the power module (1); and a smoothing capacitor C2 connected to the snubber circuit (4) in parallel. The present invention can provide the power module and the power circuit by which both low parasitic inductance and low noise are achieved.

(57) 要約 :

[続葉有]



W 2016/06 835 A1

パワーモジュール (1) は、複数の SiC-MOSFET Q1・Q2 によって構成されたブリッジ回路とブリッジ回路の両端に跨るように接続された内蔵コンデンサ C1 とを有するブリッジ部 (3) と、ブリッジ部 (3) の両端にそれぞれ一端が接続され、他端が外部に露出した正側電力端子 P および負側電力端子 N と、正側電力端子 P および負側電力端子 N の露出された側に跨るように接続されたスナバ回路 (RB・CB) (4) とを備え、パワー回路 (2) は、パワーモジュール (1) と、スナバ回路 (4) に並列に接続された平滑コンデンサ C2 を備える。低寄生インダクタンスと低ノイズを両立させたパワーモジュールおよびパワー回路を提供することができる。

明 細 書

発明の名称 : パワーモジュールおよびパワー回路

技術分野

[0001] 本実施の形態は、パワーモジュールおよびパワー回路に関する。

背景技術

[0002] 炭化ケイ素 (S i C :Silicon Carbide) は多くの機関で研究開発され、すでに複数の企業からパワーデバイス製品として世に供給されている。ワイドバンドギャップ半導体であるS i Cを用いて作られたパワーデバイスの特長として、従来のS iパワーデバイスよりも優れた低オン抵抗、高速スイッチングおよび高温動作などを挙げるができる。

[0003] しかし、その高速スイッチング性を活用し大電流を高周波でスイッチさせるパワーモジュールを作製する場合、内蔵するパワーデバイスに掛かる電圧サージ量に強く影響するリンググループの寄生インダクタンスが十分に低減できていないと電圧サージによるパワーデバイスのスイッチング損失の増加やアバランシェ降伏、帰還容量への電流流入に起因するゲート誤動作などの問題を引き起こす。

[0004] パワーモジュールの寄生インダクタンスの低減方法の1つとして、モジュール内の配線バス (B U S) をラミネート配線にする手法があるが、トランスファーマールドタイプのパワーモジュールの場合はモールド成型する際に金型で端子を抑えるなどの方法で被成型物を固定する関係から特に外部露出端子部周辺にラミネート配線を導入することが困難であり、また端子間の沿面距離確保の観点から見ても、端子の寄生インダクタンスがネックになる。

[0005] その解決方法として、端子接続部よりブリッジに近い側に内蔵コンデンサを配置することによって、外部露出端子を含まず、オフ状態の半導体素子と低インダクタンスの閉ループを形成できる回路部を作り、電圧サージを抑制することができる。

先行技術文献

特許文献

- [0006] 特許文献1 :特開平 10 — 3 0 8 5 1 0 号公報
特許文献2 :国際公開第W O 2 0 1 2 / 0 7 3 5 7 1 号
特許文献3 :特開 2 0 1 4 - 3 0 2 8 6 号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、発明者は、誘導負荷のスイッチ回路のシミュレーションにおいて内蔵コンデンサの効果を確認したところ、パワーデバイス自身に掛かる電圧・電流サージは改善される一方、端子部に導通する電流についてノイズ源となり得る大きな電流振動を見出した。
- [0008] 本実施の形態は、低寄生インダクタンスと低ノイズを両立させたパワーモジュールおよびパワー回路を提供することにある。

課題を解決するための手段

- [0009] 本実施の形態の一態様によれば、複数のトランジスタ素子によって構成されたブリッジ回路と前記ブリッジ回路の両端に跨るように接続された内蔵コンデンサとを有するブリッジ部と、前記ブリッジ部の両端にそれぞれ一端が接続され、他端が前記ブリッジ部を封止する封止部の外部に露出した正側電力端子および負側電力端子と、前記正側電力端子および前記負側電力端子の露出された側に跨るように接続されたスナバ回路とを備えるパワーモジュールが提供される。
- [0010] 本実施の形態の他の態様によれば、主基板と、前記主基板上に配置され、正側電力端子に接続された第1電極パターンと、前記主基板上に配置され、負側電力端子に接続された第2電極パターンと、前記主基板上に配置され、出力端子に接続された第3電極パターンと、前記第1電極パターン上に第1出力が配置された第1トランジスタ素子と、前記第3電極パターン上に第2出力が配置された第2トランジスタ素子と、前記第1電極パターンと前記第2電極パターンとの間に配置された内蔵コンデンサと、前記正側電力端子と

前記負側電力端子の前記第1トランジスタ素子および前記第2トランジスタ素子を封止する封止部から露出された側に跨るように接続されたスナバ回路とを備えるパワーモジュールが提供される。

[001 1] 本実施の形態の他の態様によれば、複数のトランジスタ素子によって構成されたブリッジ回路と前記ブリッジ回路の両端に跨るように接続された内蔵コンデンサとを有するブリッジ部と、前記ブリッジ部の両端にそれぞれ一端が接続され、他端が前記ブリッジ部を封止する封止部の外部に露出した正側電力端子および負側電力端子と、前記正側電力端子および前記負側電力端子の露出された側に跨るように接続され、前記正側電力端子および前記負側電力端子の電流ノイズを低減する電流ノイズ低減回路とを備えるパワーモジュールが提供される。

[001 2] 本実施の形態の他の態様によれば、上記のパワーモジュールと、前記スナバ回路に並列に接続された平滑コンデンサとを備えるパワー回路が提供される。

発明の効果

[001 3] 本実施の形態によれば、低寄生インダクタンスと低ノイズを両立させたパワーモジュールおよびパワー回路を提供することができる。

図面の簡単な説明

[0014] [図1]基本技術に係るパワーモジュールを備えるパワー回路であって、ハーフブリッジ回路の模式的回路構成図。

[図2]基本技術に係るパワーモジュールを備えるパワー回路において、デバイス部を導通する電流 $I_{dH1} \cdot I_{dL1}$ の動作波形例。

[図3]基本技術に係るパワーモジュールを備えるパワー回路において、電力端子 P・N を導通する電流 $I_{dL2} \cdot I_{dH2}$ の動作波形例。

[図4]基本技術に係るパワーモジュールを備えるパワー回路において、ローサイド側 SiC-MOSFET Q2 のターンオン時のスイッチング動作の説明図。

[図5]基本技術に係るパワーモジュールを備えるパワー回路において、ローサ

イド側 SiC-MOSFET Q2 のターンオフ時のスイッチング動作の説明図。

[図6] 実施の形態に係るパワーモジュールを備えるパワー回路であって、ハーフブリッジ回路の模式的回路構成図。

[図7] 実施の形態に係るパワーモジュールを備えるパワー回路において、スナバ回路 (RB・CB) が接続されていない場合の電力端子 P・N を導通する電流 I_{dH2} の I_{dL2} 動作波形例。

[図8] 実施の形態に係るパワーモジュールを備えるパワー回路において、スナバ回路 (RB・CB) を接続した場合の電力端子 P・N を導通する電流 I_{dH2} ・ I_{dL2} の動作波形例。

[図9] 実施の形態に係るパワーモジュールを備えるパワー回路において、(A) 内蔵コンデンサ C1 がいない場合、(B) 内蔵コンデンサ C1 有り・スナバ回路 (RB・CB) がいない場合、(C) 内蔵コンデンサ C1 有り・スナバ回路 (RB・CB) が有る場合のドレイン・ソース間サージ電圧 V_{DSRG} のピーク値の比較例。

[図10] 実施の形態に係るパワーモジュールを備えるパワー回路において、(D) 内蔵コンデンサ C1 有り・スナバ回路 (RB・CB) がいない場合、(E) 内蔵コンデンサ C1 有り・スナバ回路 (RB・CB) が有る場合の電力端子 P・N を導通する電流 I_{dH2} ・ I_{dL2} のドレイン・ソース間サージ電流 I_{DSRG} のピーク値 I_{dH2P} ・ I_{dL2P} および電流振動の時定数 τ で H ・ L の比較例。

[図11] 実施の形態に係るパワーモジュールを備えるパワー回路において、電力端子 P・N を導通する電流 I_{dH2} ・ I_{dL2} のピーク値 I_{dH2P} ・ I_{dL2P} のスナバ抵抗 RB 依存性。

[図12] 実施の形態の変形例に係るパワーモジュールを備えるパワー回路であって、ハーフブリッジ回路の模式的回路構成図。

[図13] 実施の形態の変形例に係るパワーモジュールを備えるパワー回路において、スナバ回路 (RB・CB) および並列コンデンサ CP を接続した場合

の電力端子 P・N を導通する電流 I_{dH2} ・ I_{dL2} の動作波形例。

[図14] 実施の形態の変形例に係るパワーモジュールを備えるパワー回路において、(F) 並列コンデンサ C_P がない場合、(G) 並列コンデンサ C_P が有る場合の電力端子 P・N を導通する電流 I_{dH2} ・ I_{dL2} のドレイン - ソース間サージ電流 I_{DSRG} のピーク値 I_{dH2P} ・ I_{dL2P} の比較例。

[図15] 実施の形態に係るパワーモジュールの内部構造例 1 であって、内蔵コンデンサ C₁ および外付けスナバ回路 (R_B・C_B) を有する例において、樹脂層を形成前の模式的上面図。

[図16] 実施の形態に係るパワーモジュールの内部構造例 1 の変形例であって、内蔵コンデンサ C₁₁・C₁₂ および外付けスナバ回路 (R_B・C_B) を有する例の樹脂層を形成前の模式的上面図。

[図17] 実施の形態に係るパワーモジュールであって、樹脂層を形成後の模式的鳥瞰構成図。

[図18] 実施の形態に係るパワーモジュールの内部構造例 2 であって、内蔵コンデンサ C₁ および外付けスナバ回路 (R_B・C_B) を有する例において、樹脂層を形成前の模式的上面図。

[図19] 図18の I-I 線に沿う模式的断面構造図。

[図20] 実施の形態に係るパワーモジュールの内部構造例 2 において、ラミネート配線による電流キャンセルの様子を説明する模式図。

[図21] 実施の形態に係るパワーモジュールを備えるパワー回路に適用可能な半導体デバイスの例であって、SiC-DIMOSFET の模式的断面構造図。

[図22] 実施の形態に係るパワーモジュールを備えるパワー回路に適用可能な半導体デバイスの例であって、SiC-TMOSFET の模式的断面構造図。

発明を実施するための形態

[0015] 次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。但し、

図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[001 6] また、以下に示す実施の形態は、技術的思想を具体化するための装置や方法を例示するものであって、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[001 7] [基本技術]

基本技術に係るパワーモジュール 1 A を備えるパワー回路 2 A であって、ハーフブリッジ回路の模式的回路構成は、図 1 に示すように表される。

[001 8] 基本技術に係るパワーモジュール 1 A を備えるパワー回路 2 A は、図 1 に示すように、複数の SiC—絶縁ゲート電界効果トランジスタ (SiC—MOSFET : SiC—Metal-Oxide-Semiconductor Field Effect Transistor) Q1・Q2 によって構成されたブリッジ回路とブリッジ回路の両端に跨るように接続された内蔵コンデンサ C1 とを有するブリッジ部 3 と、ブリッジ部 3 の両端にそれぞれ一端が接続され、他端が外部に露出した電力端子 P・N と、電力端子 P・N の露出された側に跨るように並列に接続された平滑コンデンサ C2 とを備える。

[001 9] 基本技術に係るパワーモジュール 1 A を備えるパワー回路 2 A においては、図 1 に示すように、SiC_MOSFET Q1 のソース S1 および SiC_MOSFET Q2 のドレイン D2 が電氣的に接続されてハーフブリッジ回路が構成されている。SiC_MOSFET Q1・Q2 のゲート G1・G2、ソースセンス SS1・SS2 は、外部取り出しのゲート端子 GT1・GT2、ソースセンス端子 SST1・SST2 に接続されている。SiC_MOSFET Q1 のドレイン D1 は、電力端子 P に接続され、SiC_MOSFET Q2 のソース S2 は、電力端子 N に接続されている。また、

S i C - M O S F E T Q 1 のソース S 1 および S i C _ M O S F E T Q 2 のドレイン D 2 は、出力端子 O U T に接続されている。また、S i C _ M O S F E T Q 1 のドレイン D 1 - S i C _ M O S F E T Q 2 のソース S 1 間には、内蔵コンデンサ C 1 が接続され、出力端子 O U T と電力端子 P 間には負荷リアクトル L が外部接続され、電力端子 P ・ N 間には、電源 E が外部接続されている。

[0020] ここで、図 1 において、電源 E に 4 0 0 V を印加してローサイド側の S i C - M O S F E T Q 2 を動作させ、負荷電流 4 7 0 A でのターンオフ/ ターンオンを行ったシミュレーション結果は図 2 および図 3 に示すように表される。すなわち、ハイサイド側の第 1 S i C _ M O S F E T Q 1 のゲート端子 G T 1 ・ソースセンス端子 S S T 1 間を短絡し、ローサイド側の第 2 S i C - M O S F E T Q 2 のゲート端子 G T 2 ・ソースセンス端子 S S T 2 間にゲート抵抗 R_G を介してパルス電圧を印加した場合のデバイス部を導通する電流 I_{dL1} ・ I_{dH1} の動作波形のシミュレーション結果は、図 2 に示すように表され、電力端子 P ・ N を導通する電流 I_{dH2} ・ I_{dL2} の動作波形のシミュレーション結果は、図 3 に示すように表される。

[0021] 図 1 に示される負荷リアクトル L のスイッチングシミュレーションにおいて、内蔵コンデンサ C 1 の効果を確認したところ、S i C _ M O S F E T Q 1 ・ Q 2 自身に掛かる電圧、電流サージが大きく改善されることが確認された。

[0022] 一方で、図 3 に示すように、電力端子 P ・ N に流入、または流出する電流 (I_{dH2} ・ I_{dL2}) がローサイド側の S i C _ M O S F E T Q 2 がスイッチング動作をする瞬間に大きく振動する現象が見い出された。この電流振動は実測においても確認されている。このような振動現象は、パワー回路 2 A のデバイス部ではなく電力端子 P ・ N において観測される現象である。

[0023] 基本技術に係るパワーモジュール 1 A を備えるパワー回路 2 A において、ローサイド側 S i C - M O S F E T Q 2 のターンオン時のスイッチング動作の説明図は、図 4 に示すように表され、ローサイド側 S i C - M O S F E

T Q2のターンオフ時のスイッチング動作の説明は、図5に示すように表される。

[0024] ローサイド側SiC-MOSFET Q2がターンオンした直後の振動現象は、図4に示すように、内蔵コンデンサC1が負荷電流を供給する担い手となって電荷を放出し、電圧降下した分が外部回路から補充される際に、内蔵コンデンサC1と外部回路の間でリングングが発生するためである。

[0025] 一方、ローサイド側SiC-MOSFET Q2がターンオフした直後の振動現象は、図5に示すように、ハイサイド側SiC-MOSFET Q1に流入した負荷電流が内蔵コンデンサC1と外部回路を通る経路で流れたために内蔵コンデンサC1に余剰電荷が溜まり、それを放出する過程で内蔵コンデンサC1と外部回路の間でリングングが発生するためである。

[0026] このような振動現象は、SiC-MOSFET Q1・Q2のデバイス部の電圧、電流波形には現れず、スイッチング損失やアバランシェ降伏、ゲート・ドレイン間帰還容量への電流流入に起因するゲート誤動作は抑制できる。一方、電力端子P・Nの周辺に発生する大きな電流電圧振動は、ノイズとなって制御回路の誤動作を誘発する。また、平滑コンデンサC2の電圧が安定しない状態でスイッチを行うと予期せぬ大きな電圧をスイッチする危険があり、スイッチング損失が増加して高周波動作の障害にもなる。後者については特に高周波動作によってパッシブ素子を小型化することでシステム全体の小型軽量低コスト化を阻害する要因になる。この問題は小型で高速スイッチング・高周波・大電流動作させることができるSiC系半導体素子を使ったパワー回路においてより深刻になるため、ブリッジ部3内に内蔵コンデンサC1を搭載するだけでは不十分である。

[0027] [実施の形態]

実施の形態に係るパワーモジュール1を備えるパワー回路2であって、ハーフブリッジ回路の模式的回路構成は、図6に示すように表される。なお、実施の形態に係るパワーモジュール1を備えるパワー回路2は、ハーフブリッジ回路に限定されず、フルブリッジ回路、或いは3相ブリッジ回路などに

においても適用可能である。

[0028] 実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 は、図 6 に示すように、複数の SiCMOSFET $Q_1 \cdot Q_2$ によって構成されたブリッジ回路とブリッジ回路の両端に跨るように接続された内蔵コンデンサ C_1 とを有するブリッジ部 3 と、ブリッジ部 3 の両端にそれぞれ一端が接続され、他端が外部に露出した電力端子 $P \cdot N$ と、電力端子 $P \cdot N$ の露出された側に跨るように直列接続されたスナバ回路 4 とを備える。

[0029] また、実施の形態に係るパワー回路 2 は、図 6 に示すように、スナバ回路 4 に並列に接続された平滑コンデンサ C_2 を備えていても良い。

[0030] また、スナバ回路 4 は、直列接続されたスナバコンデンサ C_B とスナバ抵抗 R_B とを備えていても良い。

[0031] また、ブリッジ部 3 は、ハーフブリッジ回路、フルブリッジ回路、もしくは 3 相ブリッジ回路のいずれかを備えていても良く、内蔵コンデンサ C_1 は複数のブリッジ毎に別々のコンデンサを接続していても良い。

[0032] 実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 において、主に負荷電流用の電荷放出または負荷電流の流入によって電荷過不足が発生した内蔵コンデンサ C_1 は、平滑コンデンサ C_2 などと共振を起こす。さらに、ブリッジ部 3 の両端間に接続されたスナバ回路 4 により形成される閉ループの中で共振が発生し、スナバ回路 4 のスナバ抵抗 R_B でエネルギーが消費され振動が収束する。通常、RC スナバ回路は 1 スイッチ素子に並列に接続する形で使われるが、実施の形態に係るパワー回路 2 においては、スナバ回路 4 はブリッジ部 3 に並列に挿入されることで、ブリッジ部 3 の両端間に発生する電流振動を急速に抑制可能である。

[0033] これにより、大電流を供給する平滑コンデンサ C_2 や電源電圧を供給する電源 E の内部インピーダンスを増加させずにリングングが素早く収束させることができ、ノイズを低減可能である。また、平滑コンデンサ C_2 の両端の電圧が急速に安定化するため、実施の形態に係るパワー回路 2 においては、高周波動作が可能になる。

[0034] 実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 においては、図 6 に示すように、SiC_MOSFET Q1 のソース S1 および SiC_MOSFET Q2 のドレイン D2 が電氣的に接続されてハーフブリッジ回路が構成されている。SiC_MOSFET Q1・Q2 のゲート G1・G2、ソースセンス SS1・SS2 は、外部取り出しのゲート端子 GT1・GT2、ソースセンス端子 SST1・SST2 に接続されている。SiC_MOSFET Q1 のドレイン D1 は、電力端子 P に接続され、SiC_MOSFET Q2 のソース S2 は、電力端子 N に接続されている。また、SiC_MOSFET Q1 のソース S1 および SiC_MOSFET Q2 のドレイン D2 は、出力端子 OUT に接続されている。また、SiC_MOSFET Q1 のドレイン D1 - SiC_MOSFET Q2 のソース S2 間には、内蔵コンデンサ C1 が接続され、電力端子 P・N 間には、スナバコンデンサ CB・スナバ抵抗 RB の直列回路からなるスナバ回路 4 および平滑コンデンサ C2 が外部接続されている。また、出力端子 OUT と電力端子 P 間には負荷リアクトル L が接続され、電力端子 P・N 間には、電源 E が供給される。

[0035] ここで、数値例として、内蔵コンデンサ C1 の値は、例えば、 $1\ \mu\text{F}$ であり、平滑コンデンサ C2 の値は、例えば、 $125\ \mu\text{F}$ であり、電源 E の値は、例えば、約 $400\ \text{V}$ である。また、スナバコンデンサ CB の値は、内蔵コンデンサ C1 の 10 倍以上が望ましく、例えば、 $10\ \mu\text{F}$ である。また、スナバ抵抗 RB の値には、電力端子 P・N を導通する電流 $I_{dH2} \cdot I_{dL2}$ のピーク値 $I_{dH2P} \cdot I_{dL2P}$ を実質的に最小化可能な抵抗値が存在し、例えば、上記条件においては約 $40\ \text{m}\Omega$ である。

[0036] 図 6 において、電源 E に $400\ \text{V}$ を印加してローサイド側の SiC_MOSFET Q2 を動作させ、負荷電流 $470\ \text{A}$ でのターンオフ/ ターンオンを行ったシミュレーション結果は図 7 および図 8 に示すように表される。すなわち、ハイサイド側の第 1 SiC_MOSFET Q1 のゲート端子 GT1・ソースセンス端子 SST1 間を短絡し、ローサイド側の第 2 SiC_M

OSFET Q2のゲート端子GT2・ソースセンス端子SST2間にゲート抵抗 R_G を介してパルス電圧を印加した場合の電力端子P・Nを導通する電流 I_{dL2} ・ I_{dH2} の動作波形のシミュレーション結果は、図7および図8に示すように表される。ここで、図7は、RCスナバ回路(RB・CB)が接続されていない場合の電力端子P・Nを導通する電流 I_{dH2} ・ I_{dL2} の動作波形例に対応し、図8は、RCスナバ回路(RB・CB)を接続した場合の電力端子P・Nを導通する電流 I_{dH2} ・ I_{dL2} の動作波形例に対応する。

[0037] また、電力端子P・Nを導通する電流 I_{dH2} ・ I_{dL2} の電流振動の時定数でH・てLは、図7および図8中の破線で示される包絡線の減衰時定数によって求めることができる。

[0038] また、電源Eに400Vを印加してローサイド側のSiC-MOSFET Q2を動作させ、負荷電流470Aでのターンオフ/ターンオンを行った場合をシミュレーションした際のドレイン・ソース間サージ電圧 V_{DSRG} のピーク値の比較例は、図9に示すように表される。すなわち、図9において、Aは、内蔵コンデンサC1がない場合のドレイン・ソース間サージ電圧 V_{DSRG} を表し、例えば、700V以上の値が得られている。これに対して、Bは、内蔵コンデンサC1が有り、かつスナバ回路(RB・CB)がない場合のドレイン・ソース間サージ電圧 V_{DSRG} を表し、例えば、約500Vの値が得られている。また、Cは、内蔵コンデンサC1が有り、かつスナバ回路(RB・CB)が有る場合のドレイン・ソース間サージ電圧 V_{DSRG} を表し、例えば、約500Vの値が得られている。

[0039] また、電力端子P・Nを導通する電流 I_{dH2} ・ I_{dL2} のドレイン・ソース間サージ電流 I_{DSRG} のピーク値 I_{dH2P} ・ I_{dL2P} および電流 I_{dH2} ・ I_{dL2} の電流振動の時定数でH・てLの比較例は、図10に示すように表される。すなわち、図10において、Dは、内蔵コンデンサC1が有り、かつスナバ回路(RB・CB)がない場合に対応し、Eは、内蔵コンデンサC1が有り、かつスナバ回路(RB・CB)が有る場合に対応している。

[0040] 内蔵コンデンサ C_1 が有り、かつスナバ回路 ($R_B \cdot C_B$) がない場合には、電力端子 $P \cdot N$ を導通する電流 $I_{dH2} \cdot I_{dL2}$ のドレイン・ソース間サージ電流 I_{DSRG} のピーク値 $I_{dH2P} \cdot I_{dL2P}$ は、例えば、約800 A・約790 Aであり、電流 $I_{dH2} \cdot I_{dL2}$ の電流振動の時定数 $\tau_H \cdot \tau_L$ は、例えば、約 $6.1 \mu s \cdot 約6.2 \mu s$ である。

[0041] 一方、内蔵コンデンサ C_1 が有り、かつスナバ回路 ($R_B \cdot C_B$) が有る場合には、電力端子 $P \cdot N$ を導通する電流 $I_{dH2} \cdot I_{dL2}$ のドレイン・ソース間サージ電流 I_{DSRG} のピーク値 $I_{dH2P} \cdot I_{dL2P}$ は、例えば、約740 A・約730 Aであり、電流 $I_{dH2} \cdot I_{dL2}$ の電流振動の時定数 $\tau_H \cdot \tau_L$ は、例えば、約 $1.5 \mu s \cdot 約1.5 \mu s$ である。

[0042] また、図6において、電力端子 $P \cdot N$ を導通する電流 $I_{dH2} \cdot I_{dL2}$ のピーク値 $I_{dH2P} \cdot I_{dL2P}$ のスナバ抵抗 R_B 依存性は、図11に示すように表される。図11においては、誘導負荷で400 V / 470 Aをスイッチングしており、スナバ回路4—平滑コンデンサ C_2 間の寄生インダクタンス L_{pp} の値は、例えば、約15 nH、寄生容量 C_{pp} の値は、例えば、約 $9.3 \mu F$ である。

[0043] 図11に示すように、スナバ抵抗 R_B の値が、例えば、数 $m\Omega$ 程度と小さい場合には、電力端子 $P \cdot N$ を導通する電流 $I_{dH2} \cdot I_{dL2}$ の振動を効果的に減衰することができず、ピーク値 $I_{dH2P} \cdot I_{dL2P}$ は、相対的に大きな値を示している。一方、スナバ抵抗 R_B の値が、例えば、1000 $m\Omega$ 程度と大きい場合には、開放状態に近くなるため、スナバ回路4が機能せず、ピーク値 $I_{dH2P} \cdot I_{dL2P}$ は、相対的に大きな値を示している。したがって、図11に示すように、スナバ抵抗 R_B の値には、ピーク値 $I_{dH2P} \cdot I_{dL2P}$ を実質的に最小化する抵抗値が存在しており、上記の数値例を有する図6の回路例では、スナバ抵抗 R_B は40 $m\Omega$ が最適値に近い値であることがわかる。

[0044] 図9・図10に示すように、スナバ回路4をブリッジ部3の電力端子 $P \cdot N$ 間に外部接続することで、デバイス部に掛かるドレイン・ソース間電圧のサ

ージ量をほとんど変えずにブリッジ部 3 に内蔵コンデンサ C 1 を内蔵させた場合でも電力端子 P・N に流れる電流の振動を素早く収束させることができ、ノイズの低減および高周波動作を可能にしている。

[0045] 実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 において、スナバ回路 4 のスナバコンデンサ C B の容量が小さすぎると急峻な立ち上がりをする電流に対してのインピーダンスが高くなり、電流経路にならなくなってしまうため、スナバコンデンサ C B の容量は、内蔵コンデンサ C 1 の容量以上であることが望ましい。

[0046] また、実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 において、スナバ回路 4 のスナバ抵抗 R B の抵抗値は小さすぎるとリングングの時定数が長くなって振動を減衰させる効果が得られず、大きすぎると電流が別の経路を流れるためやはり振動を減衰させる効果が得られない。

[0047] スナバ抵抗 R B の抵抗値は、リングングが発生する閉ループの中でもスナバ回路 4 と平滑コンデンサ C 2 の閉ループにおける寄生容量 C_{pp} と寄生インダクタンス L_{pp} から表される特性インピーダンス $Z_0 = (L_{pp} / C_{pp})^{1/2}$ に近い値を取ることが望ましい。例えば、寄生インダクタンス L_{pp} が 15 nH、寄生容量 C_{pp} が 9.3 μ F の閉ループであれば、抵抗値は約 40 m Ω の特性インピーダンス Z_0 となる。これにより平滑コンデンサ C 2 とスナバ回路 4 間で発生する電流振動がブリッジ部 3 側に与える影響を低減し、電流サージを抑制可能である。

[0048] 実施の形態によれば、低寄生インダクタンスと低ノイズを両立させたパワーモジュールおよびパワー回路を提供することができる。

[0049] (変形例)

実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 であって、ハーフブリッジ回路の模式的回路構成は、図 12 に示すように表される。なお、実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 においても、ハーフブリッジ回路に限定されず、フルブリッジ回路、或いは 3 相ブリッジ回路などにおいても適用可能である。

- [0050] 実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 は、図 12 に示すように、複数の SiCMOSFET Q1 - Q2 によって構成されたブリッジ回路とブリッジ回路の両端に跨るように接続された内蔵コンデンサ C1 とを有するブリッジ部 3 と、ブリッジ部 3 の両端にそれぞれ一端が接続され、他端が外部に露出した電力端子 P・N と、電力端子 P・N の露出された側に跨るように直列接続されたスナバ回路 4 とを備える。
- [0051] また、実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 は、図 12 に示すように、スナバ回路 4 に並列に接続された平滑コンデンサ C2 を備えていても良い。
- [0052] 実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 において、スナバ回路 4 は、図 12 に示すように、直列接続されたスナバコンデンサ CB とスナバ抵抗 RB とを備え、さらに、スナバ抵抗 RB に並列接続された並列コンデンサ CP を備えていても良い。
- [0053] また、ブリッジ部 3 は、ハーフブリッジ回路、フルブリッジ回路、もしくは 3 相ブリッジ回路のいずれかを備えていても良く、内蔵コンデンサ C1 は複数のブリッジ毎に別々のコンデンサを接続していても良い。
- [0054] 実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 は、スナバ回路 4 を構成するスナバ抵抗 RB に並列に接続された並列コンデンサ CP を備える。その他の構成は、実施の形態と同様である。
- [0055] 実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 においては、スナバ回路 4 のスナバ抵抗 RB に並列に並列コンデンサ CP を挿入することで、スイッチング直後の電流変化が大きい瞬間にはスナバ抵抗 RB ではなく並列コンデンサ CP を通して電流が流れることで、特にスイッチング直後のスナバ回路 4 のインピーダンスを見かけ上低くすることができる。
- [0056] これにより、スナバ回路 4 が負荷電流の供給源を一部負担することができ、内蔵コンデンサ C1 からの電流流出量を低減させて、内蔵コンデンサ C1 への再充電時に発生する電流サージを低減化することができる。
- [0057] 実施の形態の変形例に係るパワーモジュール 1 を備えるパワー回路 2 にお

いて、スナバ回路 4 および並列コンデンサ C_P を接続した場合の電力端子 $P \cdot N$ を導通する電流 $I_{dH2} \cdot I_{dL2}$ の動作シミュレーション波形例は、図 13 に示すように表される。

[0058] また、電力端子 $P \cdot N$ を導通する電流 $I_{dH2} \cdot I_{dL2}$ のピーク値 $I_{dL2P} \cdot I_{dH2P}$ の比較例は、図 14 に示すように表される。すなわち、図 14 において、 F は、並列コンデンサ C_P が不在の場合のピーク値 $I_{dH2P} \cdot I_{dL2P}$ を表し、例えば、約 735 A ・ 約 725 A の値が得られている。一方、 G は、並列コンデンサ C_P が有る場合のピーク値 $I_{dH2P} \cdot I_{dL2P}$ を表し、例えば、約 710 A ・ 約 695 A の値が得られている。

[0059] 図 12 に示すように、スナバ回路 4 のスナバ抵抗 R_B に並列に並列コンデンサ C_P を入れると、スイッチングの瞬間に電流が急峻に変化する際、スナバ回路 4 に流れ込む電流はスナバ抵抗 R_B ではなく並列コンデンサ C_P を流れるため、見かけ上インピーダンスが低くすることができる。これにより並列コンデンサ C_P が負荷電流の供給源の役割を大きく担うようになることで、内蔵コンデンサ C_1 からの電荷流出が抑制され、図 13 に示すように、電流サージのピーク値が低下し、リングングの収束もさらに早めることができる。

[0060] このときのスナバ抵抗 R_B の抵抗値は、並列接続された並列コンデンサ C_P によって合成インピーダンスが低下する。このため、実施の形態に係るパワー回路 2 におけるスナバ抵抗 R_B の値に比べ、実施の形態の変形例に係るパワー回路 2 におけるスナバ抵抗 R_B の値は、適宜増加された抵抗値を有していても良い。

[0061] 実施の形態の変形例によれば、低寄生インダクタンスと低ノイズを両立させたパワーモジュールおよびパワー回路を提供することができる。

[0062] (パワーモジュールの内部構造例 1)

実施の形態に係るパワーモジュール 1 の内部構造例 1 であって、内蔵コンデンサ C_1 および外付けスナバ回路 ($R_B \cdot C_B$) 4 を有する例において、樹脂層 20 を形成前の模式的上面図は、図 15 に示すように表される。

- [0063] また、実施の形態に係るパワーモジュール 1 の内部構造例 1 の変形例であつて、内蔵コンデンサ $C_{11} \cdot C_{12}$ および外付けスナバ回路 ($R_B \cdot C_B$) 4 を有する例の樹脂層 20 を形成前の模式的上面図は、図 16 に示すように表される。
- [0064] 実施の形態に係るパワーモジュール 1 であつて、樹脂層を形成後の模式的鳥瞰構成は、図 17 に示すように表される。実施の形態に係るパワーモジュール 1 は、図 17 に示すように、トランスファーモールド成型によって形成可能である。
- [0065] 実施の形態に係るパワーモジュール 1 は、図 15 ~ 図 16 に示すように、主基板 10 と、主基板 10 上に配置され、正側電力端子 P に接続された第 1 電極パターン EP と、主基板 10 上に配置され、負側電力端子 N に接続された第 2 電極パターン EN と、主基板 10 上に配置され、出力端子 OUT に接続された第 3 電極パターン EO と、第 1 電極パターン EP 上に第 1 ドレイン D1 が配置された第 1 SiC-MOSFET Q1 と、第 3 電極パターン EO 上に第 2 ドレイン D2 が配置された第 2 SiC-MOSFET Q2 と、第 1 電極パターン EP と第 2 電極パターン EN との間に配置された内蔵コンデンサ C1 と、正側電力端子 P と負側電力端子 N の樹脂層 20 の外部に露出された側に跨るように接続されたスナバ回路 30 (図 17) とを備えている。
- [0066] また、図示は省略されているが、スナバ回路 30 に並列に接続された平滑コンデンサ C2 を備えていても良い。
- [0067] また、内蔵コンデンサ C1 は、図 16 に示すように、複数の内蔵コンデンサ $C_{11} \cdot C_{12}$ の直列接続によって構成されていても良い。
- [0068] スナバ回路 30 は、図 15 ・ 図 16 に示すように、直列接続されたスナバ抵抗 R_B およびスナバコンデンサ C_B とを備えていても良い。なお、スナバ回路 30 は、図 15 ・ 図 16 に示すように、スナバ回路基板 25 上に実装された複数の電極パターン 26 - 27 - 28 を介してスナバ抵抗 R_B およびスナバコンデンサ C_B が直列接続されていても良い。

- [0069] また、実施の形態に係るパワーモジュール 1 は、図 15 ～ 図 17 に示すように、正側電力端子 P に接続された第 1 金属板 23 P と、負側電力端子 N に接続された第 2 金属板 23 N とを備え、スナバ回路 30 は第 1 金属板 23 P と第 2 金属板 23 N との間に配置されていても良い。正側電力端子 P と第 1 金属板 23 P は、ねじ止め接続され、負側電力端子 N と第 2 金属板 23 N もねじ止め接続されていても良い。
- [0070] また、図 15 ・ 図 16 に示すように、主基板 10 上に配置され、第 1 SiC - MOSFET Q1 の第 1 ゲート G1 に接続された第 1 ゲート用信号配線パターン GL1、および第 1 SiC - MOSFET Q1 の第 1 ソース S1 に接続された第 1 ソースセンス用信号配線パターン SL1 を搭載する第 1 信号基板 14 を備えていても良い。
- [0071] 同様に、主基板 10 上に配置され、第 2 SiC - MOSFET Q2 の第 2 ゲート G2 に接続された第 2 ゲート用信号配線パターン GL2、および第 2 SiC - MOSFET Q2 の第 2 ソース S2 に接続された第 2 ソースセンス用信号配線パターン SL2 を搭載する第 2 信号基板 14₂ を備えていても良い。
- [0072] また、実施の形態に係るパワーモジュール 1 の封止部は、少なくとも一部が熱硬化樹脂によって封止されていても良い。
- [0073] また、実施の形態に係るパワーモジュール 1 は、トランスファーモールド成型によって形成されていても良い。
- [0074] 樹脂層 20 (図 17) としては、SiC 系半導体デバイスに適用可能なトランスファーモールド樹脂、熱硬化樹脂などを使用可能である。また、シリコンゲルなどのシリコン系樹脂を部分的に使用しても良く、シリコンゲルなどのシリコン系樹脂を使用したケース型パワーモジュールを採用しても良い。
- [0075] 実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 においては、電力端子 P ・ N の両端にスナバ回路 4 を外部接続することで電圧サージに影響する閉ループから電力端子 P ・ N を除外しつつ、電力端子 P ・ N を導通す

る電流 $I_{dH2} \cdot I_{dL2}$ の振動を抑制することができる。このため、図 15 ~ 図 17 に示されるように、実施の形態に係るパワーモジュール 1 によれば、電力端子 P・N の周辺部の寄生インダクタンス低減が困難なトランスフォーマーモールドタイプのパワーモジュールにおいても低ノイズを実現しつつ、電圧サージ量を大きく改善することができる。

[0076] 実施の形態に係るパワーモジュール 1 は、図 15 に示すように、セラミック基板 10 を備え、内蔵コンデンサ C 1 は、セラミック基板 10 上に形成された異なる電極パターン E P・E N 間に跨るように配置されていても良い。

[0077] また、内蔵コンデンサ C 1 は、図 16 に示すように、複数の内蔵コンデンサ C 1 1・C 1 2 の直列接続によって構成されていても良い。複数の内蔵コンデンサ C 1 1・C 1 2 をパワーモジュール 1 に内蔵しようとする場合、セラミック基板 10 上の電極パターンに接合するのであれば、容易にアセンブリが可能になる。複数の内蔵コンデンサ C 1 1・C 1 2 の直列接続によって内蔵コンデンサ C 1 を形成することで、耐圧を確保しつつ寄生抵抗と寄生インダクタンスを適宜増加させて負荷電流の供給・流入が発生した場合の電流の急峻な変化を防ぎ、結果として、電流サージを低減化することができる。

[0078] 図 15・図 16 においては、SiC_MOSFET Q 1・Q 2 は、それぞれ 2 チップ並列に配置されている例が示されている。

[0079] 実施の形態に係るパワーモジュール 1 は、図 15 ~ 図 17 に示すように、樹脂層 20 に被覆されたセラミック基板 10 の第 1 の辺に配置された正側電力端子 P および負側電力端子 N と、第 1 の辺に隣接する第 2 の辺に配置されたゲート端子 G T 1・ソースセンス端子 S S T 1 と、第 1 の辺に対向する第 3 の辺に配置された出力端子 O U T・O U T と、第 2 の辺に対向する第 4 の辺に配置されたゲート端子 G T 4・ソースセンス端子 S S T 4 とを備える。ここで、ゲート端子 G T 1・ソースセンス端子 S S T 1 は、SiC_MOSFET Q 1 のゲート用信号配線パターン G L 1・ソース用信号配線パターン S L 1 に接続され、ゲート端子 G T 2・ソースセンス端子 S S T 2 は、SiC_MOSFET Q 2 のゲート用信号配線パターン G L 2・ソース用信

号配線パターンSL2に接続される。

[0080] 図15・図16に示すように、SiC_MOSFET Q1-Q2から信号基板14に14₂上に配置されたゲート用信号配線パターンGL1・GL2およびソースセンス用信号配線パターンSL1・SL2に向けてゲート用ワイヤGW1・GW2およびソースセンス用ワイヤSSW1・SSW2が接続される。また、ゲート用信号配線パターンGL1・GL2およびソースセンス用信号配線パターンSL1・SL2には、外部取り出し用のゲート端子GT1・GT2および33丁1・SST2が半田付けなどによって接続される。

[0081] 図15・図16に示された例では、2チップ並列に配置されたSiC-MOSFET Q1・Q2のチップ表面のソースパッド電極SP1・SP2は、ソース用ボンディングワイヤBWS1・BWS2を介して、電極パターンE0-E_Nに接続されている。ソース用ボンディングワイヤBWS1・BWS2の代わりに、金属スペーザと上面板状電極を採用することによって2チップ並列に配置されたSiC_MOSFET Q1・Q2のチップ表面のソースパッド電極SP1・SP2をそれぞれ共通に接続しても良い。ここで、ソースパッド電極SP1・SP2は、例えば、図21・図22に示されたソースパッド電極SPと同様である。

[0082] 正側電力端子P・負側電力端子N、外部取り出し用のゲート端子GT1-GT2およびSST1・SST2は、例えば、Cuで形成可能である。

[0083] 主基板10は、セラミツク基板で形成可能である。セラミツク基板は、例えば、Al₂O₃、AlN、SiN、AlSiC、若しくは少なくとも表面が絶縁性のSiCなどで形成されていても良い。

[0084] 電極パターンEP・EO・ENは、例えば、Cu、Alなどで形成可能である。

[0085] ゲート用ワイヤGW1・GW2、ソースセンス用ワイヤSSW1-SSW2およびソース用ボンディングワイヤBWS1・BWS2は、例えば、Al、AlCuなどで形成可能である。

[0086] SiC-MOSFET Q1、Q2としては、後述するSiC-DIMOSFET、SiC-TMOSFETなどを適用可能である。或いは、SiC系パワーデバイスに代わり、GaN系高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）などのGaN系パワーデバイスを適用可能である。

[0087] また、スナバコンデンサCBとしては、セラミックキャパシタなどを適用可能である。

[0088] （パワーモジュールの内部構造例2）

実施の形態に係るパワーモジュール1の内部構造例2であって、内蔵コンデンサC1および外付けスナバ回路（RB・CB）を有する例において、樹脂層を形成前の模式的上面図は、図18に示すように表される。また、図18のI-I線に沿う模式的断面構造は、図19に示すように表される。樹脂層を形成後の模式的鳥瞰構成は、図17と同様に表され、トランスファーマーモールド成型によって形成可能である。

[0089] 図18においては、SiC-MOSFET Q1、Q2は、それぞれ3チップ並列に配置されている例が示されている。

[0090] 別の実施の形態に係るパワーモジュール1は、図18・図19に示すように、主基板10は、セラミック基板10₂の多層構造を備える。セラミック基板10の裏面には、金属箔6が配置され、セラミック基板10の表面には、金属箔8が配置されている。さらに、金属箔8上には、セラミック基板10₂が配置されている。

[0091] 別の実施の形態に係るパワーモジュール1は、図18・図19に示すように、セラミック基板10₂と、セラミック基板10₂上に配置され、正側電力端子Pに接続された第1電極パターンEPと、セラミック基板10₂上に配置され、負側電力端子Nに接続された第2電極パターンENと、セラミック基板10₂上に配置され、出力端子OUTに接続された第3電極パターンEOと、第1電極パターンEP上に第1ドレインD1が配置された第1SiC-MOSFET Q1と、第3電極パターンEO上に第2ドレインD2が配置され

た第2 SiC-MOSFET Q2と、第1電極パターンEPと第2電極パターンENとの間に配置された内蔵コンデンサC1と、正側電力端子Pと負側電力端子Nの樹脂層20の外部に露出された側に跨るように接続されたスナバ回路30とを備えている。

[0092] また、図18・図19に示すように、セラミック基板10₂上に配置され、第1 SiC-MOSFET Q1の第1ゲートG1に接続されたゲート用信号配線パターンGPL1、および第1 SiC-MOSFET Q1の第1ソースS1に接続されたソースセンス用信号配線パターン SPL1を搭載する第1信号基板15と、ゲート用信号配線パターンGPL1に接続されたゲート用信号配線パターンGL1、およびソースセンス用信号配線パターン SPL1に接続されたソースセンス用信号配線パターンSL1を搭載する信号基板14とを備えていても良い。

[0093] 同様に、セラミック基板10₂上に配置され、第2 SiC-MOSFET Q2の第2ゲートG2に接続されたゲート用信号配線パターンGPL2、および第2 SiC-MOSFET Q2の第2ソースS2に接続されたソースセンス用信号配線パターン SPL2を搭載する信号基板15₂と、ゲート用信号配線パターンGPL2に接続されたゲート用信号配線パターンGL2、およびソースセンス用信号配線パターン SPL2に接続されたソースセンス用信号配線パターンSL2を搭載する信号基板14₂とを備えていても良い。

[0094] また、図18・図19に示すように、第1 SiC-MOSFET Q1の第1ソースS1上には、チップ上スペーサ19を介して、チップ上面バスバー17が配置され、3個の第1 SiC-MOSFET Q1の第1ソースS1のソースパッド電極SP1が共通に接続されている。同様に、第2 SiC-MOSFET Q2の第2ソースS2上には、チップ上スペーサ19₂を介して、チップ上面バスバー17₂が配置され、3個の第2 SiC-MOSFET Q2の第2ソースS2のソースパッド電極SP2が共通に接続されている。

[0095] また、図18・図19に示すように、チップ上面バスバー17は、スペー

サ 2 9 を介して第 3 電極パターン E O に接続され、チップ上面バスバー 1 7₂ は、スペーサ 2 9₂ を介して第 4 電極パターン E N 2 に接続されている。

[0096] また、図 1 8 ・ 図 1 9 に示すように、第 2 電極パターン E N は、ビアホール 2 1 を介してセラミック基板 1 0 表面の金属箔 8 に接続され、第 4 電極パターン E N 2 もビアホール 2 1₂ を介してセラミック基板 1 0 表面の金属箔 8 に接続されている。その他の構成および各部の材料などは、実施の形態に係るパワーモジュール 1 の内部構造例 1 と同様である。

[0097] 図 1 8 ・ 図 1 9 に示す実施の形態に係るパワーモジュール 1 の内部構造例 2 において、ラミネート配線構造 L M 1 ・ L M 2 による電流キャンセルの様子を説明する模式図は、図 2 0 に示すように表される。

[0098] 実施の形態に係るパワーモジュール 1 の内部構造例 2 においては、積層化されたセラミック基板 1 0₁ ・ 1 0₂ を備えることによって、パワーモジュール 1 の内部構造上ラミネート配線構造 L M 1 ・ L M 2 が形成される。このため、図 2 0 に示すような導通電流 i によって、パワーモジュール 1 の内部配線に伴う寄生インダクタンス成分によって発生する磁束を相殺可能である。結果として、パワーモジュール 1 の内部配線に伴う寄生インダクタンスを低減することができる。また、チップ上面バスバー 1 7 に 1 7₂ と金属箔 8 とを通る電流経路で形成されるラミネート配線構造に対しても、寄生インダクタンスの低減効果は得られる。

[0099] 実施の形態に係るパワーモジュール 1 の内部構造例 2 においては、基板内の寄生インダクタンスを低減可能であるため、パワーモジュールのリンギンググループの寄生インダクタンスを極小化可能である。

[01 00] (半導体デバイスの構成例)

— S i C - D I M O S F E T —

実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 に適用可能な半導体デバイス 2 0 0 の例であって、S i C _ D I (Double Implanted) M O S F E T の模式的断面構造は、図 2 1 に示すように表される。

[01 01] 実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 に適用可能な

S i C — D I M O S F E T は、図 2 1 に示すように、n+S i C 基板 1 2 4 と、n+S i C 基板 1 2 4 上にエピタキシャル成長されたn-ドリフト層 1 2 6 と、n-ドリフト層 1 2 6 の表面側に形成されたp ボディ領域 1 2 8 と、p ボディ領域 1 2 8 の表面に形成されたn+ソース領域 1 3 0 と、p ボディ領域 1 2 8 間のn-ドリフト層 1 2 6 の表面上に配置されたゲート絶縁層 1 3 2 と、ゲート絶縁層 1 3 2 上に配置されたゲート電極 1 3 8 と、n+ソース領域 1 3 0 およびP ボディ領域 1 2 8 に電氣的に接続されたソース電極 1 3 4 と、n+S i C 基板 1 2 4 の、n-ドリフト層 1 2 6 と反対側の表面に電氣的に接続されたドレイン電極 1 3 6 とを備える。また、p ボディ領域 1 2 8 とn-ドリフト層 1 2 6 間には、ボディダイオードB Dが形成されている。

[01 02] 図 2 1 では、半導体デバイス 2 0 0 は、p ボディ領域 1 2 8 と、p ボディ領域 1 2 8 の表面に形成されたn+ソース領域 1 3 0 が、ダブルイオン注入 (D I) で形成され、ソースパッド電極 S P は、n+ソース領域 1 3 0 および p ボディ領域 1 2 8 に接続されたソース電極 1 3 4 に接続される。ゲートパッド電極 G P (図示省略) は、ゲート絶縁層 1 3 2 上に配置されたゲート電極 1 3 8 に接続される。また、ソースパッド電極 S P ・ソース電極 1 3 4 およびゲートパッド電極 G P (図示省略) は、図 2 1 に示すように、半導体デバイス 2 0 0 の表面を覆うパッシベーション用の層間絶縁膜 1 4 4 上に配置される。

[01 03] - S i C - T M O S F E T -

実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 に適用可能な半導体デバイス 2 0 0 の例であって、S i C — トレンチ (T : Trench) M O S F E T の模式的断面構造は、図 2 2 に示すように表される。

[01 04] 実施の形態に係るパワーモジュール 1 を備えるパワー回路 2 に適用可能な S i C — T M O S F E T は、図 2 2 に示すように、n+S i C 基板 1 2 4 と、n+S i C 基板 1 2 4 上にエピタキシャル成長されたn-ドリフト層 1 2 6 N と、n-ドリフト層 1 2 6 N の表面側に形成されたp ボディ領域 1 2 8 と、p ボディ領域 1 2 8 の表面に形成されたn+ソース領域 1 3 0 と、p ボディ領域 1

28を貫通し、n-ドリフト層126Nまで形成されたトレンチ内にゲート絶縁層132および層間絶縁膜144U・144Bを介して形成されたトレンチゲート電極138TGと、ソース領域130およびpボディ領域128に接続されたソース電極134と、n⁺SiC基板124の、n-ドリフト層126Nと反対側の表面に電氣的に接続されたドレイン電極136とを備える。また、pボディ領域128とn-ドリフト層126N間には、ボディダイオードBDが形成されている。

[01 05] 図22では、半導体デバイス200は、pボディ領域128を貫通し、n-ドリフト層126Nまで形成されたトレンチ内にゲート絶縁層132および層間絶縁膜144U・144Bを介して形成されたトレンチゲート電極138TGが形成され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。ゲートパッド電極GP(図示省略)は、ゲート絶縁層132上に配置されたゲート電極138に接続される。また、ソースパッド電極SP・ソース電極134およびゲートパッド電極GP(図示省略)は、図22に示すように、半導体デバイス200の表面を覆うパッシベーション用の層間絶縁膜144U上に配置される。

[01 06] SiC-TMOSFETはドレイン電流経路にpボディ領域128から伸張するジャンクション抵抗が存在しないため、SiC-DMOSFETと比較してさらに低オン抵抗のFETを提供することが可能であり、1素子当たり100A以上のドレインパルス電流を許容することも可能になる。

[01 07] また、実施の形態に係るパワーモジュールおよびパワー回路に適用可能な半導体デバイス200には、SiC系MOSFETの代わりに、Ga系「ETなどを適用することもできる。

[01 08] SiCデバイスは、高絶縁破壊電界(例えば、約3MV/cmであり、Siの約3倍)であることから、Siに比べてドリフト層の膜厚を薄くし、かつキャリア濃度を高く設定しても耐圧が確保できる。絶縁破壊電界の違いから、SiC-MOSFETのピーク電界強度は、Si-MOSFETのピーク

ク電界強度よりも高く設定可能である。

[01 09] SiC-MOSFETにおいては、必要なn-ドリフト層126・126Nの膜厚が薄く、キャリア濃度が高いため、n-ドリフト層126・126Nの抵抗値を低減し、オン抵抗を低くすることができ、チップ面積を縮小化(小チップ化)可能である。さらにユニポーラデバイスであるMOSFET構造のままで、Si-IGBTに比肩し得る耐圧を実現可能であることから、高耐圧でかつ高速スイッチングできるとされ、スイッチング損失の低減が期待できる。

[01 10] 以上説明したように、本実施の形態によれば、低寄生インダクタンスと低ノイズを両立させたパワーモジュールおよびパワー回路を提供することができる。

[01 11] [その他の実施の形態]

上記のように、実施の形態およびその変形例によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

[01 12] このように、本実施の形態ここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

[01 13] 本実施の形態に係るパワーモジュールおよびパワー回路は、HEV/EV向け昇圧回路、3相インバータに適用可能であり、特に高周波動作させることでメリットが出るDC/DCコンバータなど幅広い応用分野に適用可能である。

符号の説明

[01 14] 1、1、1A、40…パワーモジュール
2、2A…パワー回路
3…ブリッジ部
4、30…スナバ回路

1 0、1 0、1 0₂…主基板 (セラミック基板)
1 4、1 4₂、1 5、1 5₂…信号基板
1 7₁、1 7₂…チップ上面バスバー
1 9₁、1 9₂…チップ上スペーサ
2 0…樹脂層
2 1₁、2 1₂…ビアホール
2 3 P、2 3 N…金属板
2 5…スナパ回路基板
2 6、2 7、2 8…電極パターン
2 9、2 9₂…スペーサ
1 2 4 --- n⁺S i C 基板
1 2 6、1 2 6 N…n-ドリフト層
1 2 8…p ボディ領域
1 3 0…ソース領域
1 3 2…ゲート絶縁膜
1 3 4…ソース電極
1 3 6 --- ドレイン電極
1 3 8、1 3 8 T G…ゲート電極
1 4 4、1 4 4 U、1 4 4 B…層間絶縁膜
2 0 0、Q 1、Q 2…半導体デバイス (S i C—M O S F E T)
B D…ボディダイオード
R B…スナパ抵抗
C B…スナパコンデンサ
C P…並列コンデンサ
C 1、C 1 1、C 1 2…内蔵コンデンサ
C 2…平滑コンデンサ
P…正側電力端子
N…負側電力端子

OUT …出力端子

S 1、S 2 …ソース

D、D 1、D 2 …ドレイン

SS 1、SS 2 …ソースセンス

EP、EO、EN …電極パターン

G 1、G 2 …ゲート

GT 1、GT 2 …ゲート端子

SST 1、SST 2 …ソースセンス端子

SL 1、SL 2、SPL 1、SPL 2 …ソースセンス用信号配線パターン

GL 1、GL 2、GPL 1、GPL 2 …ゲート用信号配線パターン

SP …ソースパッド電極

E …電源

L …負荷リアクトル

IdH 1、IdL 1 …デバイス部を導通する電流

IdH 2、 I_{D2} …電力端子 P、N を導通する電流

IdH 2 P、IdL 2 P …ピーク値

GW 1、GW 2 …ゲート用ワイヤ

SSW 1、SSW 2 …ソースセンス用ワイヤ

BWS 1、BWS 2 …ソース用ボンディングワイヤ

請求の範囲

- [請求項 1] 複数のトランジスタ素子によって構成されたブリッジ回路と前記ブリッジ回路の両端に跨るように接続された内蔵コンデンサとを有するブリッジ部と、
- 前記ブリッジ部の両端にそれぞれ一端が接続され、他端が前記ブリッジ部を封止する封止部の外部に露出した正側電力端子および負側電力端子と、
- 前記正側電力端子および前記負側電力端子の露出された側に跨るように接続されたスナバ回路と
- を備えることを特徴とするパワーモジュール。
- [請求項 2] 主基板と、
- 前記主基板上に配置され、正側電力端子に接続された第 1 電極パターンと、
- 前記主基板上に配置され、負側電力端子に接続された第 2 電極パターンと、
- 前記主基板上に配置され、出力端子に接続された第 3 電極パターンと、
- 前記第 1 電極パターン上に第 1 出力が配置された第 1 トランジスタ素子と、
- 前記第 3 電極パターン上に第 2 出力が配置された第 2 トランジスタ素子と、
- 前記第 1 電極パターンと前記第 2 電極パターンとの間に配置された内蔵コンデンサと、
- 前記正側電力端子と前記負側電力端子の前記第 1 トランジスタ素子および前記第 2 トランジスタ素子を封止する封止部から露出された側に跨るように接続されたスナバ回路と
- を備えることを特徴とするパワーモジュール。
- [請求項 3] 前記主基板は、セラミック基板を備えることを特徴とする請求項 2

に記載のパワーモジュール。

- [請求項4] 前記主基板は、多層構造のセラミック基板を備えることを特徴とする請求項3に記載のパワーモジュール。
- [請求項5] 前記内蔵コンデンサは、複数のコンデンサの直列接続によって構成されていることを特徴とする請求項1～4のいずれか1項に記載のパワーモジュール。
- [請求項6] 前記封止部は、少なくとも一部がトランスファーモールド成型による樹脂層によって封止されていることを特徴とする請求項1～5のいずれか1項に記載のパワーモジュール。
- [請求項7] 前記スナバ回路は、直列接続されたスナバコンデンサとスナバ抵抗とを備えることを特徴とする請求項1～6のいずれか1項に記載のパワーモジュール。
- [請求項8] 前記スナバ抵抗に並列に接続された並列コンデンサを備えることを特徴とする請求項7に記載のパワーモジュール。
- [請求項9] 前記スナバ回路は、樹脂で封止され、前記樹脂から露出した端子が前記正側電力端子および前記負側電力端子と直接接続されることを特徴とする請求項1～8のいずれか1項に記載のパワーモジュール。
- [請求項10] 前記トランジスタ素子は、SiC-MOSFET若しくはワイドギャップトランジスタであることを特徴とする請求項1～9のいずれか1項に記載のパワーモジュール。
- [請求項11] 前記スナバコンデンサの値は、前記内蔵コンデンサの値の10倍以上であることを特徴とする請求項1～10のいずれか1項に記載のパワーモジュール。
- [請求項12] 前記正側電力端子および前記負側電力端子を導通する電流の電流振動の時定数は、それぞれ5 ns以下であることを特徴とする請求項1～11のいずれか1項に記載のパワーモジュール。
- [請求項13] 複数のトランジスタ素子によって構成されたブリッジ回路と前記ブリッジ回路の両端に跨るように接続された内蔵コンデンサとを有する

ブリッジ部と、

前記ブリッジ部の両端にそれぞれ一端が接続され、他端が前記ブリッジ部を封止する封止部の外部に露出した正側電力端子および負側電力端子と、

前記正側電力端子および前記負側電力端子の露出された側に跨るよう
に接続され、前記正側電力端子および前記負側電力端子の電流ノイズを低減する電流ノイズ低減回路と

を備えることを特徴とするパワーモジュール。

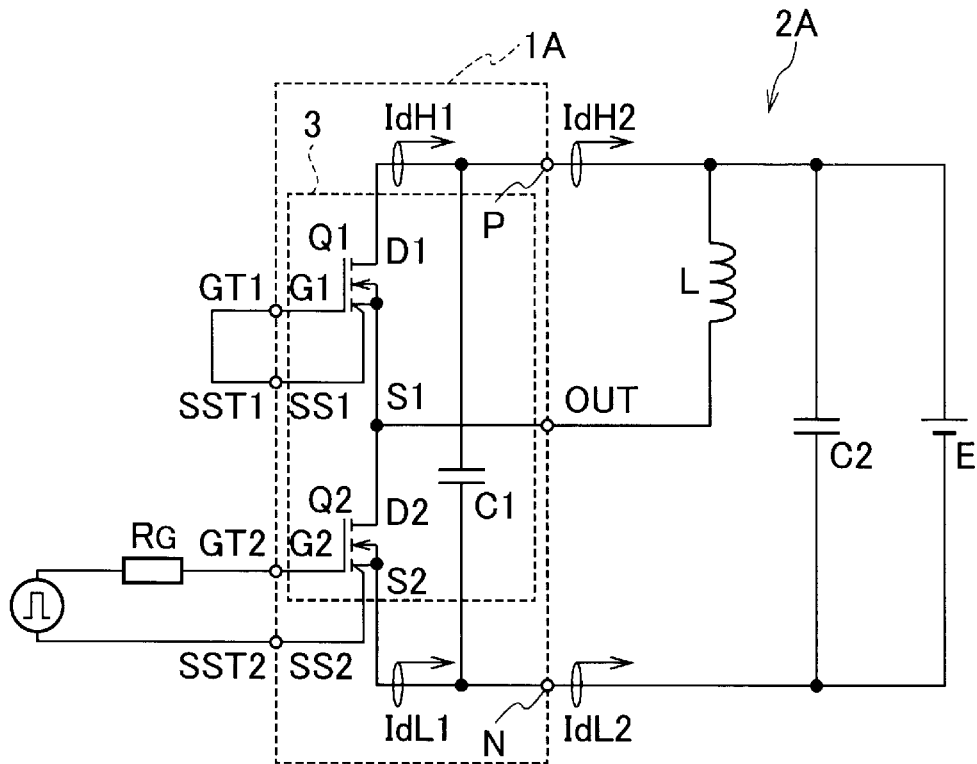
[請求項 14] 前記電流ノイズ低減回路は、前記正側電力端子および前記負側電力端子の露出された側に跨るよう
に接続されたスナバ回路であることを特徴とする請求項 13 に記載のパワーモジュール。

[請求項 15] 前記ブリッジ回路の出力端子は、前記正側電力端子および前記負側電力端子が露出する方向と反対側の方向に露出することを特徴とする請求項 14 に記載のパワーモジュール。

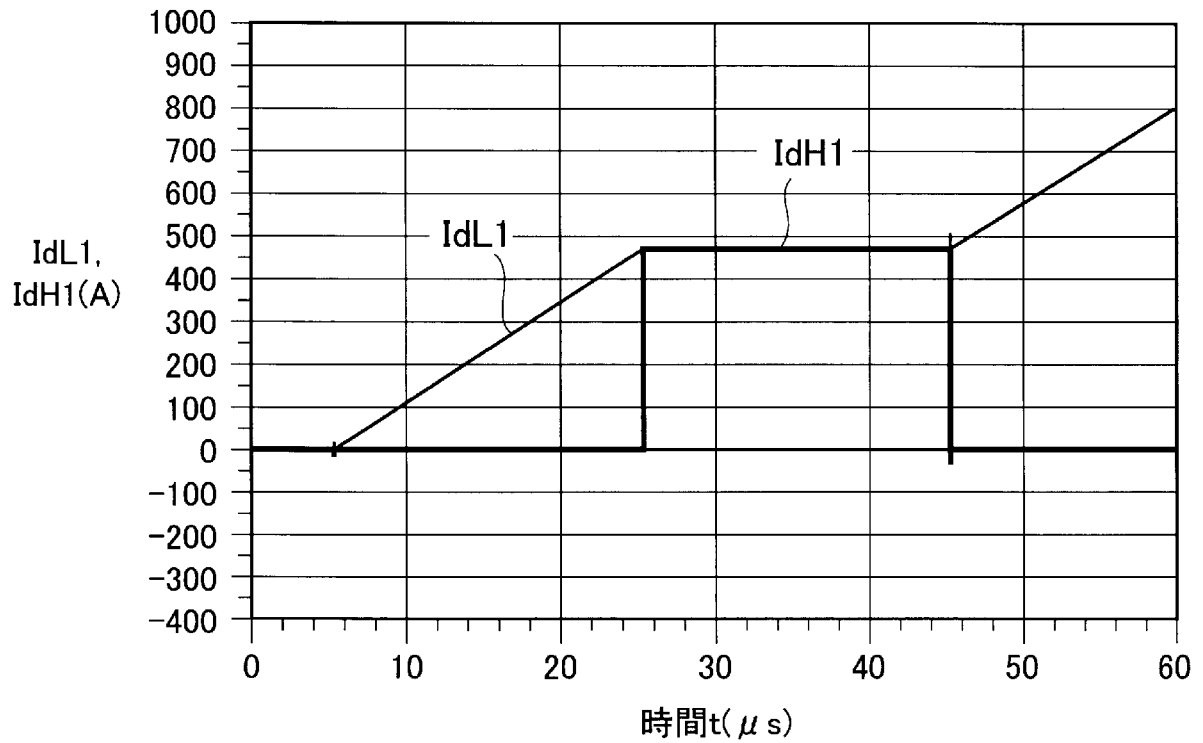
[請求項 16] 前記正側電力端子および前記負側電力端子を導通する電流の電流振動の時定数は、それぞれ 5 . 0 μ s 以下であることを特徴とする請求項 13 または 14 に記載のパワーモジュール。

[請求項 17] 請求項 1 ~ 16 のいずれか 1 項に記載のパワーモジュールと、
前記スナバ回路に並列に接続された平滑コンデンサと
を備えることを特徴とするパワー回路。

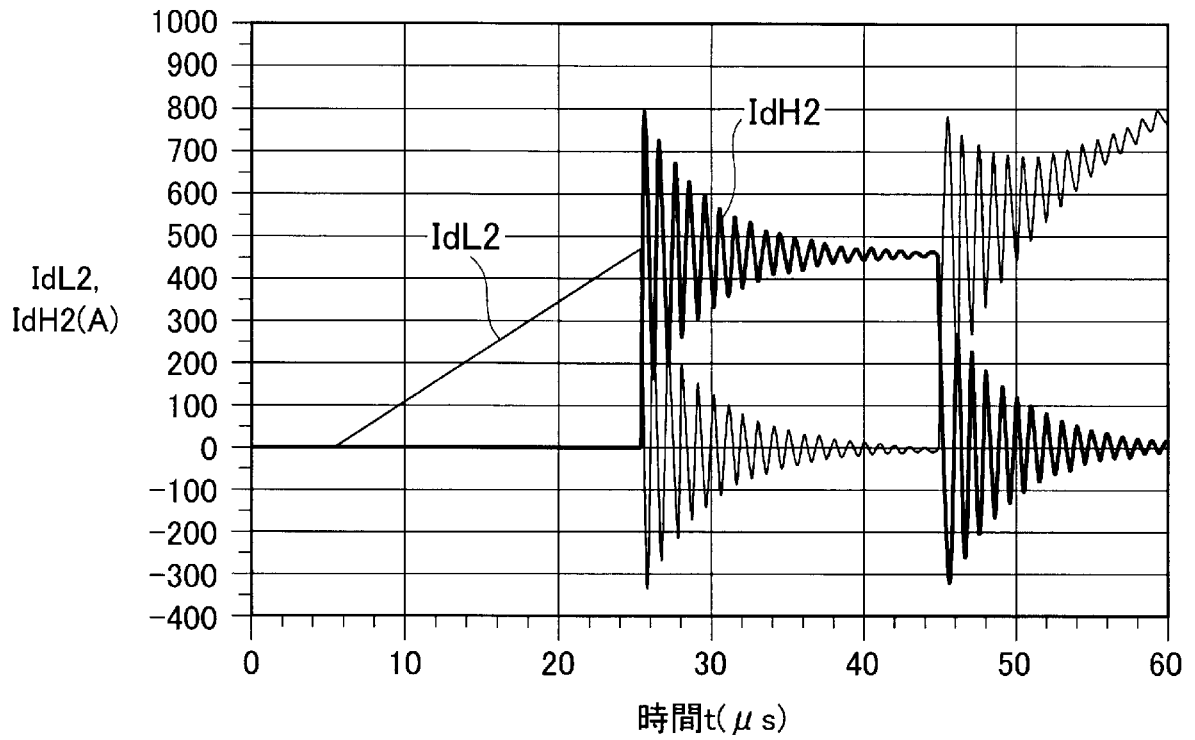
[図1]



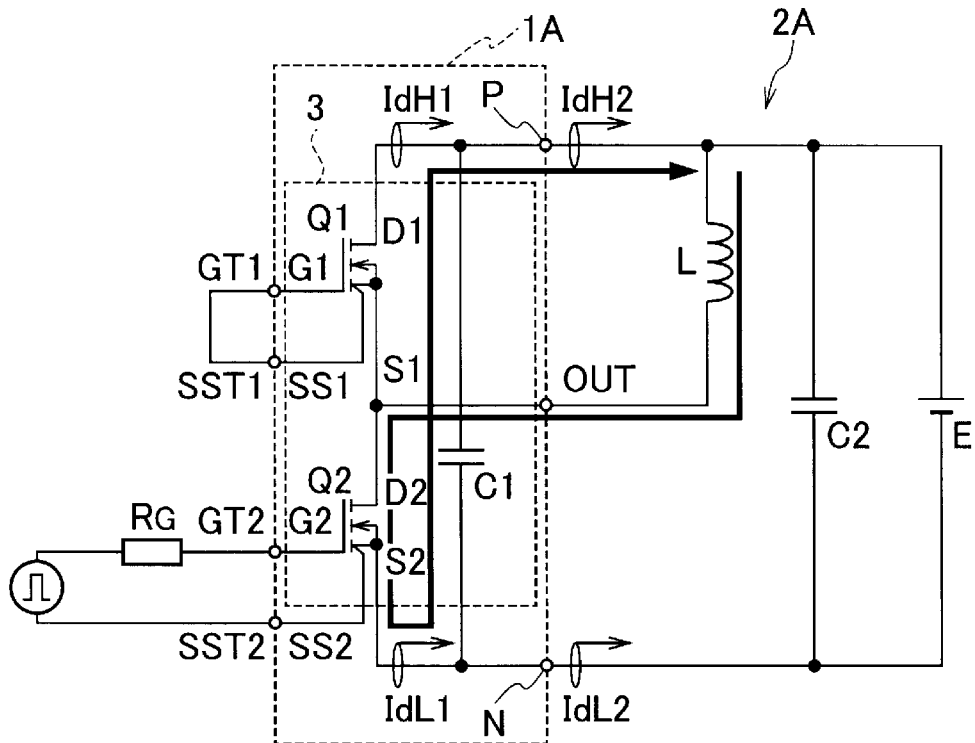
[図2]



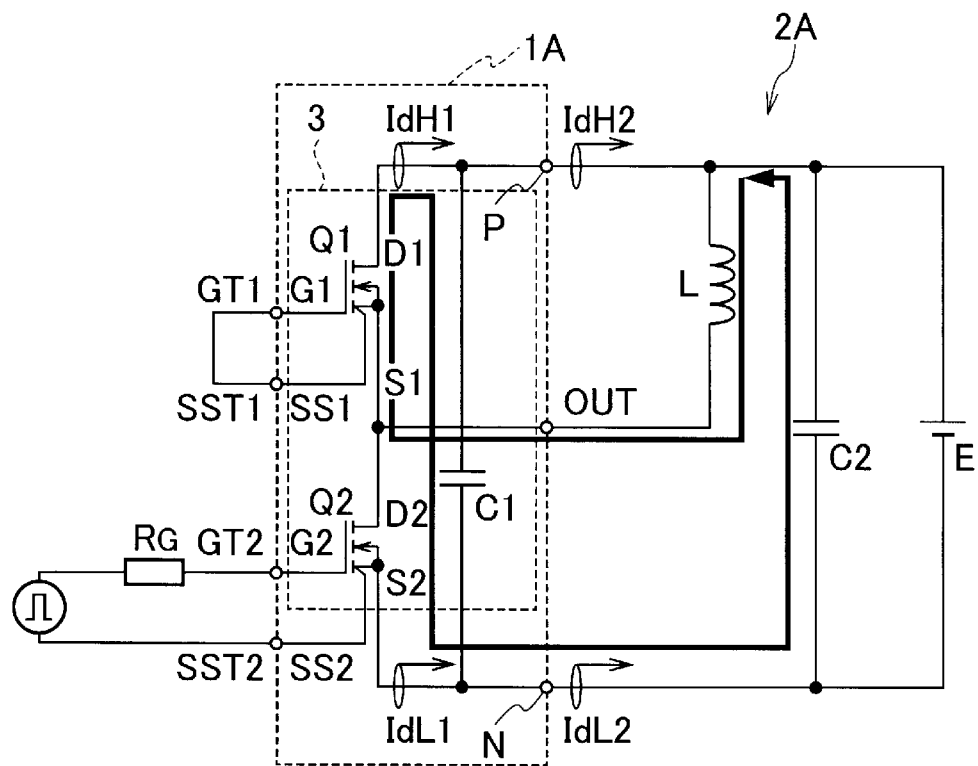
[図3]



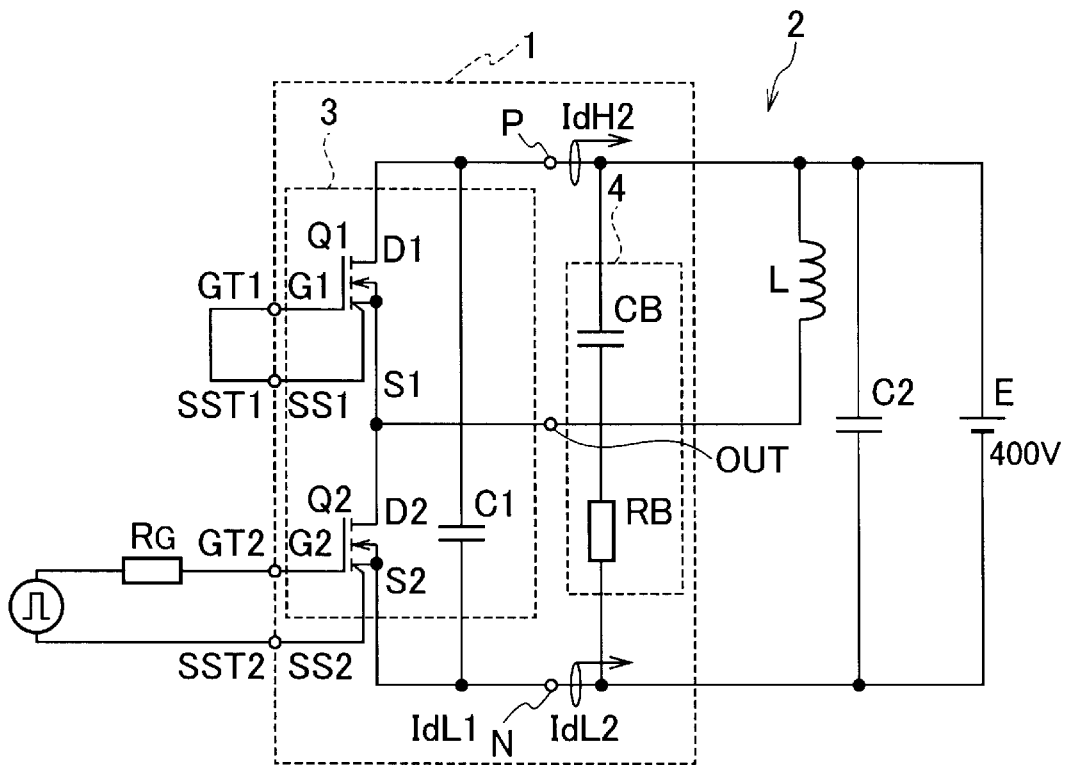
[図4]



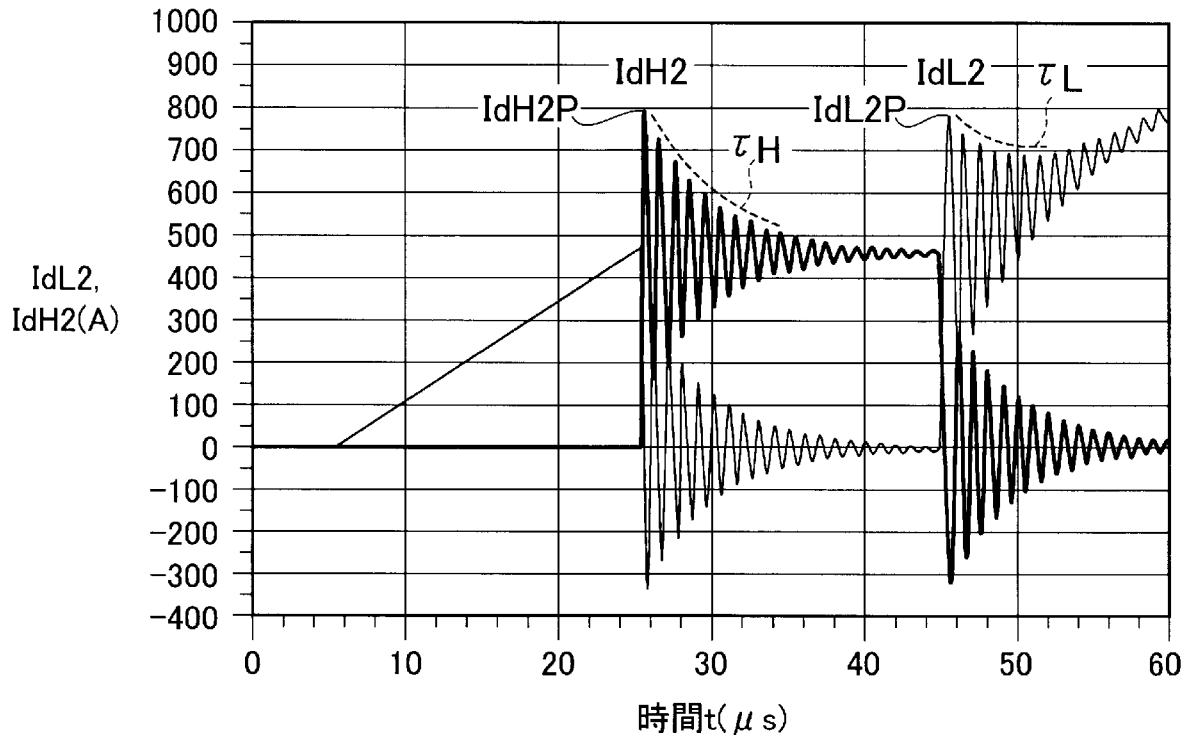
[図5]



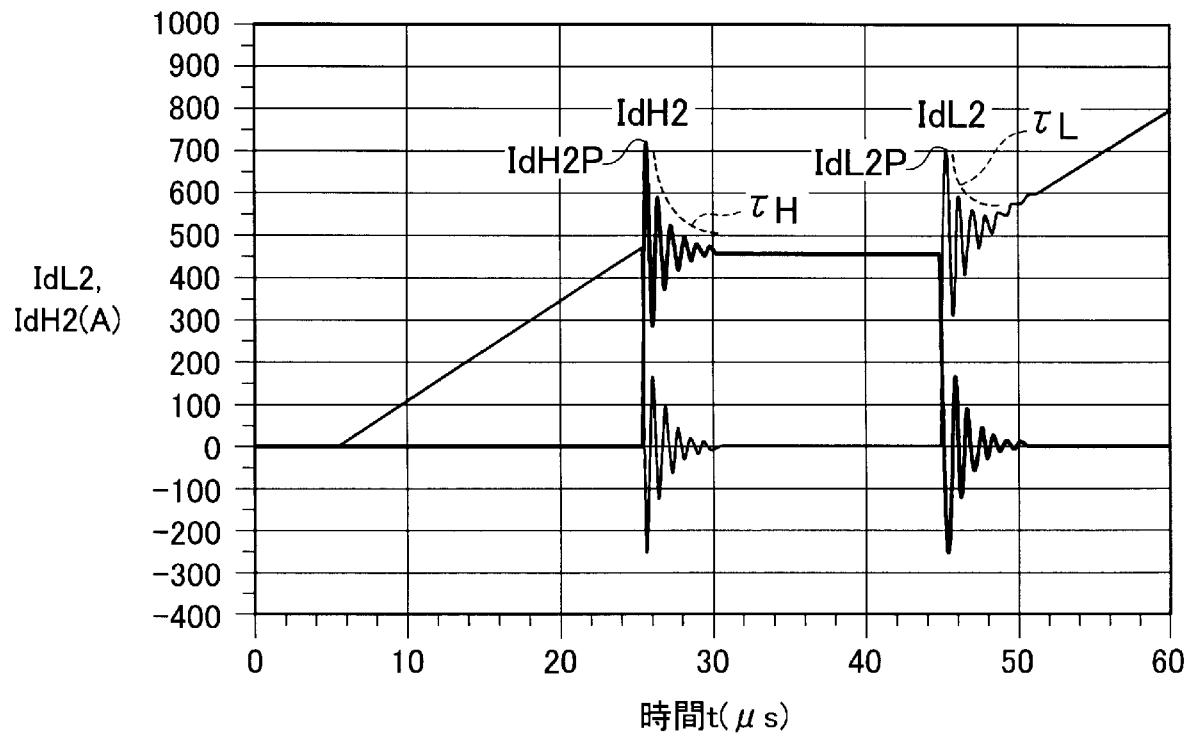
[図6]



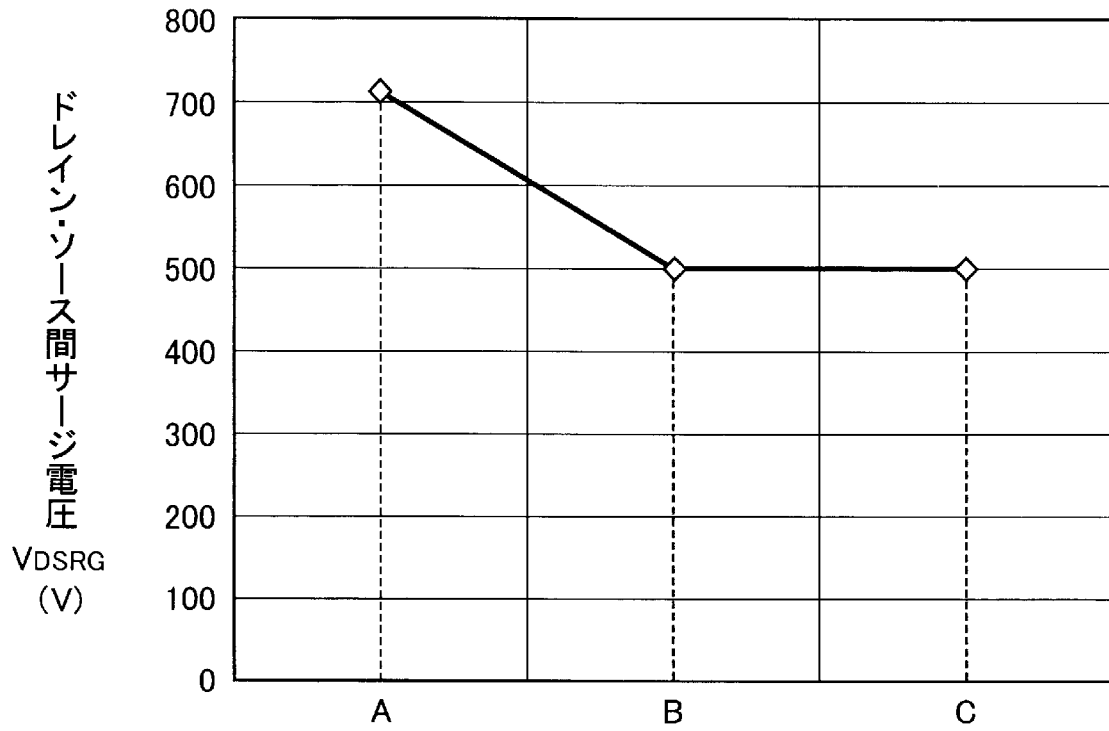
[図7]



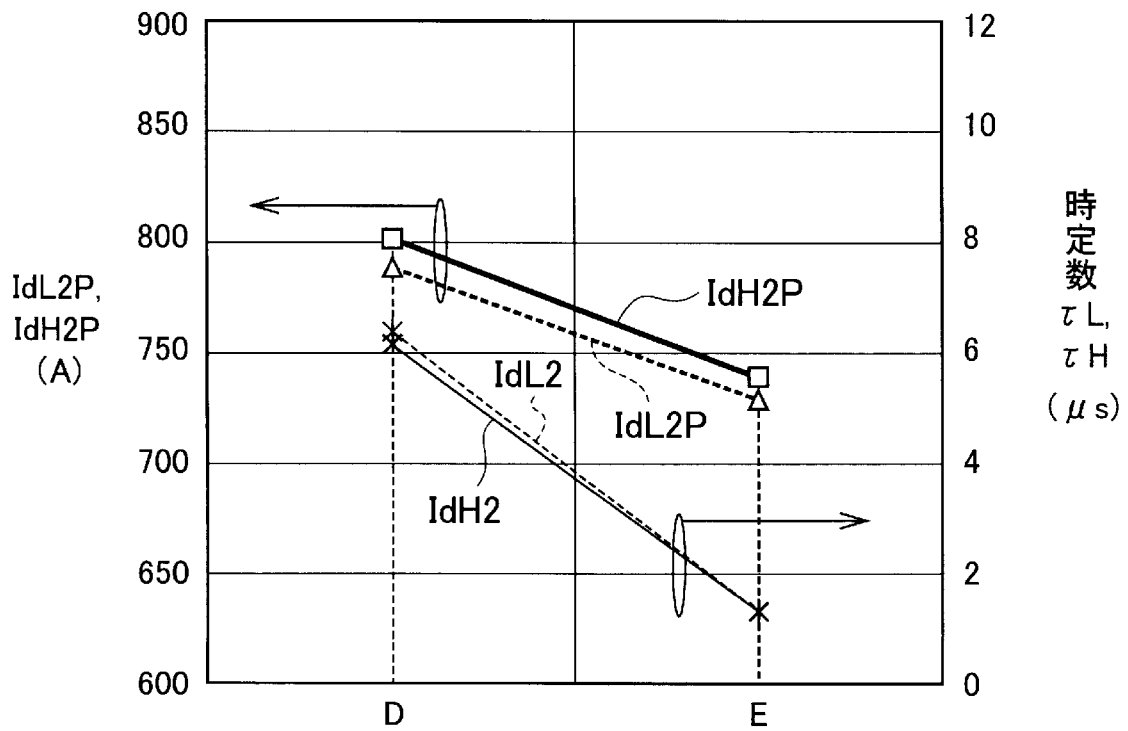
[図8]



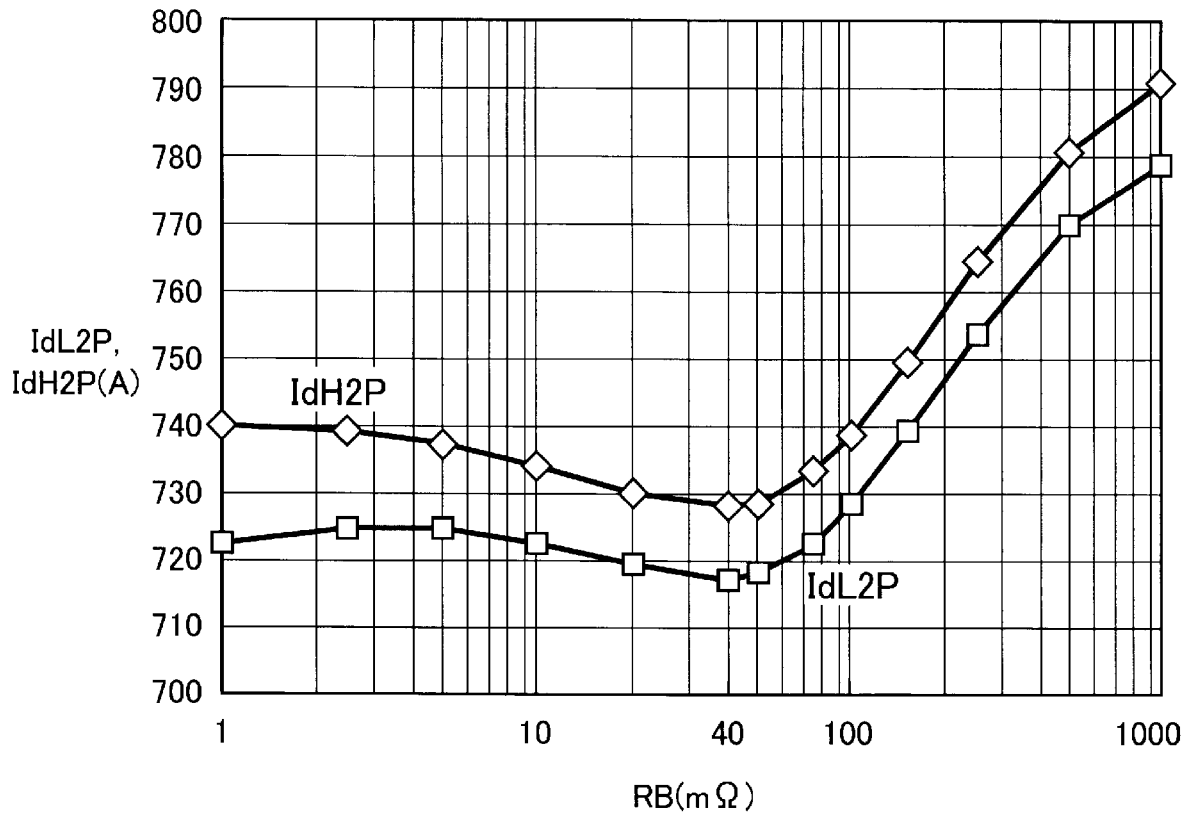
[図9]



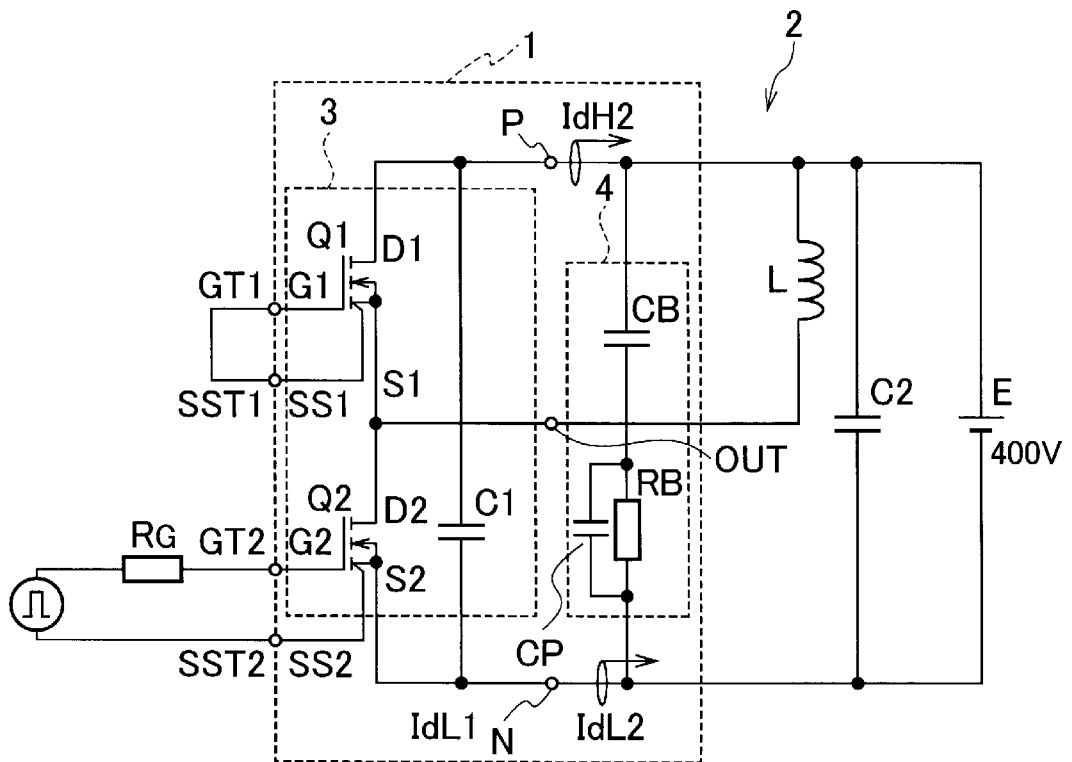
[図10]



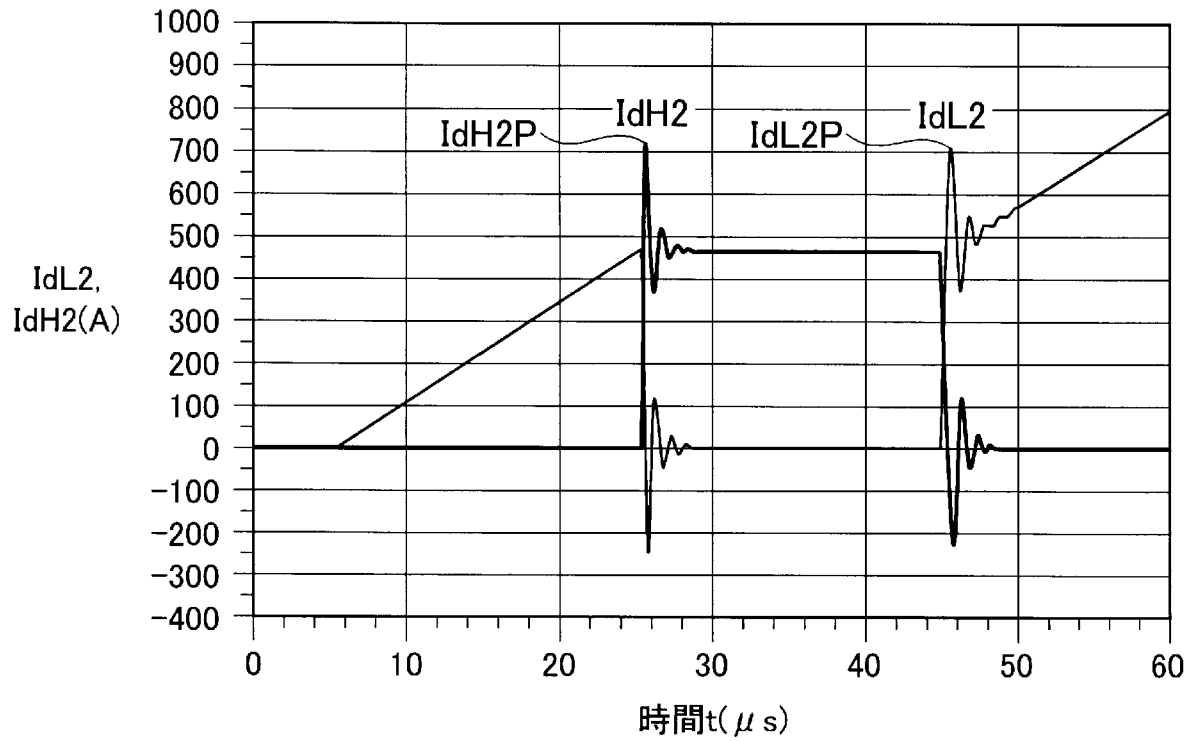
[図11]



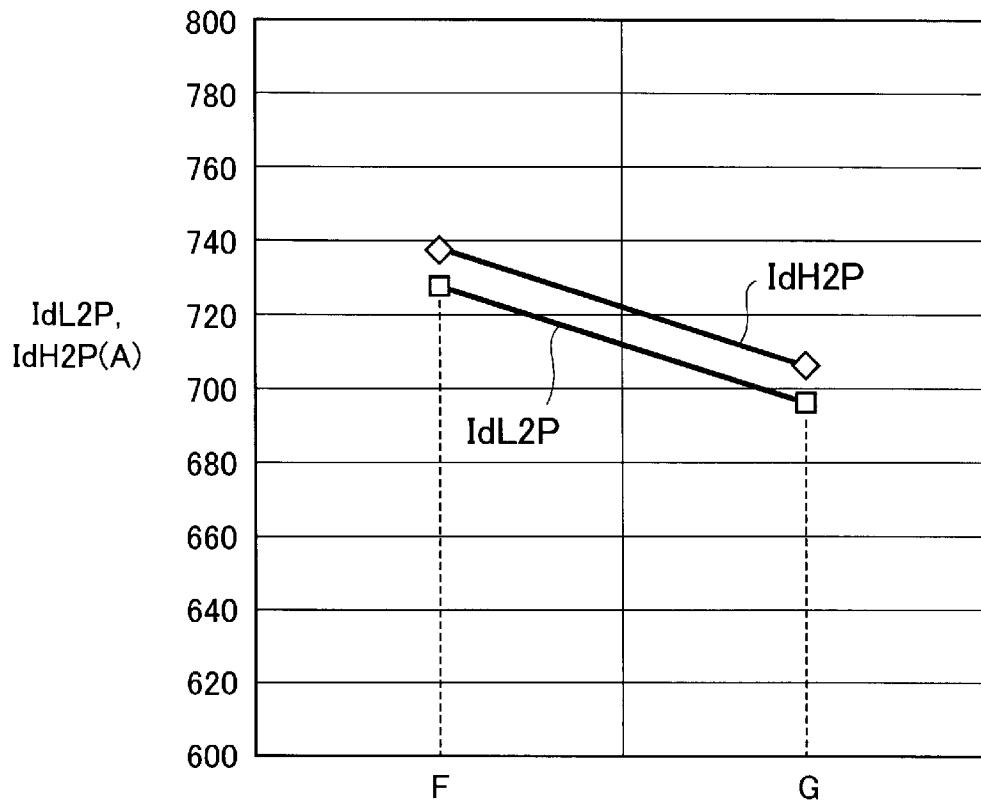
[図12]



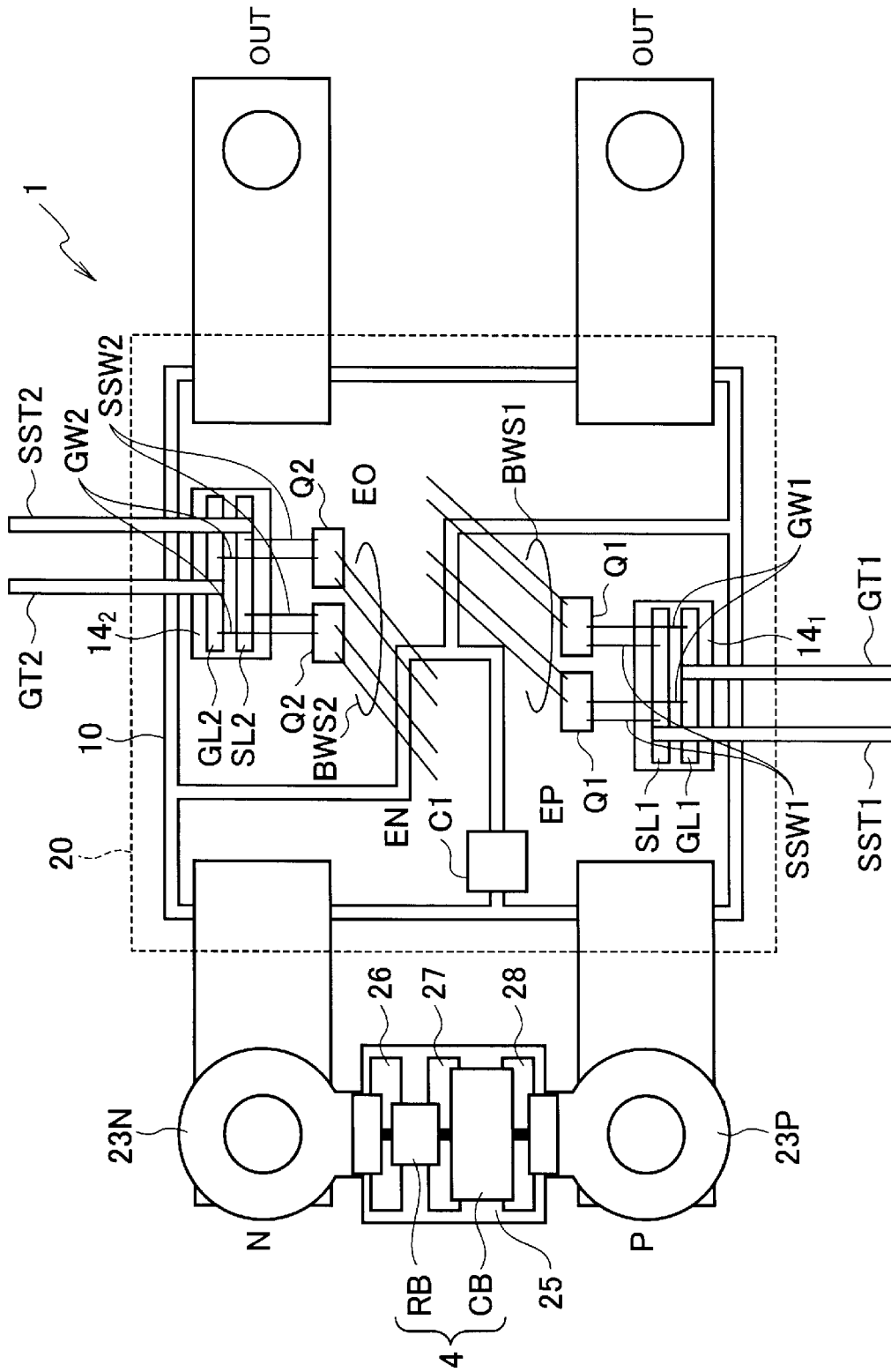
[図13]



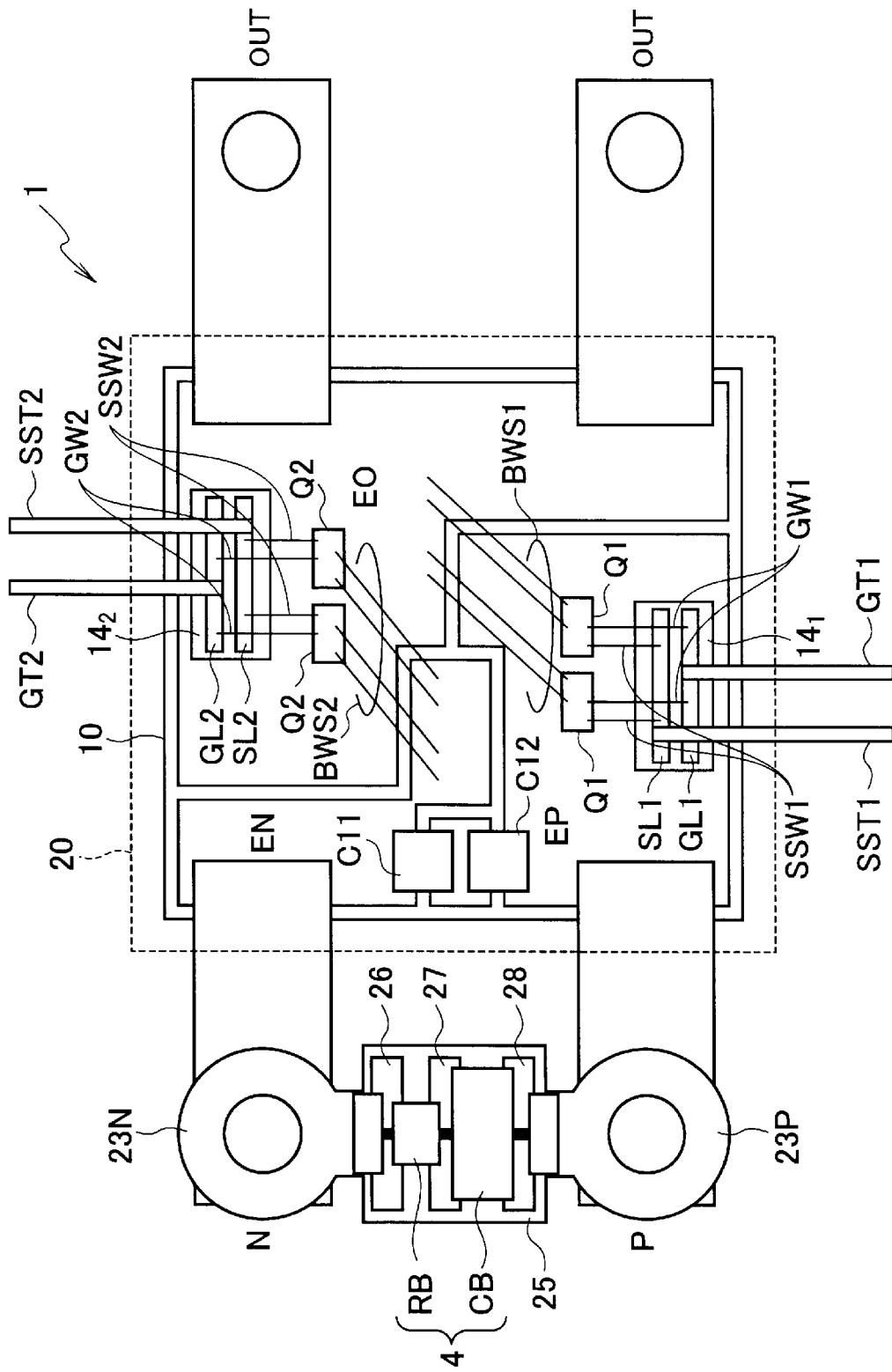
[図14]



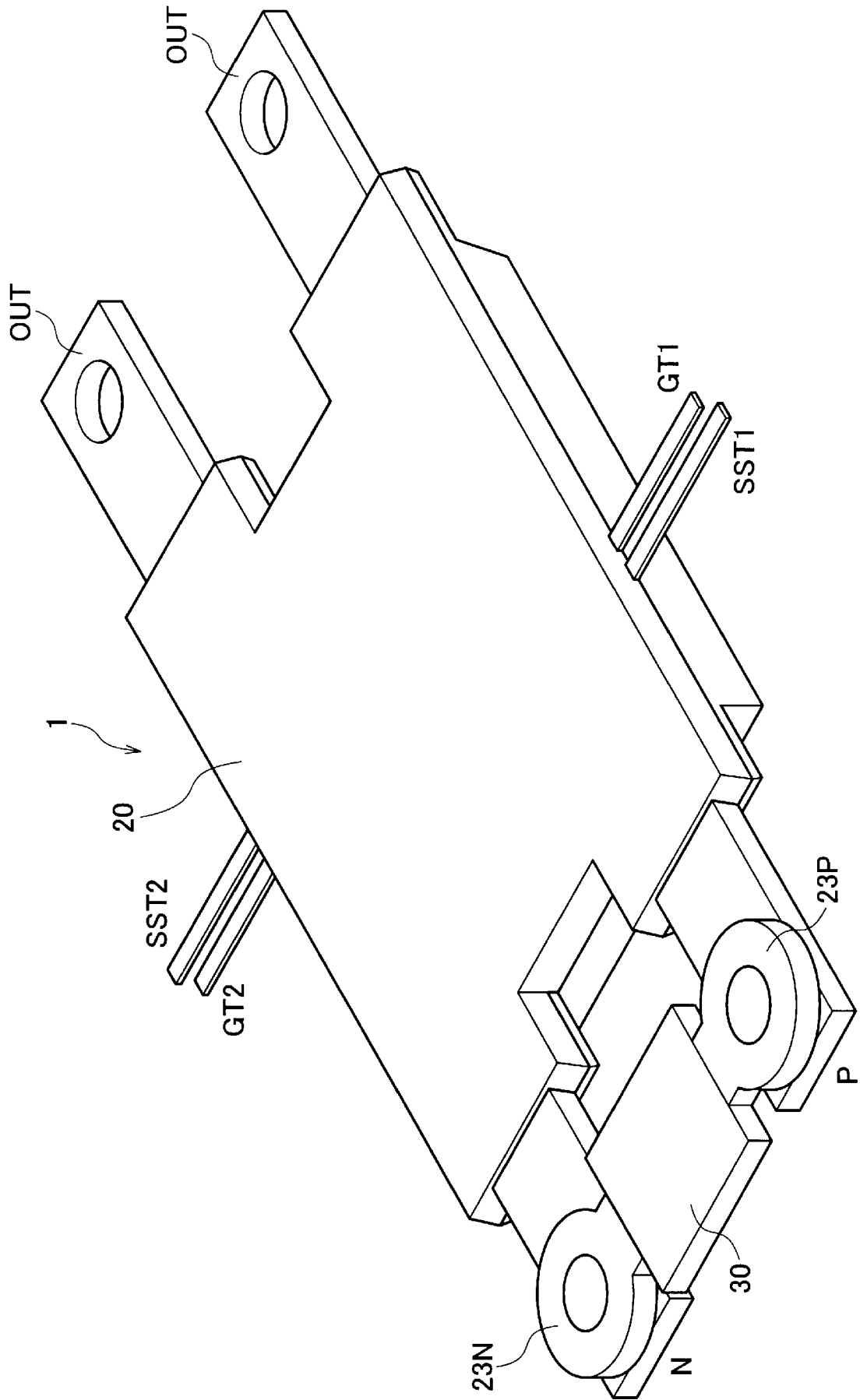
[図15]



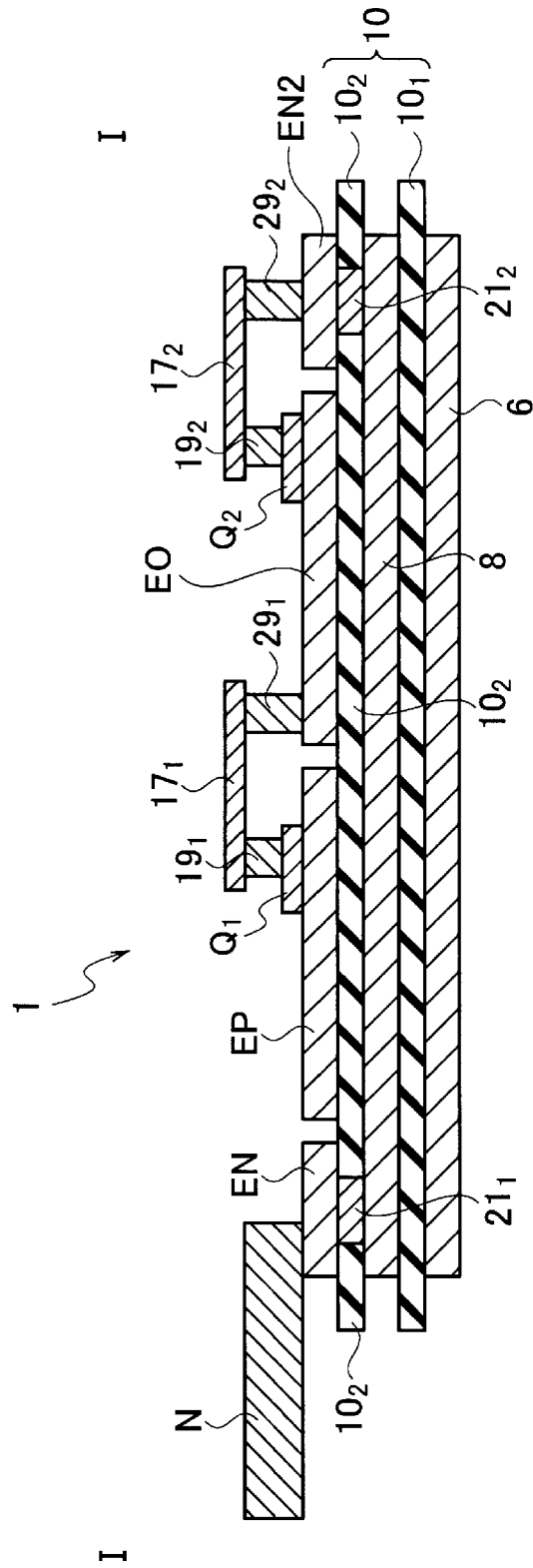
[図16]



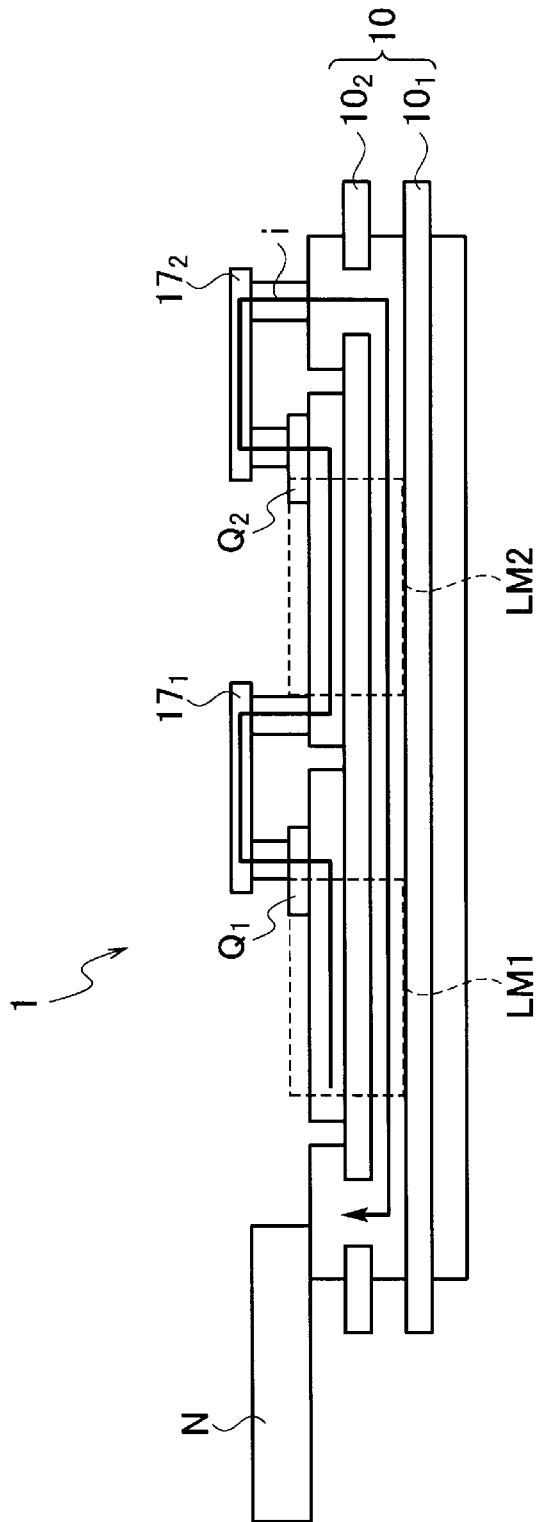
[図17]



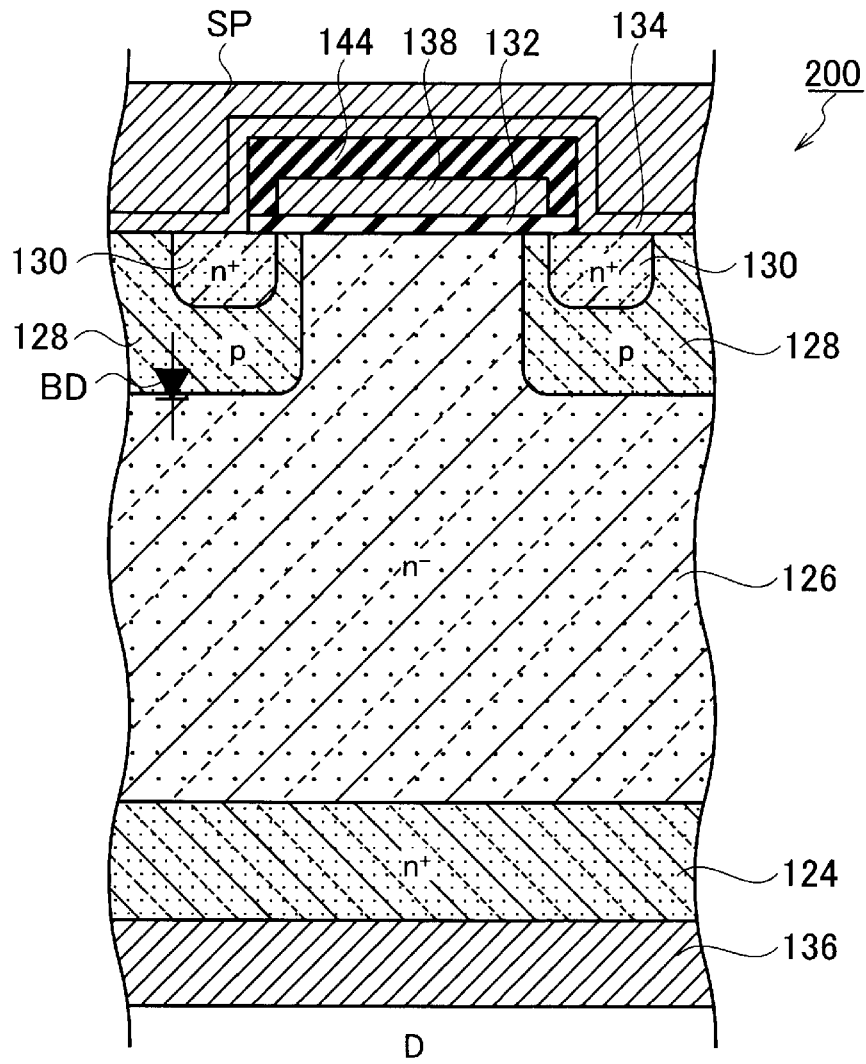
[図19]



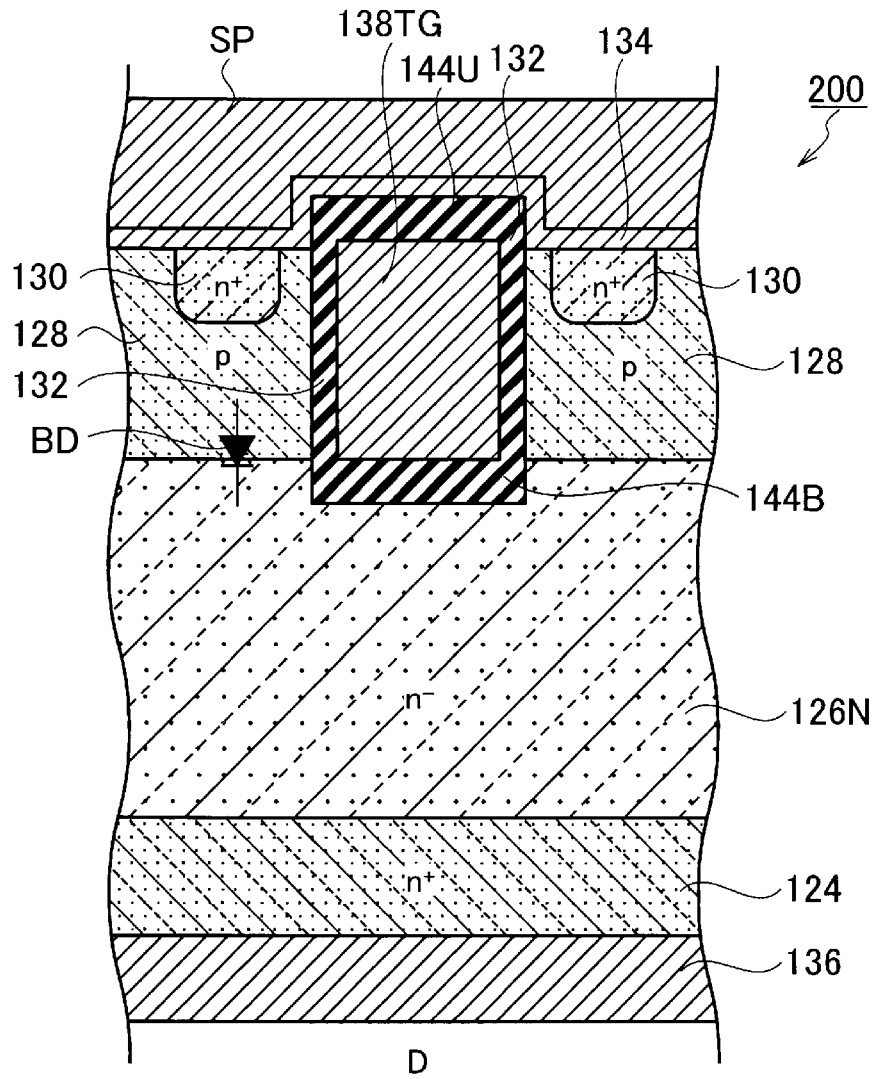
[図20]



[図21]



[図22]



A. CLASSIFICATION OF SUBJECT MATTER H02M7/48(2001.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M7/48, H01L25/07, H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Jitsuyo	Shinan Koho	1922-1996
Jitsuyo	Shinan Koho	1996-2015
Kokai	Jitsuyo Shinan Koho	1971-2015
Toroku	Jitsuyo Shinan Koho	1994-2015
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-115128 A (Dens o Corp .), 14 June 2012 (14.06.2012), paragraph [0146]; fig. 20 & US 2012/0106220 A1 paragraph [0136]; fig. 20A to 20B	1, 7, 13-14 2-6, 8-12, 15-17
Y	JP 2013-45882 A (Mit subishi Electric Corp .), 04 March 2013 (04.03.2013), paragraphs [0018] to [0035]; fig. 2 to 3 (Family: none)	2-5, 8-12, 15-17
Y	WO 2013/132528 A1 (Fuji Electric Co., Ltd .), 12 September 2013 (12.09.2013), paragraphs [0064] to [0066]; fig. 13 to 15 & US 2014/0321171 A1 paragraphs [0084] to [0086]; fig. 13 to 15 & WO 2013/132827 A1 & EP 2824815 A1	2-6, 8-12, 15-17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 15 December 2015 (15.12.15)		Date of mailing of the international search report 28 December 2015 (28.12.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigas eki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 015 / 078160

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-71129 A (IHI Corp.), 02 April 2009 (02.04.2009), paragraph [0030]; fig. 1 (Family: none)	2-6, 8-12, 15-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H02M7/48 (2007. 01) i, H01L25/07 (2006. 01) i, H01L25/18 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M7/48, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-
日本国公開実用新案公報	1971-2
日本国実用新案登録公報	1996-
日本国登録実用新案公報	1994-2

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)
 6年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2012-115128 A (株式会社デンソー) 2012. 06. 14, 段落 (0146) , 図 20 & US 2012/0106220 A1 (段落 (0136) , 図 20A-20B)	1, 7, 13-14 2-6, 8-12, 15-17
Y	JP 2013-45882 A (三菱電機株式会社) 2013. 03. 04, 段落 (0018) - (0035) , 図 2-3 (ファミリーなし)	2-6, 8-12, 15-17
Y	W0 2013/132528 A1 (富士電機株式会社) 2013. 09. 12, 段落 (0064) - (0066) , 図 13-15 & US 2014/0321171 A1 (段落 (0084) - (0086) , 図 13-15) & W0 2013/132827 A1 & EP 2824815 A1	2-6, 8-12, 15-17

c 欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献の カテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「F」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「J」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「B」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 15. 12. 2015	国際調査報告の発送日 28. 12. 2015
国際調査機関の名称及びあて先 日本国特許庁 (ISA / JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小林 紀和 電話番号 03-3581-1101 内線 3357

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-71129 A (株式会社 I H I) 2009. 04. 02, 段落 (030) , 図 1 (ファミリーなし)	2-6, 8-12 , 15-17