



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201610993 A

(43)公開日：中華民國 105 (2016) 年 03 月 16 日

(21)申請案號：104116143

(22)申請日：中華民國 104 (2015) 年 05 月 20 日

(51)Int. Cl. : *G11C11/4076(2006.01)*

G11C7/10 (2006.01)

H03L7/08 (2006.01)

(30)優先權：2014/06/06 美國

14/298,730

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：迪芬德福江克里斯坦 DIFFENDERFER, JAN CHRISTIAN (US) ; 陳月春克萊爾

CHENG, YUEHCHUN CLAIRE (US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：30 項 圖式數：22 共 81 頁

(54)名稱

用於記憶體介面的可程式設計功率

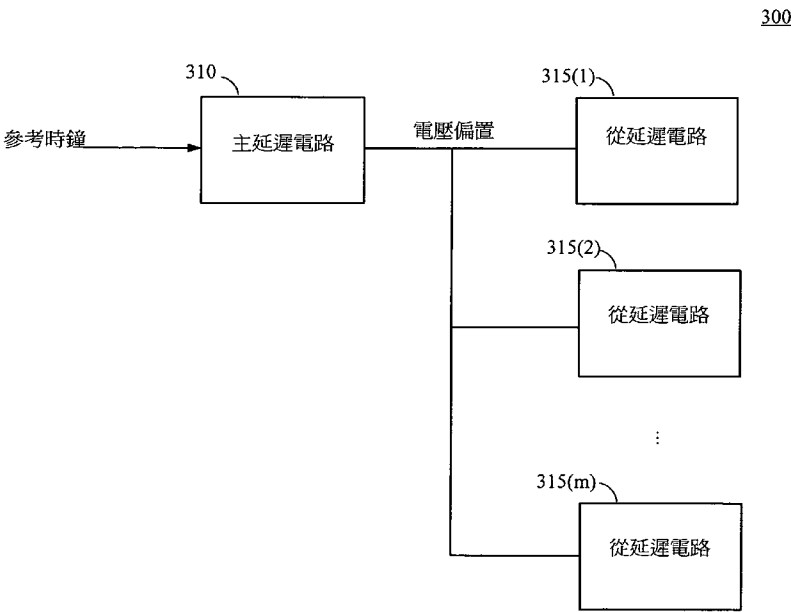
PROGRAMMABLE POWER FOR A MEMORY INTERFACE

(57)摘要

本文描述了用於延遲控制的系統和方法。在一個實施例中，延遲系統包括第一延遲電路，該第一延遲電路被配置成向第二延遲電路提供電壓偏置並且以一更新速率來更新電壓偏置，其中該電壓偏置控制第二延遲電路的延遲。該延遲系統亦包括被配置成調整第一延遲電路的更新速率的更新控制器。例如，更新控制器可以基於納入該延遲系統的記憶體介面的時序要求來調整更新速率。在時序要求較放鬆時可以減小更新速率以降低功率，而在時序要求較嚴格時可以增大更新速率。

Systems and methods for delay control are described herein. In one embodiment, a delay system comprises a first delay circuit configured to provide a voltage bias to a second delay circuit, wherein the voltage bias controls a delay of the second delay circuit, and to update the voltage bias at an update rate. The delay system also comprises an update controller configured to adjust the update rate of the first delay circuit. For example, the update controller may adjust the update rate based on timing requirements of a memory interface incorporating the delay system. The update rate may be reduced when the timing requirements are more relaxed to reduce power, and may be increased when the timing requirements are tighter.

指定代表圖：



符號簡單說明：

310 . . . 主延遲電路

315(1) . . . 從延遲電路

315(2) . . . 從延遲電路

315(m) . . . 從延遲電路

圖3

發明摘要

※ 申請案號：104116143

※ 申請日：104 年 5 月 20 日

※IPC 分類：G11C 11/4076 (2006.01)

G11C 7/10 (2006.01)

H03L 7/08 (2006.01)

【發明名稱】（中文/英文）

用於記憶體介面的可程式設計功率

PROGRAMMABLE POWER FOR A MEMORY
INTERFACE

【中文】

本文描述了用於延遲控制的系統和方法。在一個實施例中，延遲系統包括第一延遲電路，該第一延遲電路被配置成向第二延遲電路提供電壓偏置並且以一更新速率來更新電壓偏置，其中該電壓偏置控制第二延遲電路的延遲。該延遲系統亦包括被配置成調整第一延遲電路的更新速率的更新控制器。例如，更新控制器可以基於納入該延遲系統的記憶體介面的時序要求來調整更新速率。在時序要求較放鬆時可以減小更新速率以降低功率，而在時序要求較嚴格時可以增大更新速率。

【英文】

Systems and methods for delay control are described herein. In one embodiment, a delay system comprises a first delay circuit configured to provide a voltage bias to a second delay circuit, wherein the voltage bias controls a delay of the second delay circuit, and to update the voltage

bias at an update rate. The delay system also comprises an update controller configured to adjust the update rate of the first delay circuit. For example, the update controller may adjust the update rate based on timing requirements of a memory interface incorporating the delay system. The update rate may be reduced when the timing requirements are more relaxed to reduce power, and may be increased when the timing requirements are tighter.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

310 主延遲電路

315(1) 從延遲電路

315(2) 從延遲電路

315(m) 從延遲電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於記憶體介面的可程式設計功率

PROGRAMMABLE POWER FOR A MEMORY
INTERFACE

【技術領域】

【0001】 本案的各態樣一般係關於記憶體，更特定言之係關於用於記憶體介面的可程式設計功率。

【先前技術】

【0002】 晶片可以包括用於將該晶片上的電路（例如，記憶體控制器）與外部記憶體設備（諸如雙倍資料速率動態隨機存取記憶體（DDR DRAM））對接的記憶體介面。該記憶體介面可以包括用於調整記憶體介面中的信號（例如，資料信號）的時序的延遲電路。例如，記憶體介面可以包括延遲電路以補償資料信號之間的偏斜（例如，由於記憶體介面與外部記憶體設備之間的資料線的長度失配所引起的偏斜）。在另一實例中，記憶體介面可以包括延遲電路以使得用於資料取樣的資料選通訊號集中在資料信號的轉變之間。

【發明內容】

【0003】 以下提供對一或多個實施例的簡化概述以提供對此類實施例的基本理解。此概述不是所有構想到的實施例的詳盡綜覽，並且既非意欲識別所有實施例的關鍵性或決定性要

素，亦非試圖界定任何或所有實施例的範圍。其唯一的目的是要以簡化形式提供一或多個實施例的一些概念，以作為稍後提供的更加具體的說明之序。

【0004】根據一態樣，本文描述了一種延遲系統。該延遲系統包括第一延遲電路，該第一延遲電路被配置成向第二延遲電路提供電壓偏置並且以一更新速率來更新該電壓偏置，其中該電壓偏置控制第二延遲電路的延遲。該延遲系統亦包括被配置成調整第一延遲電路的更新速率的更新控制器。

【0005】第二態樣係關於一種用於延遲控制的方法。該方法包括向延遲電路提供電壓偏置，其中該電壓偏置控制該延遲電路的延遲。該方法亦包括以一更新速率來更新電壓偏置，以及調整該更新速率。

【0006】第三態樣係關於一種用於延遲控制的裝置。該裝置包括用於向延遲電路提供電壓偏置的手段，其中該電壓偏置控制該延遲電路的延遲。該裝置亦包括用於以一更新速率來更新電壓偏置的手段，以及用於調整該更新速率的手段。

【0007】第四態樣係關於一種記憶體介面。該記憶體介面包括被配置成延遲信號的第一延遲電路，其中該信號包括資料信號和資料選通訊號中的一者。該記憶體介面亦包括第二延遲電路，該第二延遲電路被配置成向第一延遲電路提供電壓偏置並且以一更新速率來更新該電壓偏置，其中該電壓偏置控制第一延遲電路的延遲。該記憶體介面進一步包括被配置成調整第二延遲電路的更新速率的更新控制器。

【0008】為能達成前述及相關目的，該一或多個實施例包括

在下文中充分描述並在請求項中特別指出的特徵。以下說明和所附插圖詳細闡述了該一或多個實施例的某些說明性態樣。但是，該等態樣僅僅是指示了可採用各個實施例的原理的各種方式中的若干種，並且所描述的實施例意欲涵蓋所有此類態樣及其等效方案。

【圖式簡單說明】

【0009】 圖1圖示用於與外部記憶體設備對接的記憶體介面的實例。

【0010】 圖2是圖示資料信號與資料選通之間的時序的實例的時序圖。

【0011】 圖3圖示根據本案的一實施例的主從架構的實例。

【0012】 圖4圖示根據本案的一實施例的從延遲電路的實例。

【0013】 圖5圖示根據本案的一實施例的主延遲電路的實例。

【0014】 圖6圖示根據本案的一實施例的時鐘延遲電路的實例。

【0015】 圖7圖示根據本案的一實施例的具有可程式設計功率的主延遲電路。

【0016】 圖8是圖示根據本案的一實施例的其中每兩個時鐘週期更新電壓偏置的實例的時序圖。

【0017】 圖9是圖示根據本案的一實施例的其中每四個時鐘週期更新電壓偏置的實例的時序圖。

【0018】 圖10是圖示根據本案的一實施例的其中每四個時鐘週期更新電壓偏置的另一實例的時序圖。

【0019】 圖11示出根據本案的一實施例的更新電路的示例性

實施。

【0020】圖12是圖示根據本案的一實施例的迴路鎖定的實施的時序圖。

【0021】圖13圖示根據本案的另一實施例的從延遲電路的示例性實施。

【0022】圖14A和14B圖示經由圖13的從延遲電路的不同延遲路徑的實施。

【0023】圖15圖示根據本案的一實施例的具有壓控延遲的反及閘的示例性實施。

【0024】圖16圖示根據本案的另一實施例的主延遲電路的示例性實施。

【0025】圖17圖示根據本案的另一實施例的時鐘延遲電路的示例性實施。

【0026】圖18是圖示根據本案的一實施例的時鐘延遲電路的第一延遲級和第二延遲級的輸出的時序圖。

【0027】圖19圖示根據本案的一實施例的計數電路的示例性實施。

【0028】圖20圖示根據本案的一實施例的重置邏輯的示例性實施。

【0029】圖21圖示根據本案的另一實施例的更新電路的示例性實施。

【0030】圖22是圖示根據本案的一實施例的用於延遲控制的方法的流程圖。

【實施方式】

【0031】 以下結合附圖闡述的詳細描述意欲作為各種配置的描述，而無意表示可實踐本文中所描述的概念的僅有的配置。本詳細描述包括特定細節以便提供對各種概念的透徹理解。然而，對於本領域技藝人士將顯而易見的是，沒有該等特定細節亦可實踐該等概念。在一些實例中，以方塊圖形式示出眾所周知的結構和元件以避免湮沒此類概念。

【0032】 晶片可以包括用於將該晶片上的電路（例如，記憶體控制器）與外部記憶體設備（諸如DDR DRAM）對接的記憶體介面。圖1圖示用於使晶片與外部記憶體設備（未圖示）對接的示例性記憶體介面100。記憶體介面100包括第一複數個正反器115(1)-115(n)、第一複數個去偏斜電路120(1)-120(n)、第二複數個正反器135(1)-135(n)、第二複數個去偏斜電路145(1)-145(n)、第一延遲電路125，以及第二延遲電路140。

【0033】 在寫操作期間，第一複數個正反器115(1)-115(n)並行地接收複數個資料信號117(1)-117(n)。每個正反器115(1)-115(n)亦接收資料選通訊號119，該資料選通訊號119可以是具有傳入資料信號117(1)-117(n)的頻率的一半頻率的週期性信號。每個正反器115(1)-115(n)在資料選通訊號119的上升沿和下降沿上擷取來自相應資料信號117(1)-117(n)的資料位元，並且將擷取到的資料位元輸出至相應的去偏斜電路120(1)-120(n)，以下更詳細地描述去偏斜電路。

【0034】 資料選通訊號119亦被輸入至第一延遲電路125。在第一延遲電路125之前，資料選通訊號119的邊沿與正反器115(1)-115(n)的輸出資料信號118(1)-118(n)的轉變大致對準

。如此是因為每個正反器 115(1)-115(n) 在資料選通訊號 119 的上升沿和下降沿上擷取相應輸出資料信號 118(1)-118(n) 的資料位元。第一延遲電路 125 使資料選通訊號 119 延遲四分之一週期，以使得經延遲資料選通訊號 121 的邊沿大致集中在輸出資料信號 118(1)-118(n) 的轉變之間。

【0035】圖 2 圖示輸出資料信號 118 之一與資料選通訊號 119 之間的時序關係的簡化實例。在該一實例中，資料選通訊號 119 的上升沿 220 和下降沿 222 與輸出資料信號 118 的轉變 210 大致對準。在被延遲四分之一週期 ($T/4$) 之後，資料選通訊號 121 的上升沿 220 和下降沿 222 大致集中在輸出資料信號 118 的轉變 210 之間，如圖 2 中所示。記憶體設備在資料選通訊號 121 的邊沿處對資料信號進行取樣。使資料選通訊號 121 的邊沿集中在資料信號的轉變之間有助於確保記憶體設備在資料信號的有效資料訊窗內對該資料信號進行取樣。

【0036】每個去偏斜電路 120(1)-120(n) 將少量延遲添加至相應的資料信號 118(1)-118(n) 以補償從記憶體介面 100 行至記憶體設備（例如，DDR DRAM）的資料信號之間的偏斜。該偏斜可能是由於用於將資料信號傳輸至記憶體設備的線的長度失配及 / 或另一原因所引起的。在被相應的去偏斜電路 120(1)-120(n) 延遲之後，每個輸出資料信號在相應的雙向資料線 DQ_0 - DQ_{n-1} 上被輸出至記憶體設備。資料選通訊號 121 在雙向選通線 DQS 上被輸出至記憶體設備。記憶體設備使用資料選通訊號 121 來對接收自記憶體介面 100 的資料信號進行取樣。

【0037】在讀操作期間，記憶體介面100經由雙向資料線DQ₀-DQ_{n-1}接收來自記憶體設備的複數個資料信號132(1)-132(n)並且經由雙向選通線DQS接收來自記憶體設備的資料選通訊號134。第二複數個去偏斜電路145(1)-145(n)之每一者去偏斜電路接收資料信號132(1)-132(n)之一並且將少量延遲添加至相應的資料信號以補償資料信號之間的偏斜。

【0038】來自記憶體設備的資料選通訊號134被輸入至第二延遲電路140，第二延遲電路140將資料選通訊號134延遲四分之一週期。如此做的原因是記憶體設備在資料選通訊號的邊沿與資料信號132(1)-132(n)的轉變對準的情況下輸出資料選通訊號134。經由使資料選通訊號134延遲四分之一週期，第二延遲電路140將經延遲資料選通訊號136的邊沿大致集中在資料信號132(1)-132(n)的轉變之間。

【0039】經延遲資料選通136隨後被輸入至第二複數個正反器135(1)-135(n)之每一者正反器的時鐘輸入端。例如，可以使用時鐘樹來將經延遲資料選通訊號136分發至正反器135(1)-135(n)的時鐘輸入端。每個正反器135(1)-135(n)在經延遲資料選通訊號136的上升沿和下降沿上擷取來自相應去偏斜電路145(1)-145(n)的輸出端138(1)-138(n)的資料位元。結果得到的輸出資料信號142(1)-142(n)可被發送給記憶體介面100中的附加電路系統（未圖示）以供進一步處理。

【0040】記憶體介面100可以支援多個資料率，其中可以動態地調整向記憶體設備發送資料和從記憶體設備接收資料的速率。例如，可以針對需要高資料率的應用增加資料率，並且

可以針對不需要高資料率的應用減小資料率。當資料率改變時，需要相應地調整延遲電路125和140的延遲。例如，當資料率加倍時，使資料選通訊號119的週期減半。在該實例中，第一延遲電路125的延遲被減半以維持資料選通訊號119的四分之一週期的延遲。在另一實例中，當資料率減半時，使資料選通訊號119的週期加倍。在該實例中，第一延遲電路125的延遲被加倍以維持資料選通訊號119的四分之一週期的延遲。

【0041】圖3圖示用於在記憶體介面（例如，記憶體介面100）中提供受控延遲的主從架構300的實例。主從架構300包括主延遲電路310和複數個從延遲電路315(1)-315(m)。每個從延遲電路315(1)-315(m)提供作為步進延遲（step delay）的倍數的延遲，其中該步進延遲藉由來自主延遲電路310的電壓偏置來控制。主延遲電路310基於（例如，來自晶體振盪器的）參考時鐘來調整該電壓偏置以維持從延遲電路315(1)-315(m)的期望步進延遲，如以下進一步論述的。從延遲電路315(1)-315(m)可被用於實施圖1中所示的延遲電路125和140以及去偏斜電路120(1)-120(n)和145(1)-145(n)。

【0042】圖4圖示從延遲電路315之一的示例性實施。從延遲電路315包括複數個延遲元件440(1)-440(p)（例如，緩衝器）和多工器（MUX）450。用來自主延遲電路310的電壓偏置來偏置延遲元件440(1)-440(p)之每一者延遲元件。該電壓偏置控制每個延遲元件440(1)-440(p)的延遲。

【0043】延遲元件440(1)-440(p)串聯耦合以形成延遲鏈430

，其中每個延遲元件440(1)-440(p)的輸出端445(1)-445(p)將不同量的延遲提供給在從延遲電路315的輸入端（標示為「IN」）處接收的信號。更具體地，每個延遲元件440(1)-440(p)的輸出端445(1)-445(p)提供作為步進延遲的不同倍數的延遲，其中該步進延遲是一個延遲元件的延遲。例如，輸出端445(1)提供等於一個步進延遲的延遲，輸出端445(2)提供等於兩個步進延遲的延遲，輸出端445(3)提供等於三個步進延遲的延遲，以此類推。

【0044】延遲元件440(1)-440(p)的輸出端445(1)-445(p)耦合至多工器450，多工器450在延遲控制器460的控制下選擇輸出端445(1)-445(p)之一。多工器450將所選輸出端耦合至從延遲電路315的輸出端（標示為「OUT」）。延遲控制器460藉由指令多工器450選擇與期望延遲相對應的延遲元件440(1)-440(p)的輸出端445(1)-445(p)來控制延遲電路315的延遲。

【0045】因此，延遲控制器460藉由控制輸入信號所通過的延遲元件440(1)-440(p)的數目來調整從延遲電路315的延遲。如此允許延遲控制器460經由步進延遲的倍數來控制延遲，其中該步進延遲是一個延遲元件的延遲。該步進延遲經由來自主延遲電路310的電壓偏置來控制，如以上所論述的。圖4中的從延遲電路315可被用於實施圖1中所示的延遲電路125和140以及去偏斜電路120(1)-120(n)和145(1)-145(n)中的任一者。以下論述從延遲電路的其他實施的實例。

【0046】圖5圖示主延遲電路310的示例性實施。在該實例中，主延遲電路310是延遲鎖定迴路（DLL），該DLL包括重定時

電路510、時鐘延遲電路515、相位頻率偵測器（PFD）520和電壓偏置控制器525。如以下進一步論述的，主延遲電路310的電壓偏置輸出經由回饋迴路517回饋至時鐘延遲電路515以達成期望的步進延遲。

【0047】 在操作中，重定時電路510接收參考時鐘、將參考時鐘延遲一個時鐘週期，並且將經延遲參考時鐘輸出至PFD 520的第一輸入端522。重定時電路510亦將參考時鐘輸出至時鐘延遲電路515。時鐘延遲電路515將參考時鐘延遲由電壓偏置控制的量，該電壓偏置經由回饋迴路517從主延遲電路310的輸出端回饋至時鐘延遲電路515。時鐘延遲電路515將結果得到的經延遲參考時鐘輸出至PFD 520的第二輸入端524。

【0048】 PFD 520偵測第一輸入522與第二輸入524之間的相位誤差，並且基於偵測到的相位誤差來將相位誤差信號輸出至電壓偏置控制器525。電壓偏置電路525朝減少相位誤差的方向調整電壓偏置。電壓偏置電路525可以用電荷泵和迴路濾波器來實施。

【0049】 當時鐘延遲電路515的延遲大致等於一個參考時鐘週期時，相位誤差接近0。因此，電壓偏置控制器525調整電壓偏置，以使得時鐘延遲電路515的延遲大致等於一個時鐘週期。在一個態樣中，時鐘延遲電路515具有大致等於從延遲電路315(1)-315(m)的步進延遲的M倍的延遲。因此，在該態樣中，主延遲電路310調整電壓偏置以維持約為 T/M 的步進延遲，其中T是一個時鐘週期（循環）。

【0050】 在一個態樣中，由晶體振盪器（XO）提供參考時鐘

。晶體振盪器能夠產生大致隨溫度、電壓及/或製程不變的參考時鐘。由於主延遲電路310將參考時鐘用作用於調整電壓偏置的參考，因而主延遲電路310能夠調整該電壓偏置以維持大致隨溫度、電壓及/或製程不變的步進延遲。

【0051】圖6圖示時鐘延遲電路515的示例性實施。在該實施中，時鐘延遲電路515包括串聯耦合的M個延遲元件610(1)-610(M)，其中每個延遲元件610(1)-610(M)由來自電壓偏置控制器525的電壓偏置來偏置。時鐘延遲電路515中的延遲元件610(1)-610(M)可以是從延遲電路315(1)-315(m)中的延遲元件440(1)-440(p)的複製品。

【0052】主延遲電路310可以在每個參考時鐘週期期間更新電壓偏置。具體地，PFD 520可以在每個時鐘週期（循環）期間偵測第一輸入522與第二輸入524之間的相位誤差，並且將偵測到的相位誤差輸出至電壓偏置控制器525以更新電壓偏置。然而，在每個時鐘週期（循環）期間更新電壓偏置可能消耗相對大量的功率，此舉在記憶體介面被實施在行動設備中時會減少電池壽命。

【0053】本案的各實施例提供了用於主延遲電路的可程式設計功率，其中藉由調整主延遲電路更新至從延遲電路的電壓偏置的速率來調整主延遲電路的功耗。例如，主延遲電路可以在效能要求較低（例如，較低資料率）時較不頻繁地更新電壓偏置以降低功耗，如以下進一步論述的。

【0054】圖7圖示根據本案的一實施例的具有可程式設計功率的主延遲電路710。主延遲電路710是延遲鎖定迴路（DLL）

，該DLL包括時鐘延遲電路515、相位頻率偵測器（PFD）520和電壓偏置控制器525。主延遲電路710進一步包括更新電路712和輸出電容器730。

【0055】更新電路712被配置成基於來自更新控制器750的控制信號N來控制主延遲電路710更新電壓偏置的速率，其中N是可程式設計的並且可以是整數。更具體地，更新電路712使主延遲電路710每N個參考時鐘週期（循環）更新電壓偏置（亦即，每N個週期一次電壓偏置更新的速率）。例如，若N等於2，則主延遲電路710每兩個時鐘週期（循環）更新電壓偏置。

【0056】更新電路712可用於藉由調整更新電壓偏置的速率來調整主延遲電路710的功耗。例如，更新控制器750可藉由增大N（亦即，減小更新電壓偏置的速率）來降低主延遲電路710的功耗。

【0057】在操作中，更新電路712每N個參考時鐘週期（循環）輸出一對脈衝。每一對脈衝包括Q脈衝和ZQ脈衝，其中ZQ脈衝相對於Q脈衝被延遲大致一個時鐘週期。對於每一對脈衝，更新電路712將ZQ脈衝輸出至PFD 520的第一輸入端522並且將Q脈衝輸出至時鐘延遲電路515。時鐘延遲電路515將Q脈衝延遲由電壓偏置控制的量，該電壓偏置經由回饋迴路517從電壓偏置控制器525的輸出端回饋至時鐘延遲電路515。時鐘延遲電路515將結果得到的經延遲Q脈衝輸出至PFD 520的第二輸入端524。PFD 520偵測ZQ脈衝與經延遲Q脈衝之間的相位誤差。例如，PFD 520可以藉由偵測ZQ脈衝與經延遲Q脈衝的

上升沿之間的相位差，或者ZQ脈衝與經延遲Q脈衝的下降沿之間的相位差來偵測相位誤差。PFD 520基於偵測到的相位誤差來將相位誤差信號輸出至電壓偏置控制器525。電壓偏置電路525朝減少相位誤差的方向調整電壓偏置。

【0058】當時鐘延遲電路515的延遲大致等於一個參考時鐘週期時，相位誤差接近0。因此，電壓偏置控制器525調整電壓偏置，以使得時鐘延遲電路515的延遲大致等於一個時鐘週期。在一個實施例中，時鐘延遲電路515具有大致等於從延遲電路315(1)-315(m)的步進延遲的M倍的延遲。因此，在該實施例中，主延遲電路710每N個時鐘週期（循環）更新電壓偏置以維持約為 T/M 的步進延遲，其中T是一個時鐘週期（循環）。

【0059】輸出電容器730被用於在各更新之間保持在電壓偏置控制器525的輸出端處的電壓偏置。輸出電容器730處的電壓偏置可能在電壓偏置的各更新之間漂移，從而導致從延遲電路315(1)-315(m)處的信號干擾。當各更新之間的時間量增加時，電壓偏置可能漂移較大量。作為結果，減小主延遲電路710更新電壓偏置的速率（亦即，增大N）可能會以較低效能（例如，較高信號干擾）為代價來降低功耗。因此，可能在減少主延遲電路710的功率與主延遲電路710的效能之間存在折衷。

【0060】在此方面，更新控制器750可被配置成將電壓偏置更新的速率減小至（並且因此將功率減小至）針對特定應用仍提供足夠效能的位準。例如，當記憶體介面以相對較慢的資

料率操作時，有效資料訊窗相對較大。這放鬆了記憶體介面的時序要求，從而允許記憶體介面容忍來自主延遲電路710的較低效能（亦即，各更新之間較大的電壓偏置漂移）。在該情形中，更新控制器750可以減小電壓偏置更新的速率（亦即，增大N）以降低功耗。當記憶體介面以較高資料率操作時，有效資料訊窗較小並且記憶體介面的時序要求較嚴格（例如，記憶體介面中的正反器容忍較少信號干擾）。在該情形中，更新控制器750可以增大電壓偏置更新的速率（亦即，減小N）以提高主延遲電路710的效能。因此，可以在不需要高效能時減小更新電壓偏置的速率以降低功耗，並且可以在需要高效能時（例如，在較高資料率時）增大更新電壓偏置的速率。

【0061】現在將參照圖8和9來描述主延遲電路710針對兩個不同的N值的示例性操作。圖8是圖示其中N等於2的實例的時序圖。在該實例中，更新電路712每兩個參考時鐘週期（循環）輸出一對脈衝810(1)-810(3)。每一對脈衝810(1)-810(3)包括輸出至時鐘延遲電路515的Q脈衝和輸出至PFD 520的第一輸入端522的ZQ脈衝，其中ZQ脈衝相對於Q脈衝被延遲大致一個時鐘週期。

【0062】圖8亦圖示在每個Q脈衝已被時鐘延遲電路515延遲之後的該Q脈衝。對於每一對脈衝，PFD 520偵測相應的ZQ脈衝與相應的經延遲Q脈衝之間的相位誤差（如圖8中所示），並且電壓偏置控制器525基於偵測到的相位誤差來更新電壓偏置。在此該例中，主延遲電路710偵測相位誤差並且每兩個參考時鐘週期（循環）基於偵測到的相位誤差來更新電壓偏置。

。

【0063】 儘管圖8圖示其中每個經延遲Q脈衝相對於相應的ZQ脈衝較早（先於相應的ZQ脈衝）的實例，但是應當瞭解，經延遲Q脈衝可以相對於ZQ脈衝較晚。對於其中經延遲Q脈衝較早的情形，電壓偏置控制器525增加時鐘延遲電路515的延遲以減小相位誤差。對於其中經延遲Q脈衝較晚的情形，電壓偏置控制器525減少時鐘延遲電路515的延遲以減小相位誤差。

【0064】 圖9是圖示其中N等於4的實例的時序圖。在該實例中，更新電路712每四個參考時鐘週期（循環）輸出一對脈衝910(1)-910(3)。每一對脈衝910(1)-910(3)包括輸出至時鐘延遲電路515的Q脈衝和輸出至PFD 520的第一輸入端522的ZQ脈衝，其中ZQ脈衝相對於Q脈衝被延遲大致一個時鐘週期。

【0065】 圖9亦圖示在每個Q脈衝已被時鐘延遲電路515延遲之後的該Q脈衝。對於每一對脈衝，PFD 520偵測相應的ZQ脈衝與相應的經延遲Q脈衝之間的相位誤差（如圖9中所示），並且電壓偏置控制器525基於偵測到的相位誤差來更新電壓偏置。在該實例中，主延遲電路710偵測相位誤差並且每四個參考時鐘週期（循環）基於偵測到的相位誤差來更新電壓偏置。

【0066】 因此，圖8圖示其中每兩個時鐘週期更新電壓偏置的實例，而圖9圖示每四個時鐘週期更新電壓偏置的實例。與圖8中的實例相比，圖9中的實例可藉由較不頻繁地更新電壓偏置來降低功耗，此舉以各更新之間的較多電壓偏置漂移為代

價。

【0067】圖10是圖示其中N等於4的另一實例的時序圖。在該實例中，更新電路712每四個參考時鐘週期（循環）輸出一對脈衝1010(1)-1010(3)。每一對脈衝1010(1)-1010(3)包括輸出至時鐘延遲電路515的Q脈衝和輸出至PFD 520的第一輸入端522的ZQ脈衝，其中ZQ脈衝相對於Q脈衝被延遲大致一個時鐘週期。該實例與圖9中的實例的不同之處在於：ZQ和Q脈衝為低而非為高，並且更新電路712的兩個輸出端在各脈衝之間為高而非為低。

【0068】圖10亦圖示在每個Q脈衝已被時鐘延遲電路515延遲之後的該Q脈衝。對於每一對脈衝，PFD 520偵測相應的ZQ脈衝與相應的經延遲Q脈衝之間的相位誤差（如圖10中所示），並且電壓偏置控制器525基於偵測到的相位誤差來更新電壓偏置。應當瞭解，PFD 520可以藉由偵測該等脈衝的上升沿之間的相位差或者該等脈衝的下降沿之間的相位差來偵測相位誤差（圖10中所示）。在該實例中，主延遲電路710每四個參考時鐘週期（循環）更新電壓偏置。

【0069】圖11圖示根據本案的一實施例的更新電路712的示例性實施。在該實施例中，更新電路712包括可程式設計計數器1110、第一時鐘閘1115、第二時鐘閘1120，以及時鐘週期延遲電路1122。時鐘閘1115和1120中的每一者接收參考時鐘，並且被配置成在時鐘閘接收到閘賦能信號時使參考時鐘通過，而在時鐘閘接收到閘去能信號時阻擋參考時鐘，如以下進一步論述的。

【0070】可程式設計計數器1110接收來自更新控制器750的控制信號N以及參考時鐘。計數器1110被配置成在每第N個參考時鐘週期（循環）期間輸出閘賦能信號1125，並且在每第N個週期（循環）之間的（諸）週期期間輸出閘去能信號，其中N大於1。閘賦能信號1125使第一時鐘閘1115通過參考時鐘達一個時鐘週期以產生Q脈衝。時鐘週期延遲電路1122將閘賦能信號延遲一個時鐘週期，並且將經延遲閘賦能信號1130輸出至第二時鐘閘1120。經延遲閘賦能信號1130使第二時鐘閘1120通過參考時鐘達一個時鐘週期以產生ZQ脈衝。由於輸入至第二時鐘閘1120的閘賦能信號1130相對於輸入至第一時鐘閘1115的閘賦能信號1125延遲了一個時鐘週期，因而ZQ脈衝相對於Q脈衝延遲了一個時鐘週期。

【0071】如以上所論述的，計數器1110在每第N個參考時鐘週期（循環）期間輸出閘賦能信號1125。為此，計數器1110可以對參考時鐘的週期數進行計數，並且每當計數器1110數到N個參考時鐘週期時就輸出閘賦能信號。由於N的值是可程式設計的，因而計數器1010賦能時鐘閘1115和1120以產生脈衝對的速率（以及因此主延遲電路710更新電壓偏置的速率）是可程式設計的。

【0072】時鐘閘1115和1120中的每一者可以使用一或多個邏輯閘來實施。例如，每個時鐘閘1115和1120可以包括具有第一輸入端和第二輸入端的及閘。該及閘的第一輸入端接收參考時鐘並且該及閘的第二輸入端接收閘賦能信號（邏輯1）或閘去能信號（邏輯0）。在該實例中，當該及閘接收到閘賦能

信號（邏輯1）時，該及閘使參考時鐘通過，並且當該及閘接收到閘去能信號（邏輯0）時，該及閘阻擋參考時鐘。當參考時鐘被阻擋時，該及閘輸出邏輯0。根據該實施例的時鐘閘1115和1120可被用於產生高脈衝對（其實例在圖8和9中示出）。

【0073】在另一實例中，每個時鐘閘1115和1120可以包括具有第一輸入端和第二輸入端的或閘。該或閘的第一輸入端接收參考時鐘並且該或閘的第二輸入端接收閘賦能信號（邏輯0）或閘去能信號（邏輯1）。在該實例中，當該或閘接收到閘賦能信號（邏輯0）時，該或閘使參考時鐘通過，並且當該或閘接收到閘去能信號（邏輯1）時，該或閘阻擋參考時鐘。當參考時鐘被阻擋時，該或閘輸出邏輯1。根據該實施例的時鐘閘1115和1120可被用於產生低脈衝對（其實例在圖10中示出）。

【0074】應當瞭解，時鐘閘1115和1120不限於以上論述的實例，並且每個時鐘閘1115和1120可以使用其他類型的邏輯閘及/或邏輯閘的組合來實施。

【0075】時鐘週期延遲電路1122可以用正反器（例如，D正反器）來實施，該正反器接收參考時鐘和閘賦能信號並且使閘賦能信號延遲所接收到的參考時鐘的一個週期。

【0076】如以上論述的，更新控制器750可以基於記憶體介面的時序要求來調整N的值。例如，時序要求可以取決於記憶體介面在給定的時間的資料率。當資料率減小時，記憶體介面的時序要求變得更放鬆，並且因此對主延遲電路的效能要求

降低。在該情形中，可以減小更新電壓偏置的速率（亦即，可以增大 N ）以降低功耗。當資料率增大時，記憶體介面的時序要求變得更嚴格（例如，正反器針對正確的資料取樣可以容忍的信號干擾量減小）。在該情形中，可以增大更新電壓偏置的速率（亦即，可以減小 N ）以提高效能。

【0077】在一個實施例中，更新控制器750可以包括檢視表，其中該檢視表包括由記憶體介面支援的複數個不同的資料率。該檢視表可以將每個資料率映射到相應的 N 值。對於較低的資料率， N 的值可以較大。在該實施例中，更新控制器750可以接收對記憶體介面的當前資料率的指示（例如，來自記憶體控制器），並且使用檢視表來決定與當前資料率相對應的 N 值。更新控制器750可以隨後用所決定的 N 值來對主延遲電路710中的更新電路712進程式設計。

【0078】若資料率改變，則更新控制器750可以使用檢視表來決定與新資料率相對應的 N 值。若新資料率的 N 值不同於先前資料率的 N 值，則更新控制器750可以用針對新資料率的 N 值來對主延遲電路710中的更新電路712進程式設計。由此， N 的值（以及因此電壓偏置更新的速率）可以根據記憶體介面的資料率的變化來調整。

【0079】例如，對於DDR記憶體介面，在資料率低於第一資料率（例如，低於400 MHz）時可以將 N 設置成最大值（例如，32），並且在資料率高於第二資料率（例如，高於1.6 GHz）時可以將 N 設置為1。在該實例中，可以針對第一和第二資料率之間（例如，400 MHz和1.6 GHz之間）的資料率將 N 調

整成1與最大值之間的值。

【0080】當主延遲電路710首次上電時，相位誤差可能相對較大。在此態樣中，更新控制器750可以最初將N的值設為1以快速減小相位誤差並且鎖定主延遲電路710的迴路。當相位誤差降到可接受位準時，更新控制器750可以增大N的值以降低功耗。例如，如以上論述的，更新控制器750可以基於記憶體介面的當前資料率來增大N的值。

【0081】圖12是示出其中N的值在鎖定時段期間最初被設為1的實例的時序圖。在鎖定時段期間，每參考時鐘週期更新電壓偏置以快速地鎖定主延遲電路710的迴路。該鎖定時段可以在相位誤差降到可接受位準（例如，滿足記憶體介面的時序要求的位準）時結束。在主延遲電路710的迴路被鎖定之後，N的值可以增大以減小功率。在圖12中所示的實例中，N的值增大到4。然而，應當瞭解，本案的諸實施例不限於該實例，並且N的值可以增大到滿足記憶體介面的時序要求的任何值。亦應當瞭解，鎖定時段不限於圖12中所示的實例中的歷時。一般而言，鎖定時段的歷時可以取決於將相位誤差減小到可接受位準所需要的電壓偏置更新的次數。

【0082】在一個實施例中，更新控制器750可以在自鎖定時段開始起預定數目的時鐘週期之後結束鎖定時段。在該實施例中，預定數目的時鐘週期可以基於對鎖定主延遲電路710所需要的時鐘週期數目的估計。在另一實施例中，更新控制器750可以監視來自PFD 520的所偵測到的相位誤差。在該實施例中，更新控制器750可以在偵測到的相位誤差降到閾值以下時結

束鎖定時段。

【0083】圖13圖示根據本案的一實施例的從延遲電路1315的示例性實施。從延遲電路1315可被用於實施圖3中所示的從延遲電路315(1)-315(m)中的任何一者。從延遲電路1315包括沿（由箭頭1312指示的）前向路徑的第一複數個反及閘1310(1)-1310(5)，以及沿（由箭頭1332指示的）返回路徑的第二複數個反及閘1330(1)-1330(5)。從延遲電路1315亦包括前向路徑與返回路徑之間的第三複數個反及閘1320(1)-1320(5)，其中每個反及閘1320(1)-1320(5)耦合在前向路徑與返回路徑上的兩個不同位置之間。反及閘1310(1)-1310(5)、1320(1)-1320(5)和1330(1)-1330(5)由來自主延遲電路的電壓偏置（圖13中未圖示）進行偏置，其中該電壓偏置控制每個反及閘的延遲。

【0084】在該實施例中，延遲控制器1340控制從延遲電路1315的輸入端與輸出端（標示為「IN」和「OUT」）之間的延遲。延遲控制器1340藉由選擇性地賦能和去能從延遲電路1315中的反及閘以控制信號通過從延遲電路1315的路徑來控制從延遲電路1315的輸入端與輸出端之間的延遲，如以下進一步論述的。

【0085】在此方面，反及閘1310(1)-1310(5)在控制輸入端1317(1)-1317(5)處接收來自延遲控制器1340的控制信號，反及閘1320(1)-1320(5)在控制輸入端1325(1)-1325(5)處接收來自延遲控制器1340的控制信號，並且反及閘1330(5)在控制輸入端1335處接收來自延遲控制器1340的控制信號。為了便於圖

示，圖13中未圖示反及閘的控制輸入端與延遲控制器1340之間的連接。該等控制信號選擇性地賦能和去能該等反及閘以控制信號通過從延遲電路1315的路徑，並且因此控制信號通過從延遲電路1315的延遲。當反及閘被賦能時（例如，藉由將邏輯1輸入到相應的控制輸入端），則該反及閘充當反相器。當反及閘被去能時（例如，藉由將邏輯0輸入到相應的控制輸入端），則該反及閘的輸出狀態恆定不變。

【0086】圖14A圖示其中延遲控制器1340形成通過從延遲電路1315的反及閘1310(1)-1310(3)、1320(4)和1330(1)-1330(4)的延遲路徑1410的實例。在該實例中，通過從延遲電路1315的延遲等於一個反及閘的延遲的8倍，因為信號傳播通過8個反及閘。圖14A亦圖示從延遲控制器1340輸入到反及閘1310(1)-1310(5)、1320(1)-1320(5)和1330(5)的控制輸入端以形成延遲路徑1410的控制信號的邏輯狀態。為了便於說明，圖14A中未圖示控制輸入端的元件符號。

【0087】圖14B圖示其中延遲控制器1340形成通過從延遲電路1315的反及閘1310(1)-1310(4)、1320(5)和1330(1)-1330(5)的延遲路徑1420的實例。在該實例中，通過從延遲電路1315的延遲等於一個反及閘的延遲的10倍，因為信號傳播通過10個反及閘。圖14B亦圖示從延遲控制器1340輸入到反及閘1310(1)-1310(5)、1320(1)-1320(5)和1330(5)的控制輸入端以形成延遲路徑1420的控制信號的邏輯狀態。為了便於說明，圖14B中未圖示控制輸入端的元件符號。

【0088】在該實施例中，延遲控制器1340能夠將從延遲電路

1315的延遲調整步進延遲的倍數，其中該步進延遲是兩個反及閘的延遲。兩個反及閘的步進延遲確保信號在從延遲電路1315的輸入端和輸出端處具有相同的極性。該步進延遲由從主延遲電路提供給反及閘的電壓偏置來控制。應當瞭解，從延遲電路1315不限於圖13中所示的實例中的反及閘的數目，並且從延遲電路1315可以包括任何數目的反及閘。例如，反及閘的數目可以增加以增加可選延遲的數目。

【0089】圖15圖示根據本案的一實施例的具有壓控延遲的反及閘1510的示例性實施。反及閘1510可被用於實施圖13中的反及閘。反及閘1510包括反及邏輯1512、欠流PMOS電晶體1520，以及欠流NMOS電晶體1550。如以下進一步論述的，反及邏輯1512執行反及閘1510的邏輯功能，並且PMOS和NMOS電晶體1520和1550控制反及閘1510的延遲。

【0090】反及邏輯1512包括第一PMOS電晶體1530、第二PMOS電晶體1535、第一NMOS電晶體1540，以及第二NMOS電晶體1545。第一和第二PMOS電晶體1530和1535的源極耦合在一起，第一和第二PMOS電晶體1530和1535的漏極耦合在一起，第一NMOS電晶體1540的漏極耦合至第一和第二PMOS電晶體1530和1535的漏極，並且第一NMOS電晶體1540的源極耦合至第二NMOS電晶體1545的漏極。第一和第二PMOS電晶體1530和1535的源極經由欠流PMOS電晶體1520耦合至電源Vdd，並且第二NMOS電晶體1545的源極經由欠流NMOS電晶體1550耦合至接地。

【0091】反及閘1510的第一輸入端（標示為「IN1」）耦合至

第一PMOS電晶體1530和第一NMOS電晶體1540的閘極，並且反及閘1510的第二輸入端（標示為「IN2」）耦合至第二PMOS電晶體1535和第二NMOS電晶體1545的閘極。反及閘1510的輸出端（標示為「OUT」）耦合至第一PMOS電晶體1530、第二PMOS電晶體1535和第一NMOS電晶體1540的漏極。

【0092】如以上所論述的，反及邏輯1512執行反及閘1510的邏輯功能。在此方面，反及邏輯1512在第一和第二輸入端（IN1和IN2）均處於邏輯1的情況下輸出邏輯0，否則輸出邏輯1。因此，若第二輸入端（IN2）處於邏輯0，則反及邏輯1512輸出邏輯1，而不管第一輸入端（IN1）處的邏輯狀態。若第二輸入端（IN2）處於邏輯1，則反及邏輯1512輸出第一輸入端（IN1）處的邏輯狀態的逆。

【0093】在一個實例中，第一輸入端（IN1）可被用於接收傳播通過從延遲電路（例如，從延遲電路1315）的信號，並且第二輸入端（IN2）可被用於接收來自延遲控制器（例如，延遲控制器1340）的控制信號。在該實例中，若控制信號為邏輯0，則反及邏輯1512輸出邏輯1，而不管第一輸入端（IN1）處的邏輯狀態。在該情形中，反及邏輯1512不傳播第一輸入端（IN1）處的信號。若控制信號為邏輯1，則反及邏輯1512使第一輸入端（IN1）處的信號反相，並且因此作為反相器來傳播該信號。

【0094】如以上論述的，欠流PMOS電晶體1520和欠流NMOS電晶體1550控制反及閘1510的延遲。更特定言之，欠流NMOS電晶體1550在其閘極處接收第一電壓偏置 V_{bn} ，並且基於第一

電壓偏置 V_{bn} 來控制導致反及閘 1510 的輸出端處的下降沿的信號延遲。如此是因為第一電壓偏置 V_{bn} 控制欠流 NMOS 電晶體 1550 的導電率，並且因此控制可以從反及閘 1510 的輸出端（OUT）通過欠流 NMOS 電晶體 1550 流到地的電流量。此舉進而控制反及閘 1510 的下降時間並且因此控制反及閘 1510 的輸出端（OUT）從高轉變到低（亦即，下降沿）的時間量。第一電壓偏置 V_{bn} 越高，則從輸出端（OUT）至地的電流越大，並且因此延遲越短。第一電壓偏置 V_{bn} 越低，則從輸出端（OUT）至地的電流越小，並且因此延遲越長。

【0095】欠流 PMOS 電晶體 1520 在其閘極處接收第二電壓偏置 V_{bp} ，並且基於第二電壓偏置 V_{bp} 來控制導致反及閘 1510 的輸出端（OUT）處的上升沿的信號延遲。如此是因為第二電壓偏置 V_{bp} 控制欠流 PMOS 電晶體 1520 的導電率，並且因此控制可以從 V_{dd} 通過欠流 PMOS 電晶體 1520 流到反及閘 1510 的輸出端（OUT）的電流量。此舉進而控制反及閘 1510 的上升時間，並且因此控制反及閘 1510 的輸出端從低轉變到高（亦即，上升沿）的時間量。第二電壓偏置 V_{bp} 越低，則從 V_{dd} 至輸出端（OUT）的電流越高，並且因此延遲越短。第二電壓偏置 V_{bp} 越高，則從 V_{dd} 至輸出端（OUT）的電流越小，並且因此延遲越長。

【0096】因此，第一和第二電壓偏置 V_{bn} 和 V_{bp} 控制反及閘 1510 的延遲，並且因此控制包括用反及閘 1510 實施的反及閘的從延遲電路的步進延遲。第一電壓偏置 V_{bn} 控制反及閘 1510 的輸出端（OUT）處的下降沿的延遲，而第二電壓偏置 V_{bp}

控制反及閘1510的輸出端（OUT）處的上升沿的延遲。

【0097】圖16圖示根據本案的一實施例的主延遲電路1610，其被配置成調整第一和第二電壓偏置 V_{bn} 和 V_{bp} 以達成從延遲電路的期望步進延遲。主延遲電路1610包括更新電路712、時鐘延遲電路1615、相位頻率偵測器（PFD）1620、電荷泵1625、 V_{bp} 產生器1640，以及初始拉動電路1650。主延遲電路1610進一步包括耦合在電荷泵1625的輸出端與接地之間的第一電容器1630，以及耦合在 V_{dd} 與 V_{bp} 產生器1640的輸出端之間的第二電容器1645。如以下進一步論述的，第一電容器1630被用於產生第一電壓偏置 V_{bn} ，而第二電容器1645被用於產生第二電壓偏置 V_{bp} 。

【0098】在操作中，更新電路712每 N 個參考時鐘週期（循環）輸出一對脈衝。每一對脈衝包括 Q 脈衝和 ZQ 脈衝，其中 ZQ 脈衝相對於 Q 脈衝被延遲大致一個時鐘週期。對於每一對脈衝，更新電路712將 ZQ 脈衝輸出至PFD 1620的第一輸入端1622並且將 Q 脈衝輸出至時鐘延遲電路1615。時鐘延遲電路1615將 Q 脈衝延遲由第一和第二電壓偏置 V_{bn} 和 V_{bp} 控制的量，該等電壓偏置分別從電荷泵1625和 V_{bp} 產生器1640的輸出端回饋至時鐘延遲電路1615。第一電壓偏置 V_{bn} 經由第一回饋迴路1655回饋至時鐘延遲電路1615，而第二電壓偏置 V_{bp} 經由第二回饋迴路1660回饋至時鐘延遲電路1615。時鐘延遲電路1615將結果得到的經延遲 Q 脈衝輸出至PFD 1620的第二輸入端1624。

【0099】PFD 1620偵測 ZQ 脈衝與經延遲 Q 脈衝之間的相位誤

差。例如，PFD 1620可以通過偵測ZQ脈衝與經延遲Q脈衝的上升沿之間的相位差或者ZQ脈衝與經延遲Q脈衝的下降沿之間的相位差來偵測相位誤差。PFD 1620基於偵測到的相位誤差來將UP（上升）信號及/或DWON（下降）信號輸出至電荷泵1625。UP信號使電荷泵1625對第一電容器1630進行充電（並且因此增大第一電壓偏置 V_{bn} ），DOWN信號使電荷泵1625對第一電容器1630進行放電（並且因此減小第一電壓偏置 V_{bn} ）。PFD 1620朝減小偵測到的相位誤差的方向調整UP信號及/或DOWN信號（並且因此調整第一電壓偏置 V_{bn} ）。

【0100】第一電壓偏置 V_{bn} 被輸入到Vbp產生器1640，Vbp產生器1640基於第一電壓偏置 V_{bn} 來產生第二電壓偏置 V_{bp} 。在一個實施例中，Vbp產生器1640可以簡單地調整第二電壓偏置 V_{bp} ，以使得 $V_{dd} - V_{bp}$ 大致等於 V_{bn} 。在另一實施例中，Vbp產生器1640可以調整第二電壓偏置 V_{bp} ，以使得從延遲電路中的反及閘的上升時間和下降時間大致相等。例如，Vbp產生器1640可以包括由互補信號驅動的兩個反及閘，從而導致該等反及閘中的一個反及閘上升而同時另一個反及閘下降。該兩個反及閘可以由第一和第二電壓偏置 V_{bn} 和 V_{bp} 來偏置，並且可以是從延遲電路中的反及閘的複製品。在該實施例中，Vbp產生器1640可以偵測反及閘的上升沿和下降沿交叉的點（例如，電壓），並且調整第二電壓偏置 V_{bp} ，以使得該交叉點大致在反及閘的電壓擺幅的中間（例如， V_{dd} 的大致一半）。

【0101】當時鐘延遲電路1615的延遲大致等於一個參考時鐘週期時，相位誤差接近0。因此，主延遲電路1610調整第一和

第二電壓偏置 V_{bn} 和 V_{bp} ，以使得時鐘延遲電路 1615 的延遲大致等於一個時鐘週期。在一個實施例中，時鐘延遲電路 1615 具有大致等於從延遲電路的步進延遲的 M 倍的延遲。例如，在一簡單實施中，時鐘延遲電路 1615 可以包括串聯耦合的 $2 \times M$ 個反及閘，其中步進延遲是兩個反及閘的延遲。因此，在該實施例中，主延遲電路 1610 每 N 個時鐘週期（循環）更新第一和第二電壓偏置 V_{bn} 和 V_{bp} 以維持約為 T/M 的步進延遲，其中 T 是一個時鐘週期（循環）。

【0102】第一電容器 1630 在各更新之間保持第一電壓偏置 V_{bn} ，而第二電容器 1645 在各更新之間保持第二電壓偏置 V_{bp} 。第一和第二電壓偏置 V_{bn} 和 V_{bp} 在各更新之間漂移。如以上論述的，增加各更新之間的時間（亦即，增大 N ）將以各更新之間更多的漂移（並且因此較低效能）為代價來降低功耗。在此方面，更新控制器 750 可以調整更新速率（亦即，調整 N ）以降低功耗，而同時仍滿足特定資料率的時序要求。

【0103】初始拉動電路 1650 被配置成設置第一和第二電壓偏置 V_{bn} 和 V_{bp} 的初始值以防止虛鎖定。為此，在重置信號（標示為「 i_rst 」）被斷言（例如， i_rst 為邏輯 1）時，初始拉動電路 1650 最初將第一電壓偏置 V_{bn} 上拉到電源 V_{dd} 並且將第二電壓偏置 V_{bp} 下拉到接地。如此最初將時鐘延遲電路 1615 設置成短於一個時鐘週期的延遲，此舉有助於確保主延遲電路 1610 將時鐘延遲電路 1615 的延遲鎖定到一個時鐘週期。

【0104】在第一和第二電壓偏置 V_{bn} 和 V_{bp} 被初始設置並且重置被關閉（例如， i_rst 為邏輯 0）之後，主延遲電路 1610 可

以在鎖定時段期間每時鐘週期（循環）更新第一和第二電壓偏置 V_{bn} 和 V_{bp} 。一旦主延遲電路 1610 被鎖定，就可以增加各更新之間的間隔（亦即，可以增大 N ）以節省功率，如以上所論述的。

【0105】圖 17 圖示根據本案的一實施例的時鐘延遲電路 1615 的示例性實施。時鐘延遲電路 1615 包括第一延遲級 1710 和第二延遲級 1750。經由時鐘延遲電路 1615 的總延遲大致為經由第一和第二延遲級 1710 和 1750 的延遲的總和。

【0106】第一延遲級 1710 包括振盪器 1720 和計數電路 1730。振盪器 1720 包括延遲電路 1725 和振盪賦能/去能電路 1740。

【0107】延遲電路 1725 可以包括在與圖 13 中的從延遲電路 1315 的結構相似的結構中耦合的反及閘。在圖 17 中所示的實例中，延遲電路 1725 中的一部分反及閘被賦能以形成通過延遲電路 1725 的延遲路徑 1712。在一個實例中，路徑 1712 的延遲等於 $16 \cdot t_d$ ，其中 t_d 為一個步進延遲（例如，兩個反及閘的延遲）。步進延遲 t_d 由第一和第二電壓偏置 V_{bn} 和 V_{bp} （圖 17 中未圖示）來控制。

【0108】振盪賦能/去能電路 1740 基於來自計數電路 1730 的控制信號來控制是賦能還是去能振盪器 1720，如以下進一步論述的。在圖 17 中的實例中，振盪賦能/去能電路 1740 包括反及閘 1740，反及閘 1740 具有耦合至延遲電路 1725 的輸出端 1735 的第一輸入端、耦合至計數電路 1730 以用於接收控制信號的第二輸入端 1745（亦稱為控制輸入端），以及耦合至延遲電路 1725 的輸入端的輸出端。反及閘 1740 可以由第一和第二

電壓偏置 V_{bn} 和 V_{bp} (圖 17 中未圖示) 來偏置。

【0109】在該實例中，當控制信號為邏輯 1 時，反及閘 1740 充當延遲電路 1725 的輸出端與輸入端之間的反相器，從而導致延遲電路 1725 振盪。因此，當控制信號為邏輯 1 時，振盪器 1720 被賦能。當控制信號為邏輯 0 時，反及閘 1740 的輸出狀態在邏輯 1 處保持恆定，而不管延遲電路 1725 的輸出端處的邏輯狀態。如此有效地將延遲電路 1725 的輸出端與延遲電路 1725 的輸入端阻隔開。結果，防止延遲電路 1725 振盪。因此，當控制信號為邏輯 0 時，振盪器 1720 被去能。

【0110】當振盪器 1720 被賦能時，延遲電路 1725 和反及閘 1740 形成閉合迴路，其中通過該迴路一次等於通過延遲電路 1725 的路徑 1712 的延遲和反及閘 1740 的延遲的總和。對於其中路徑 1712 的延遲等於 $16 \cdot t_d$ 的實例，通過該迴路一次大致等於 $16.5 \cdot t_d$ (亦即，通過路徑 1712 的 $16 \cdot t_d$ 延遲和通過反及閘 1740 的 $0.5 \cdot t_d$ 延遲)。

【0111】現在將根據本案的實施例來描述第一延遲級 1710 的示例性操作。在該實例中，可以假定第一延遲級 1710 接收來自更新電路 712 的低 Q 脈衝 (其實例在圖 10 中示出)。在接收到來自更新電路 712 的 Q 脈衝的上升沿之前，振盪器 1720 被去能 (亦即，計數電路 1730 將邏輯 0 輸出至反及閘 1740 的控制輸入端 1745)。另外，計數電路 1730 將邏輯 1 輸出至第二延遲級 1750。

【0112】在 Q 脈衝的上升沿上，計數電路 1730 被觸發。此舉使計數電路 1730 將邏輯 1 輸出至反及閘 1740 的控制輸入端

1745以賦能振盪器1720。此舉亦使計數電路1730開始對振盪器1720的振盪次數進行計數，並且將至第二延遲級1750的輸出從高轉變到低。

【0113】當振盪器1720振盪時，延遲電路1725的輸出端1735處的邏輯狀態改變。輸出邏輯狀態的各改變之間的時間大致等於通過反及閘1740和延遲電路1725中的路徑1712一次的延遲。計數電路1730可以在延遲電路1725的輸出端1735處的每個下降沿上遞增計數值。替換地，計數電路1730可以在延遲電路1725的輸出端1735處的每個上升沿上遞增計數值。在任一情形中，每當信號通過反及閘1740和延遲電路1725中的路徑1712兩次，計數電路1730就遞增計數值。對於其中通過反及閘1740和延遲電路1725中的路徑1712的延遲等於 $16.5 \cdot t_d$ 的實例，計數電路1730在 $2 \cdot 16.5 \cdot t_d$ 的延遲之後遞增計數值。

【0114】當計數值達到預定的終止計數值（例如，計數13）時，計數電路1730將邏輯0輸出至反及閘1740的控制輸入端1745以去能振盪器1720。計數電路1730亦將上升沿輸出至第二延遲級1750。因此，第一延遲級1710回應於計數值達到終止計數值而將上升沿輸出至第二延遲級1750。對於其中終止計數值為13並且通過反及閘1740和延遲電路1725的延遲為 $16.5 \cdot t_d$ 的實例，輸入至第一延遲級1710的Q脈衝的上升沿與輸出至第二延遲級1750的上升沿之間的延遲大致等於 $13 \cdot 2 \cdot 16.5 \cdot t_d$ 。在達到終止計數之後，振盪器1720可以保持被去能，直至計數電路1730被下一Q脈衝的上升沿重新觸發。另外，計數電路1730可以將邏輯1輸出至第二級1750，直至被重

新觸發。

【0115】 在一個實施例中，第二延遲級1750具有與第一延遲級1710基本相同的結構。在此實施例中，第二延遲級1750包括振盪器1770和計數電路1780。振盪器1770包括振盪賦能/去能電路1790和延遲電路1775。在圖17中的實例中，振盪賦能/去能電路1790包括反及閘1790。第二延遲級1750中的延遲電路1775、計數電路1780和反及閘1790可以按與第一延遲級1710中的延遲電路1725、計數電路1730和反及閘1740基本相似的方式起作用。

【0116】 在接收到來自第一延遲級1710的上升沿之前，第二延遲級1750中的振盪器1770被去能（亦即，計數電路1780將邏輯0輸出至反及閘1790的控制輸入端1795）。另外，計數電路1780將邏輯1輸出至PFD 1620。

【0117】 在來自第一延遲級1710的上升沿上，計數電路1780被觸發。此舉使計數電路1780將邏輯1輸出至反及閘1790的控制輸入端1795以賦能振盪器1770。此舉亦使計數電路1780開始對振盪器1770的振盪次數進行計數，並且將至PFD 1620的輸出從高轉變到低。

【0118】 當計數電路1780處的計數值達到預定的終止計數值（例如，計數13）時，計數電路1780將邏輯0輸出至反及閘1790以去能振盪器1770。計數電路1780亦將上升沿輸出至PFD 1620。對於其中終止計數值為13並且通過反及閘1790和延遲電路1775的延遲為 $16.5 \cdot t_d$ 的實例，輸入至第二延遲級1750的上升沿與輸出至PFD 1620的上升沿之間的延遲大致等於

$13 \times 2 \times 16.5 \times t_d$ 。在達到終止計數之後，振盪器 1770 可以保持被去能，直至計數電路 1780 被來自第一延遲級 1710 的下一上升沿重新觸發。另外，計數 1780 可以將邏輯 1 輸出至 PFD 1620，直至被重新觸發。

【0119】圖 18 是圖示 Q 脈衝、第一延遲級 1710 的輸出，以及第二延遲級 1750 的輸出的實例的時序圖。在此實例中，假定 N 大於 1。Q 脈衝的上升沿 1810 觸發第一延遲級 1710 中的計數電路 1730，從而使第一延遲級 1710 的輸出從高轉變到低。當計數電路 1730 的計數值達到終止計數時，第一延遲級 1710 將上升沿 1820 輸出至第二延遲級 1750。來自第一延遲級 1710 的上升沿 1820 觸發第二延遲級中的計數電路 1780，從而使第二延遲級 1750 的輸出從高轉變到低。當計數電路 1780 的計數值達到終止計數時，第二延遲級 1750 將上升沿 1830 輸出至 PFD 1620。輸出至 PFD 1620 的上升沿 1830 從 Q 脈衝的上升沿延遲了通過第一和第二延遲級 1710 和 1750 的延遲的總和，如圖 18 中所示。

【0120】如以上論述的，主延遲電路 1610 調整第一和第二電壓偏置 V_{bn} 和 V_{bp} ，直至通過時鐘延遲電路 1615 的延遲大致等於一個時鐘週期。因此，主延遲電路 1610 調整第一和第二電壓偏置 V_{bn} 和 V_{bp} 以達成為 T/M 的步進延遲，其中 T 是一個時鐘週期並且 M 是第一和第二延遲級 1710 和 1750 中的步進延遲的總數。對於其中通過時鐘延遲電路 1615 的每一級 1710 和 1750 的延遲等於 $13 \times 2 \times 16.5 \times t_d$ 的實例，通過時鐘延遲電路 1615 的總延遲等於 $2 \times 13 \times 2 \times 16.5 \times t_d$ 。在此實例中，主延遲電路 1610 調整

第一和第二偏置 V_{bn} 和 V_{bp} 以達成大致等於 $T/(2*13*2*16.5)$ 的步進延遲 t_d ，其中 T 是一個時鐘週期。

【0121】圖17中的示例性時鐘延遲電路1615提供了以下優點中的一或多個優點。首先，與簡單地使用長延遲鏈相比，時鐘延遲電路1615能夠使用少得多的反及閘來達成較小的步進延遲，由此減小時鐘延遲電路1615的大小。如此是因為時鐘延遲電路1615使用相對較小的延遲鏈（例如，路徑1712中的反及閘）來形成振盪器，並且對振盪器的振盪次數進行計數以建立時鐘延遲電路1615的延遲。

【0122】另一優點在於，當減小電壓偏置更新速率（亦即，增大 N ）時，顯著降低了時鐘延遲電路1615的功耗。如此是因為振盪器1720和1770在各更新之間被去能。結果，當各更新之間的間隔增大（亦即， N 增大）時，降低了來自振盪器1720和1770的動態功耗。例如，當 N 大於1時，由振盪器1720和1770消耗的功率被降低至振盪器1720和1770針對每時鐘週期更新電壓偏置 V_{bn} 和 V_{bp} 的情形所消耗的功率的約 $1/N$ 。

【0123】另一優點在於，使用兩個延遲級1710和1750向每一級提供了在各 Q 脈衝之間有更多時間進行重置。例如，當第一延遲級1710針對當前 Q 脈衝達到終止計數並且 N 等於1時，第一延遲級1710具有大致等於第二延遲級1750的延遲的時間量來針對下一 Q 脈衝進行重置。

【0124】應當瞭解，延遲電路1725和1775不限於反及閘。例如，每個延遲電路1725和1775可以包括不同於反及閘的延遲元件鏈，其中該等延遲元件可以是從延遲電路中的延遲元件

的複製品。在此實例中，延遲鏈的輸入端和輸出端可以選擇性地耦合以形成振盪器，並且相應的計數電路1730和1780可以對振盪器的振盪次數進行計數以建立延遲。

【0125】亦應瞭解，時鐘延遲電路1615不限於兩個延遲級。例如，時鐘延遲電路1615可以包括一個延遲級1710，其中第一延遲級1710的輸出端將經延遲Q脈衝提供給PFD 1620。例如，當延遲級1710具有充足的時間來針對下一Q脈衝進行重置時，可以使用一個延遲級1710，而無需第二延遲級（例如，當N等於2或更大時）。

【0126】圖19示出根據本案的一實施例的第一延遲級1710中的計數電路1730的示例性實施。第二延遲級1750中的計數電路1780亦可以使用圖19中所示的電路來實施。

【0127】在此實施例中，計數電路1730包括重置邏輯1915、計數器1910、反及閘1920、反或閘1930、反相器1925，以及或閘1935。在以下描述中，計數電路1730中的反及閘1920將被稱為第二反及閘1920，而用於賦能/去能振盪器1720的反及閘1740將被稱為第一反及閘1740。

【0128】第二反及閘1920具有耦合至延遲電路1725的輸出端（標示為「o_osc」）的第一輸入端，以及耦合至重置邏輯1915的輸出端（標示為「rst_cnt」）的第二輸入端。計數器1910具有耦合至第二反及閘1920的輸出端的輸入端（標示為「i_cnt」），以及耦合至第一反及閘1740的控制輸入端1745的輸出端（標示為「o_cnt」）。因此，在此實施例中，計數器1910的輸出端（o_cnt）的邏輯狀態控制是賦能還是去能振盪器1720。

或閘1935具有用於接收初始重置信號（標示為「i_rst」）的第一輸入端以及經由反相器1925耦合至延遲電路1725的輸出端（o_osc）的第二輸入端。或閘1935的輸出端耦合至重置邏輯1915的重置輸入端（標示為「rst」）。反或閘1930具有耦合至計數器1910的輸入端（i_cnt）的第一輸入端以及耦合至計數器1910的輸出端（o_cnt）的第二輸入端。

【0129】現在將根據本案的實施例來描述計數電路1730的示例性操作。在此實施例中，可以假定第一延遲級1710接收來自更新電路712的低Q脈衝（其實例在圖10中示出）。在接收到來自更新電路712的Q脈衝的上升沿之前，振盪器1720被去能（亦即，計數器1910將邏輯0輸出（o_cnt）至第一反及閘1740的控制輸入端1745），並且延遲電路1725將邏輯1輸出（o_osc）至第二反及閘1920。重置邏輯1915將邏輯1輸出（rst_cnt）至第二反及閘1920。因此，第二反及閘1920接收來自延遲電路1725和重置邏輯1915兩者的邏輯1，從而使第二反及閘1920將邏輯0輸出至計數器1910的輸入端（i_cnt）。由於計數器1910的輸入端（i_cnt）和輸出端（o_cnt）兩者均為邏輯0，因而反或閘1930輸出邏輯1。

【0130】在Q脈衝的上升沿上，重置邏輯1915的輸出（rst_cnt）從高轉變到低。如此使第二反及閘1920將邏輯1輸出至計數器1910的輸入端（i_cnt），此舉觸發計數器1910開始計數。作為回應，計數器1910將邏輯1輸出（o_cnt）至第一反及閘1740的控制輸入端1745以賦能振盪器1720。因此，計數器1910回應於重置邏輯1915的輸出（rst_cnt）變低而賦能振盪器1720

。此外，計數器1910的輸出端（o_cnt）處的邏輯1（其亦被饋送至反或閘1930）使反或閘1930的輸出從高轉變到低。

【0131】當延遲電路1725的輸出（o_osc）在振盪模式中首次改變成邏輯0時，邏輯1經由反相器1925以及或閘1935輸入至重置邏輯1915的重置輸入端（rst）。如此使重置邏輯1915進行重置並且將邏輯1輸出至第二反及閘1920。來自重置邏輯1915的邏輯1使第二反及閘1920將延遲電路1725的輸出（o_osc）的逆傳遞至計數器1910的輸入端（i_cnt）。

【0132】當振盪器1720振盪時，延遲電路1725的輸出端（o_osc）處的邏輯狀態改變。輸出邏輯狀態的各改變之間的時間大致等於通過第一反及閘1740和延遲電路1725中的路徑1712一次的延遲。

【0133】在振盪期間，每當計數器輸入（i_cnt）從低升到高時（亦即，反及閘1920的輸出端處的每個上升沿）時，計數器1910遞增計數值。此舉在每當信號通過第一反及閘1740和延遲電路1725中的路徑1712兩次時發生。因此，在該態樣中，在通過第一反及閘1740和延遲電路1725中的路徑1712兩次的延遲之後，計數器1910遞增計數值。對於其中通過第一反及閘1740和延遲電路1725中的路徑1712的延遲等於 $16.5 \cdot t_d$ 的實例，計數器1910在 $2 \cdot 16.5 \cdot t_d$ 的延遲之後遞增計數值。

【0134】當計數值達到終止計數值（例如，計數13）時，計數器1910將邏輯0輸出（o_cnt）至反或閘1930和第一反及閘1740的控制輸入端1745兩者。第一反及閘1740的控制輸入端1745處的邏輯0使第一反及閘1740的輸出端在邏輯1處保持恆

定不變，從而去能振盪器1720。第一反及閘1740的輸出端處的邏輯1傳播通過延遲電路1725，從而使延遲電路1725將邏輯1輸出(o_osc)至第二反及閘1920。如此進而使第二反及閘1920將邏輯0輸出至反或閘1930和計數器1910的輸入端(i_cnt)兩者。結果，反或閘1930的兩個輸入端均為邏輯0，從而使反或閘1930的輸出從低轉變到高，並且因此使反或閘1930將上升沿輸出至第二延遲級1750。因此，第一延遲級1710在計數器1910達到終止計數值之後將上升沿輸出至第二延遲級1750。對於其中終止計數值為13並且通過第一反及閘1740和延遲電路1725的延遲為 $16.5 \cdot t_d$ 的實例，Q脈衝的上升沿與輸出至第二延遲級1750的上升沿之間的延遲大致等於 $13 \cdot 2 \cdot 16.5 \cdot t_d$ 。

【0135】應當瞭解，取代如以上論述地在計數器輸入端(i_cnt)處的每個上升沿上遞增計數值，計數器1910可以在每個上升沿上遞減計數器值。在該情形中，計數器1910可以從預定的計數值開始計數，在每個上升沿上遞減計數值，並且在計數值達到終止計數值0時觸發第二時鐘延遲電路1710。

【0136】圖20圖示根據本案的一實施例的重置邏輯1915的示例性實施。重置邏輯1915包括第一及閘2010、第一反或閘2020、反相器2030、第二及閘2040、第二反或閘2050，以及第三反或閘2060。重置邏輯1915的時鐘輸入端（標示為「clk」）耦合至第一及閘2010的第一輸入端和第二及閘2040的第一輸入端。第一及閘2010的輸出端耦合至第一反或閘2020的第一輸入端，並且重置輸入端耦合至第一反或閘2020的第二輸入端。第一反或閘2020的輸出經由反相器2030回饋至第一及閘

2010的第二輸入端。第一反或閘2020的輸出端亦耦合至第二及閘2040的第二輸入端。第二及閘2040的輸出端耦合至第二反或閘2050的第一輸入端。第二反或閘2050的輸出端耦合至第三反或閘2060的第一輸入端，並且重置輸入端耦合至第三反或閘2060的第二輸入端。第三反或閘2060的輸出端耦合至第二反或閘2050的第二輸入端。第二反或閘2050的輸出端耦合至重置邏輯1915的輸出端（標示為「 y_n 」）。

【0137】重置邏輯1915可以藉由將邏輯1輸入至重置輸入端（ rst ）來重置。一旦重置，重置邏輯1915可以輸出（ y_n ）邏輯1，直至在時鐘輸入端（ clk ）處接收到上升沿。當在第一延遲級1710中使用重置邏輯1915時，時鐘輸入端（ clk ）可以耦合至更新電路712的Q輸出端，而當在第二延遲級1750中使用重置邏輯1915時，時鐘輸入端（ clk ）可以耦合至第一延遲級1710的輸出端。

【0138】當在時鐘輸入端（ clk ）處接收到上升沿時，重置邏輯1915的輸出變低（亦即，重置邏輯1915輸出邏輯0）。如以上論述的，如此可以觸發計數電路1730中的計數器1910開始計數。當延遲電路1725的輸出（ o_{osc} ）變低時，重置邏輯1915可被重置。如此是因為延遲電路1725的輸出（ o_{osc} ）經由反相器1925饋送至重置邏輯1915的重置輸入端（ rst ）。當在第一延遲級1710中使用重置邏輯1915時，這針對下一Q脈衝的上升沿來重置該重置邏輯1915。

【0139】圖21圖示根據本案的一實施例的更新電路2110的示例性實施。更新電路2110可被用於實施圖7和16中所示的更新

電路712。更新電路2110被配置成每N個輸入參考時鐘週期（循環）輸出一對脈衝。每一對脈衝包括低Q脈衝和低ZQ脈衝（其實例在圖10中示出），其中ZQ脈衝相對於Q脈衝被延遲大致一個時鐘週期。

【0140】更新控制器2110包括可程式設計計數器2115、第一反相器2120、第一D正反器2130、第二D正反器2150、第二反相器2135、第一或閘2140、第三反相器2155，以及第二或閘2160。計數器2115、第一正反器2130和第二正反器2150可以經由初始重置信號（i_rst）來重置，如圖21中所示。

【0141】計數器2115接收來自更新控制器750的控制信號N以及參考時鐘。計數器2115被配置成在每第N個參考時鐘週期（循環）期間在其輸出端（標示為「tcn」）處輸出邏輯0，並且在每第N個週期（循環）之間在其輸出端（tcn）處輸出邏輯1，其中N大於1。

【0142】第一正反器2130具有耦合至參考時鐘的時鐘輸入端（標示為「clk」）、經由第一反相器2120耦合至計數器2115的輸出端（tcn）的d輸入端，以及q輸出端。第二正反器2150具有耦合至參考時鐘的時鐘輸入端（標示為「clk」）、耦合至第一正反器2130的q輸出端的d輸入端，以及q輸出端。正反器2130和2150兩者可以是正邊沿觸發式正反器，其中每個正反器在參考時鐘的上升沿上鎖存相應的d輸入端處的邏輯值，並且在相應的q輸出端處輸出經鎖存的邏輯值達大致一個時鐘週期。

【0143】第一或閘2140具有經由第二反相器2135耦合至第一

正反器2130的q輸出端的第一輸入端，以及耦合至參考時鐘的第二輸入端。第一或閘2140的輸出端形成更新電路2110的Q輸出端。第二或閘2160具有經由第三反相器2155耦合至第二正反器2150的q輸出端的第一輸入端，以及耦合至參考時鐘的第二輸入端。第二或閘2160的輸出端形成更新電路2110的ZQ輸出端。

【0144】現在將根據本案的實施例來描述更新電路2110的操作。

【0145】如以上所論述的，計數器2115在每第N個參考時鐘週期（循環）期間輸出邏輯0。每當計數器2115輸出邏輯0達一個時鐘週期（循環）時，第一或閘2140和第二或閘2160分別輸出低Q脈衝和低ZQ脈衝，其中ZQ脈衝相對於Q脈衝延遲了大致一個時鐘週期。更具體地，第一反相器2120使計數器2115的輸出端（tcn）處的邏輯0反相，並且將邏輯1輸出至第一正反器2130的d輸入端。第一正反器2130在參考時鐘的上升沿上鎖存邏輯1，並且在其q輸出端處輸出經鎖存的邏輯1達一個時鐘週期。第二反相器2135將第一正反器2130的q輸出端處的邏輯1反相，並且將邏輯0輸出至第一或閘2140的第一輸入端。如此使第一或閘2140將參考時鐘傳遞至Q輸出端達一個時鐘週期以產生低Q脈衝。

【0146】第二正反器2150在一個時鐘週期的延遲之後鎖存第一正反器2130的q輸出端處的邏輯1，並且輸出經鎖存的邏輯1達一個時鐘週期。第三反相器2155將第二正反器2150的q輸出端處的邏輯1反相，並且將邏輯0輸出至第二或閘2160的第一

輸入端。如此使第二或閘2160將參考時鐘傳遞至ZQ輸出端達一個時鐘週期以產生低ZQ脈衝。由於第二正反器2150的q輸出相對於第一正反器2130的q輸出延遲了一個時鐘週期，因而ZQ脈衝相對於Q脈衝延遲了一個時鐘週期。

【0147】圖22是圖示根據本案的一實施例的用於延遲控制的方法2200的流程圖。方法2200可以由主延遲電路1610和更新控制器750來執行。

【0148】在步驟2210，向延遲電路提供電壓偏置，其中該電壓偏置控制該延遲電路的延遲。例如，主延遲電路（例如，主延遲電路1610）可以將電壓偏置提供給從延遲電路（例如，從延遲電路1315）以控制從延遲電路的步進延遲。

【0149】在步驟2220，以一更新速率來更新電壓偏置。例如，可以每N個參考時鐘週期（循環）一次更新的速率來調整電壓偏置。

【0150】在步驟2230，調整更新速率。例如，可以基於納入該延遲電路的記憶體介面的時序要求來調整更新速率。在該實例中，在時序要求較放鬆（例如，較低資料率）時可以減小更新速率以降低功率，而在時序要求較嚴格（例如，較高資料率）時可以增大更新速率。

【0151】該方法可任選地包括基於被延遲電路延遲的信號的資料率來調整更新速率。例如，若信號的資料率大致等於第一資料率，則更新速率可被設置為第一更新速率，並且若信號的資料率大致等於第二資料率，則更新速率可被設置為第二更新速率，其中第一資料率低於第二資料率，並且第一更

新速率低於第二更新速率。

【0152】該方法可任選地包括將第二電壓偏置（例如，電壓偏置Vbp）提供給延遲電路，以及以該更新速率來更新第二電壓偏置。第二電壓偏置亦可以控制延遲電路的延遲。

【0153】應當瞭解，更新控制器750可用設計成執行本文描述的功能的通用處理器、數位訊號處理器（DSP）、特殊應用積體電路（ASIC）、現場可程式閘陣列（FPGA）或其他可程式邏輯設備（PLD）、個別閘門或電晶體邏輯、個別的硬體元件，或其任何組合來實施。通用處理器可以是微處理器，但在替換方案中，處理器可以是任何一般的處理器、控制器、微控制器，或狀態機。處理器可以藉由執行包括用於執行本文描述的更新控制器750的功能的代碼的軟體來執行更新控制器750的功能。軟體可以儲存在電腦可讀取儲存媒體中，諸如RAM、ROM、EEPROM、光碟，及/或磁碟。

【0154】提供對本案的先前描述是為使得本領域任何技藝人士皆能夠製作或使用本案。對本案的各種修改對本領域技藝人士來說皆將是顯而易見的，且本文中所定義的普適原理可被應用到其他變型而不會脫離本案的精神或範圍。例如，儘管以上使用DRAM的實例來論述本案的諸實施例，但是應當瞭解，本案的諸實施例不限於此實例，並且可以與其他類型的記憶體設備聯用。由此，本案並非意欲被限定於本文中所描述的實例，而是應被授予與本文中所揭示的原理和新穎特徵相一致的最廣範圍。

【符號說明】

【0155】

- 115 正反器
- 117 資料信號
- 118 輸出資料信號
- 119 資料選通訊號
- 120 去偏斜電路
- 121 資料選通訊號
- 125 延遲電路
- 132 資料信號
- 134 資料選通訊號
- 135 正反器
- 136 經延遲資料選通訊號
- 138 輸出端
- 140 延遲電路
- 142 輸出資料信號
- 145 去偏斜電路
- 210 轉變
- 220 上升沿
- 222 下降沿
- 310 主延遲電路
- 315 從延遲電路
- 430 延遲鏈
- 440 延遲元件
- 445 輸出端

- 450 多工器
- 460 延遲控制器
- 510 重定時電路
- 515 時鐘延遲電路
- 517 回饋迴路
- 520 相位頻率偵測器 (PFD)
- 522 第一輸入
- 524 第二輸入
- 525 電壓偏置控制器
- 610 延遲元件
- 710 主延遲電路
- 712 更新電路
- 730 輸出電容器
- 750 更新控制器
- 810 一對脈衝
- 910 一對脈衝
- 1010 一對脈衝
- 1110 計數器
- 1115 時鐘閘
- 1120 時鐘閘
- 1122 時鐘週期延遲電路
- 1125 閘賦能信號
- 1310 反及閘
- 1312 前向路徑

- 1315 從延遲電路
- 1317 控制輸入端
- 1320 反及閘
- 1325 控制輸入端
- 1330 反及閘
- 1332 返回路徑
- 1335 控制輸入端
- 1340 延遲控制器
- 1510 反及閘
- 1512 反及邏輯
- 1520 欠流 PMOS 電晶體
- 1530 第一 PMOS 電晶體
- 1535 第二 PMOS 電晶體
- 1540 第一 NMOS 電晶體
- 1545 第二 NMOS 電晶體
- 1550 欠流 NMOS 電晶體
- 1610 主延遲電路
- 1615 時鐘延遲電路
- 1620 相位頻率偵測器 (PFD)
- 1622 第一輸入端
- 1624 第二輸入端
- 1625 電荷泵
- 1630 第一電容器
- 1645 第二電容器

- 1650 初始拉動電路
- 1655 第一回饋迴路
- 1660 第二回饋迴路
- 1710 第一延遲級
- 1712 延遲路徑
- 1720 振盪器
- 1725 延遲電路
- 1730 計數電路
- 1735 輸出端
- 1740 反及閘
- 1745 控制輸入端
- 1750 第二延遲級
- 1770 振盪器
- 1775 延遲電路
- 1780 計數電路
- 1790 反及閘
- 1795 控制輸入端
- 1810 上升沿
- 1820 上升沿
- 1830 上升沿
- 1910 計數器
- 1915 重置邏輯
- 1925 反相器
- 1930 反或閘

- 1935 或閘
- 2010 第一及閘
- 2020 第一反或閘
- 2030 反相器
- 2040 第二及閘
- 2050 第二反或閘
- 2060 第三反或閘
- 2110 更新電路
- 2115 計數器
- 2120 第一反相器
- 2130 第一正反器
- 2135 第二反相器
- 2140 第一或閘
- 2150 第二正反器
- 2155 第三反相器
- 2160 第二或閘
- 2200 方法
- 2210 步驟
- 2220 步驟
- 2230 步驟

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

.

.

.

.

申請專利範圍

1. 一種延遲系統，包括：

一第一延遲電路，該第一延遲電路被配置成向一第二延遲電路提供一電壓偏置並且以一更新速率來更新該電壓偏置，其中該電壓偏置控制該第二延遲電路的一延遲；及

一更新控制器，該更新控制器被配置成調整該第一延遲電路的該更新速率。

2. 如請求項1所述之延遲系統，其中該更新控制器被配置成基於被該第二延遲電路延遲的一信號的一資料率來調整該更新速率。

3. 如請求項2所述之延遲系統，其中該更新控制器被配置成在該信號的該資料率大致等於一第一資料率的情況下將該更新速率設置為一第一更新速率，並且在該信號的該資料率大致等於一第二資料率的情況下將該更新速率設置為一第二更新速率，其中該第一資料率低於該第二資料率，並且該第一更新速率低於該第二更新速率。

4. 如請求項1所述之延遲系統，其中該第一延遲電路被配置成基於一參考時鐘來更新該電壓偏置，該更新速率大致等於每N個參考時鐘週期更新一次該電壓偏置，N是一整數，並且該更新控制器被配置成調整N。

5. 如請求項4所述之延遲系統，其中該更新控制器被配置成在被該第二延遲電路延遲的一信號的一資料率大致等於一第一資料率的情況下將N設置為一第一值，並且在該信號的該資料率大致等於一第二資料率的情況下將N設置為一第二值，其中該第一資料率低於該第二資料率，並且N的該第一值大於N的該第二值。

6. 如請求項1所述之延遲系統，其中該第一延遲電路包括：

一更新電路，該更新電路被配置成針對該電壓偏置的每次更新從一參考時鐘產生一脈衝對，其中每個脈衝對包括一第一脈衝和一第二脈衝，並且該第一脈衝相對於該第二脈衝被延遲約一個參考時鐘週期；

一壓控延遲電路，該壓控延遲電路被配置成將每個脈衝對中的該第二脈衝延遲由該電壓偏置控制的一量；

一相位頻率偵測器，該相位頻率偵測器被配置成針對每個脈衝對偵測該相應的第一脈衝與該相應的經延遲第二脈衝之間的一相位誤差；及

一電壓偏置控制器，該電壓偏置控制器被配置成基於該相應的偵測到的相位誤差來更新用於每個脈衝對的該電壓偏置。

7. 如請求項6所述之延遲系統，其中該更新電路被配置成以每N個參考時鐘週期一個脈衝對的一速率來產生該等脈衝對，N是一整數，並且該更新控制器被配置成調整N。

8. 如請求項7所述之延遲系統，其中該更新控制器被配置成在被該第二延遲電路延遲的一信號的一資料率大致等於一第一資料率的情況下將N設置為一第一值，並且在該信號的該資料率大致等於一第二資料率的情況下將N設置為一第二值，其中該第一資料率低於該第二資料率，並且N的該第一值大於N的該第二值。

9. 如請求項1所述之延遲系統，其中由該電壓偏置控制的該第二延遲電路的該延遲是該第二延遲電路的一步進延遲，並且該第二延遲電路被配置成將一信號延遲該步進延遲的一倍數。

10. 一種用於延遲控制的方法，包括以下步驟：

向一延遲電路提供一電壓偏置，其中該電壓偏置控制該延遲電路的一延遲；

以一更新速率來更新該電壓偏置；及

調整該更新速率。

11. 如請求項10所述之方法，其中調整該更新速率之步驟包括以下步驟：基於被該延遲電路延遲的一信號的一資料率來調整該更新速率。

12. 如請求項11所述之方法，其中調整該更新速率之步驟包

括以下步驟：

在該信號的該資料率大致等於一第一資料率的情況下將該更新速率設置為一第一更新速率；及

在該信號的該資料率大致等於一第二資料率的情況下將該更新速率設置為一第二更新速率；

其中該第一資料率低於該第二資料率，並且該第一更新速率低於該第二更新速率。

13. 如請求項10所述之方法，其中更新該電壓偏置之步驟包括以下步驟：基於參考時鐘來更新該電壓偏置，該更新速率大致等於每N個參考時鐘週期更新一次該電壓偏置，N是一整數，並且調整該更新速率之步驟包括調整N。

14. 如請求項13所述之方法，其中調整該更新速率之步驟包括以下步驟：

在由該延遲電路延遲的一信號的一資料率大致等於一第一資料率的情況下將N設置為一第一值；及

在該信號的該資料率大致等於一第二資料率的情況下將N設置為一第二值；

其中該第一資料率低於該第二資料率，並且N的該第一值大於N的該第二值。

15. 如請求項10所述之方法，其中更新該電壓偏置之步驟包括以下步驟：

針對該電壓偏置的每次更新從一參考時鐘產生一脈衝對，其中每個脈衝對包括一第一脈衝和一第二脈衝，並且該第一脈衝相對於該第二脈衝被延遲約一個參考時鐘週期；

將每個脈衝對中的該第二脈衝延遲由該電壓偏置控制的一量；

針對每個脈衝對偵測相應的第一脈衝與相應的經延遲第二脈衝之間的一相位誤差；及

基於相應的偵測到的相位誤差來更新用於每個脈衝對的該電壓偏置。

16. 如請求項10所述之方法，進一步包括以下步驟：

向該延遲電路提供一第二電壓偏置，其中該第二電壓偏置亦控制該延遲電路的延遲；及

以該更新速率來更新該第二電壓偏置。

17. 一種用於延遲控制的裝置，包括：

用於向一延遲電路提供一電壓偏置的手段，其中該電壓偏置控制該延遲電路的一延遲；

用於以一更新速率來更新該電壓偏置的手段；及

用於調整該更新速率的手段。

18. 如請求項17所述之裝置，其中該用於調整該更新速率的手段包括用於基於被該延遲電路延遲的一信號的一資料率來調整該更新速率的手段。

19. 如請求項18所述之裝置，其中該用於調整該更新速率的手段包括：

用於在該信號的該資料率大致等於一第一資料率的情況下將該更新速率設置為一第一更新速率的手段；及

用於在該信號的該資料率大致等於一第二資料率的情況下將該更新速率設置為一第二更新速率的手段；

其中該第一資料率低於該第二資料率，並且該第一更新速率低於該第二更新速率。

20. 如請求項17所述之裝置，其中該用於更新該電壓偏置的手段包括用於基於一參考時鐘來更新該電壓偏置的手段，該更新速率大致等於每N個參考時鐘週期更新一次該電壓偏置，N是一整數，並且該用於調整該更新速率的手段包括用於調整N的手段。

21. 如請求項20所述之裝置，其中該用於調整該更新速率的手段包括：

用於在由該延遲電路延遲的一信號的一資料率大致等於一第一資料率的情況下將N設置為一第一值的手段；及

用於在該信號的該資料率大致等於一第二資料率的情況下將N設置為一第二值的手段；

其中該第一資料率低於該第二資料率，並且N的該第一值大於N的該第二值。

22. 如請求項17所述之裝置，其中該用於更新該電壓偏置的手段包括：

用於針對該電壓偏置的每次更新從一參考時鐘產生一脈衝對的手段，其中每個脈衝對包括一第一脈衝和一第二脈衝，並且該第一脈衝相對於該第二脈衝被延遲約一個參考時鐘週期；

用於將每個脈衝對中的該第二脈衝延遲由該電壓偏置控制的一量的手段；

用於針對每個脈衝對偵測該相應的第一脈衝與該相應的經延遲第二脈衝之間的一相位誤差的手段；及

用於基於相應的偵測到的相位誤差來更新用於每個脈衝對的該電壓偏置的手段。

23. 如請求項17所述之裝置，進一步包括：

用於向該延遲電路提供一第二電壓偏置的手段，其中該第二電壓偏置亦控制該延遲電路的延遲；及

用於以該更新速率來更新該第二電壓偏置的手段。

24. 一種記憶體介面，包括：

一第一延遲電路，該第一延遲電路被配置成延遲一信號，其中該信號包括一資料信號和一資料選通訊號中的一者；

一第二延遲電路，該第二延遲電路被配置成向該第一延遲電路提供一電壓偏置並且以一更新速率來更新該電壓偏置

，其中該電壓偏置控制該第一延遲電路的一延遲；及

一更新控制器，該更新控制器被配置成調整該第二延遲電路的該更新速率。

25. 如請求項24所述之記憶體介面，其中該更新控制器被配置成基於該信號的一資料率來調整該更新速率。

26. 如請求項25所述之記憶體介面，其中該更新控制器被配置成在該信號的該資料率大致等於一第一資料率的情況下將該更新速率設置為一第一更新速率，並且在該信號的該資料率大致等於一第二資料率的情況下將該更新速率設置為一第二更新速率，其中該第一資料率低於該第二資料率，並且該第一更新速率低於該第二更新速率。

27. 如請求項24所述之記憶體介面，其中該第二延遲電路被配置成基於一參考時鐘來更新該電壓偏置，該更新速率大致等於每N個參考時鐘週期更新一次該電壓偏置，N是一整數，並且該更新控制器被配置成調整N。

28. 如請求項27所述之記憶體介面，其中該更新控制器被配置成在該信號的一資料率大致等於一第一資料率的情況下將N設置為一第一值，並且在該信號的該資料率大致等於一第二資料率的情況下將N設置為一第二值，其中該第一資料率低於該第二資料率，並且N的第一值大於N的第二值。

29. 如請求項24所述之記憶體介面，其中該第二延遲電路包括：

一更新電路，該更新電路被配置成針對該電壓偏置的每次更新從一參考時鐘產生一脈衝對，其中每個脈衝對包括一第一脈衝和一第二脈衝，並且該第一脈衝相對於該第二脈衝被延遲約一個參考時鐘週期；

一壓控延遲電路，該壓控延遲電路被配置成將每個脈衝對中的該第二脈衝延遲由該電壓偏置控制的一量；

一相位頻率偵測器，該相位頻率偵測器被配置成針對每個脈衝對偵測該相應的第一脈衝與該相應的經延遲第二脈衝之間的一相位誤差；及

一電壓偏置控制器，該電壓偏置控制器被配置成基於該相應的偵測到的相位誤差來更新用於每個脈衝對的該電壓偏置。

30. 如請求項24所述之記憶體介面，其中由該電壓偏置控制的該第一延遲電路的延遲是該第一延遲電路的一步進延遲，並且該第一延遲電路被配置成將該信號延遲該步進延遲的一倍數。

圖式

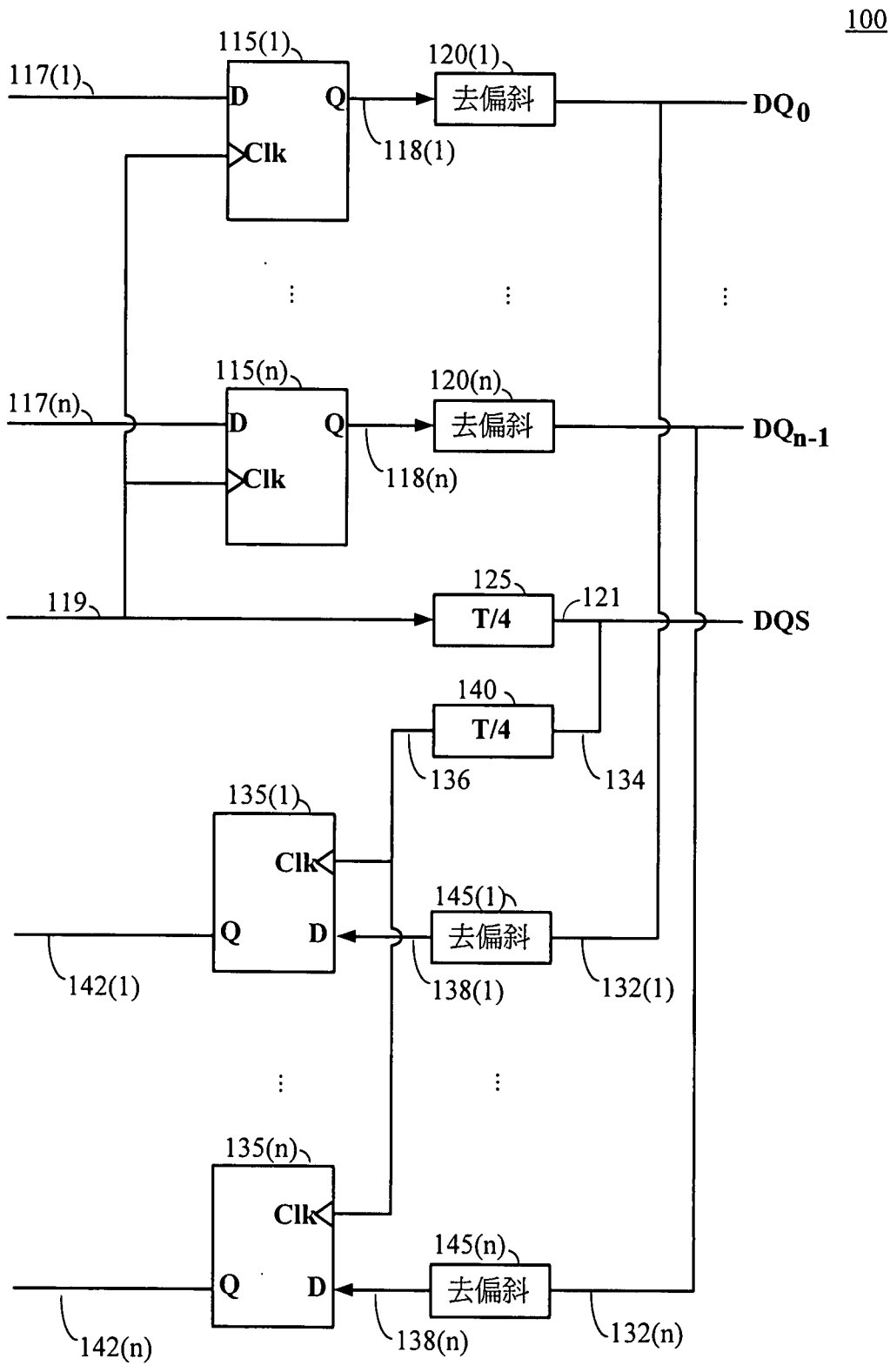


圖1

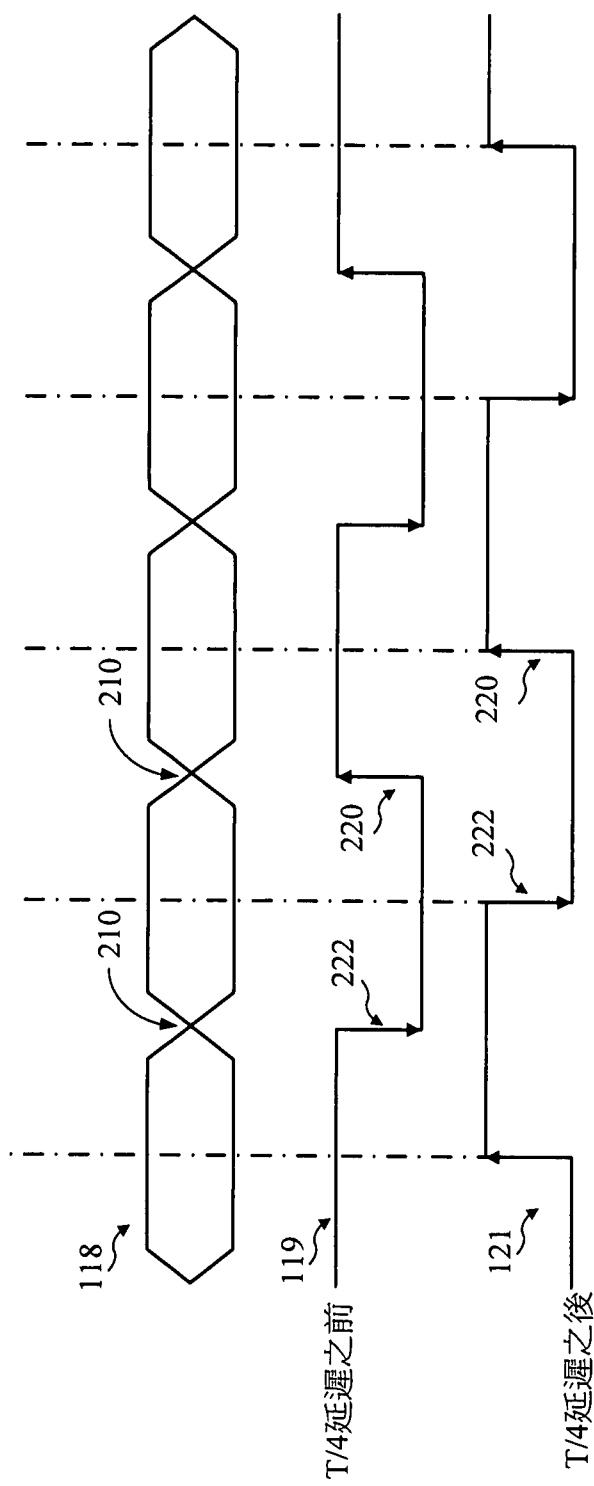


圖2

300

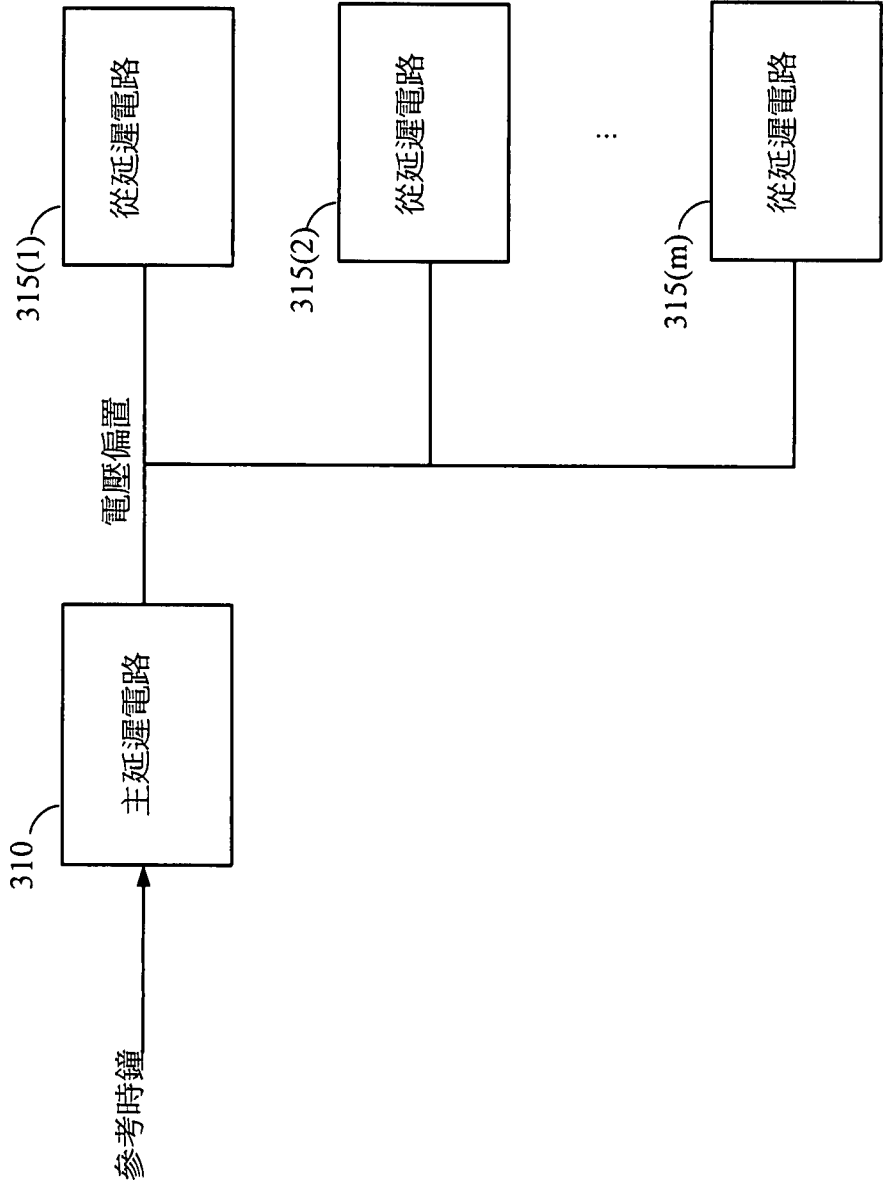


圖3

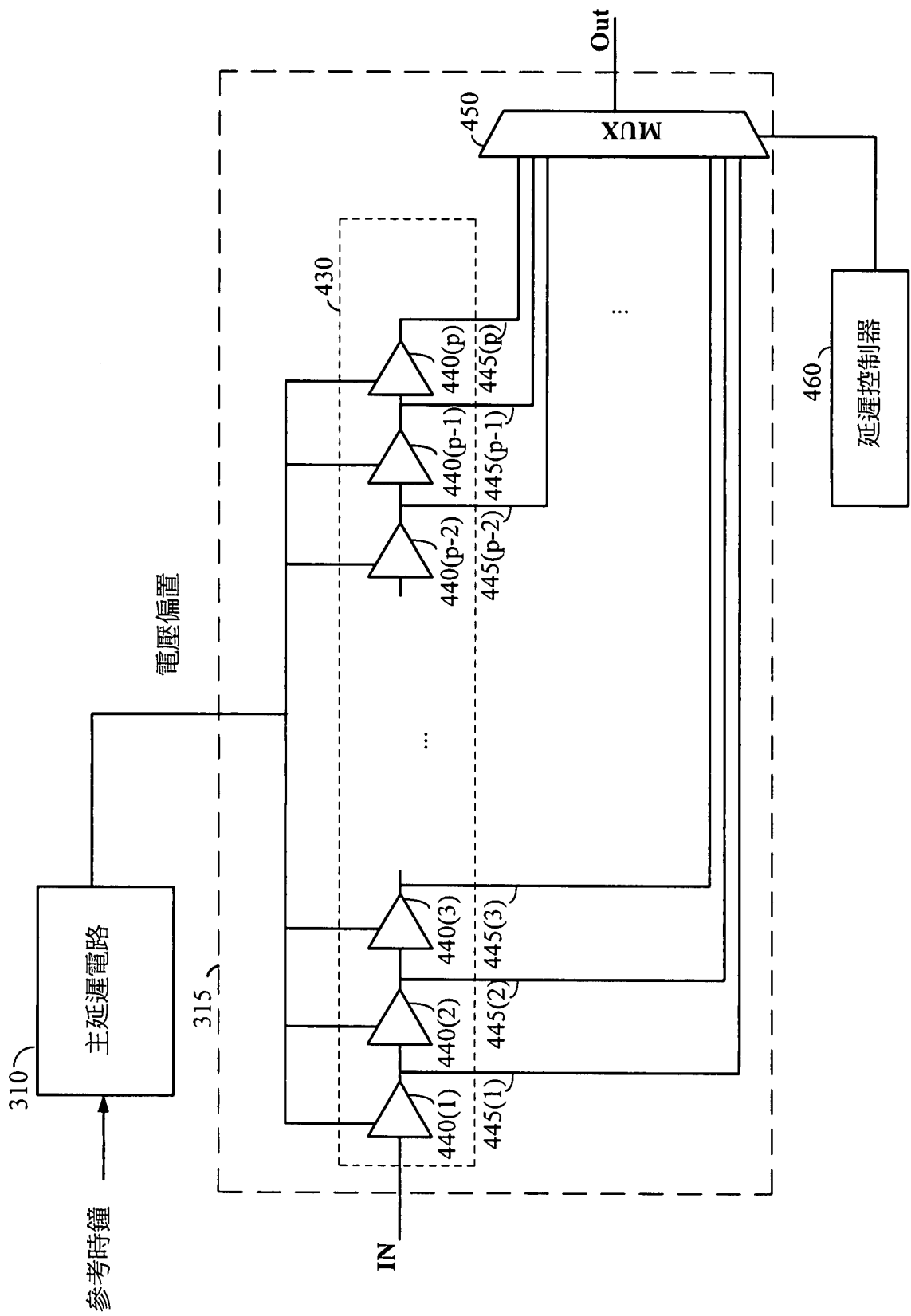


圖4

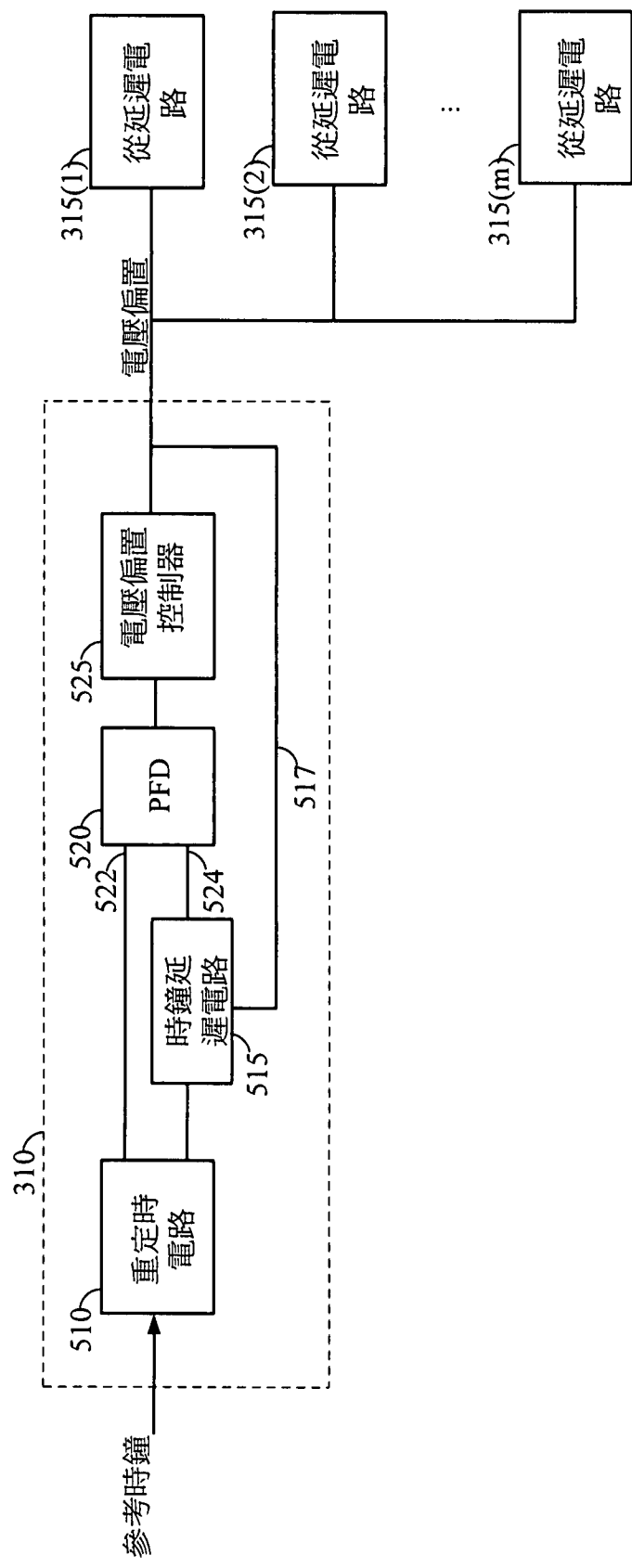


圖5

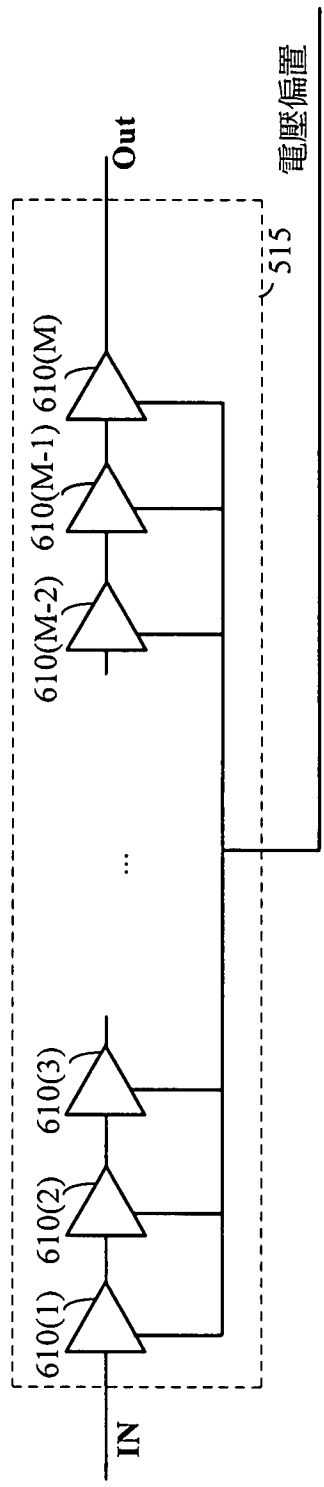


圖6

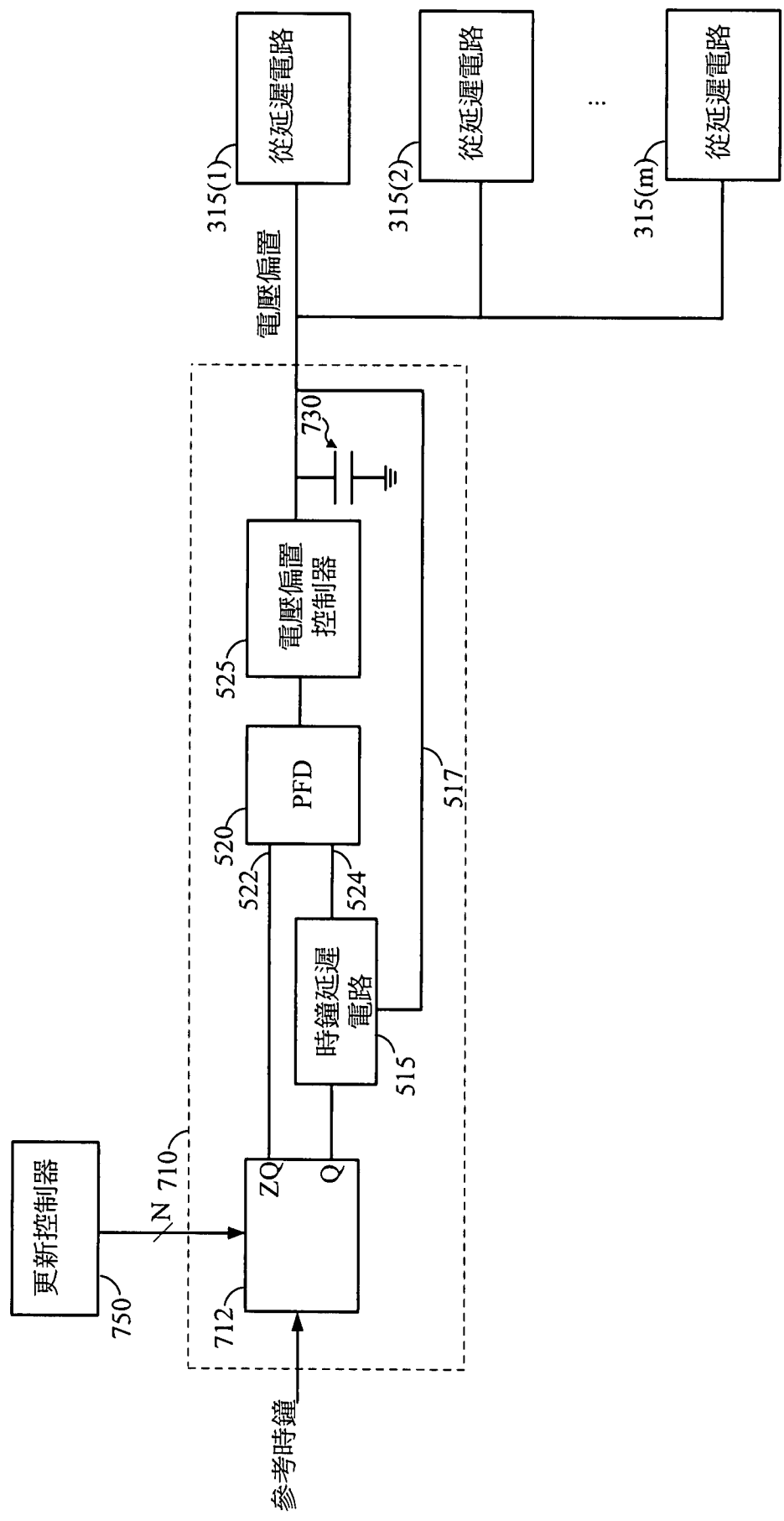


圖7

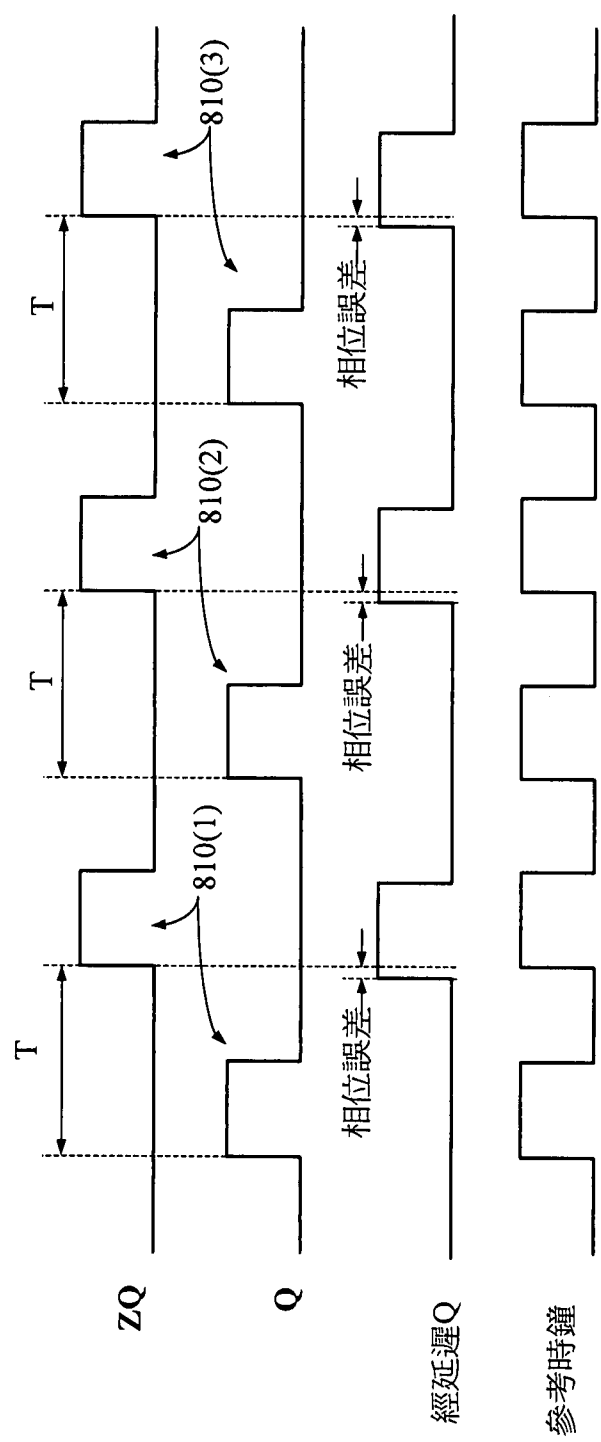


圖8

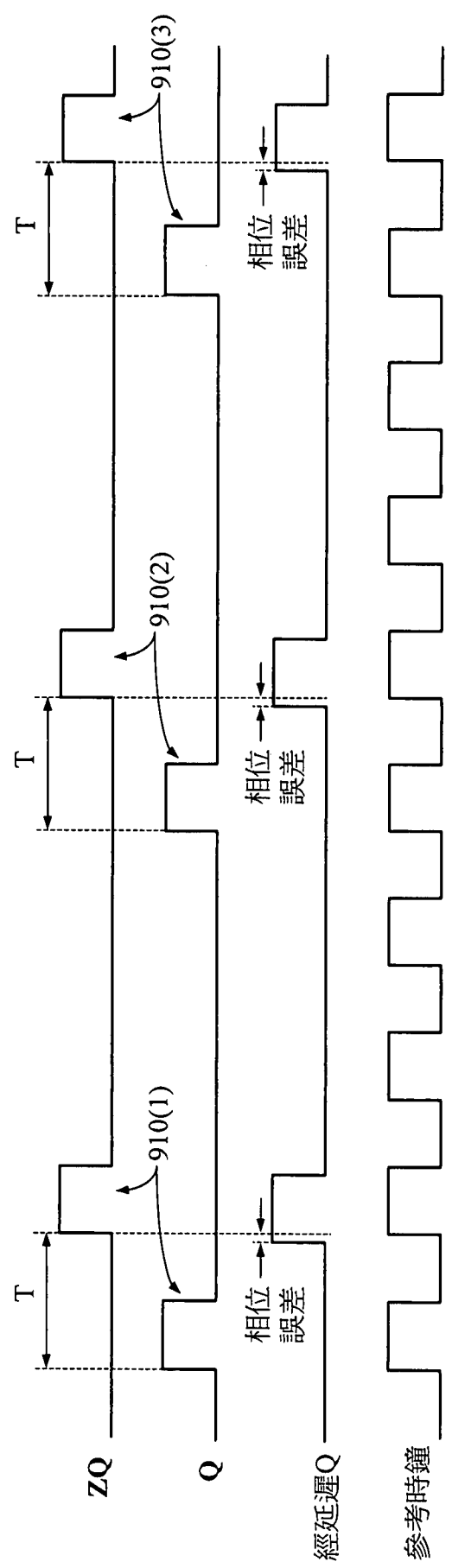


圖9

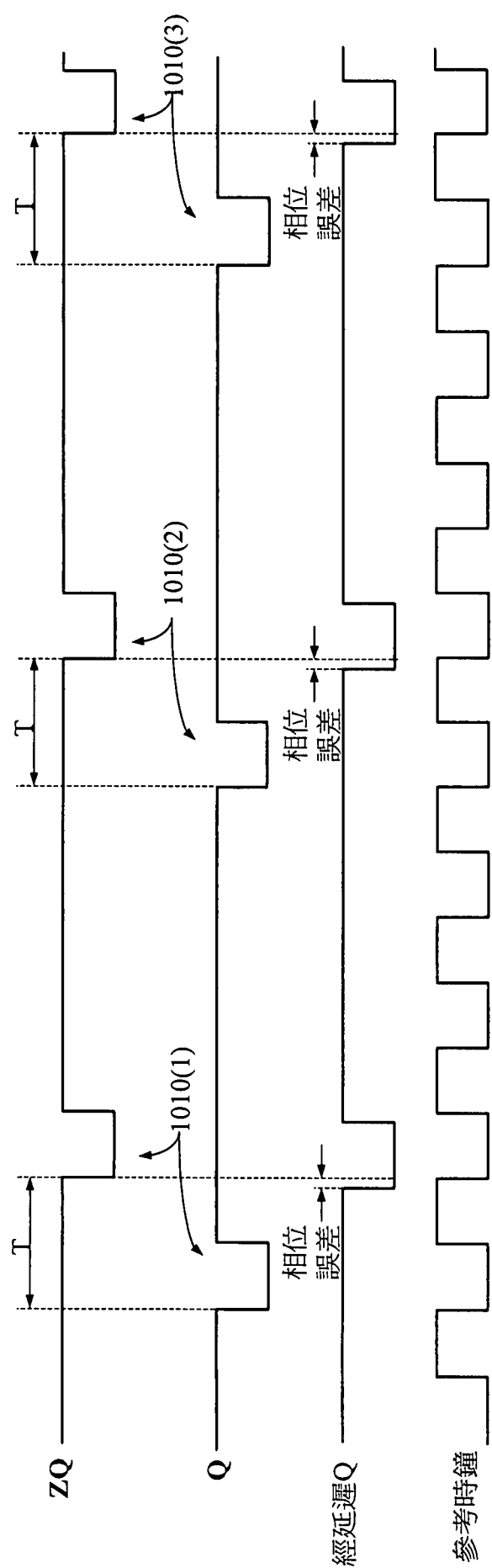


圖10

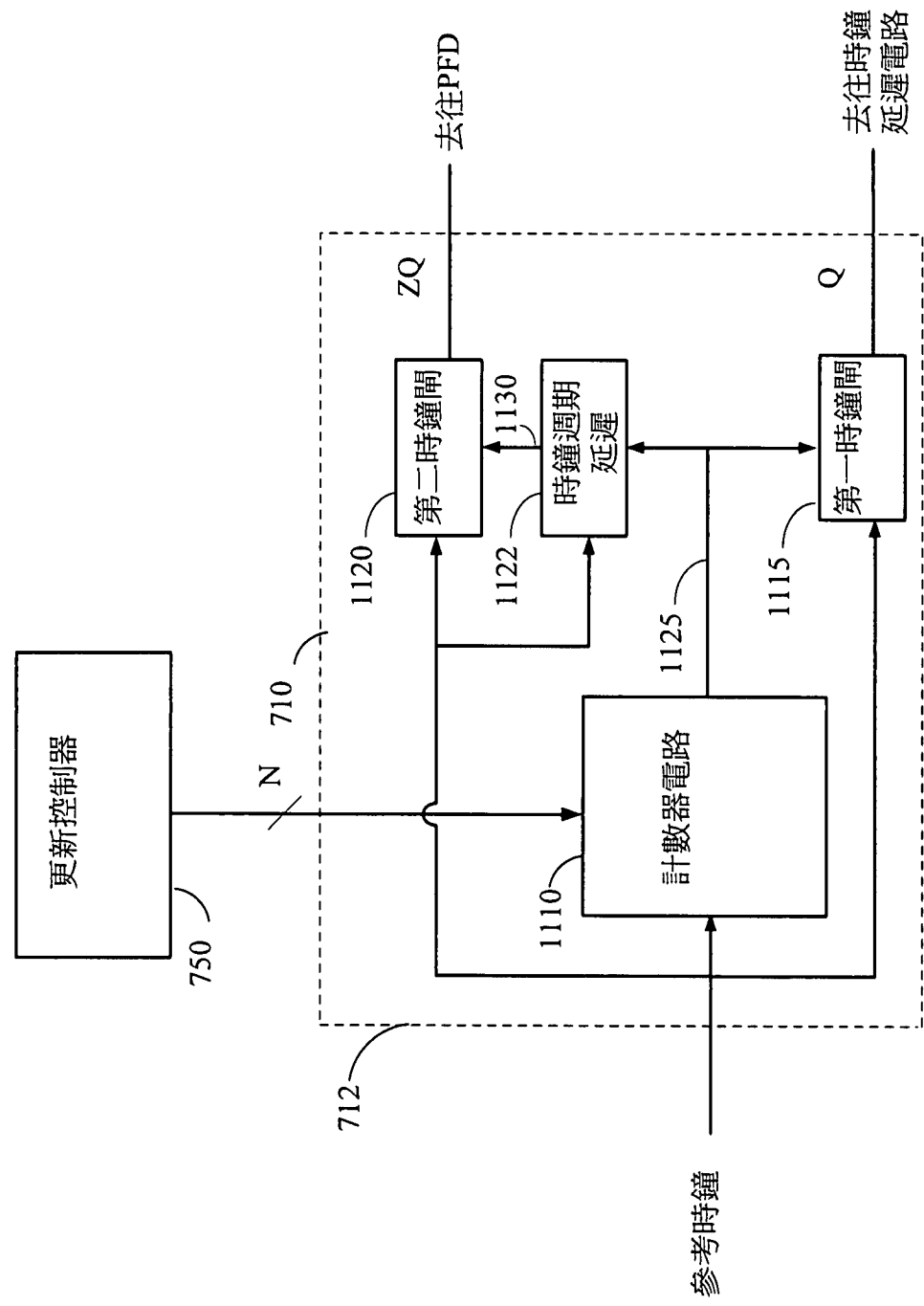


圖11

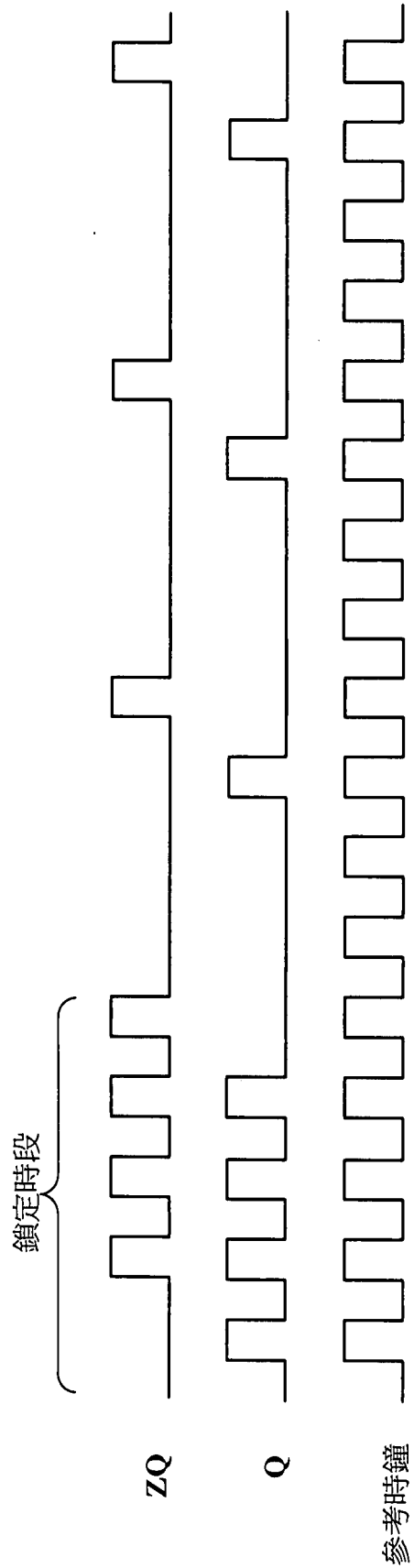


圖12

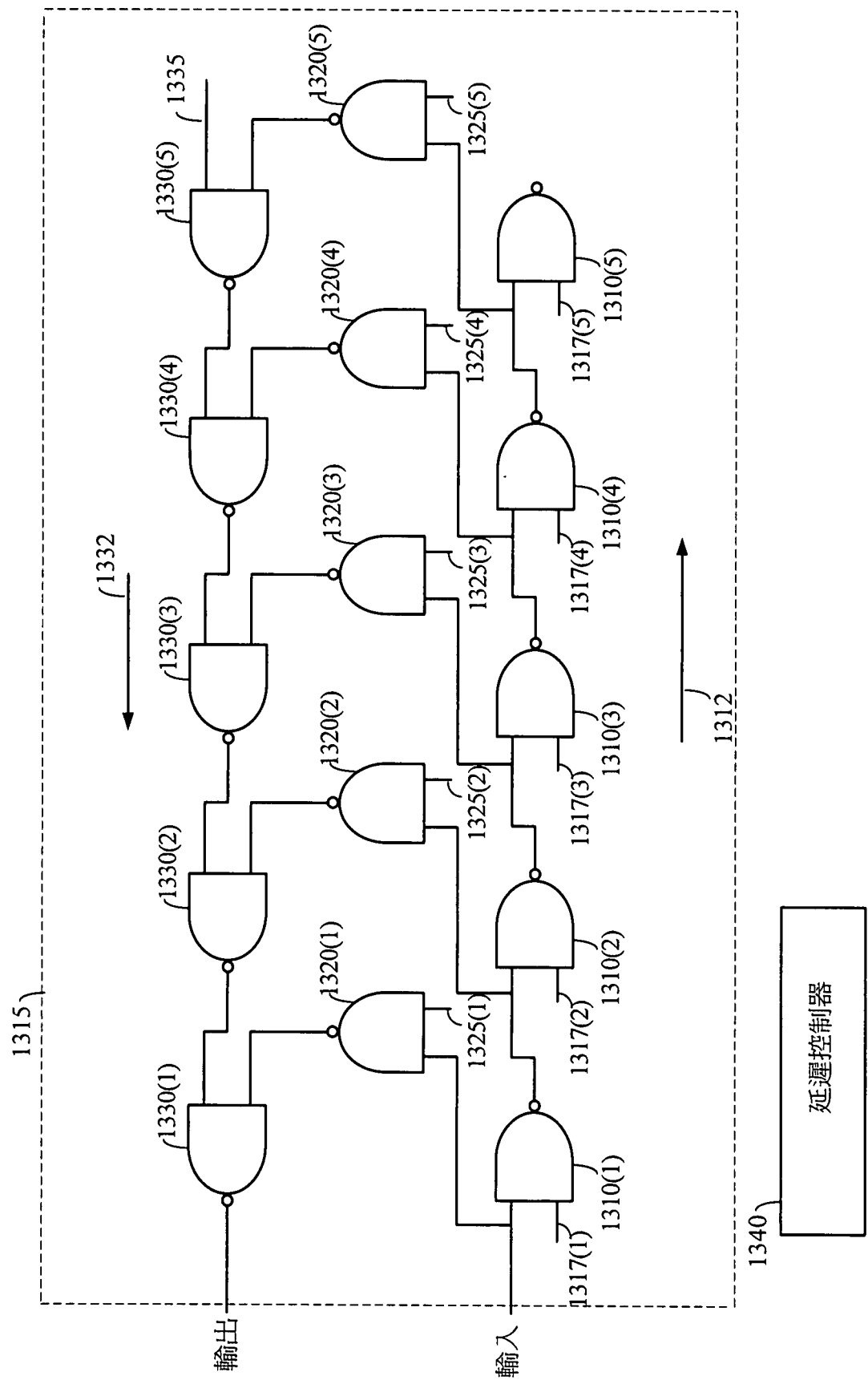


圖13

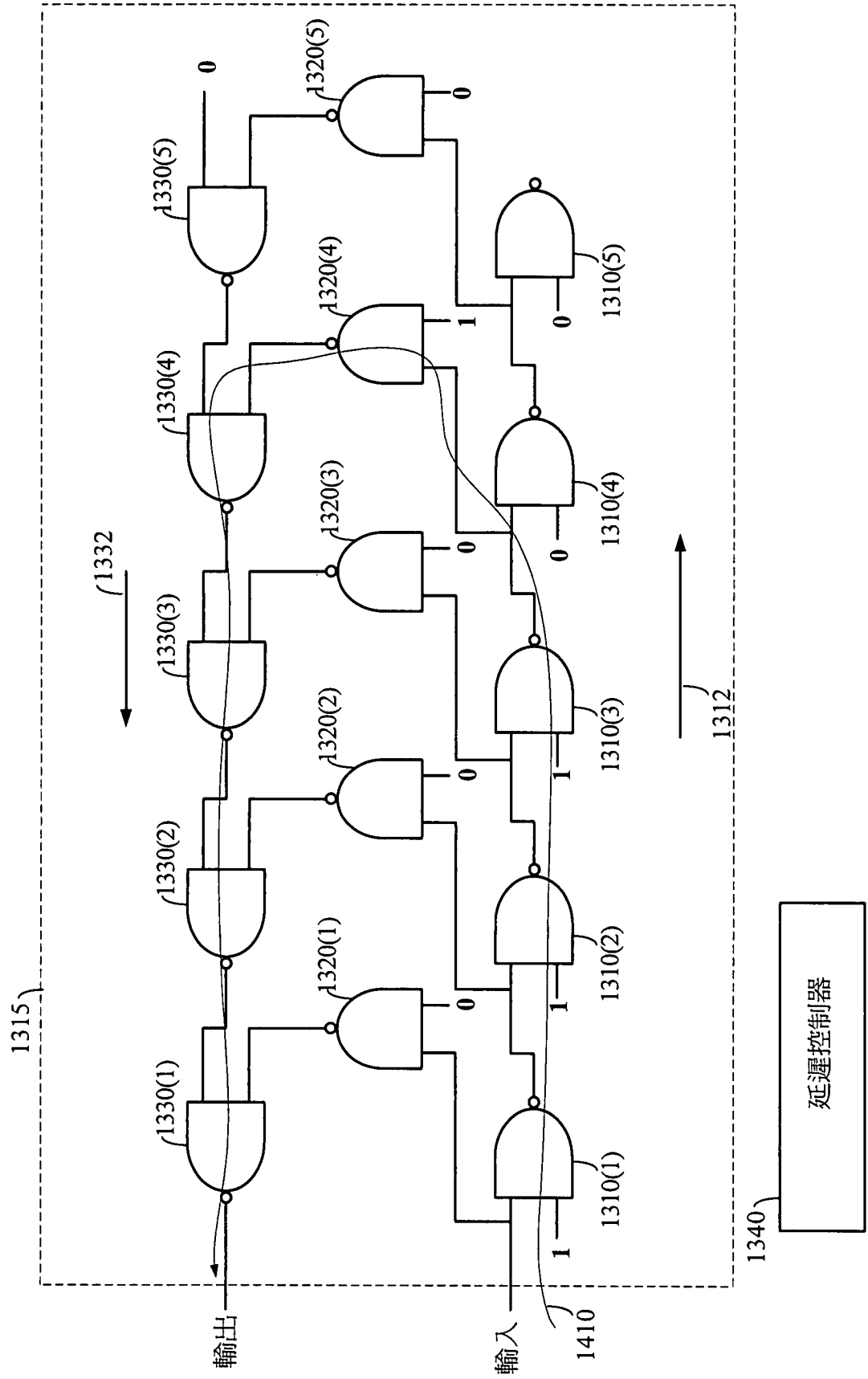


圖14A

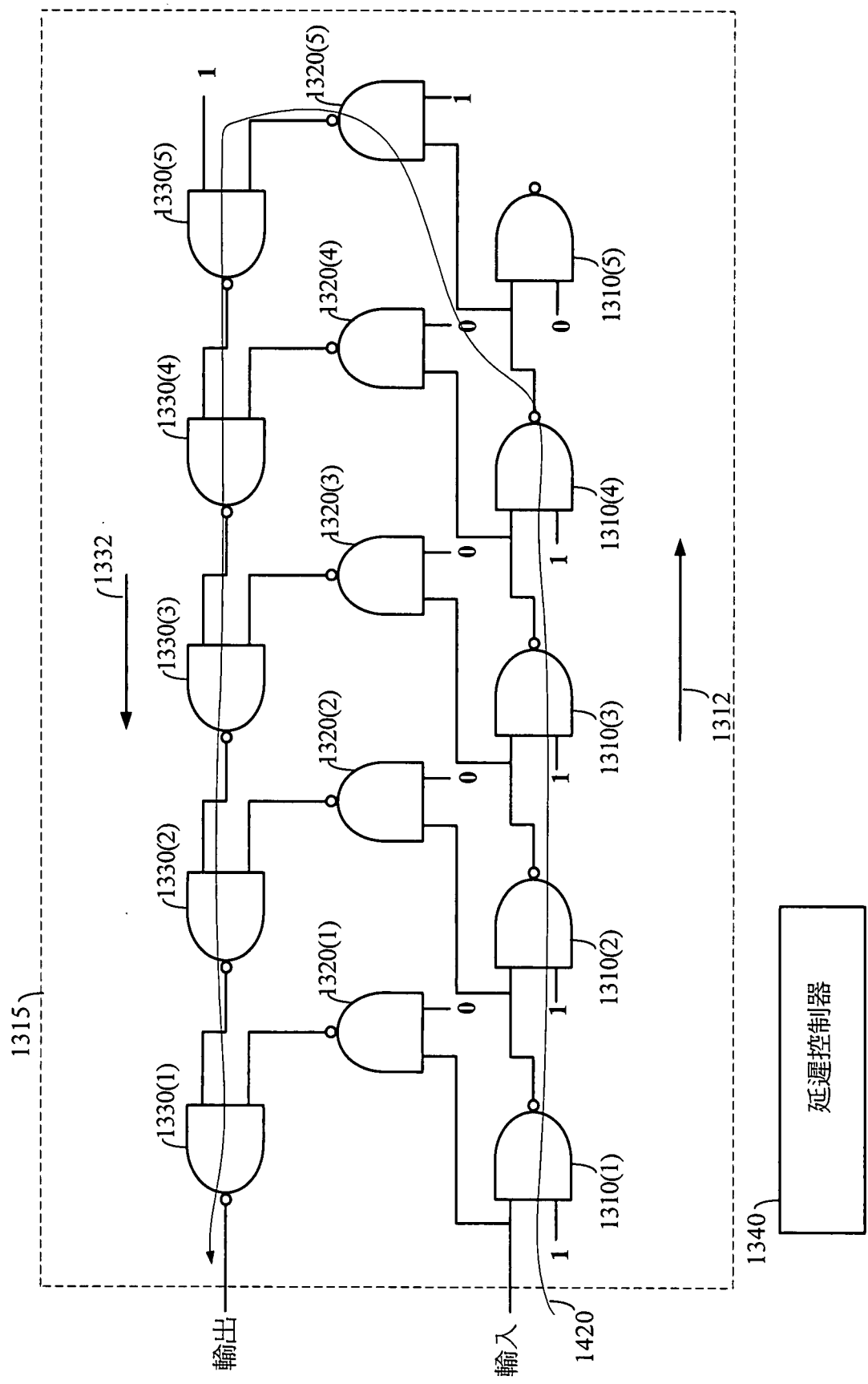


圖14B

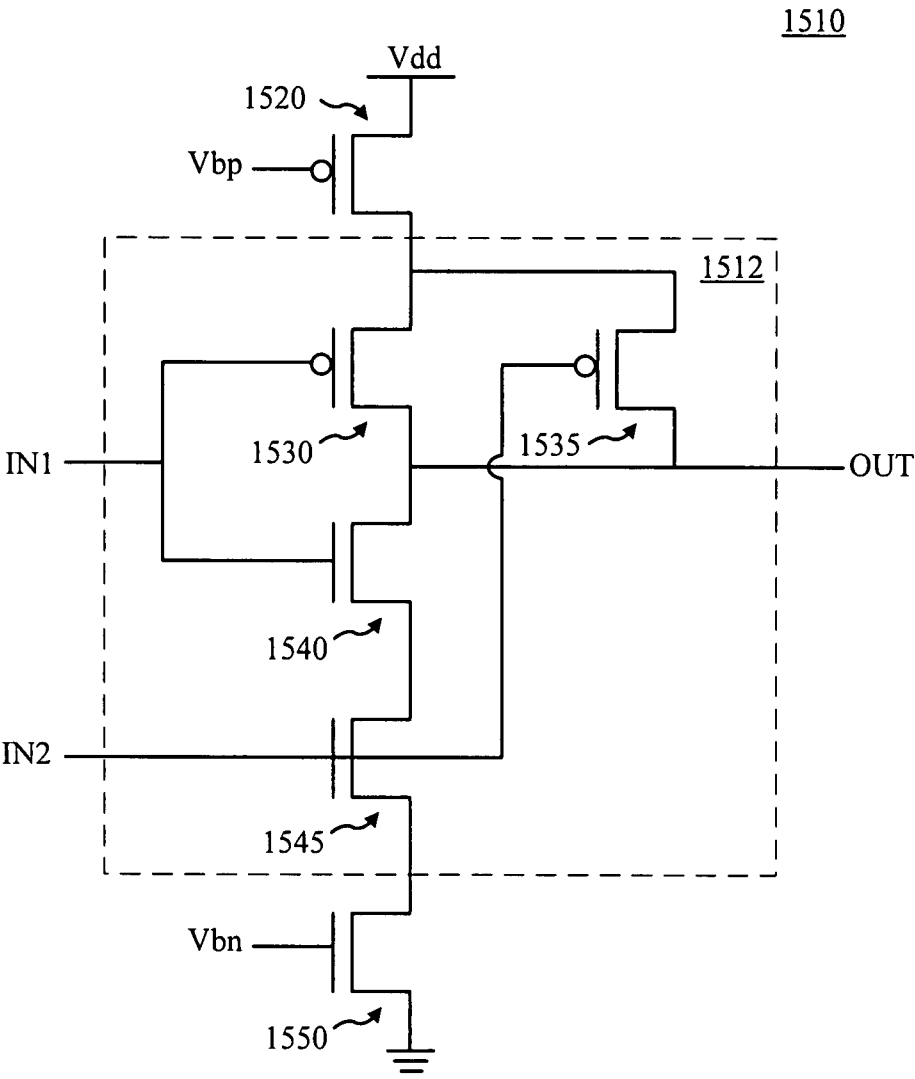


圖15

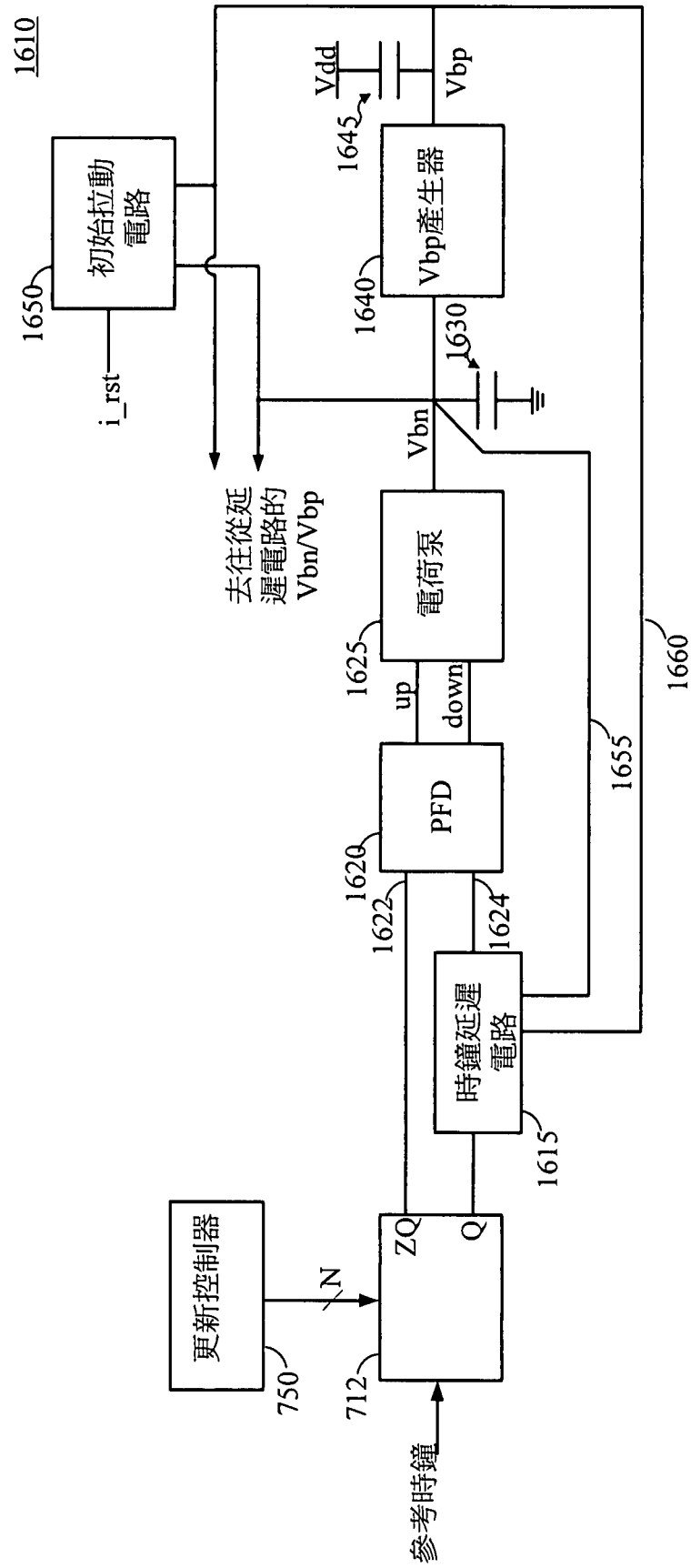


圖16

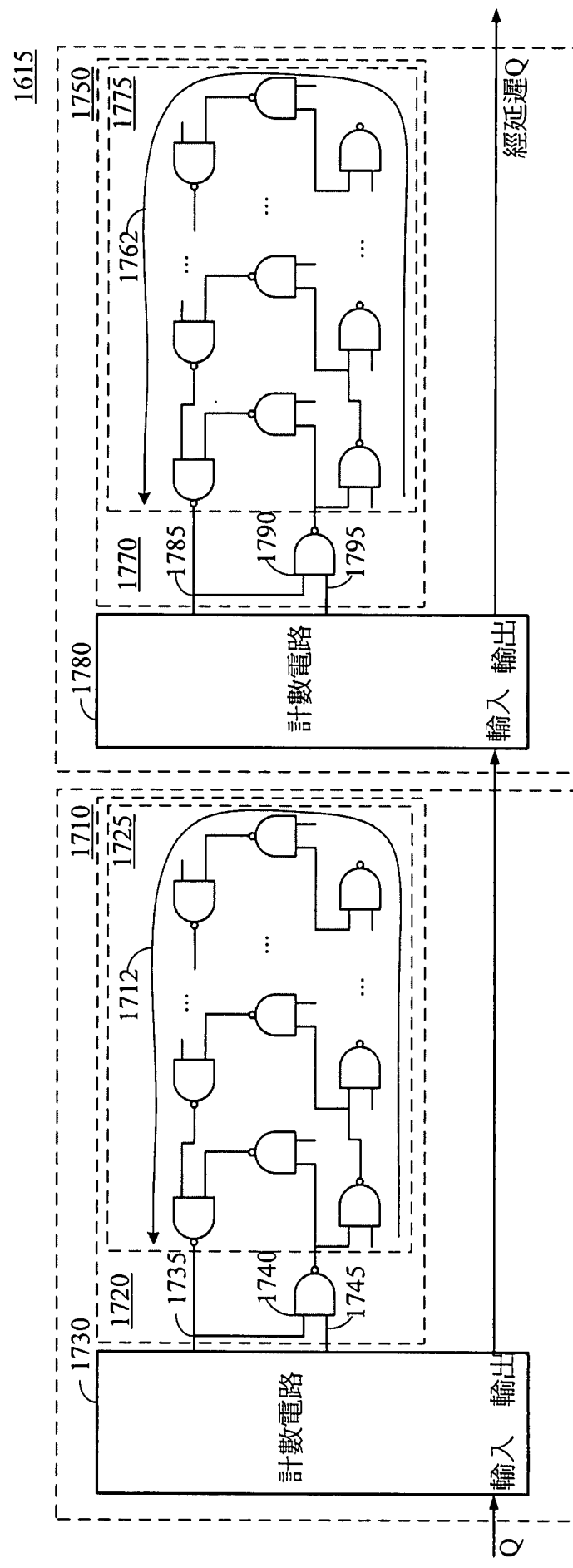


圖17

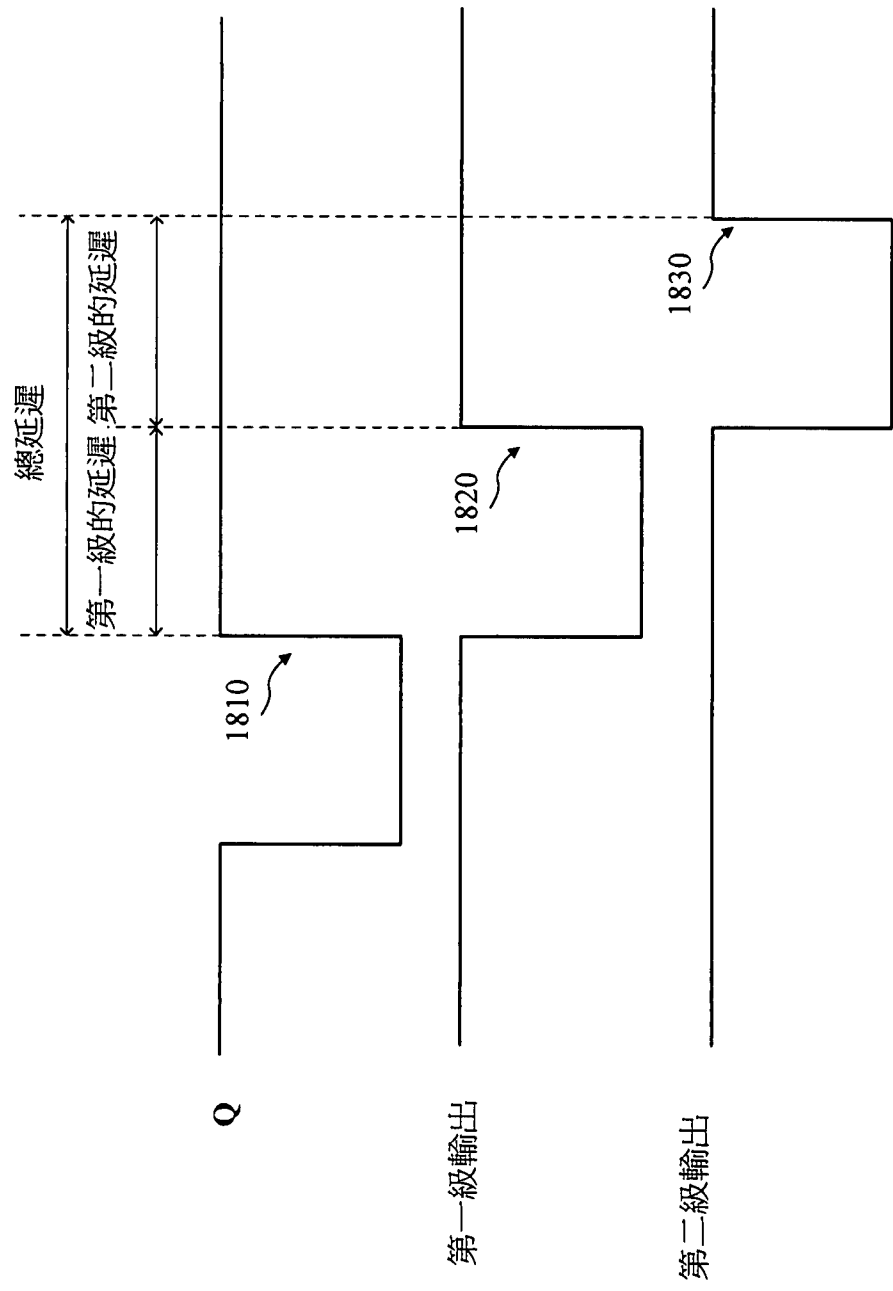


圖18

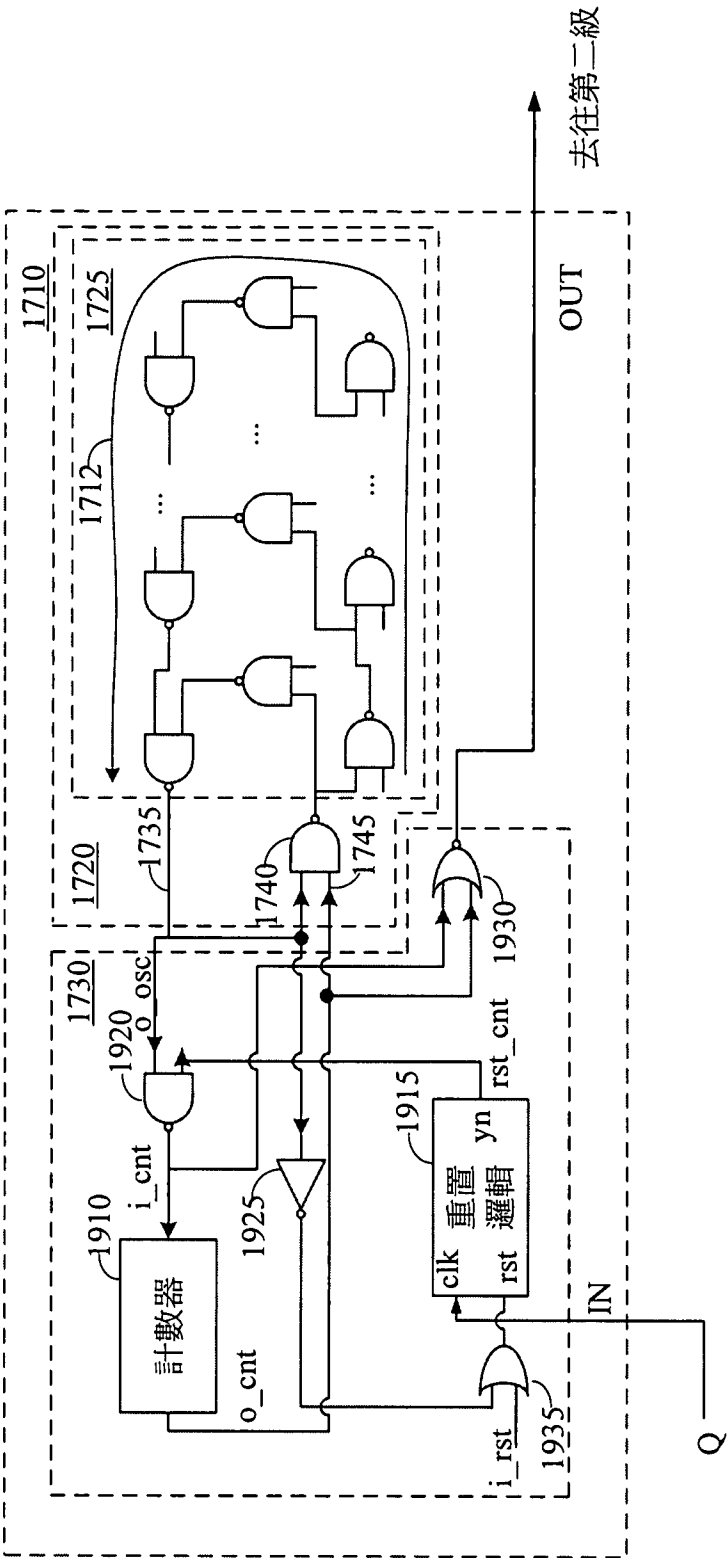


圖19

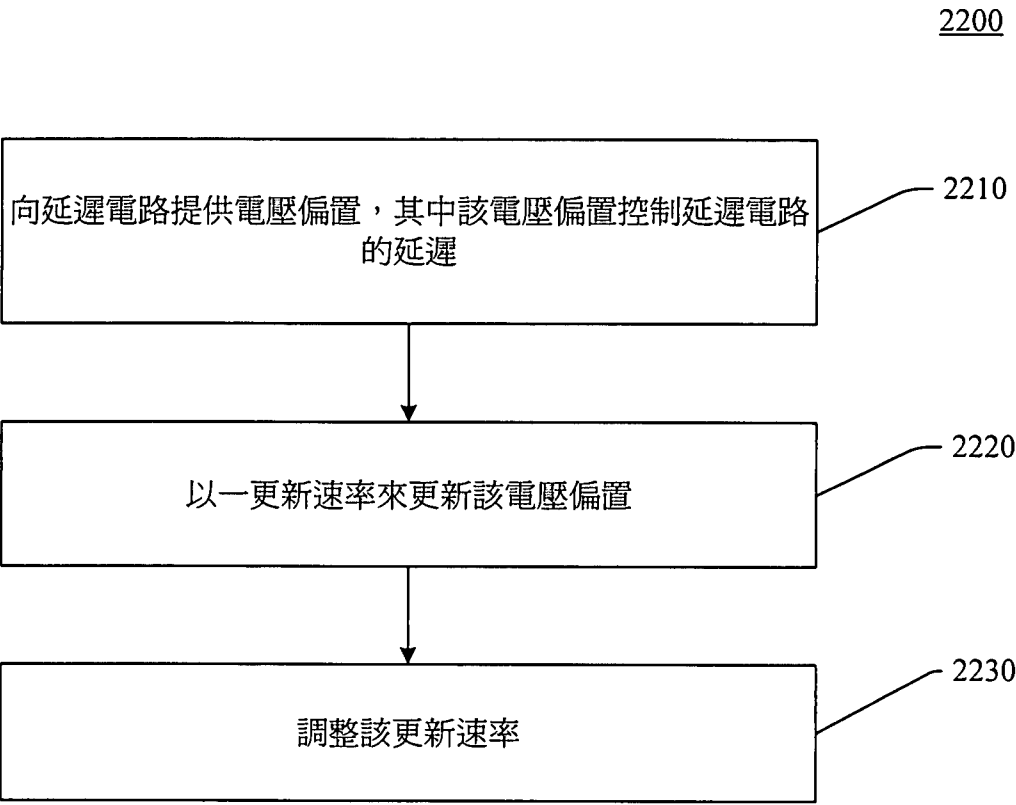


圖22