

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】特開 2003-345653 (P2003-345653A)
 【公開日】平成 15 年 12 月 5 日 (2003.12.5)
 【出願番号】特願 2002-150389 (P2002-150389)
 【国際特許分類第 7 版】

G 0 6 F 12/08

【 F I 】

G 0 6 F 12/08 5 3 1 C

G 0 6 F 12/08 5 0 7 Z

G 0 6 F 12/08 5 5 1 Z

【手続補正書】

【提出日】平成 17 年 4 月 25 日 (2005.4.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

外部に第 1 バスと第 2 バスが別々に接続可能であって、前記第 1 バスに接続する外部バスマスタに前記第 2 バスに接続する外部メモリのアクセスを許容するバス権を与えることが可能なデータプロセッサであって、前記外部メモリをキャッシュ対象とすることが可能なキャッシュメモリを含み、

前記外部バスマスタからのアクセス要求の条件が特定の条件を満たすとき、前記キャッシュメモリの状態をチェックし、メモリアクセスアドレスに対して前記キャッシュメモリにヒットするブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンシを保つ操作を行なった後に、前記外部バスマスタからのアクセス要求に応答する外部メモリアクセスを開始可能にすることを特徴とするデータ処理装置。

【請求項 2】

前記特定の条件をプログラマブルに指定するための制御レジスタを有することを特徴とする請求項 1 記載のデータ処理装置。

【請求項 3】

前記制御レジスタは、アクセスアドレスとの比較に用いられる特定のアドレスを指定するための第 1 記憶領域を有することを特徴とする請求項 2 記載のデータ処理装置。

【請求項 4】

前記制御レジスタは、アドレス比較のアドレスレンジを指定する第 2 記憶領域を有することを特徴とする請求項 3 記載のデータ処理装置。

【請求項 5】

前記制御レジスタは、アドレス比較結果の一致又は不一致の何れを特定の条件成立とするかを指定するための第 3 記憶領域を有することを特徴とする請求項 3 記載のデータ処理装置。

【請求項 6】

前記制御レジスタは、前記特定の条件が不成立であることを選択的に指定するための第 4 記憶領域を有することを特徴とする請求項 3 記載のデータ処理装置。

【請求項 7】

前記キャッシュコヒーレンシを保つ操作は、前記キャッシュメモリの前記メモリアクセ

スアドレスにヒットするブロックがダーティであってライトアクセスに応答するときは当該ブロックをライトバックし且つ無効化し、前記キャッシュメモリのヒットするブロックがダーティであってリードアクセスに応答するときは当該ブロックをライトバックし且つクリーン化し、前記キャッシュメモリのヒットするブロックがクリーンであってライトアクセスに応答するときは当該ブロックを無効化する操作であることを特徴とする請求項 1 記載のデータ処理装置。

【請求項 8】

前記キャッシュコヒーレンシを保つ操作は、更に、前記キャッシュメモリのヒットするブロックがクリーンであってリードアクセスに応答するとき及びヒットするブロックが存在しない時は、何もしないことを特徴とする請求項 7 記載のデータ処理装置。

【請求項 9】

キャッシュメモリを内蔵する CPU、外部バスマスタを接続可能な外部インタフェース回路、外部メモリを接続可能なメモリインタフェース回路、及びそれらが共通接続される内部バスを有するデータ処理装置であって、

前記外部インタフェース回路は、外部バスマスタからの要求に応答してバス権を委譲することが可能であり、バス権を委譲したとき、外部バスマスタからの要求に応じて、前記内部バスから前記メモリインタフェース回路を介して外部メモリをアクセス可能とし、前記メモリインタフェース回路を介して外部メモリをアクセスするときのアクセス条件が特定の条件を満たすとき、前記 CPU に所定のキャッシュ制御コマンドを発行し、それに対する所定の応答を待って前記メモリインタフェース回路を介する外部メモリアクセスを開始可能とし、

前記 CPU は、前記キャッシュ制御コマンドを受理したとき、キャッシュメモリの状態をチェックし、メモリアクセスアドレスに対してキャッシュヒットブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンシを保つ操作を行なって、前記所定の応答を前記外部インタフェース回路に返すことが可能であることを特徴とするデータ処理装置。

【請求項 10】

前記外部インタフェース回路は、前記特定の条件を指定するための制御レジスタを有し、前記制御レジスタは前記 CPU によってアクセス可能なことを特徴とする請求項 9 記載のデータ処理装置。

【請求項 11】

前記制御レジスタは、アクセスアドレスとの比較に用いられる特定のアドレスを指定するための第 1 記憶領域を有することを特徴とする請求項 10 記載のデータ処理装置。

【請求項 12】

前記制御レジスタは、アドレス比較のアドレスレンジを指定する第 2 記憶領域を有することを特徴とする請求項 11 記載のデータ処理装置。

【請求項 13】

前記制御レジスタは、アドレス比較結果の一致又は不一致の何れを特定の条件成立とするかを指定するための第 3 記憶領域を有することを特徴とする請求項 11 記載のデータ処理装置。

【請求項 14】

前記制御レジスタは、前記特定の条件が不成立であることを選択的に指定するための第 4 記憶領域を有することを特徴とする請求項 11 記載のデータ処理装置。

【請求項 15】

前記外部インタフェース回路は、外部にバス権を与えた状態で前記所定の応答を待っているとき、前記外部インタフェース回路の状態が所定の状態であることを条件に、前記外部に対してバス権の解放とリトライを要求することを特徴とする請求項 9 記載のデータ処理装置。

【請求項 16】

前記所定の状態は、前記外部インタフェース回路が新たなアクセス要求を受付け不可能

な状態であることを特徴とする請求項 15 記載のデータ処理装置。

【請求項 17】

前記キャッシュコヒーレンシを保つ操作は、ヒットブロックがダーティであってライトアクセスに応答するときはヒットブロックをライトバックし且つ当該ブロックを無効化し、ヒットブロックがダーティであってリードアクセスに応答するときはヒットブロックをライトバックし且つ当該ブロックをクリーン化し、ヒットブロックがクリーンであってライトアクセスに応答するときはヒットブロックを無効化する操作であることを特徴とする請求項 9 記載のデータ処理装置。

【請求項 18】

データプロセッサと、前記データプロセッサに接続されたローカルバスと、前記ローカルバスに接続された外部メモリと、前記データプロセッサに接続されたシステムバスと、前記システムバスに接続された外部バスマスタと、前記システムバスに接続されたその他の回路と、を有するデータ処理システムであって、

前記データプロセッサは、前記外部バスマスタに前記外部メモリのアクセスを許容するバス権を与えることが可能であって、前記外部メモリをキャッシュ対象とすることが可能なキャッシュメモリを含み、外部バスマスタからのアクセス要求の条件が特定の条件を満たすとき、前記キャッシュメモリの状態をチェックし、メモリアクセスアドレスに対してキャッシュにヒットするブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンシを保つ操作を行なって、前記外部バスマスタからのアクセス要求に応答する外部メモリアクセスを開始可能にすることを特徴とするデータ処理システム。

【請求項 19】

前記外部バスマスタからの前記アクセス要求は、外部バスマスタが接続されているアドレス空間情報を含むことを特徴とする請求項 18 記載のデータ処理システム。

【請求項 20】

前記データプロセッサは、前記特定の条件をプログラマブルに指定するための制御レジスタを有し、前記制御レジスタは、アクセスアドレスとの比較に用いられる特定のアドレスを指定するための第 1 記憶領域と、アドレス比較のアドレスレンジを指定する第 2 記憶領域と、アドレス比較結果の一致又は不一致の何れを特定の条件とするかを指定するための第 3 記憶領域と、を有することを特徴とする請求項 18 記載のデータ処理システム。

【請求項 21】

命令を実行可能で、キャッシュメモリを内蔵する中央処理装置と、

前記キャッシュメモリに格納される対象となるデータ領域を有するダブルデータレート型 S D R A M を外部に接続可能なメモリインタフェース回路と、

外部にバスマスタを接続可能な外部バスインタフェース回路と、

前記中央処理装置と、前記メモリインタフェース回路と、前記外部バスインタフェース回路とに接続された内部バスとを有し、

前記中央処理装置は、前記メモリインタフェースの外部に接続される前記 S D R A M にアクセスするためのアドレス信号を、前記内部バスを介して前記メモリインタフェース回路に出力可能で、

前記中央処理装置は、前記外部バスインタフェースに接続される外部デバイスにアクセスするためのアドレス信号を、前記内部バスを介して前記外部バスインタフェース回路に出力可能で、

前記外部バスインタフェース回路は、前記外部デバイスから前記 S D R A M に対するアクセス要求を受け付け可能であることを特徴とするデータ処理装置。

【請求項 22】

前記外部デバイスからのアクセス要求を受け付けたとき、そのアクセス先が、前記キャッシュメモリに格納されているデータ領域であることを検出した場合、前記キャッシュメモリに格納されているデータを前記 S D R A M へ格納し、前記アクセス要求に応答する制御を行うことが可能であることを特徴とする請求項 21 記載のデータ処理装置。