

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 9 日 (09.01.2025)



(10) 国际公布号
WO 2025/007407 A1

(51) 国际专利分类号:
H01L 21/00 (2006.01) **H01L 29/00** (2006.01)

(21) 国际申请号: PCT/CN2023/116357

(22) 国际申请日: 2023 年 8 月 31 日 (31.08.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310827205.6 2023年7月6日 (06.07.2023) CN

(71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。

(72) 发明人: 董博闻(**DONG, Bowen**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。李辉辉(**LI, Huihui**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。李庚霏(**LI, Gengfei**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。胡琪(**HU, Qi**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。王桂磊(**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。赵超(**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。

(54) **Title:** TRANSISTOR PREPARATION METHOD AND ELECTRONIC DEVICE

(54) 发明名称: 晶体管的制备方法及电子设备

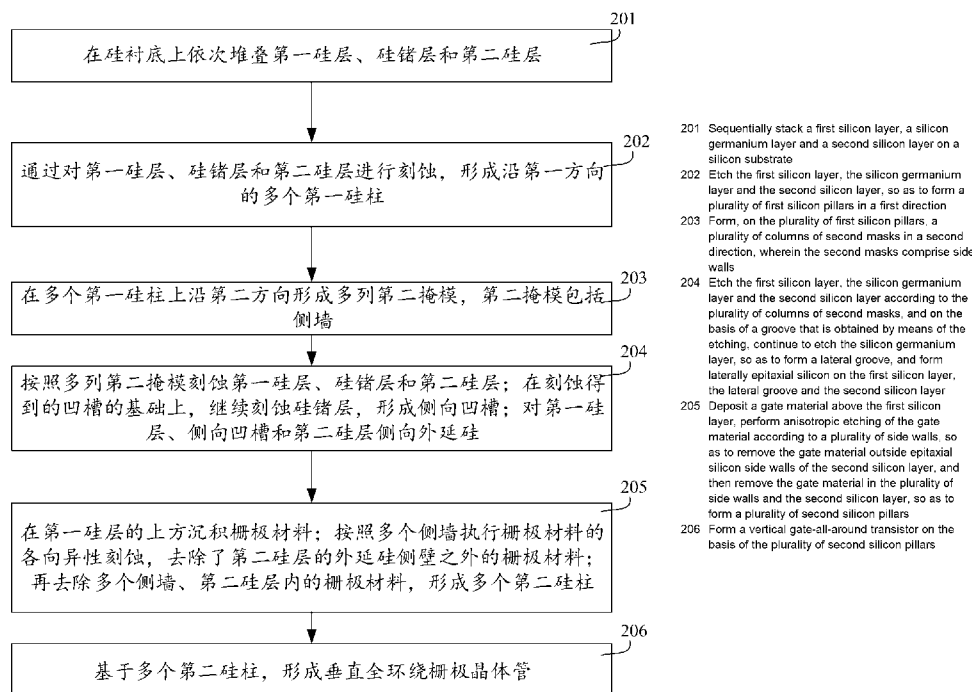


图 2

(57) **Abstract:** The present application belongs to the technical field of semiconductors. Disclosed are a transistor preparation method and an electronic device. The method comprises: etching a first silicon layer (301), a silicon germanium layer (302) and a second silicon layer (303), so as to form a plurality of first silicon pillars (304) in a first direction; etching the first silicon layer (301), the silicon germanium layer (302) and the second silicon layer (303) according to a plurality of columns of second masks (305); forming laterally epitaxial silicon on the first silicon layer (301), a lateral groove and the second silicon layer (303); depositing a gate material above the



(74) 代理人:北京三高永信知识产权代理有限公司(BEIJING SAN GAO YONG XIN INTELLECTUAL PROPERTY AGENCY CO., LTD.); 中国北京市海淀区上地信息产业基地三街1号楼四层C段457, Beijing 100085 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

first silicon layer (301); performing anisotropic etching of the gate material according to a plurality of side walls (305-1), so as to form a plurality of second silicon pillars (306); and forming a vertical gate-all-around transistor on the basis of the plurality of second silicon pillars (306). The method prevents a source/drain from being contaminated with metal.

(57) 摘要: 本申请公开了一种晶体管的制备方法和电子设备, 属于半导体技术领域。所述方法包括: 通过对第一硅层(301)、硅锗层(302)和第二硅层(303)进行刻蚀, 形成沿第一方向的多个第一硅柱(304); 按照多列第二掩模(305)刻蚀第一硅层(301)、硅锗层(302)和第二硅层(303); 对第一硅层(301)、侧向凹槽和第二硅层(303)侧向外延硅; 在第一硅层(301)的上方沉积栅极材料; 按照多个侧墙(305-1)执行栅极材料的各向异性刻蚀, 以形成多个第二硅柱(306); 基于多个第二硅柱(306), 形成垂直全环绕栅极晶体管。上述方法防止了源/漏被金属沾污。

说明书

晶体管的制备方法及电子设备

本申请要求于 2023 年 07 月 06 日提交的申请号为 202310827205.6、发明名称为“晶体管的制备方法及电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及半导体技术领域，特别涉及一种晶体管的制备方法及电子设备。

背景技术

垂直栅极全环绕（Vertical Gate-All-Around, VGAA）晶体管是一种新型半导体器件，相对平面 GAA 晶体管，垂直 GAA 晶体管（VGAA）投影面积小，且沟道长度不受限。

相关技术中，在沉积 VGAA 晶体管的金属栅极的过程中，暴露的源/漏容易产生金属沾污并且难以去除，有可能造成源/漏与金属栅极之间的短路。

发明内容

本申请实施例提供了一种晶体管的制备方法及电子设备，有效防止了晶体管的源/漏被金属沾污。所述技术方案如下：

一方面，提供了一种晶体管的制备方法，所述方法包括：

在硅衬底 300 上依次堆叠第一硅层 301、硅锗层 302 和第二硅层 303，所述第一硅层 301 与所述硅衬底 300 相接触；

通过对所述第一硅层 301、所述硅锗层 302 和所述第二硅层 303 进行刻蚀，形成沿第一方向的多个第一硅柱 304；

在所述多个第一硅柱 304 上沿第二方向形成多列第二掩模 305，所述第二掩模 305 包括侧墙 305-1；按照所述多列第二掩模 305 刻蚀所述第一硅层 301、所述硅锗层 302 和所述第二硅层 303；在刻蚀得到的凹槽的基础上，继续刻蚀所述硅锗层 302，形成侧向凹槽；对所述第一硅层 301、所述侧向凹槽和所述第二硅层 303 侧向外延硅；在所述第一硅层 301 的上方沉积栅极材料；按照多个侧墙 305-1 执行所述栅极材料的各向异性刻蚀，去除了所述第二硅层 303 的外延硅侧壁之外的栅极材料；再去除所述多个侧墙 305-1、所述第二硅层 303 内的栅极材料，形成多个第二硅柱 306，所述多个第二硅柱 306 沿所述第一方向和所述第二方向阵列分布；

基于所述多个第二硅柱 306，形成垂直全环绕栅极晶体管。

另一方面，提供了一种电子设备，电子设备中包括逻辑器件，逻辑器件由上述晶体管的制备方法制作得到。电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或智能移动终端。

本申请实施例提供的技术方案带来的有益效果至少包括：

通过对第二硅层 303 执行栅极材料的各向异性刻蚀，去除了沉积在第二硅层 303 的外延硅侧壁之外的栅极材料，之后，再次去除了第二硅层 303 内剩余的栅极材料，进而避免了源/漏和栅极之间的短路。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本申请一个或多个示例性实施例提供的 VGAA 晶体管的示意图；

图 2 是本申请一个或多个示例性实施例提供的晶体管的制备方法的流程图；

图 3 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 4 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 5 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 6 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 7 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 8 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 9 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 10 是本申请一个或多个示例性实施例提供的晶体管的制备方法的流程图；

图 11 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 12 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 13 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 14 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 15 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 16 是本申请一个或多个示例性实施例提供的晶体管的制备方法的相关步骤的示意图；

图 17 是本申请一个或多个示例性实施例提供的堆叠结构的示意图；

图 18 是本申请一个或多个示例性实施例提供的堆叠结构的示意图；

图 19 是本申请一个或多个示例性实施例提供的堆叠结构的形成过程的示意图；

图 20 是本申请另一个或多个示例性实施例提供的堆叠结构的形成过程的示意图；

图 21 是本申请另一个或多个示例性实施例提供的堆叠结构的形成过程的示意图；

图 22 是本申请另一个或多个示例性实施例提供的堆叠结构的形成过程的示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

本申请实施例中，提供了一种晶体管的制备方法，可选地，该晶体管的制备方法主要应用于 VGAA 晶体管的制备过程中。

首先对 VGAA 晶体管的结构进行介绍，如图 1 所示，在晶体管阵列 100 中包括多个晶体管单元。每个晶体管单元中包括位线（Bit Line，BL）111、字线（Word Line，WL）112、源极/漏极 113、栅极 114。

其中，晶体管阵列 100 中在同一列的多个晶体管单元通过与延伸的位线 111 耦接，对同一列的多个晶体管单元进行连通；晶体管阵列 100 中在同一行的多个晶体管单元通过与延伸的字线 112 耦接，对同一行的多个晶体管单元进行连通。

其中，字线 112 连接栅极 114，作为栅线开启晶体管单元；位线 111 连接源极/漏极 113，作为数据信号写入线。字线 112 在栅极 114 外围环绕包裹。

图 2 示出了本申请一个示例性实施例提供的晶体管的制备方法的流程图，该方法包括：

步骤 201，在硅衬底上依次堆叠第一硅层、硅锗层和第二硅层；

结合参考图 3，图 3 示出了在硅衬底 300 上依次堆叠第一硅层 301、硅锗层 302 和第二硅层 303；其中，第一硅层 301 与硅衬底 300 相接触。

步骤 202，通过对第一硅层、硅锗层和第二硅层进行刻蚀，形成沿第一方向的多个第一硅柱；

在一个实施例中，在第二硅层上沿第一方向形成多列第一掩模；按照多列第一掩模刻蚀第一硅层、硅锗层和第二硅层，形成沿第一方向的多个第一硅柱。

在第二硅层 303 上沿第一方向形成多列第一掩模。可选的，第一方向为最终生成的晶体管的位线的方向。可选的，掩模材料包括光阻材料、光刻胶、防反射材料以及一些硬掩膜材料等。多列第一掩模沿第一方向延伸。

结合参考图 4，图 4 示出了按照多列第一掩模刻蚀硅衬底 300、第一硅层 301、硅锗层 302 和第二硅层 303 得到的立体结构。图 4 示出了沿第一方向的多个第一硅柱 304。在一个实施例中，采用 SADP（Self-Aligned Double Patterning，自对准双图形）工艺对硅衬底 300、第一硅层 301、硅锗层 302 和第二硅层 303

进行刻蚀。在一个实施例中，根据阵列周期尺寸或关键尺寸使用 SADP 进行刻蚀。在一个实施例中，根据阵列周期尺寸或关键尺寸使用 SAQP (Self-aligned Quadruple Patterning, 自对准四重图形) 进行刻蚀。在一个实施例中，根据阵列周期尺寸或关键尺寸使用 LELE (Litho-Etch-Lith-Etch, 光刻蚀刻光刻蚀刻) 进行刻蚀。在一个实施例中，采用干法工艺进行刻蚀。

步骤 203，在多个第一硅柱上沿第二方向形成多列第二掩模，第二掩模包括侧墙；

结合参考图 5，图 5 示出了多列第二掩模 305。多列第二掩模 305 沿第二方向延伸。可选的，第二方向为最终生成的晶体管的字线的方向。

步骤 204，按照多列第二掩模刻蚀第一硅层、硅锗层和第二硅层；在刻蚀得到的凹槽的基础上，继续刻蚀硅锗层，形成侧向凹槽；对第一硅层、侧向凹槽和第二硅层侧向外延硅；

结合参考图 6，图 6 的 (A) 部分示出了执行侧向外延硅操作之后形成的立体结构。图 6 的 (B) 部分示出了沿第二方向观察对应的立体结构的二维平面图。

步骤 205，在第一硅层的上方沉积栅极材料；按照多个侧墙执行栅极材料的各向异性刻蚀，去除了第二硅层的外延硅侧壁之外的栅极材料；再去除多个侧墙、第二硅层内的栅极材料，形成多个第二硅柱；

可选的，栅极材料包括栅氧化层，高 K 材料和栅极金属层中的至少一种。

可选的，栅极材料包括氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钪、氧化锆等介质材料，以及多晶硅，钽、铝、钨等导电材料。

结合参考图 7，图 7 的 (A) 部分示出了在硅锗层 302、第二硅层 303、多个侧墙 305-1 的空隙内沉积栅极材料得到的立体结构。图 7 的 (B) 部分示出了沿第二方向观察对应的立体结构的二维示意图。即，图 7 示出了在第一硅层 301 的上方填充栅极材料得到的立体结构。

结合参考图 8，图 8 的 (A) 部分示出了按照多列第二掩模 305 中的多个侧墙 305-1 执行栅极材料的各向异性刻蚀得到的立体结构。图 8 的 (B) 部分示出了沿第二方向观察对应的立体结构的二维示意图。在一个实施例中，执行栅极材料的各向异性刻蚀之后，还清除多个侧墙 305-1 的侧壁、第二硅层 303 的外延硅侧壁上的金属残留。在一个实施例中，执行栅极材料的各向异性刻蚀之后，还将硅锗层 302 的侧壁与多个侧墙 305-1 的侧壁对齐。

结合参考图 9，图 9 的 (A) 部分示出了进一步去除多个侧墙 305-1、第二硅层 303 内的栅极材料，形成的多个第二硅柱 306 的立体结构图。图 9 的 (B) 部分示出了沿第二方向观察对应的立体结构的二维示意图。图 9 示出的多个第二硅柱 306 沿第一方向和第二方向阵列分布。

步骤 206，基于多个第二硅柱，形成垂直全环绕栅极晶体管。

在一个实施例中，基于多个第二硅柱 306，通过添加接触引脚，形成垂直全环绕栅极晶体管。

综上所述，通过对第二硅层 303 执行栅极材料的各向异性刻蚀，去除了沉

积在第二硅层 303 的外延硅侧壁之外的栅极材料，之后，再次去除了第二硅层 303 内剩余的栅极材料，进而避免了源/漏和栅极之间的短路。

图 10 示出了本申请一个示例性实施例提供的晶体管的制备方法的流程图，该方法包括：

步骤 1001，在硅衬底上依次堆叠第一硅层、硅锗层和第二硅层；

结合参考图 11，图 11 的 (A) 部分示出了在硅衬底 300 上依次堆叠第一硅层 301、硅锗层 302 和第二硅层 303，其中，第一硅层 301 与硅衬底 300 相接触。

步骤 1002，通过对第一硅层、硅锗层和第二硅层进行刻蚀，形成沿第一方向的多个第一硅柱。

在一个实施例中，在第二硅层上沿第一方向形成多列第一掩模；按照多列第一掩模刻蚀第一硅层、硅锗层和第二硅层，形成沿第一方向的多个第一硅柱。

在第二硅层 301 上沿第一方向形成多列第一掩模。可选的，第一方向为最终形成的晶体管的位线的方向。掩膜材料包括光阻材料、光刻胶、防反射材料以及一些硬掩膜材料等。可选的，第一掩模沿第一方向延伸。

结合参考图 11，图 11 的 (B) 部分示出了按照多列第一掩模刻蚀第一硅层 301、硅锗层 302 和第二硅层 303，形成沿第一方向的多个第一硅柱 304 的立体结构。在一个实施例中，刻蚀掉第一硅层 301、硅锗层 302 和第二硅层 303 中未处于第一掩模的覆盖范围的部分体积。在一个实施例中，采用干法工艺进行刻蚀。

在一个实施例中，根据阵列周期尺寸或关键尺寸使用 SADP 进行刻蚀。在一个实施例中，根据阵列周期尺寸或关键尺寸使用 SAQP (Self-aligned Quadruple Patterning, 自对准四重图形) 进行刻蚀。在一个实施例中，根据阵列周期尺寸或关键尺寸使用 LELE (Litho-Etch-Lith-Etch, 光刻蚀刻光刻蚀刻) 进行刻蚀。

步骤 1003，在多个第一硅柱之间填充氧化物；

结合参考图 11，图 11 的 (C) 部分示出了在多个第一硅柱 304 之间氧化物得到的立体结构。可选的，氧化物为二氧化硅。

步骤 1004，在多个第一硅柱上沿第二方向形成多列第二掩模，第二掩模包括侧墙；

结合参考图 12，图 12 的 (A) 部分示出了在多个第一硅柱 304 上沿第二方向形成多列第二掩模 305 得到的立体结构。第二掩模 305 沿第二方向延伸。

步骤 1005，按照多列第二掩模刻蚀第一硅层、硅锗层和第二硅层，形成多个第一凹槽；

结合参考图 12，图 12 的 (B) 部分示出了按照多列第二掩模 305 刻蚀第一硅层 301、硅锗层 302 和第二硅层 303，形成多个第一凹槽 307 得到的立体结构。在一个实施例中，刻蚀掉第一硅层 301、硅锗层 302 和第二硅层 303 中未被多列第二掩模 305 覆盖的部分体积。图 12 的 (B) 部分还示出了多列第二掩模 305 中的任意一个第二掩模 305，包括侧墙 305-1、芯轴 305-2 和侧墙 305-1 的三层

结构。在一个实施例中，采用干法工艺进行刻蚀。

步骤 1006，对硅锗层执行第一次侧向刻蚀；

结合参考图 12，图 12 的 (C1) 部分示出了对硅锗层 302 执行第一次侧向刻蚀得到的立体结构。

图 12 的 (C2) 部分示出了以第二方向观察对应的立体结构得到的二维平面图。在一个实施例中，第二方向为字线方向。第二方向为最终生成的晶体管的字线的方向。

在一个实施例中，采用 ALE (Atomic Layer Etch, 原子层刻蚀) 工艺执行第一次侧向刻蚀。

步骤 1007，对第一硅层、硅锗层和第二硅层执行第一次侧向外延硅，形成第一侧向凹槽；对第一侧向凹槽填充氧化物并磨平；对第一凹槽填充氧化物并磨平；

结合参考图 13，图 13 的 (A1) 部分示出了第一硅层 301、硅锗层 302 和第二硅层 303 执行第一次侧向外延硅，形成第一侧向凹槽 308 得到的立体结构。图 13 的 (A2) 部分示出了沿第二方向观察对应的立体结构的二维平面图。

图 13 的 (B1) 部分示出了对第一侧向凹槽 308 和第一凹槽 307 填充氧化物并磨平得到的立体结构。图 13 的 (B2) 部分示出了沿第二方向观察对应的立体结构的二维平面图。在一个实施例中，通过 CMP (Chemical Mechanical Polishing, 化学机械抛光) 执行磨平操作。

步骤 1008，按照多列第二掩模中的多个芯轴刻蚀第一硅层、硅锗层和第二硅层，形成多个第二凹槽；

结合参考图 13，图 13 的 (C1) 部分示出了按照多列第二掩模 305 中的多个芯轴 305-2 刻蚀第一硅层 301、硅锗层 302 和第二硅层 303，形成多个第二凹槽 309 的立体结构。图 13 的 (C2) 部分示出了沿第二方向观察对应的立体结构的二维平面图。

在一个实施例中，刻蚀掉第一硅层 301、硅锗层 302 和第二硅层 303 中被多个芯轴 305-2 覆盖的部分体积。在一个实施例中，刻蚀掉第一硅层 301、硅锗层 302 和第二硅层 303 中未被多个侧墙 305-1 覆盖的部分体积。

在一个实施例中，采用湿法工艺或 ALE (Atomic Layer Etch, 原子层刻蚀) 工艺刻蚀第一硅层 301、硅锗层 302 和第二硅层 303，形成多个第二凹槽 309。

步骤 1009，对硅锗层执行第二次侧向刻蚀；

结合参考图 14，图 14 的 (A1) 部分示出了对硅锗层 302 执行第二次侧向刻蚀得到的立体结构。图 14 的 (A2) 部分示出了沿第二方向观察到的对应的立体结构的二维平面图。结合步骤 1007 对硅锗层 302 的第一次侧向刻蚀，两次侧向刻蚀使得硅锗层 302 的硅锗材料被全部去除。

步骤 1010，对第一硅层、硅锗层和第二硅层执行第二次侧向外延硅，形成第二侧向凹槽，对第二侧向凹槽填充氧化物并磨平；对第二凹槽填充氧化物并磨平；

结合参考图 14，图 14 的 (B1) 部分示出了对第一硅层 301、硅锗层 302 和

第二硅层 303 执行第二次侧向外延硅，形成第二侧向凹槽 310 的立体结构。图 14 的 (B2) 部分示出了沿第二方向观察到的对应的立体结构的二维平面图。

图 14 的 (C1) 部分示出了对第二侧向凹槽 310 填充氧化物并磨平以及对第二凹槽 309 填充氧化物并磨平得到的立体结构。图 14 的 (C2) 部分示出了对应的立体结构的二维平面图。可选的，氧化物为二氧化硅。

在一个实施例中，通过 CMP (Chemical Mechanical Polishing, 化学机械抛光) 执行磨平操作。

步骤 1011，刻蚀第一硅层上方的氧化物；

结合参考图 15，图 15 的 (A1) 部分示出了第二硅层 303、多个侧墙 305-1 之间的氧化物被刻蚀之后的立体结构。图 15 的 (A2) 部分示出了对应的立体结构的二维平面图。结合参考图 15，图 15 的 (B1) 部分示出了进一步的硅锗层 302 的氧化物被刻蚀之后的立体结构。图 15 的 (B2) 部分示出了对应的立体结构的二维平面图。即，图 15 的 (A1)、(A2)、(B1)、(B2) 部分示出了第一硅层上方的氧化物被刻蚀之后的示意图。

在一个实施例中，通过干法工艺刻蚀硅锗层 302 上方的氧化物；再通过湿法工艺刻蚀硅锗层 302 的氧化物。

步骤 1012，在硅锗层、第二硅层和多个侧墙的空隙内沉积栅极材料；

可选的，栅极材料包括栅氧化层，高 K 材料和栅极金属层中的至少一种。可选的，栅极材料包括氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钪、氧化锆等介质材料，以及多晶硅，钽、铝、钨等导电材料。

结合参考图 15，图 15 的 (C1) 部分示出了在硅锗层 302、第二硅层 303 和多个侧墙 305-1 的空隙内沉积栅极材料得到的立体结构。图 15 的 (C2) 部分示出了对应的立体结构的二维平面图。即，图 15 的 (C1) (C2) 部分示出了在第一硅层 301 的上方空隙内沉积栅极材料得到的立体结构的示意图。

步骤 1013，对多个侧墙的所在层，执行栅极材料的各向异性刻蚀，刻蚀至多个侧墙的侧壁；以及，对第二硅层执行栅极材料的各向异性刻蚀，刻蚀至第二硅层的外延硅侧壁；以及，在多列第二掩模中的多个侧墙的覆盖范围之外，在硅锗层执行栅极材料的各向异性刻蚀；

结合参考图 16，图 16 的 (A1) 部分示出了对多个侧墙 305-1 的所在层、第二硅层 303 和硅锗层 302 执行栅极材料的各向异性刻蚀得到的立体结构。其中，多个侧墙 305-1 的所在层的金属各向异性刻蚀将刻蚀至多个侧墙的侧壁，第二硅层 303 的金属各向异性刻蚀将刻蚀至外延硅侧壁，硅锗层 302 的金属各向异性刻蚀将刻蚀至多个侧墙 305-1 的覆盖范围边界。图 16 的 (A2) 部分示出了沿第二方向观察对应的立体结构得到的二维平面图。

在一个实施例中，执行栅极材料的各向异性刻蚀之后，还清除多个侧墙 305-1 的侧壁、第二硅层 303 的外延硅侧壁上的金属残留。在一个实施例中，执行栅极材料的各向异性刻蚀之后，还将硅锗层 302 的侧壁与多个侧墙 305-1 的侧壁对齐。

步骤 1014，在硅锗层、第二硅层、多个侧墙之间的空隙内填充氧化物；

结合参考图 16，图 16 的 (B1) 部分示出了在硅锗层 302、第二硅层 303、多个侧墙 305-1 之间的空隙内填充氧化物得到的立体结构。图 16 的 (B2) 部分示出了沿第二方向观察对应的立体结构得到的二维平面图。即，图 16 的 (B1) 部分和 (B2) 部分示出了在第一硅层 301 的上方填充氧化物得到的立体结构。可选的，氧化物为二氧化硅。

步骤 1015，去除多个侧墙；

步骤 1016，去除第二硅层内剩余的栅极材料，形成多个第二硅柱；

结合参考图 16，图 16 的 (C1) 部分示出了去除多个侧墙 305-1、第二硅层 303 内剩余的栅极材料得到的立体结构。图 16 的 (C2) 部分示出了沿第二方向观察对应的立体结构得到的二维平面图。图 16 的 (C1) 和 (C2) 部分示出了第二硅柱 306。

步骤 1017，基于多个第二硅柱，形成垂直全环绕栅极晶体管。

在一个实施例中，对基于多个第二硅柱 306，通过添加接触引脚，形成垂直全环绕栅极晶体管。在本实施例中，垂直全环绕栅极晶体管也被称为金属环栅晶体管、金属可替代栅晶体管。

综上所述，通过对第二硅层 303 执行栅极材料的各向异性刻蚀，去除了沉积在第二硅层 303 的外延硅侧壁之外的栅极材料，之后，再次去除了第二硅层 303 内剩余的栅极材料，进而避免了源/漏和栅极之间的短路。

在一个实施例中，步骤 202 或步骤 1002 包括：通过对硅衬底、第一硅层、硅锗层和第二硅层进行刻蚀，形成沿第一方向的多个第一硅柱。

基于图 2 和图 10 所示的方法实施例，在执行步骤 201 和步骤 1001 时，还在堆叠结构中形成阱隔离。

在一个实施例中，结合参考图 17，图 17 的 (A1) 部分示出了形成阱隔离之后的堆叠结构。图 17 的 (A2) 部分示出了堆叠结构的二维平面图。考虑阱隔离之后的堆叠结构包括硅衬底 300、第一硅层 301、硅锗层 302 和第二硅层 303。进一步的，硅衬底 300 包括上部分硅衬底 300-1 和下部分硅衬底 300-2。可选的，下部分硅衬底 300-2 被掺杂为 N 型，上部分硅衬底 300-1 被掺杂为 P 型，第一硅层 301 被掺杂为 P 型。可选的，下部分硅衬底 300-2 被掺杂为 P 型，上部分硅衬底 300-1 被掺杂为 N 型，第一硅层 301 被掺杂为 N 型。

可以注意到的是，图 17 的 (B1) 部分示出了考虑阱隔离之后得到的多个第一硅柱 307 的立体结构。图 17 的 (B2) 部分示出了立体结构对应的平面图。此时，执行第一硅柱 307 的纵向刻蚀的刻蚀深度仅达到上部分硅衬底 300-1，多个第一硅柱 307（即位线）彼此之间通过 PN 结结构相互隔离，防止第一硅柱 307 之间发生漏电。

在一个实施例中，结合参考图 18，图 18 的 (A1) 部分示出了形成阱隔离之后的堆叠结构。图 18 的 (A2) 部分示出了堆叠结构的二维平面图。考虑阱隔离之后的堆叠结构包括硅衬底 300、第一硅层 301、硅锗层 302、第二硅层 303，以及位于硅衬底 300 和第一硅层中间的第三硅层 304。可选的，硅衬底

300 被掺杂为 P 型，第一硅层 301 和第三硅层 304 被掺杂为 N 型。

可以注意到的是，图 18 的 (B1) 部分示出了考虑阱隔离之后得到的多个第一硅柱 307 的立体结构。图 18 的 (B2) 部分示出了立体结构对应的平面图。此时，执行第一硅柱 307 的纵向刻蚀的刻蚀深度仅达到第三硅层 304，多个第一硅柱 307 (即位线) 彼此之间通过 PN 结结构相互隔离，防止第一硅柱 307 之间发生漏电。

示意性的，提供了步骤 201 和步骤 1001 如下四种可能的实现方式。

第一种可能的实现方式：获取硅衬底；将硅衬底中的下部分硅衬底掺杂为 N 型，将硅衬底中的上部分硅衬底掺杂为 P 型；在硅衬底上依次堆叠第一硅层、硅锗层和第二硅层；将第一硅层掺杂为 P 型。可选的，对硅衬底进行掺杂之后通过退火操作恢复硅衬底晶格。

结合参考图 19，图 19 的 (A) 部分示出了硅衬底 300；图 19 的 (B) 部分示出了掺杂为 N 型的下部分硅衬底 300-1 和掺杂为 P 型的上部分硅衬底 300-2。图 19 的 (C) 部分示出了堆叠得到的第一硅层 301、硅锗层 302 和第二硅层 303，第一硅层 301 被掺杂为 P 型。

第二种可能的实现方式：获取硅衬底；将硅衬底中的下部分硅衬底掺杂为 P 型，将硅衬底中的上部分硅衬底掺杂为 N 型；在硅衬底上依次堆叠第一硅层、硅锗层和第二硅层；将第一硅层掺杂为 N 型。可选的，对硅衬底进行掺杂之后通过退火操作恢复硅衬底晶格。

结合参考图 20，图 20 的 (A) 部分示出了硅衬底 300；图 20 的 (B) 部分示出了掺杂为 P 型的下部分硅衬底 300-1 和掺杂为 N 型的上部分硅衬底 300-2。图 20 的 (C) 部分示出了堆叠得到的第一硅层 301、硅锗层 302 和第二硅层 303，第一硅层 301 被掺杂为 N 型。

第三种可能的实现方式：获取硅衬底；将硅衬底掺杂为 N 型；在硅衬底上依次堆叠第三硅层、第一硅层、硅锗层和第二硅层；将第三硅层和第一硅层掺杂为 P 型。

结合参考图 21，图 21 的 (A) 部分示出了硅衬底 300；图 21 的 (B) 部分示出了掺杂为 N 型的硅衬底 300。图 21 的 (C) 部分示出了堆叠得到的第三硅层 304、第一硅层 301、硅锗层 302 和第二硅层 303，第三硅层 304 被掺杂为 P 型，第一硅层 301 被掺杂为 P 型。

第四种可能的实现方式：获取硅衬底；将硅衬底掺杂为 P 型；在硅衬底上依次堆叠第三硅层、第一硅层、硅锗层和第二硅层；将第三硅层和第一硅层掺杂为 N 型。

结合参考图 22，图 22 的 (A) 部分示出了硅衬底 300；图 22 的 (B) 部分示出了掺杂为 P 型的硅衬底 300。图 22 的 (C) 部分示出了堆叠得到的第三硅层 304、第一硅层 301、硅锗层 302 和第二硅层 303，第三硅层 304 被掺杂为 N 型，第一硅层 301 被掺杂为 N 型。

本申请实施例提供了一种电子设备，该电子设备中包括逻辑器件，逻辑器件中包括如上述实施例中所提供的 3D 与非门电路。该逻辑器件可以应用于逻辑运算器和存储器等。

可选地，该电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或智能移动终端。

在本申请中，术语“第一”和“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性。术语“至少一个”是指一个或多个，术语“多个”指两个或两个以上，除非另有明确的限定。

本申请中术语“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，本文中字符“/”，一般表示前后关联对象是一种“或”的关系。

以上所述仅为本申请的示例性实施例，并不用以限制本申请，凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1.一种晶体管的制备方法，其特征在于，所述方法包括：

在硅衬底（300）上依次堆叠第一硅层（301）、硅锗层（302）和第二硅层（303），所述第一硅层（301）与所述硅衬底（300）相接触；

通过对所述第一硅层（301）、所述硅锗层（302）和所述第二硅层（303）进行刻蚀，形成沿第一方向的多个第一硅柱（304）；

在所述多个第一硅柱（304）上沿第二方向形成多列第二掩模（305），所述第二掩模（305）包括侧墙（305-1）；按照所述多列第二掩模（305）刻蚀所述第一硅层（301）、所述硅锗层（302）和所述第二硅层（303）；在刻蚀得到的凹槽的基础上，继续刻蚀所述硅锗层（302），形成侧向凹槽；对所述第一硅层（301）、所述侧向凹槽和所述第二硅层（303）侧向外延硅；在所述第一硅层（301）的上方沉积栅极材料；按照多个侧墙（305-1）执行所述栅极材料的各向异性刻蚀，去除了所述第二硅层（303）的外延硅侧壁之外的栅极材料；再去除所述多个侧墙（305-1）、所述第二硅层（303）内的栅极材料，形成多个第二硅柱（306），所述多个第二硅柱（306）沿所述第一方向和所述第二方向阵列分布；

基于所述多个第二硅柱（306），形成垂直全环绕栅极晶体管。

2.根据权利要求1所述的方法，其特征在于，所述按照多个侧墙（305-1）执行所述栅极材料的各向异性刻蚀，包括：

对所述多个侧墙（305-1）的所在层，执行栅极材料的各向异性刻蚀，刻蚀至所述多个侧墙（305-1）的侧壁；以及，对所述第二硅层（303）执行栅极材料的各向异性刻蚀，刻蚀至所述第二硅层（303）的外延硅侧壁；以及，在所述多个侧墙（305-1）的覆盖范围之外，在所述硅锗层（302）执行栅极材料的各向异性刻蚀。

3.根据权利要求1或2所述的方法，其特征在于，所述按照所述多列第二掩模（305）刻蚀所述第一硅层（301）、所述硅锗层（302）和所述第二硅层（303）；在刻蚀得到的凹槽的基础上，继续刻蚀所述硅锗层（302），形成侧向凹槽；在所述第一硅层（301）、所述侧向凹槽和所述第二硅层（303）侧向外延硅，包括：

按照所述多列第二掩模（305）刻蚀所述第一硅层（301）、所述硅锗层（302）和所述第二硅层（303），形成多个第一凹槽（307）；对所述硅锗层（302）执行第一次侧向刻蚀，之后，对所述第一硅层（301）、所述硅锗层（302）和所述第二硅层（303）执行第一次侧向外延硅，形成第一侧向凹槽（308）；

按照所述多列第二掩模（305）中的多个芯轴（305-2）刻蚀所述第一硅层（301）、所述硅锗层（302）和所述第二硅层（303），形成多个第二凹槽

(309); 对所述硅锗层 (302) 执行第二次侧向刻蚀, 之后, 对所述第一硅层 (301)、所述硅锗层 (302) 和所述第二硅层 (303) 执行第二次侧向外延硅, 形成第二侧向凹槽 (310), 两次侧向刻蚀使得所述硅锗层 (302) 的硅锗材料被全部去除。

4. 根据权利要求 3 所述的方法, 其特征在于, 所述形成第一侧向凹槽 (308) 之后, 还包括: 对所述第一侧向凹槽 (308) 填充氧化物并磨平; 对所述第一凹槽 (307) 填充氧化物并磨平;

所述形成第二侧向凹槽 (310) 之后, 还包括: 对所述第二侧向凹槽 (310) 填充氧化物并磨平; 对所述第二凹槽 (309) 填充氧化物并磨平。

5. 根据权利要求 4 所述的方法, 其特征在于, 所述在所述第一硅层 (301) 的上方沉积栅极材料, 包括:

刻蚀第一硅层 (301) 上方的氧化物;

在所述硅锗层 (302)、所述第二硅层 (303) 和所述多个侧墙 (305-1) 的空隙内沉积所述栅极材料。

6. 根据权利要求 5 所述的方法, 其特征在于, 所述刻蚀第一硅层 301 上方的氧化物, 包括:

通过干法工艺刻蚀所述硅锗层 (302) 上方的氧化物;

再通过湿法工艺刻蚀所述硅锗层 (302) 的氧化物。

7. 根据权利要求 5 所述的方法, 其特征在于, 所述再去除所述多个侧墙 (305-1)、所述第二硅层 (303) 内的栅极材料, 形成多个第二硅柱 (306), 包括:

在所述硅锗层 (302)、所述第二硅层 (303)、所述多个侧墙 (305-1) 之间的空隙内填充氧化物;

去除所述多个侧墙 (305-1);

去除所述第二硅层 (303) 内剩余的栅极材料, 形成所述多个第二硅柱 (306)。

8. 根据权利要求 1 或 2 所述的方法, 其特征在于, 所述多列第二掩模 (305) 中的任意一个第二掩模 (305) 包括侧墙 (305-1)、芯轴 (305-2) 和侧墙 (305-1) 的三层结构。

9. 一种电子设备, 其特征在于, 所述电子设备中包括逻辑器件, 所述逻辑器件中包括按照如权利要求 1 至 8 任一所述的晶体管的制备方法制备的晶体管。

10. 根据权利要求 9 所述的电子设备, 其特征在于, 所述电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或智能移动终端。

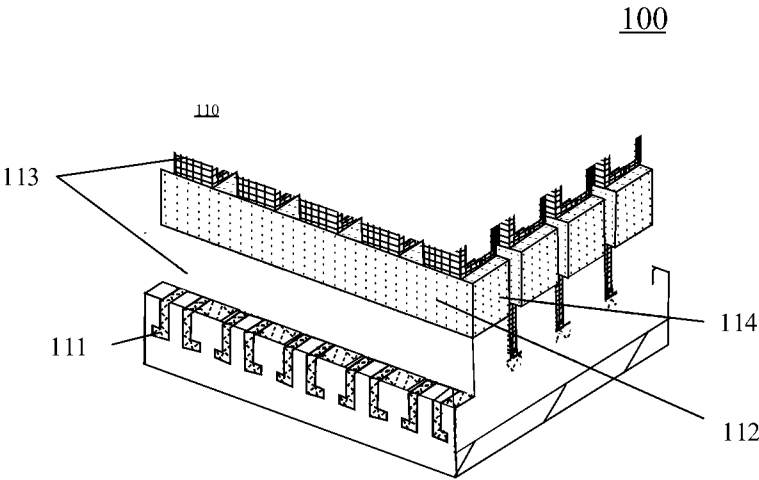


图 1

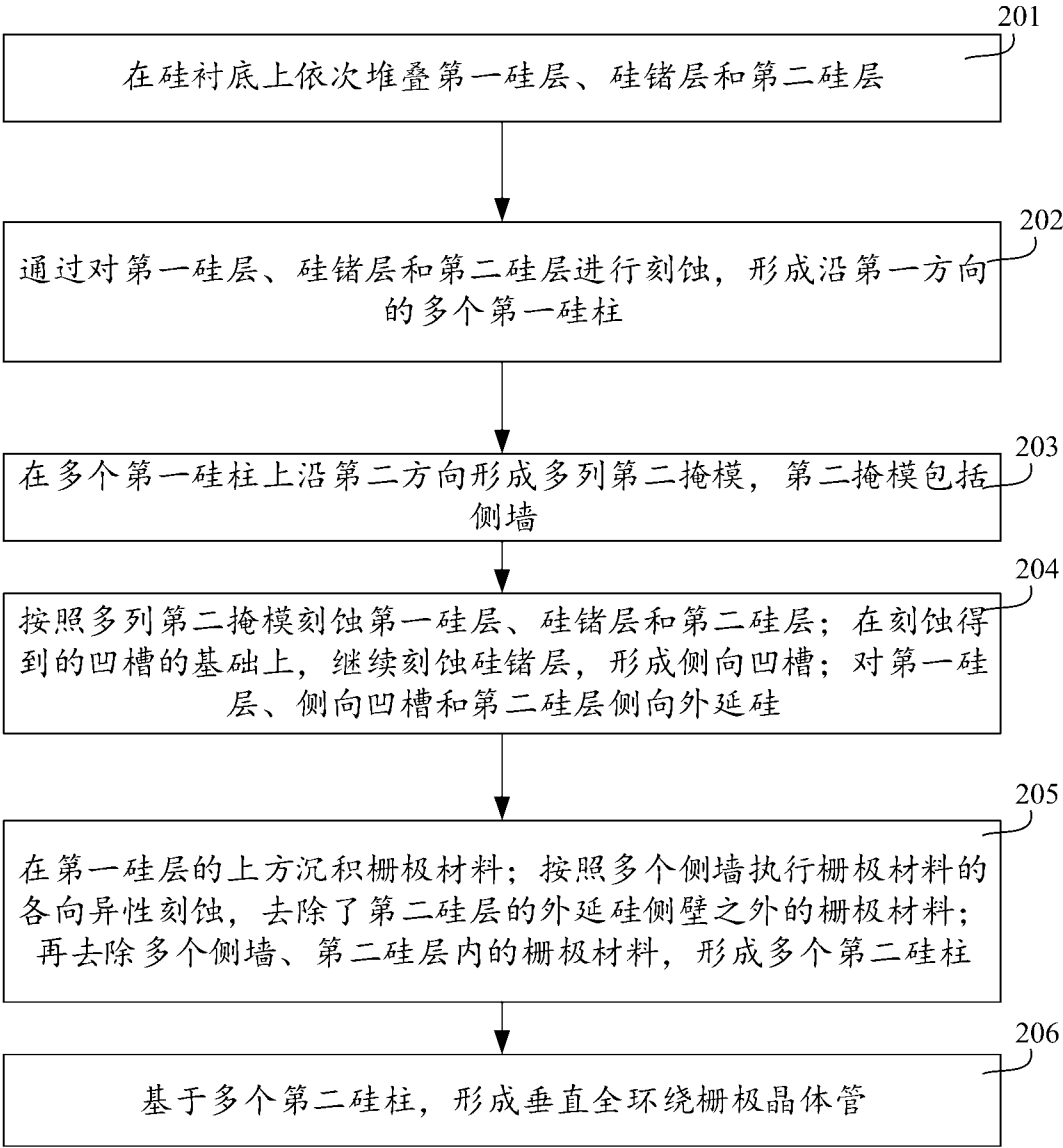


图 2

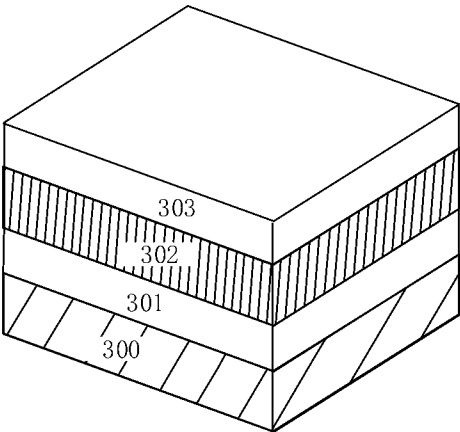


图 3

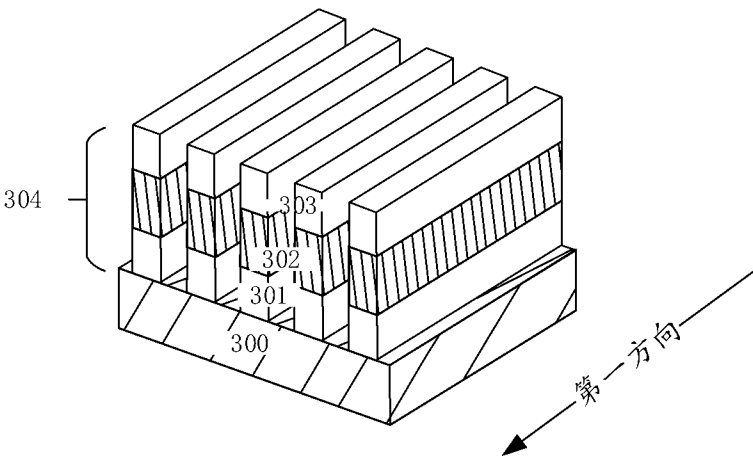


图 4

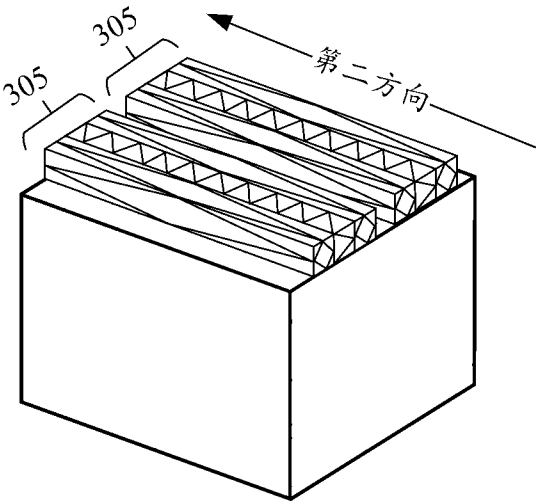


图 5

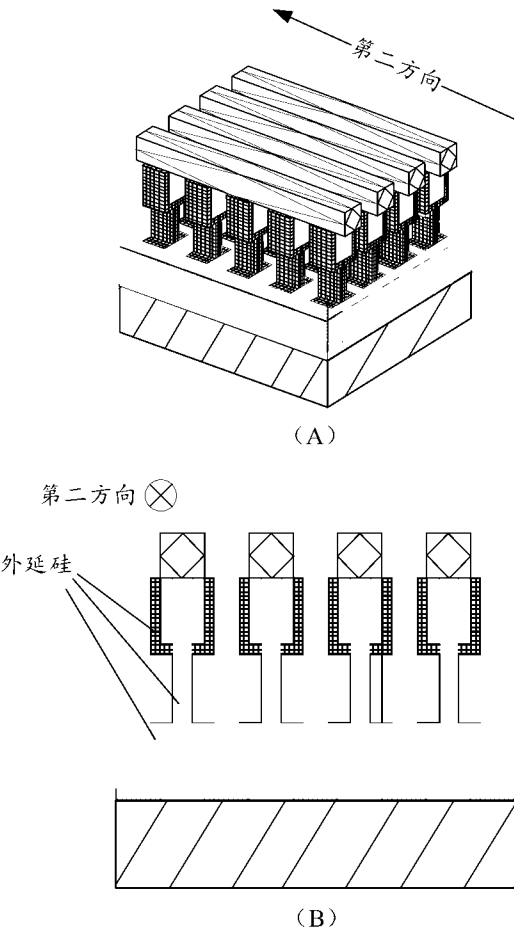


图 6

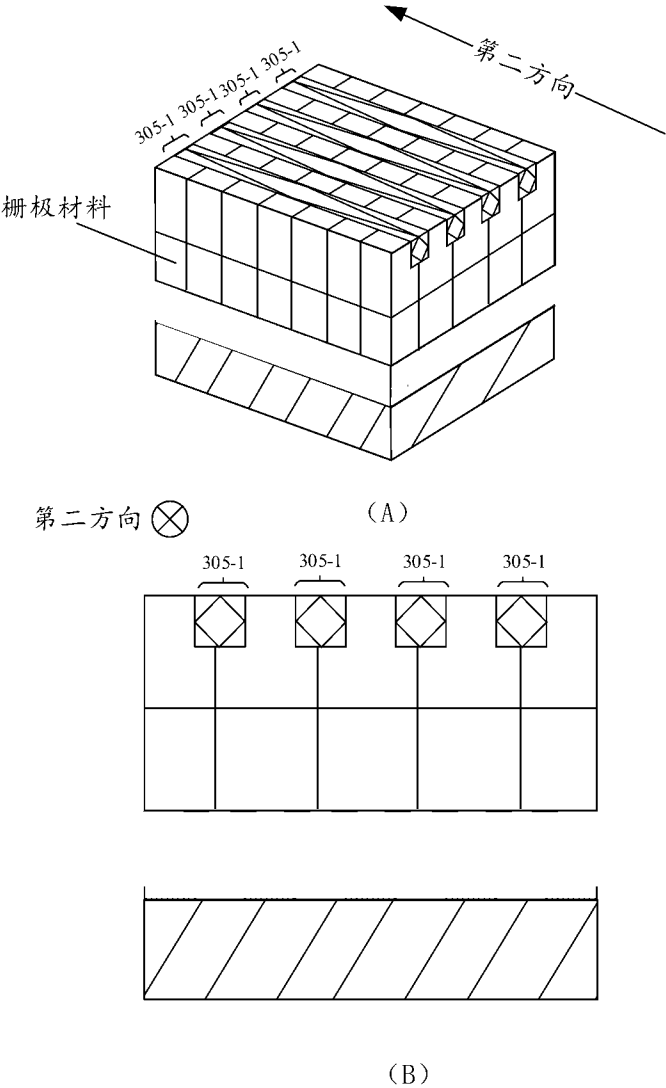
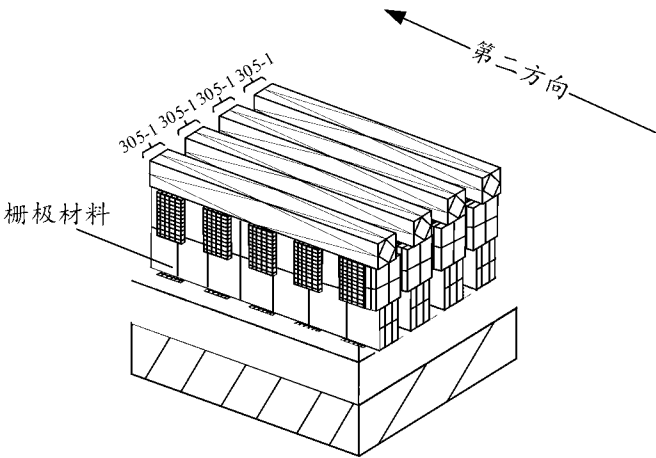
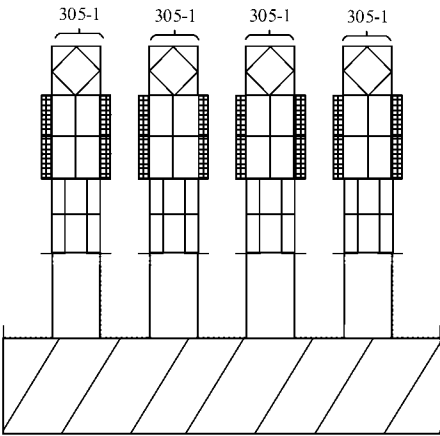


图 7



第二方向 ⊗ (A)



(B)

图 8

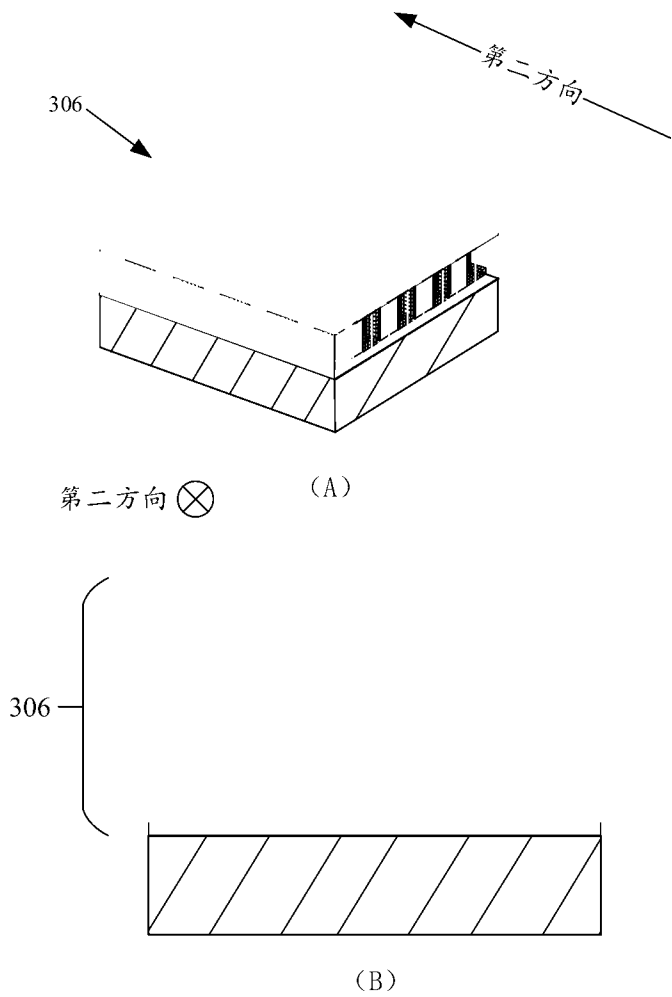


图 9

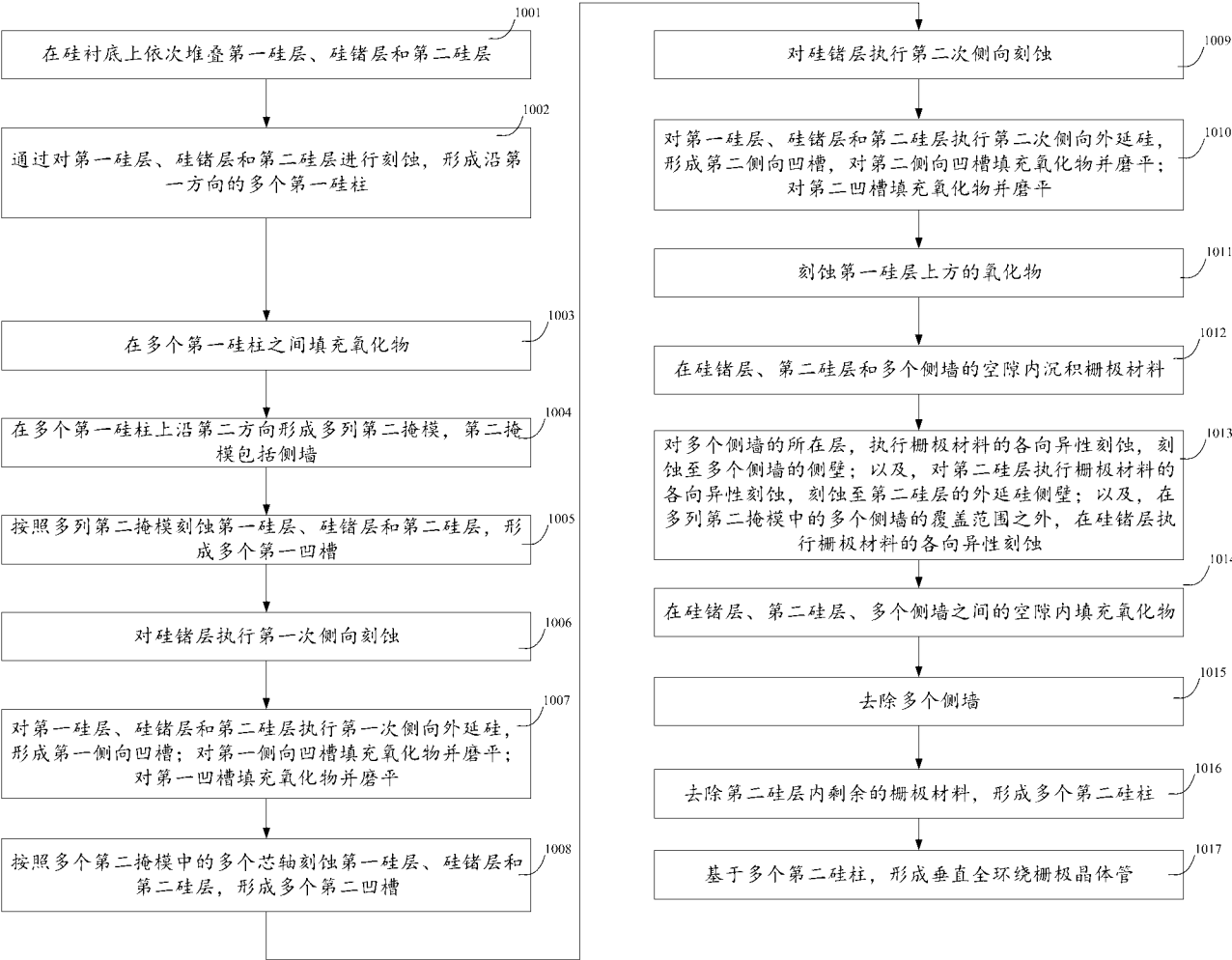


图 10

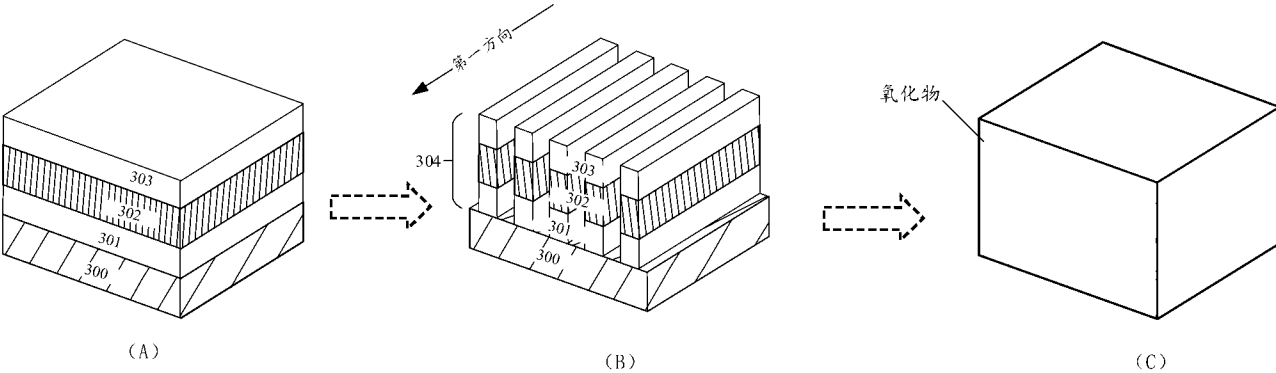


图 11

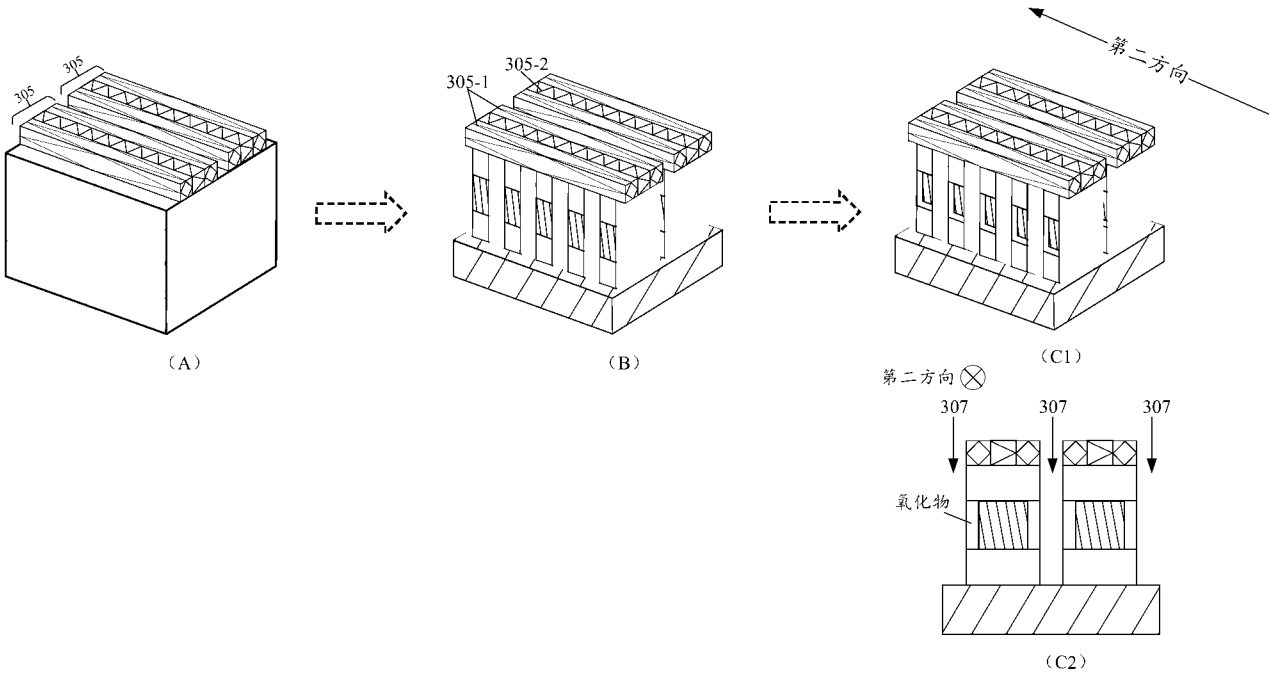


图 12

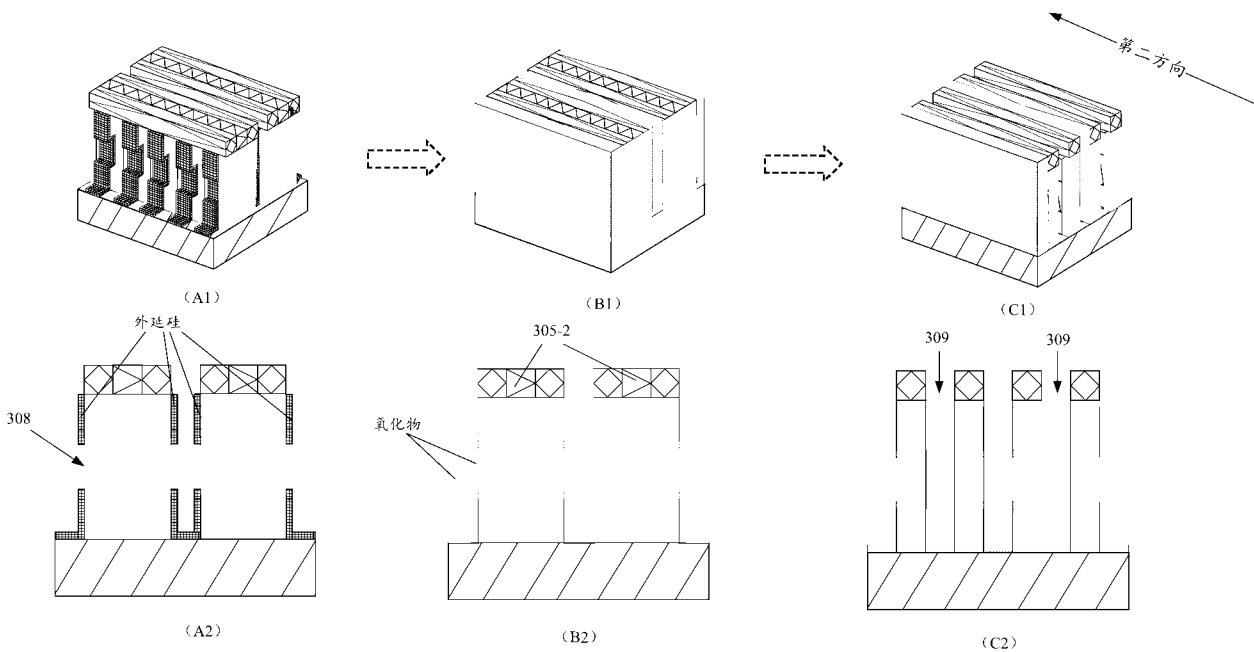


图 13

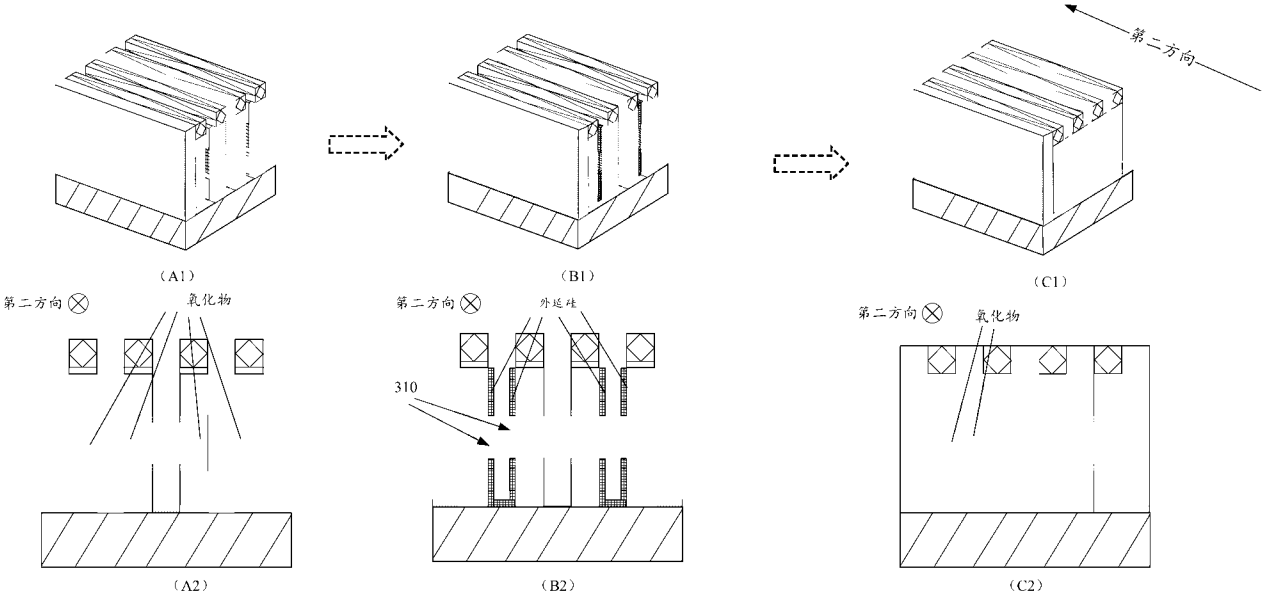


图 14

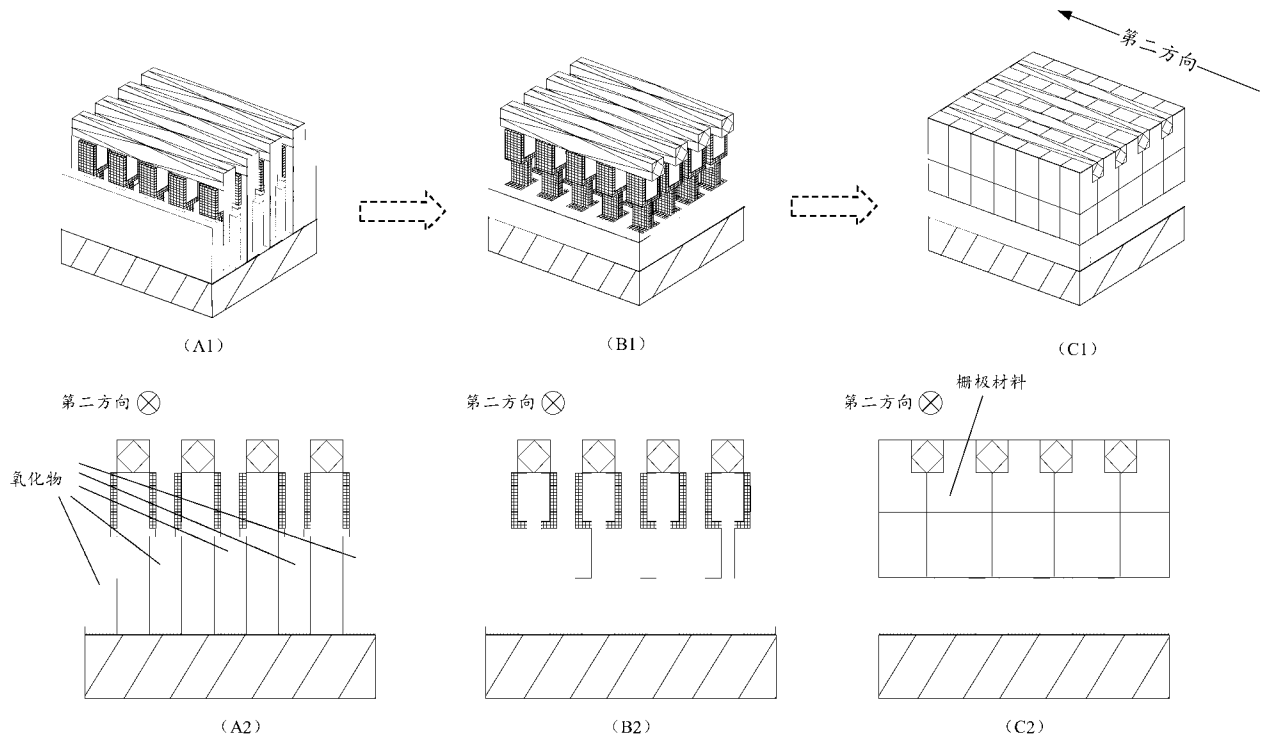


图 15

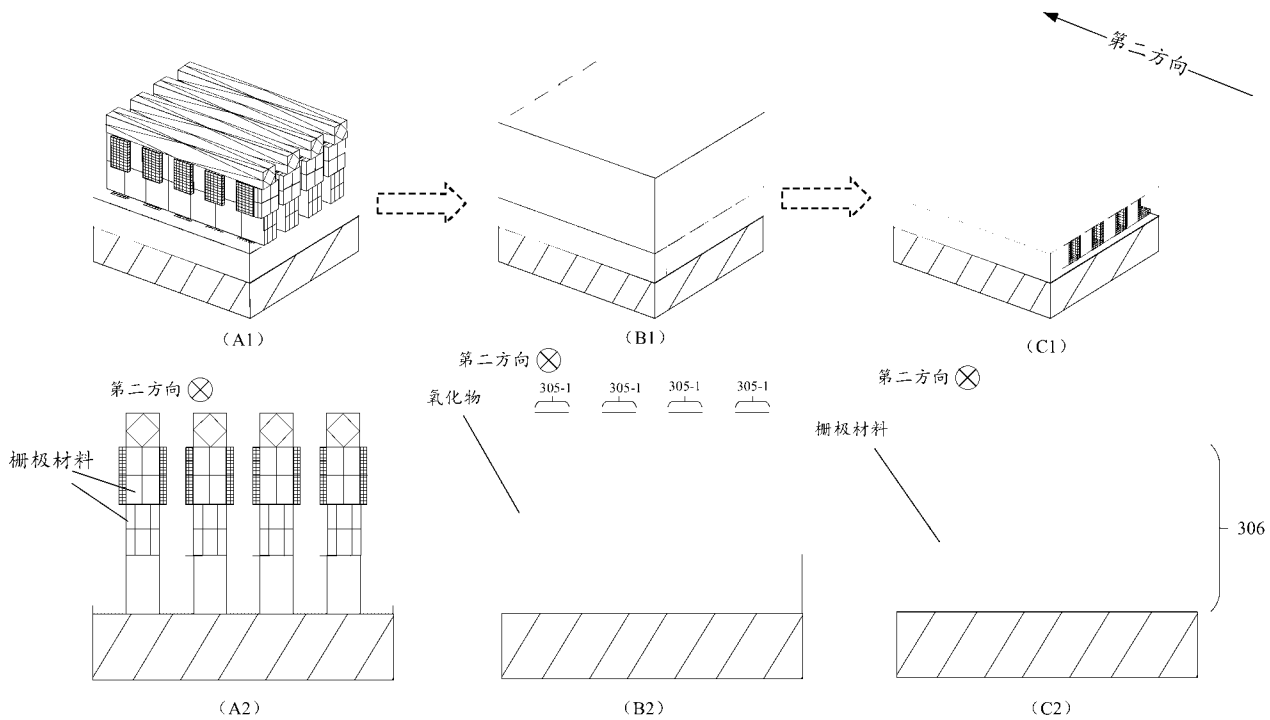


图 16

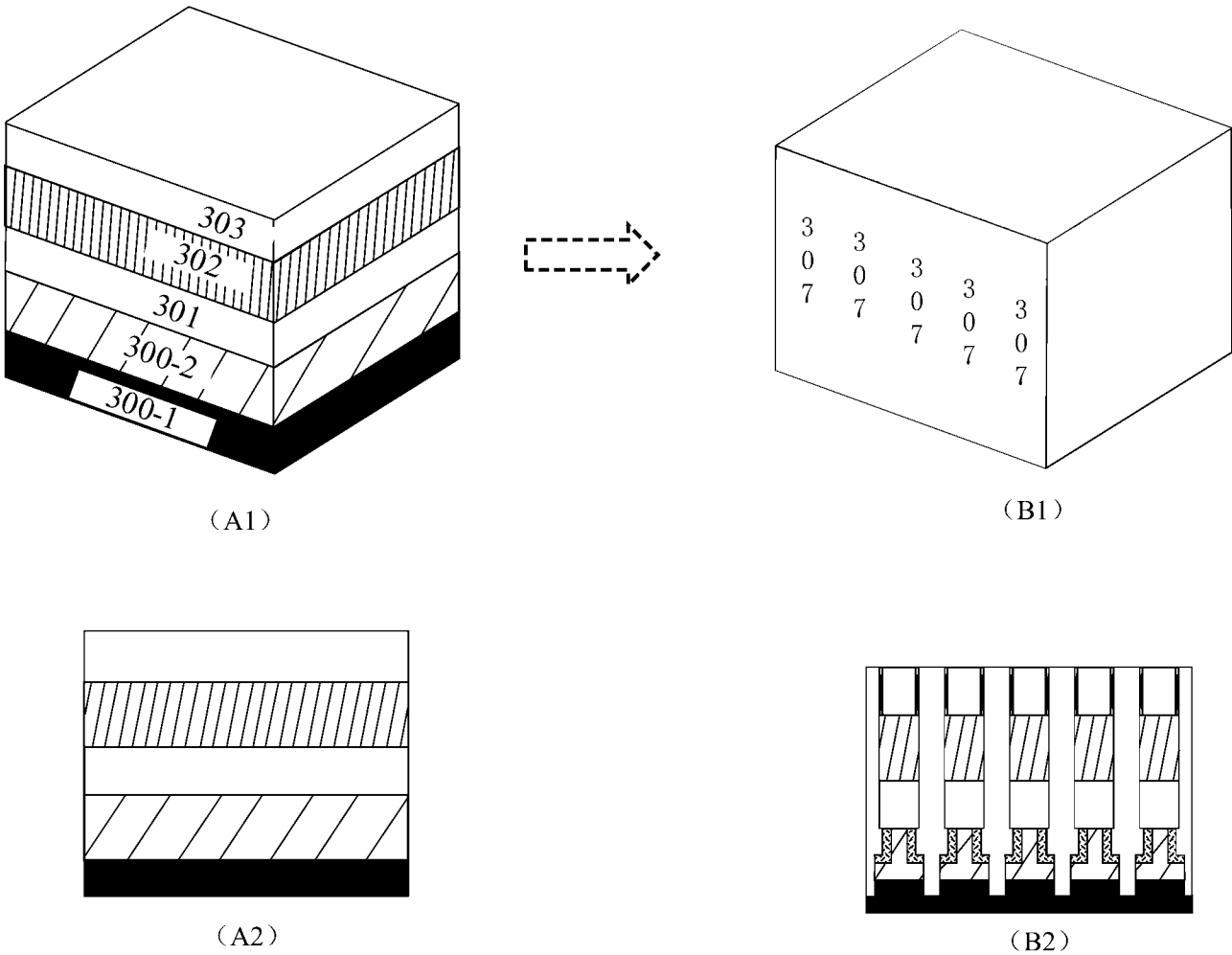


图 17

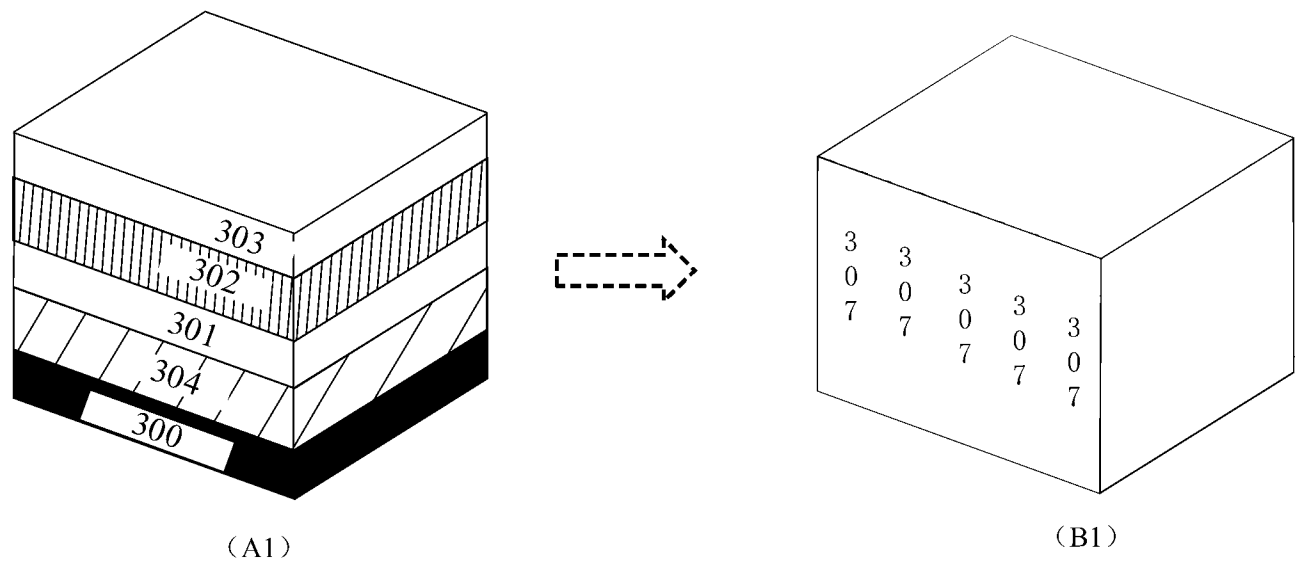


图 18

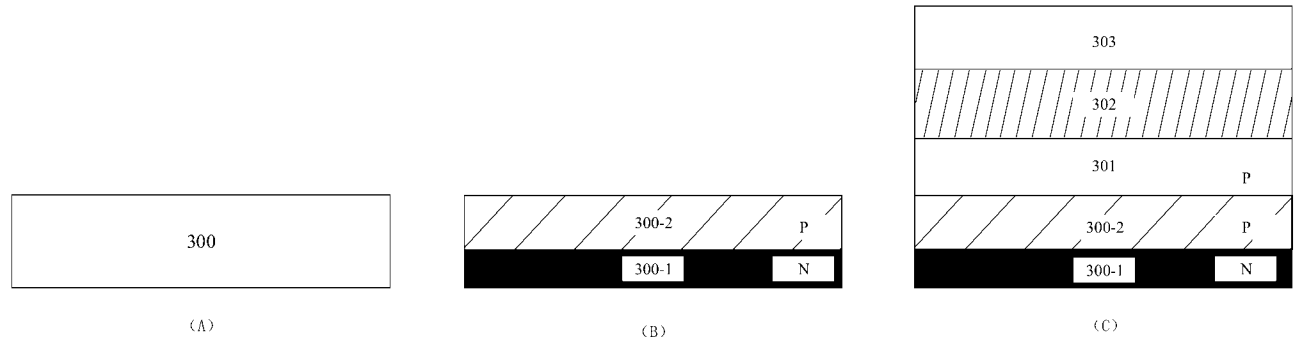
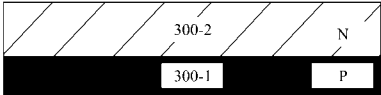


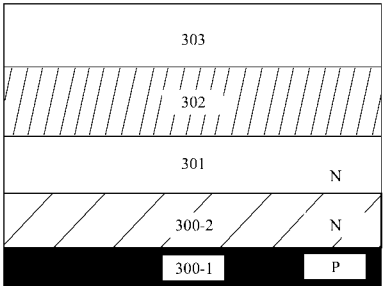
图 19



(A)

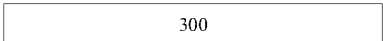


(B)

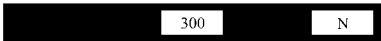


(C)

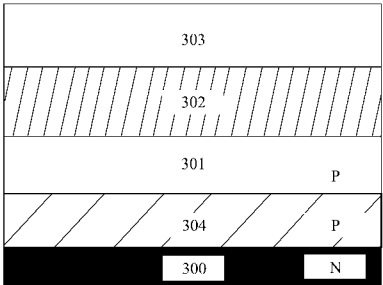
图 20



(A)

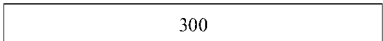


(B)



(C)

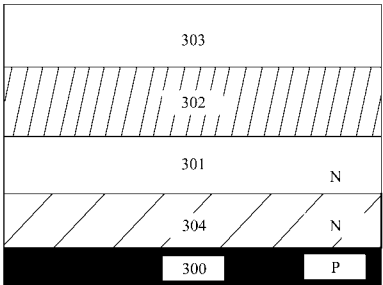
图 21



(A)



(B)



(C)

图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/116357

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/00(2006.01)i; H01L29/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-; H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, WPABSC, CNTXT, ENTXT, VEN, EMTXTC: 凹槽, 侧, 侧壁, 侧墙, 侧向, 沉积, 垂直, 叠, 硅, 硅锗, 环绕, 晶体管, 开口, 立体, 生长, 外延, 柱, 栅, 锗硅, column, concave, gate, germanium, grid, groove, hollow, lateral, perpendicular, pillar, ring, stereoscopic, transistor, upright, vertical, VGAA, wall, silic+, "Ge", etch+, si+, +round, grow+, side+, dimension+, "si", expan+, , open+, deposit+,

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2023066811 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 02 March 2023 (2023-03-02) description, paragraphs 38-63 and 92-98, and figures 3-34 and 57-65	1-10
A	JP 2013122975 A (SHIRATO TAKEHIDE) 20 June 2013 (2013-06-20) entire document	1-10
A	CN 114078701 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP, et al.) 22 February 2022 (2022-02-22) entire document	1-10
A	WO 2023108885 A1 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 22 June 2023 (2023-06-22) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 February 2024

Date of mailing of the international search report

09 March 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/116357

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2023066811	A1	02 March 2023	WO	2023029401	A1	09 March 2023
				CN	116133386	A	16 May 2023
JP	2013122975	A	20 June 2013	JP	5715036	B2	07 May 2015
CN	114078701	A	22 February 2022	None			
WO	2023108885	A1	22 June 2023	CN	114220856	A	22 March 2022

A. 主题的分类

H01L21/00(2006.01)i; H01L29/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-; H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,WPABSC,CNTEXT,ENTXT,VEN,EMTXXTC:凹槽,侧,侧壁,侧墙,侧向,沉积,垂直,叠,硅,硅锗,环绕,晶体管,开口,立体,生长,外延,柱,栅,锗硅, colum, concave, gate, germanium, grid, groove, hollow, lateral, perpendicular, pillar, ring, stereoscopic, transistor,upright, vertical,VGAA, wall, silic+, "Ge", etch+, si+, +round, grow+, side+, dimension+, "si", expan+,open+, deposit+,

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2023066811 A1 (CHANGXIN MEMORY TECH INC等) 2023年3月2日 (2023 - 03 - 02) 说明书第38-63段、第92-98段, 附图3-34、附图57-65	1-10
A	JP 2013122975 A (SHIRATO TAKEHIDE) 2013年6月20日 (2013 - 06 - 20) 全文	1-10
A	CN 114078701 A (中芯国际集成电路制造(上海)有限公司等) 2022年2月22日 (2022 - 02 - 22) 全文	1-10
A	WO 2023108885 A1 (INST OF MICROELECTRONICS CAS) 2023年6月22日 (2023 - 06 - 22) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"D" 申请人在国际申请中引证的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

2024年2月27日

国际检索报告邮寄日期

2024年3月9日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

于鹏飞

电话号码 (+86) 028-62967665

PCT/ISA/210 表(第2页) (2022年7月)

国际申请号
PCT/CN2023/116357

PCT/ISA/210 表(同族专利附件) (2022年7月)