

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年2月3日 (03.02.2005)

PCT

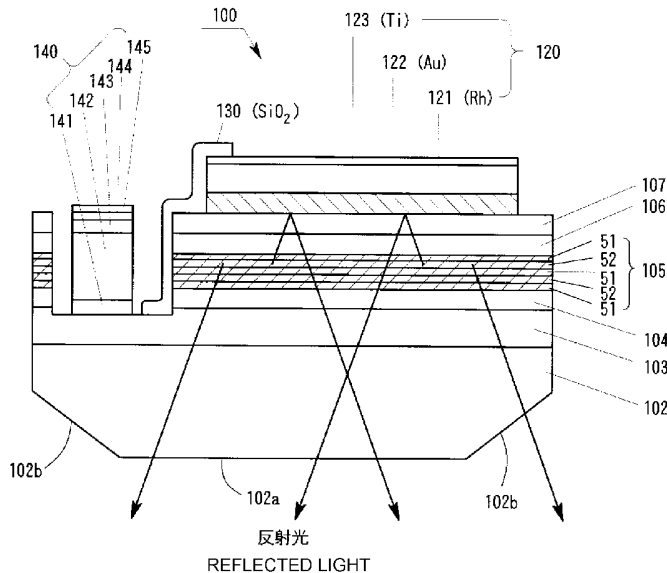
(10) 国際公開番号
WO 2005/011007 A1

- (51) 国際特許分類: H01L 33/00
- (21) 国際出願番号: PCT/JP2004/010635
- (22) 国際出願日: 2004年7月26日 (26.07.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-202240 2003年7月28日 (28.07.2003) JP
特願2004-112796 2004年4月7日 (07.04.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 豊田合成株式会社 (TOYODA GOSEI CO., LTD.) [JP/JP]; 〒4528564 愛知県西春日井郡春日町大字落合字長畑1番地 Aichi (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 浅井 誠 (ASAI, Makoto) [JP/JP]; 〒4528564 愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内 Aichi (JP). 山崎 史郎 (YAMAZAKI, Shiro) [JP/JP]; 〒4528564 愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内 Aichi (JP). 小澤 隆弘 (KOZAWA, Takahiro) [JP/JP]; 〒4580812 愛知県名古屋緑区神の倉4丁目288番地1 Aichi (JP). 生川 満久 (NARUKAWA, Mitsuhsa) [JP/JP]; 〒4528564 愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内 Aichi (JP).
- (74) 代理人: 藤谷 修 (FUJITANI, Osamu); 〒4600002 愛知県名古屋市中区丸の内2丁目18番25号丸の内KSビル16階 Aichi (JP).

[続葉有]

(54) Title: LIGHT EMITTING DIODE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 発光ダイオード及びその製造方法



(57) Abstract: Backside of about 150 μ m thick semiconductor crystal substrate (102) consisting of a non-addition type GaN bulk crystal is composed of planar polished surface (102a) having been finished by dry etching and ground surfaces (102b) of taper configuration having been finished by dry etching. Ultraviolet emitting MQW-structure active layer (105) consisting of a total of five layers composed of, superimposed one upon another, about 2 nm thick well layers (51) of $Al_{0.005}In_{0.045}Ga_{0.95}N$ and about 18 nm thick barrier layers (52) of $Al_{0.12}Ga_{0.88}N$ is disposed on about 10 nm thick n-type cladding layer (104) of GaN (low carrier concentration layer). Prior to the electrode formation step of forming a negative electrode (n electrode (c)) on a polished surface of semiconductor substrate (a), the polished surface is dry etched.

(57) 要約: 無添加の GaN バルク結晶からなる厚さ約 150 μ m の半導体結晶基板 102 の裏側は、ドライエッチングによって仕上げられた平坦な被研磨面 102a と、ドライエッチングによって仕上げられたテーパ形

[続葉有]



WO 2005/011007 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

状の被研削面 102b から構成されている。Ga_{0.95}In_{0.05}N から成る膜厚約 10 nm の n 型クラッド層 104 (低キャリア濃度層) の上には、膜厚約 2 nm の Al_{0.005}In_{0.045}Ga_{0.95}N から成る井戸層 51 と膜厚約 18 nm の Al_{0.12}Ga_{0.88}N から成るバリア層 52 とが交互に合計 5 層積層された紫外線発光の MQW 構造の活性層 105 が形成されている。また、半導体基板 a の被研削面に負電極 (n 電極 c) を形成する電極形成工程の前に、その被研削面をドライエッチングする。

明 細 書

発光ダイオード及びその製造方法

技術分野

- [0001] 本発明は、発光ダイオードの構造とその製造方法に関し、半導体素子の外部量子効率や光の取り出し効率に深く係わる。
- [0002] したがって、本発明は、例えば青紫色発光、紫色発光、或いは紫外線発光などの発光波長の短いLED(発光ダイオード)やその製造工程に大いに有用なものである。
- [0003] 又、本発明は、既に研磨加工された導電性の III族窒化物系化合物半導体から成る半導体基板の被研磨面に電極を形成する方法に関する。
- [0004] 本発明は、半導体基板に直接電極が形成される形態の半導体素子に対して幅広く用いることができる。その様な半導体素子としては、半導体レーザ(LD)、発光ダイオード(LED)等の半導体発光素子の他にも、例えば受光素子や圧力センサ等が挙げられる。本発明の適用はそれらの半導体素子の具体的な機能や構成などを特に制約するものではないので、本発明の適用可能な範囲は非常に広範に渡る。

背景技術

- [0005] 下記の非特許文献1は、白色LEDや可視光LEDを中心とした発光ダイオードの外部量子効率や光の取り出し効率に関する一般的な技術的知見を幅広くまとめて開示したものである。
- [0006] また、下記の特許文献1には、発光ダイオードのn型半導体基板の側方に四角錐台形状のテーパ部を具備させた構成例が記載されており、この様なテーパ部の形成によって、光の取り出し効率が向上することが開示されている。
- [0007] 通常、発光ダイオードを製造する際には、目的の半導体層や電極が形成された結晶成長基板は、その後の分割工程でその半導体ウェハを発光素子単位に良好に分割するために、結晶成長などを実施した後に、裏面から研磨等して適当な厚さにまで薄く形状加工される。そして、これらの形状加工は、通常、研磨や或いはダイシングなどの機械的即ち物理的な処理により実施される。

- [0008] 又、半導体基板の裏面に電極が設けられている半導体素子の構造としては、例えば、上記の特許文献2〜特許文献4に記載されている半導体発光素子などが公知である。これらの半導体素子では、導電性を有する半導体基板の裏面にn電極が形成されており、p型層の上面にp電極がn電極に対峙させて形成されている。
- [0009] また、上記の特許文献5や特許文献6などから判る様に、通常半導体基板が結晶成長基板を兼ねる場合、その結晶成長基板の厚さは300 μ m〜800 μ m程度確保されており、これらの基板は研磨処理を経て通常は50 μ m〜150 μ m程度の厚さまで薄くしてから、個々のチップ(発光素子)単位に分割される。このような薄板化のための研磨処理は、必要となる各種の半導体層の結晶成長工程の前に行っても良いし、後に行っても良い。
- [0010] ただし、基板を薄くし過ぎると、基板自身が割れ易くなり、更に研磨処理工程に費やす時間も長くなるため望ましくない。また、基板が厚過ぎると、半導体ウエハの分割時に所望の形状に正確或いは確実に分割することが難しくなるため望ましくない。また、半導体基板が結晶成長基板を兼ねる場合、通常、結晶成長工程の前後において、半導体基板をハンドリング(移動操作)しなければならないことが多いので、そのハンドリングに耐え得る強度を半導体基板に持たせるために、上記の研磨処理は結晶成長工程の後に行うのが普通である。
- [0011] 以上の理由から、上記の研磨処理は通常、半導体ウエハを個々のチップ単位に分割する分割工程よりも前の段階で、半導体基板がハンドリング可能(又は容易)な厚さから、その半導体基板が約100 μ m程度の厚さになるまで実施される。
- [0012] 非特許文献1: 山田範秀、「可視光LEDの高効率化」応用物理、第68巻第2号(1999)、p. 139-145
特許文献1: 特開平11-317546
特許文献2: 特開2002-261014号公報
特許文献3: 特開2001-77476号公報
特許文献4: 特開2001-102673号公報
特許文献5: 特開平7-131069号公報
特許文献6: 特開平11-163403号公報

発明の開示

発明が解決しようとする課題

[0013] しかしながら、上記の様な物理的な形状加工を実施すると、物理的な摩擦または衝撃によって加工された面の表面上に、結晶構造が乱された厚さ0.1〜15 μ m程度のダメージ層(以下、物理ダメージ層と言う。)が必然的に形成されてその加工面上に残留してしまう。更に、この様にして形状加工の結果必然的に残されてしまう物理ダメージ層が470nm未満の比較的短い波長の光(青紫光、紫光、紫外光など)を比較的吸収(若しくは素子内部へ散乱)し易いことを我々は、GaNバルク結晶を基板に使った紫色発光の発光ダイオードに関する試作、検査、検討、及び検証実験などを繰り返し実施することにより経験的に発見した。

[0014] また、この問題は、発光ピーク波長が470nm以上の青色LEDや緑色LEDにおいては、同様に検証したものの表面化或いは顕在化することはなかった。

通常、一般に、結晶成長基板としてGaNを選択することは、例えば格子定数等の物性的な諸特性をn型コンタクト層と略一致又は類似させる上で有利である。また、AlN基板は、比較的バンドギャップが大きいため、一旦発光された光が再び吸収され難い点で有利である。

[0015] しかしながら、AlGaIn系の自立した結晶(:以下、バルク結晶などと言う。)を結晶成長基板として用いた場合、素子機能を奏する半導体結晶成長層とその基板との間の屈折率の差が小さいために、発光層(活性層)から出力される光は、その相当量が基板内に漏れ出る。したがって、これらの光を効率よく回収して発光出力側に効率よく引き出すことは、GaNバルク結晶などを基板に用いる場合、ますます重要な課題となる。即ち、この問題は、今後特に、GaNなどのAlGaIn系の結晶成長基板を用いた比較的短い発光波長の発光ダイオードを製造する際に、素子の外部量子効率や光の取り出し効率の点で回避し難い問題になるものと考えられる。

[0016] 又、上記の研磨加工の際に用いるスラリー(研磨剤)の粒子の大きさが大きい場合には、被研磨面が荒くなったり、或いは被研磨面の直下にダメージ層が形成されたりする。このダメージ層とは、研磨加工の際の摩擦や圧力等に起因して結晶性の劣化が見られる層のことであり、スラリー、摩擦力、圧力等の大きさ等にも左右されるが、通

常、0.1～10 μm 程度の膜厚で形成されることが、我々の調査によって判明した。

[0017] 図4に、その様な研磨加工により生成されてしまうダメージ層の断面写真を例示する。この研磨加工は、9 μm のスラリーを用いて行ったものである。本図4の左側(a)は走査電子顕微鏡による画像(SEM像)であり、右側(b)は電子線ルミネッセンスによるモノクロ画像(CL像)である。これらの写真から、結晶性の劣化したダメージ層が被研磨面の直下に1 μm 以上に渡って形成されていることが判る。

[0018] このダメージ層は、後に形成される電極と上記の被研磨面との間の接触状態を良好にする際の障害となるものであり、このダメージ層の介在により、良好なオーミック接触が得られない。このことは、半導体素子の駆動電圧を不要に高くする原因となる。

[0019] 被研磨面を滑らかにしたり、研磨加工に伴って生成されてしまう上記のダメージ層の膜厚を薄くしたりするためには、研磨加工におけるスラリー、摩擦力、圧力等の大きさを極力小さく抑制することが望ましいが、実際、その様な対策を講じれば研磨加工の処理時間が膨大となるので、その様な対策は、工業製品を生産する上では全く現実的ではない。

[0020] 本発明は、上記の課題を解決するために成されたものであり、その目的は、例えばGaNなどの半導体バルク結晶からなる結晶成長基板を用いて比較的短い発光波長の発光ダイオード(LED)を製造する際に、その外部量子効率や光の取り出し効率を高く確保することである。

[0021] 又、本発明の他の目的は、半導体素子の駆動電圧を効果的に抑制することである。

また、本発明の更なる目的は、上記の研磨加工の処理時間をできるだけ短縮することである。

ただし、上記の個々の目的は、本発明の個々の手段の内の少なくとも何れか1つによって、個々に達成されれば十分なのであって、本願の個々の発明は、上記の全ての課題を同時に解決し得る手段が存在することを必ずしも保証するものではない。

課題を解決するための手段

[0022] 上記の課題を解決するためには、以下の手段が有効である。

即ち、本発明の第1の手段は、結晶成長基板の結晶成長面の上に半導体層が積層された面発光型の発光ダイオードの製造工程において、結晶成長基板を裏面から研磨、ダイシング、またはブラスト処理することによって光出力に寄与する出射面または反射面を形成する形状加工工程と、この形状加工工程によって形成された出射面または反射面を更にエッチングによって仕上処理する加工面仕上工程とを設けることである。

[0023] ただし、上記のエッチングの深さは、 $0.1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下がより望ましく、更に望ましくは、 $0.2\mu\text{m}$ 以上 $8\mu\text{m}$ 以下が良い。さらに、 $1\mu\text{m}$ 以上 $7\mu\text{m}$ が望ましい。また、結晶成長基板としては、周知の任意の材料を使用することができる。

また、本発明の第2の手段は、上記の第1の手段の形状加工工程に、出射面の少なくとも一部分または反射面の少なくとも一部分として、結晶成長面に対して斜めに傾いたテーパ面を形成するテーパ形成工程を設けることである。

[0024] また、本発明の第3の手段は、上記の第2の手段において、発光ダイオードを複数有する半導体ウェハを各発光ダイオード毎に分割するための分割用の略V字型の分割溝を形成する工程で、上記のテーパ形成工程の少なくとも一部を構成することである。

[0025] また、本発明の第4の手段は、上記の第1乃至第3の何れか1つの手段において、製造される発光ダイオードの発光ピーク波長を 470nm 未満にすることである。

[0026] また、本発明の第5の手段は、上記の第1乃至第4の何れか1つの手段において、上記の結晶成長基板を $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 又は炭化珪素 (SiC) から構成することである。

[0027] また、本発明の第6の手段は、結晶成長基板の結晶成長面の上に積層された半導体層を有する面発光型の発光ダイオードにおいて、その結晶成長基板に、研磨、ダイシング、またはブラスト処理である物理的な形状加工によって形成された光出力に寄与する出射面または反射面を設け、更に、上記の形状加工に伴って発生する物理的な摩擦または衝撃によって出射面または反射面の表面上に残される物理ダメージ層が除去された素子構造を採用することである。

[0028] また、本発明の第7の手段は、上記の第6の手段において、光取り出し側へ光を透

過する透光性を有する金属層を上記の出射面上に設けることである。

[0029] また、本発明の第8の手段は、上記の第6または第7の手段において、光取り出し側へ光を反射する反射性を有する金属層を上記の反射面上に設けることである。

[0030] また、本発明の第9の手段は、上記の第6乃至第8の何れか1つの手段において、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 又は炭化珪素 (SiC) から上記の結晶成長基板を形成することである。

[0031] また、本発明の第10の手段は、上記の第6乃至第9の何れか1つの手段において、出射面の少なくとも一部分または反射面の少なくとも一部分として、結晶成長面に対して斜めに傾いたテーパ面を設けることである。

[0032] また、本発明の第11の手段は、結晶成長基板の結晶成長面上に積層された半導体層を有する面発光型の発光ダイオードにおいて、発光ダイオードの側壁の少なくとも一部分に結晶成長面に対して斜めに傾いたテーパ面を設け、正電極が設けられる半導体結晶層を有する側である発光ダイオードの表側にこのテーパ面を露出させ、更に、テーパ面の形成に伴って発生する物理的な摩擦または衝撃によってテーパ面上に残される物理ダメージ層が除去された素子構造を採用することである。

[0033] また、本発明の第12の手段は、上記の第10または第11の手段に基づいて、発光ダイオードを複数有する半導体ウェハを各発光ダイオード毎に分割することによって製造される発光ダイオードにおいて、発光ダイオードの側壁の少なくとも一部分にテーパ面を設け、同時にこのテーパ面を、上記の分割を実行するための分割用の略V字型の分割溝の一部の面から形成することである。

[0034] また、本発明の第13の手段は、上記の第6乃至第12の何れか1つの手段において、その発光ダイオードの発光ピーク波長を470nm未満にすることである。

[0035] また、本発明の第14の手段は、既に研磨加工された導電性の III 族窒化物系化合物半導体から成る半導体基板の被研磨面に電極を形成する電極形成工程の前に、被研磨面をドライエッチングすることである。

[0036] ただし、ここで言う「III族窒化物系化合物半導体」一般には、2元、3元、又は4元の「 $\text{Al}_{1-x-y}\text{Ga}_y\text{In}_x\text{N}$; $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq 1-x-y \leq 1$ 」成る一般式で表される任意の混晶比の半導体が含まれ、更に、p型或いはn型の不純物が添加された半導体

もまた、これらの「

III族窒化物系化合物半導体」の範疇である。

[0037] また、上記の III族元素 (Al, Ga, In) の内の少なくとも一部をボロン (B) やタリウム (Tl) 等で置換したり、或いは、窒素 (N) の少なくとも一部をリン (P)、砒素 (As)、アンチモン (Sb)、ビスマス (Bi) 等で置換したりした半導体等をもまた、これらの「III族窒化物系化合物半導体」の範疇とする。

[0038] また、上記の p 型の不純物 (アクセプター) としては、例えば、マグネシウム (Mg) や、或いはカルシウム (Ca) 等の公知の p 型不純物を添加することができる。

また、上記の n 型の不純物 (ドナー) としては、例えば、シリコン (Si) や、硫黄 (S)、セレン (Se)、テルル (Te)、或いはゲルマニウム (Ge) 等の公知の n 型不純物を添加することができる。

[0039] また、これらの不純物 (アクセプター又はドナー) は、同時に 2 元素以上を添加しても良いし、同時に両型 (p 型と n 型) を添加しても良い。

[0040] 上記の様に、電極形成工程の前に被研磨面をドライエッチングすれば、結晶性が劣化したダメージ層が除去でき、同時に被研磨面が比較的滑らかになるので、良好なオーミック接触が得られる。これは、ダメージ層が結晶性の劣化などによって、高い抵抗率を有するためだと考えられる。

[0041] 以上の作用により、上記の手段によれば、半導体素子の駆動電圧を効果的に抑制することができる。

例えば RIE 装置や ICP 装置などにより、ドライエッチングを実施する理由は、所望の面だけを選択的にエッチングするためである。

[0042] また、上記の手段によれば、研磨加工におけるスラリー、摩擦力、圧力等の大きさを小さく抑制する必要性が特には生じないので、半導体基板の研磨時間を短くすることができる。したがって、本発明の方法によれば、半導体素子の生産性を向上させることができる。

[0043] また、本発明の第 15 の手段は、上記の第 14 の手段において、上記の半導体基板を n 型の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) から構成することである。

[0044] 図 5 は、Si を $4 \times 10^{18} / \text{cm}^3$ の濃度で添加した窒化ガリウム (: n 型の GaN) から成る

半導体基板(図6、図7中のGa_xN_{1-x}基板)の被研磨面をドライエッチングした深さDと、その時のオーミック特性との関係を例示するグラフである。ドライエッチングの深さDについては、0 μm、1 μm、4 μmの3通りについて、その電圧-電流特性を測定した。

[0045] 図6、図7に、その測定の実施形態を示す。n電極cは半導体基板aの被研磨面に蒸着により形成されている。結晶成長層bは、所望の半導体素子の構造に応じて任意に形成すれば良い。その時に用いる結晶成長法は任意である。図7の構成は、ダメージ層a1をドライエッチングにより除去したものである。また、図6、図7の2つのn電極c間の距離は、それぞれ約100 μm程度である。なお、測定装置yは、図略の可変電圧の直流電源と電圧測定器と電流測定器から成る。

[0046] 図5に示す測定結果は、約9 μmのスラリーを用いて行った研磨加工後のものであるが、この結果から判る様に、ドライエッチングを全く実施しないと、n電極cに関するオーミック特性が非常に劣悪となることが判る。

上記の第1の手段によって、半導体発光素子を製造する場合、例えば上記の図5、図6、図7に例示する様に、半導体基板は、n型のAl_xGa_{1-x}N(0 ≤ x ≤ 1)から構成することが望ましい。言い換えれば、この第2の手段は、少なくとも半導体発光素子の基板裏面の電極の形成に非常に適している。

[0047] 特に、Al_xGa_{1-x}N(x ≠ 0)成る半導体に例えばSi等のn型不純物を添加したもの(n型の窒化ガリウム)から上記の半導体基板aを形成すれば、固さ、格子定数、結晶性、電気電導特性等の物性的観点から、この半導体基板には、半導体結晶成長基板としての機能と、n型コンタクト層としての機能とを同時に極めて良好に与えることができるのでとても都合がよい。

[0048] また、本発明の第16の手段は、上記の第14又は第15の手段において、ドライエッチングによって除去される被研磨面の深さを0.1 μm以上、15 μm以下にすることである。

[0049] 研磨加工におけるスラリー、摩擦力、圧力等の大きさ等の条件にもよるが、本発明は上記の範囲で有効に作用する。この深さを大きくし過ぎると、ドライエッチングの時間が掛かり過ぎてしまい望ましくない。また、この深さを小さくし過ぎると、ドライエッチ

ングによる効果が不十分となり、良好なオーミック接触が得られないので望ましくない。或いは、この深さを小さくし過ぎると、ある程度良好なオーミック接触を得るためには、スラリー、摩擦力、圧力等の大きさを非常に小さくしなければならなくなり、よって、研磨時間が非常に長くなるので望ましくない。

[0050] また、第17の手段は、上記の第16の手段において、ドライエッチングによって除去される被研磨面の深さを $0.2\mu\text{m}$ 以上、 $8\mu\text{m}$ 以下にすることである。

ドライエッチングの深さに関する最適な値は、スラリー、摩擦力、圧力等の大きさや、基板の組成比等にもよるが、概ねこの範囲において得られる。即ち、上記の範囲においては、研磨加工時間とドライエッチング時間との和を最小に抑制した上で、なおかつ、半導体基板と電極との間において最良のオーミック特性を得ることができる。

以上の本発明の手段により、前記の課題を効果的、或いは合理的に解決することができる。

発明の効果

[0051] 以上の本発明の手段によって得られる効果は以下の通りである。

即ち、本発明の第1の手段によれば、上記の機械的即ち物理的な処理(研磨、ダイシング、またはブラスト処理)によって所望の形状加工を実施した際に、上記の出射面または反射面(:以下、総称的に物理加工面或いは単に加工面などと言うことがある。)の表面に残される上記の物理ダメージ層がエッチングによって効果的に除去できる。このため、加工面(:上記の出射面または反射面)に形成される物理ダメージ層による光吸収または素子内部への光の散乱が効果的に抑制される。したがって、発光ダイオード(LED)を製造する際に、その外部量子効率や光の取り出し効率を高く確保することができる。

[0052] また、本発明の第2の手段によれば、上記の第1の手段において、発光ダイオードの側壁面で吸収されたり内部に散乱されたりする光の量が減少するので、発光ダイオードの外部量子効率や取り出し率を効果的に向上させることができる。

また、このテーパ形成工程を上記の形状加工工程に含めることにより、上記のテーパ部をも含めた上記の物理加工面をエッチングする工程(加工面仕上工程)を、このテーパ部をも含めて1度にまとめて実施することができる。

- [0053] また、本発明の第3の手段によれば、分割溝を形成する工程の実行によって、上記のテーパ形成工程の少なくとも一部を実行することができる。また、分割溝を形成する工程によって、上記のテーパ形成工程の全体を兼ねることも可能である。このため、本発明の第3の手段によれば、上記のテーパ形成工程の実行効率を極めて良好に確保することができる。
- [0054] また、上記の各手段は、少なくとも発光スペクトルが470nm未満の周波数領域における発光を少なくとも部分的に示す発光ダイオードに対して特に大きな効果を発揮する。しかしながら、更に、本発明の第4または第13の手段によれば、目的の発光ダイオードの発光スペクトルの周波数領域において、470nm未満である大半の光が上記の物理ダメージ層の悪影響（：光の吸収作用または素子内部への散乱作用）を受けなくなる。したがって、これらの手段に従えば、物理ダメージ層による外部量子効率の低下が効果的に排除された、発光効率の高い発光ダイオードを製造することができる。
- [0055] ただし、上記の閾値(470nm)は前述の様に経験的に判明したものであり、この閾値は物理ダメージ層のダメージの荒さや深さや、或いは形状加工される半導体結晶(成長層または半導体バルク結晶基板)の材質(物性)などにも幾らか依存するものと考えられる。また、例えば物理ダメージ層のダメージの荒さ或いは深さなどは、研磨処理に使用されるスラリーの材質や粒子の直径や、或いはブラスト処理で使用される粒子の材質や直径や質量や運動量や流量などにも依存する。しかしながら、本発明は、少なくとも上記の範囲で有効であることが確認できている。
- [0056] また、本発明の結晶成長基板の材料としては、周知の任意の材料を用いることができるが、発光ダイオードの光出力を極力向上させるために屈折率や透光性などの光取り出し効率に係わる物性を考慮すると、上記の結晶成長基板の材料としては、例えばAlGaN系や或いはSiCなどの半導体バルク結晶を用いることが、より望ましい(本発明の第5、並びに第9の手段)。また、本発明の効果は、上記の様な光取り出し効率に関する物性が比較的良好な材料を基板に用いた際に、より顕著に際立つ。
- 特に、結晶成長基板としてGaNを選択することは、例えば格子定数等の物性的な諸特性をn型コンタクト層と略一致又は類似させる上で有利である。また、AlN基板

は、比較的バンドギャップが大きいので、一旦発光された光が再び吸収され難い点で有利である。また、これらの優位性を適当に選択したり、適度に加味したり、或いは最適に重み付けしたりする上で、組成式 Al_x

$Ga_{1-x}N$ ($0 \leq x \leq 1$) 中のアルミニウム組成比 x は、非常に好適な調整パラメータとなり得る(本発明の第5、並びに第9の手段)。

[0057] また、本発明の第6の手段によれば、物理ダメージ層が除去されるため、物理ダメージ層による上記の光吸収(または光の内部への散乱)が効果的に抑制される。したがって、本発明の第6の手段によれば、目的の発光ダイオード(LED)において、その外部量子効率や光の取り出し効率を高く確保することができる。

[0058] また、本発明の第7の手段によれば、光の出射面上に透光性の金属層を設ける場合に、光透過面での光吸収が抑制されて、その金属層近傍での光透過率が向上するので、外部量子効率または取り出し効率が向上する。

また、本発明の第8の手段によれば、光の反射面上に反射金属層を設ける場合に、その反射面での光吸収が抑制されて、その反射面での反射率が向上するので、外部量子効率または取り出し効率が向上する。

[0059] また、本発明の第10の手段によれば、発光ダイオードの側壁面で吸収されたり内部に散乱されたりする光の量が、非常に効果的に減少すると共に、光取り出し側にそれらの光を効率的に出力することが可能となるので、発光ダイオードの外部量子効率や取り出し率を非常に効果的に向上させることができる。

[0060] また、本発明の第11の手段によれば、テーパ面が表側に露出されるため、テーパ面から出射される光を発光ダイオードの表側に直接取り出す場合などに、発光ダイオードの外部量子効率や取り出し率を非常に効果的に向上させることができる。

そして、これらのテーパ面も、表側に形成される分割溝の一部の面を利用して形成することができる(本発明の第12の手段)。この場合、新たな特段のテーパ面形成工程を用意する必要がない点で有利である。

[0061] 第13の手段によれば、電極を形成する研磨面がドライエッチングされて、そのエッチングされた面に電極が形成される。研磨によりダメージ層が除去されるので、電極の研磨面に対するオーミック特性が良くなる。

第14の手段によれば、半導体基板をn型の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)とすると、電極を形成する研磨面をドライエッチングしてから電極を形成するとオーミック性の大きな向上がみられる。

- [0062] 第15の手段によれば、ドライエッチングによって除去される被研磨面の深さを $0.1 \mu\text{m}$ 以上、 $15 \mu\text{m}$ 以下にすると、研磨時間とドライエッチング時間の和をほぼ最小にした上で、電極のオーミック性の改善効果をほぼ最大とすることができる。

図面の簡単な説明

- [0063] [図1]実施例1のフェイスダウン型の発光ダイオード100の断面図
 [図2]実施例2のフェイスアップ型の発光ダイオード200の断面図
 [図3]実施例3のフェイスアップ型の発光ダイオード1000の断面図
 [図4]研磨加工により生成されてしまうダメージ層の断面写真。
 [図5]被研磨面をドライエッチングした深さとオーミック特性との関係を例示するグラフ。
 [図6]図2のオーミック特性を測定する形態を示す模式的な回路図。
 [図7]図2のオーミック特性を測定する形態を示す模式的な回路図。
 [図8]本発明の実施例における発光ダイオード500の断面図。
 [図9]本発明の実施例における発光ダイオード500と、その変形例(発光ダイオード500')の各駆動電圧 V_F を示す表。
 [図10]本発明の他の実施例を示した製造工程図。

符号の説明

- [0064] 100…発光ダイオード(実施例1)
 102…半導体結晶基板(無添加のGaNバルク結晶)
 102a…ドライエッチングによって仕上げられた被研磨面
 102b…ドライエッチングによって仕上げられた被研削面
 105…紫外線発光の活性層(MQW構造)
 a…半導体基板
 a1…ダメージ層

b…結晶成長層(半導体層)

c…n電極(負電極)

D…ドライエッチングの深さ

y…測定装置

500…発光ダイオード

504…n型クラッド層

505…活性層

510…井戸層

520…バリア層

506…p型クラッド層

507…p型コンタクト層

509…透光性電極(正電極)

発明を実施するための最良の形態

[0065] 本発明は、以下の実施形態下においても良好に作用する。

例えば、上記のエッチングの深さは、 $0.1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下が妥当であり、より望ましくは、 $0.2\mu\text{m}$ 以上 $8\mu\text{m}$ 以下が良い。また、 $1\mu\text{m}$ 以上のダメージ層が観測されていることから、エッチングの深さは、さらに、 $1\mu\text{m}$ 以上 $7\mu\text{m}$ 以下が望ましい。この深さが浅すぎると上記の物理ダメージ層を十分に除去することができない場合が多い。また、この深さを深くし過ぎると、エッチング工程の所要時間が長くなるなどして、生産性や生産コストの面で望ましくない。即ち、この適正範囲に準拠することにより、物理加工面上に残される物理ダメージ層を必要かつ十分な程度に除去することができる。

[0066] 更に望ましくは、このエッチングの深さは、実際の物理的な形状加工の様態に応じて好適または最適に決定するのが良い。例えば、研磨加工を実施する場合、用いられるスラリーの大きさや研磨時の加工面の面圧や処理速度などの諸条件に応じて、必要かつ十分とされるエッチングの深さが変化するが、これらの場合のエッチングの深さの最適値は、特段の試行錯誤を経ることなく経験的に獲得することができる。ダイシングやブラスト処理などのその他の機械的な形状加工についても同様である。

[0067] また、上記の結晶成長基板の材料や添加される不純物については、既に述べた。特に、結晶成長基板としてGaNを選択することは、例えば格子定数等の物性的な諸特性をn型コンタクト層と略一致又は類似させる上で有利である。また、AlN基板は、比較的バンドギャップが大きいので、一旦発光された光が再び吸収され難い点で有利である。また、これらの優位性を適当に選択したり、適度に加味したり、或いは最適に重み付けしたりする上で、組成式 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 中のアルミニウム組成比 x は、非常に好適な調整パラメータとなり得る。そして、特に、発光波長の短いLEDを製造する場合には、各半導体結晶層のバンドギャップ(よって、アルミニウム組成比 x)を、その他の構成に支障を来さない範囲内において極力大きくしておくことが望ましい。

[0068] また、発光ダイオードの活性層(発光層)の構造は任意で良く、MQW構造やSQW構造や、或いは量子井戸構造を持たない単一層構造などを採用しても良い。

[0069] 以下、本発明を具体的な実施例に基づいて説明する。

ただし、本発明の実施形態は、以下に示す個々の実施例に限定されるものではない。

実施例 1

[0070] 図1に、本実施例1のフェイスダウン型の発光ダイオード100の断面図を示す。無添加のGaNバルク結晶からなる厚さ約 $150 \mu\text{m}$ の半導体結晶基板102の裏側は、ドライエッチングによって仕上げられた平坦な被研磨面102aと、ドライエッチングによって仕上げられたテーパ形状の被研削面102bから構成されている。半導体結晶基板102の被研磨面102aと略平行な結晶成長面としては、そのGaNバルク結晶のc面が使用されている。この結晶成長面の上には、シリコン(Si)ドープの窒化ガリウム(GaN)から成る膜厚約 $4.0 \mu\text{m}$ のn型コンタクト層103が結晶成長により積層されている。

[0071] このn型コンタクト層103の不純物(Si)添加濃度は、 $1 \times 10^{19} / \text{cm}^3$ 程度である。このn型コンタクト層103の上には、GaNから成る膜厚約10nmのn型クラッド層104(低キャリア濃度層)が形成されている。

また、その上には、膜厚約2nmの $\text{Al}_{0.005}\text{In}_{0.045}\text{Ga}_{0.95}\text{N}$ から成る井戸層51と膜厚約

18nmの $\text{Al}_{0.12}\text{Ga}_{0.88}\text{N}$ から成るバリア層52とが交互に合計5層積層された紫外線発光のMQW構造の活性層105が形成されている。また、この活性層105の上には、Mgドープのp型 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ から成る膜厚約50nmのp型クラッド層106が形成されている。更に、p型クラッド層106の上にはMgドープのp型GaNから成る膜厚約100nmのp型コンタクト層107が形成されている。

[0072] また、p型コンタクト層107の上には金属蒸着による多層構造を有する正電極120が形成されており、また、高キャリア濃度のn型コンタクト層103上には負電極140が形成されている。多層構造の正電極120は、p型コンタクト層107に接合する正電極第1層121、正電極第1層121の上部に形成される正電極第2層122、更に正電極第2層122の上部に形成される正電極第3層123の3層構造である。

[0073] 一方、正電極第1層121は、p型コンタクト層107に接合する膜厚約 $0.1\mu\text{m}$ のロジウム(Rh)より成る金属層である。また、正電極第2層122は、膜厚約 $1.2\mu\text{m}$ の金(Au)より成る金属層である。また、正電極第3層123は、膜厚約 20\AA のチタン(Ti)より成る金属層である。

[0074] 多層構造の負電極140は、膜厚約 175\AA のバナジウム(V)層141と、膜厚約 1000\AA のアルミニウム(Al)層142と、膜厚約 500\AA のバナジウム(V)層143と、膜厚約 5000\AA のニッケル(Ni)層144と膜厚約 8000\AA の金(Au)層145とを、それぞれ、n型コンタクト層103の一部露出された部分の上から順次積層させることにより構成されている。

[0075] このように形成された正電極120と負電極140との間には SiO_2 膜より成る保護膜130が形成されている。保護層130は、負電極140を形成するために露出したn型コンタクト層103から、エッチングされて露出した、活性層105の側面、p型クラッド層106の側面、及びp型コンタクト層107の側面及び上面の一部、正電極第1層121、正電極第2層122の側面、正電極第3層123の側面及びその上面の一部を覆っている。 SiO_2 膜より成る保護膜130の正電極第3層123を覆う部分の厚さは $0.5\mu\text{m}$ である。

[0076] 次に、この発光ダイオード10の製造方法について説明する。

上記発光ダイオード10は、有機金属気相成長法(以下「MOVPE」と略す)による気相成長により製造された。用いられたガスは、アンモニア(NH_3)、キャリアガス(H_2),

N_2)、トリメチルガリウム($Ga(CH_3)_3$) (以下「TMG」と記す)、トリメチルアルミニウム($Al(CH_3)_3$) (以下「TMA」と記す)、トリメチルインジウム($In(CH_3)_3$) (以下「TMI」と記す)、シラン(SiH_4) とシクロペンタジエニルマグネシウム($Mg(C_5H_5)_2$) (以下「 CP_2Mg 」と記す)である。

[0077] まず、有機洗浄及び熱処理により洗浄した、c面を主面とした無添加のGaNバルク結晶から成る半導体結晶基板102をMOVPE装置の反応室に載置されたサセプタに装着する。この装着時における半導体結晶基板102の厚さは、 $400\ \mu m$ 程度とする。次に、常圧で H_2 を反応室に流しながら温度 $1150^\circ C$ で半導体結晶基板102をベーキングする。

[0078] (n型コンタクト層103の成長)

次に、半導体結晶基板102の温度を $1150^\circ C$ に保持し、 H_2 、 NH_3 、TMG、及び希釈されたシランを供給して、膜厚約 $4.0\ \mu m$ 、電子濃度 $2 \times 10^{18}/cm^3$ 、Si濃度 $1 \times 10^{19}/cm^3$ のGaNから成るn型コンタクト層103を形成した。

[0079] (n型クラッド層104の成長)

その後、半導体結晶基板102の温度を $1150^\circ C$ に保持して、 H_2 、 NH_3 、及びTMGを供給し、GaNから成る膜厚約 $10nm$ のn型クラッド層104(低キャリア濃度層)を形成する。

[0080] (活性層105の成長)

そして、上記のn型クラッド層104を形成した後、合計5層から成る前記のMQW構造の活性層105を形成する。

即ち、まず最初に、半導体結晶基板102の温度を $770^\circ C$ まで低下させ、それと同時に H_2 から N_2 にキャリアガスを変更し、このキャリアガスと NH_3 の供給量を維持しながら、TMG、TMI、及びTMAを供給することにより、膜厚約 $2nm$ の $Al_{0.95}In_{0.005}Ga_{0.045}$ Nから成る井戸層51をn型クラッド層104の上に形成する。

[0081] 次に、半導体結晶基板102の温度を $1000^\circ C$ にまで昇温し、上記の井戸層51上に N_2 、 NH_3 、TMG、及びTMAを供給して、膜厚約 $18nm$ の $Al_{0.12}Ga_{0.88}$ Nから成るバリア層52を形成する。

以下、これを繰り返して、井戸層51とバリア層52とを交互に積層し、合計5層(井戸

層51、バリア層52、井戸層51、バリア層52、最後の井戸層51)から成る前記の活性層105を形成する。

[0082] (p型クラッド層106の結晶成長)

その後、半導体結晶基板102の温度を890°Cに昇温し、 N_2 、TMG、TMA、及び CP_2Mg を供給して、膜厚約20nm、濃度 $5 \times 10^{19} / cm^3$ のマグネシウム(Mg)をドープしたp型 $Al_{0.15}Ga_{0.85}N$ から成るp型クラッド層106を形成する。

[0083] (p型コンタクト層107の結晶成長)

最後に、半導体結晶基板102の温度を1000°Cに昇温し、同時にキャリアガスを再び H_2 に変更し、 H_2 、 NH_3 、TMG、及び CP_2Mg を供給して、膜厚約85nm、濃度 $5 \times 10^{19} / cm^3$ のMgをドープしたp型GaNから成るp型コンタクト層107を形成する。

以上に示した工程が、III族窒化物系化合物半導体から成る各半導体層の結晶成長工程である。

[0084] (正電極120の形成)

その後、ウェハの表面上にフォトリソレジストを塗布し、フォトリソグラフによりp型コンタクト層107上の電極形成部分のフォトリソレジストを除去して窓を形成する。即ち、正電極120の形成領域とすべきp型コンタクト層107の一部分領域だけを露出させる。次に、 10^{-4} Paオーダ以下の高真空中に排気した後、露出させたp型コンタクト層107の上に、膜厚約 $0.1 \mu m$ のロジウム(Rh)、より成る正電極第1層121と、膜厚約 $1.2 \mu m$ の金(Au)より成る正電極第2層122と、膜厚約20Åのチタン(Ti)より成る正電極第3層123を順次蒸着する。次に、試料を蒸着装置から取り出し、リフトオフ法によりフォトリソレジスト上に堆積したこれらの各金属層を除去する。

[0085] その後も、従来と同様に、周知のフェイスダウン型の発光ダイオードのプロセス(各製造工程)に準拠して、負電極140や保護膜130の各部を順次形成する。

[0086] (合金化処理)

この後、試料雰囲気真空ポンプで排気し、 O_2 ガスを供給して圧力3Paとし、その状態で雰囲気温度を約550°Cにして、3分程度、加熱し、p型コンタクト層107、p型クラッド層106をp型低抵抗化すると共に、p型コンタクト層107と正電極120との合金化と、n型コンタクト層103と負電極140との合金化を図る。これにより、正負両電極を

形成した各半導体層に対して、これらの電極を更に強固に接合させる。

[0087] (研磨加工)

次に、ウェハの表面(おもて面)に、各電極や積層した半導体層を研磨処理の圧力や衝撃から保護する保護膜を形成して、研磨装置のウェハ貼り付け板にウェハを貼り付ける。そして、研磨盤を用いて、半導体結晶基板102の裏面を研磨する。用いるスラリーの大きさは $9\mu\text{m}$ とし、 $400\mu\text{m}$ ある半導体結晶基板102の厚さを $150\mu\text{m}$ まで薄板化する。その後、研磨装置のウェハ貼り付け板からウェハを取り外して洗浄し、貼り付け時のワックスや保護膜を除去する。最後に、このウェハを乾燥させる。

[0088] 上記の研磨処理におけるスラリーの直径は、 $0.5\sim 15\mu\text{m}$ 程度が望ましい。この直径が大きすぎると、ダメージ層の厚さが予想以上に厚くなる場合があり望ましくない。また、この直径が小さすぎると、研磨時間が長くなるので望ましくない。より望ましくは、 $1\sim 9\mu\text{m}$ 程度である。

[0089] (テーパ部の形成)

まず、ウェハを粘着テープに貼り付ける。この時、電極形成面を粘着テープ側に向ける。次に、ダイシングカッターを用いた研削処理により、ウェハ裏面に素子単位に格子縞状のV字溝を形成する。これにより、図1のテーパ形状の被研削面102bを形成することができる。最後にウェハを粘着テープから取り外す。

[0090] (エッチング工程)

次に、研磨された半導体結晶基板102の裏面(被研磨面)を約 $2\mu\text{m}$ の深さまでドライエッチングする。このドライエッチングにより、研磨加工の際に生成されてしまったダメージ層の少なくとも大半が削除される。このドライエッチングには、次の何れの装置を用いても良い。

[0091] (a)RIE装置

(b)ICP装置

より詳細には、例えば次の手順で上記のドライエッチングを実施することができる。

(1)RIEのエッチングガスに対する保護膜をレジストを用いてウェハの表面(おもて面)に形成する。

(2)ウェハの裏面を上にして、RIE装置にセットする。

(3)RIE装置にて、ウェハの裏面をドライエッチングする。

[0092] (エッチングの実施条件)

(a)使用するガス: CCl_2F_2

(b)真空度 :5.3Pa(0.04Torr)

ただし、この時、引き出し電圧(加速電圧)を800Vに設定してから0.8 μm 程度の深さまでエッチングし、更に、引き出し電圧を400Vにまで下げてから残りの0.2 μm のドライエッチングを継続する。

例えばこの様に、漸近的に引き出し電圧(加速電圧)を弱めながらエッチングを完了することにより、エッチングによってウェハ裏面に形成されるエッチングダメージ(更に薄い副次的な物理ダメージ層)を除去または削減することができる。

(4)最後に、剥離液などにより、RIEのエッチングガスに対する上記の保護膜を除去する。

なお、これらのドライエッチングに関する実施基準としては、例えば特開平8-274081に記載されているドライエッチング方法等を参考にしても良い。

[0093] (分割工程)

次に、表面側にハーフカットやスクライブ等を施し、その後、ブレーキング工程等を経て、ウェハー状の半導体を個々のチップ状に分割する。これらの各工程は、周知の工法に従って実施すれば良い。この分割方法に関するより詳細な実施基準としては、例えば、特開2001-284642に記載されている分割技法等を参考にしても良い。

以上の製造工程に従えば、図1のフェイスダウン型の発光ダイオード100を得る。

[0094] この様にして得られた発光ダイオード100では、上記のドライエッチングを実施しないものに比べて、光出力は約20%の向上を示した。また、光出力は、テーパ部の形成により、テーパ部を形成しなかったものに対して約2倍になる。

[0095] 即ち、本実施例1の発光ダイオード100は、結晶成長基板としてGaNバルク結晶を用いたり、結晶成長基板にテーパ部を形成したり、更には結晶成長基板の被研磨面や被研削面をドライエッチングによって仕上処理したりしたこと等の相乗効果により、極めて高い発光出力を示す。

[0096] (変形又は最適化の諸条件)

なお、上記の実施例1は、以下の各条件などによっても、その構造を変形或いは最適化することができる。

例えば、ドライエッチングの深さに関する最適な値は、その前の研磨工程で用いられるスラリーの大きさや、摩擦力、圧力等の大きさや、基板の組成比等にもよるが、その他の調査から、経験的には概ね $1\sim 8\ \mu\text{m}$ 程度の範囲において得られることが判っている。また、この場合には、研磨加工時間とドライエッチング時間との和を最小に抑制することができ、生産性の面でも都合がよい。

[0097] また、上記の実施例では、半導体結晶基板102として無添加の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0\leq x\leq 1$)を用いることが望ましいが、この基板材料としてはその他の III族窒化物系化合物半導体や、或いはSiCの半導体結晶などを用いても良い。

また、上記の実施例では、半導体結晶基板102として、自立した窒化ガリウム結晶(:GaNバルク結晶)からなる半導体基板を用いたが、半導体結晶基板102は必ずしも単層である必要はない。例えば上記の実施例と同様の構成を得るためには、適当な半導体結晶基板102として残る、 $150\ \mu\text{m}$ 以上の厚さを有する $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0\leq x\leq 1$)から成る半導体バルク結晶があれば良い。 $150\ \mu\text{m}$ 以上のその他の部位は、研磨工程において削除されるので、その構成は任意で良い。したがって、例えば、シリコン基板上に下地層を成膜し、その上にGaNを成長させた基板(即ち、エピタキシャル成長基板)を用いても良い。この場合には、シリコン基板や下地層をガスエッチングや研磨処理などで削除してn型の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0\leq x\leq 1$)の部位だけを約 $150\ \mu\text{m}$ 程度残せば良い。

[0098] ただし、残すべき半導体結晶基板102の厚さを、必ずしも上記の $150\ \mu\text{m}$ に限定する必要はなく、ここで残すべき半導体結晶基板102の厚さは $50\sim 300\ \mu\text{m}$ の範囲内であれば何れでも良い。また、研磨工程実施前の半導体結晶基板102の厚さは、 $250\sim 500\ \mu\text{m}$ 程度あることが望ましい。より望ましくは $300\sim 400\ \mu\text{m}$ 程度である。この厚さが厚過ぎると研磨工程に時間がかかり過ぎ、薄過ぎると半導体ウェハのハンドリングの際に半導体ウェハが損傷する恐れが生じるので望ましくない。

[0099] (実施例1に対する変形例)

また、上記の実施例1では、表面(おもて面)側に正負両電極を設けたが、負電極は、半導体結晶基板102の裏側、即ち、ドライエッチングによって仕上げられた平坦な被研磨面102aやドライエッチングによって仕上げられたテーパ形状の被研削面102bに形成しても良い。半導体結晶基板102を電気伝導性の良好なn型基板とし、かつ、形成する負電極を透光性の薄膜電極とすれば、この様な構成によっても、フェイスダウン型の発光ダイオードを製造することができる。

[0100] 例えばこの様なフェイスダウン型の発光ダイオードでは、透光性の負電極の表面から紫外光が出力される時にもその出力に至るまでの過程において物理ダメージ層による光吸収が抑制できるため、その透光性の負電極を介して効率よく光を外部に取り出すことが可能となる。

[0101] 即ち、上記のエッチング処理面には、透光性電極を形成しても良い。この透光性電極は、物理ダメージ層を介さずに上記のn型基板に直接良好に蒸着(密着形成)させることができるので、この場合、本発明に基づくエッチング処理は同時に電極の良好なオーミック性の確保にも寄与する。

[0102] 例えばこの様な上下導通型のフェイスダウン型の発光ダイオードの製造工程では、上記の負電極140を形成する代わりに、蒸着処理によって半導体結晶基板102の裏面に透光性の薄膜電極を形成することになるが、この透光性薄膜電極の蒸着工程は、前述の「エッチング工程」と「分割工程」との間で実行すれば良い。また、この様な発光ダイオードの負電極への配線は、例えば前述の特許文献1に開示(図1または図4に図示)されている様なワイヤーボンディングによって実施することができる。

[0103] また、本発明は、ブラスト処理によって上記の物理加工面を形成または整形した場合にも大いに有用である。上記の実施例1では、ドライエッチングによって仕上げられた略平坦な被研磨面102aと、ドライエッチングによって仕上げられたテーパ形状の被研削面102bとが縁(稜)を以て接しているが、ブラスト処理によってこの辺(稜)を丸めて所望のR(面取りによる丸み)を形成しても良い。この様なブラスト処理によっても、その物理加工面上に物理ダメージ層が形成されるが、そのブラスト処理の後に上記のエッチングを行えば、上記の実施例1と同等の効果を得ることができる。また、このブラスト処理を適度に実施しておけば、必要かつ十分とされるエッチングの処理時

間を短縮する上でも効果がある。

以下の実施例2では、その様な実施様態に付いて例示する。

実施例 2

[0104] レーザ照射によって分割溝などを形成する場合、レーザ照射熱によって熔融された半導体の熔融物が再固化した熔融再固化物や、その様な熔融物が一旦処理室内に飛散してから再度付着固化した熔融飛散再固化物などが、素子の側壁面や裏面に残されることがあり、これらの熔融再固化物や熔融飛散再固化物は、外部量子効率や取り出し効率の観点からブラスト処理などによって除去することが望ましい。そして、この様なブラスト処理によっても、その処理条件によっては、上記と同様の物理ダメージ層が形成される。したがって、本発明は、例えばこの様にブラスト処理によって上記の物理加工面を形成した場合などにも大いに有用である。

[0105] 図2に本実施例2のフェイスアップ型の発光ダイオード200の断面図を示す。本図2に示す様に、この発光ダイオード200は、周知のフェイスアップ型の搭載様式に従うものであり、無添加のGaNバルク結晶から成る半導体結晶基板1の裏面1aは、研磨加工、レーザ加工、及びブラスト処理によって物理的に形成され、その後ドライエッチングによって仕上げられたものである。この研磨加工は、上記の実施例1と同様に、半導体結晶基板1の薄板化を図るために実施する。またレーザ加工は、半導体結晶基板1の裏面にウェハ分割用のV字溝と適度なR(丸み)を形成するために行う。またブラスト処理は、上述の熔融再固化物や熔融飛散再固化物の削除と、適度なR形成のために実施する。そして最後のドライエッチングは、勿論、上記の実施例1と同様に、ブラスト処理によって整形された物理加工面の面上に残された物理ダメージ層を除去するために実施する。

[0106] 符号6はn型半導体層2aに設けられた負電極を、符号7はp型半導体層2bに設けられた正電極をそれぞれ指している。正電極7は透光性とすることが望ましい。リードフレーム3には、略二次曲線の回転体形状の反射面3aが設けられており、その表面は略鏡面状に形成されている。半導体結晶基板1は透光性接着剤4により、反射面3aの内側底部中央に接着されている。この透光性接着剤4は外部量子効率を向上させる意味で、極力透明な材料を選択することが望ましい。また、発光ダイオード200

の傾斜面1aの傾斜角は、透光性接着剤4の屈折率の大小などに合わせて好適或いは最適に設定することが望ましい。或いは、傾斜面1aの傾斜角の値を先に決めて、透光性接着剤4の材料を屈折率などの諸条件を考慮して選択する様に、材料の方を調整しても良い。

[0107] 上記の発光ダイオード200では、傾斜面1aを有する半導体結晶基板1の裏面や側壁面からの光取り出し効果効率は、本発明の手段に基づく本発明の作用によって非常に高くなっているため、この様なフェイスアップ型のLED(半導体発光素子)の搭載様式においても、従来よりも高い外部量子効率を確保することができる。

即ち、本発明は、フェイスアップ型の発光ダイオードに対しても大きな効果を発揮する。

実施例 3

[0108] 上記の実施例1では、半導体結晶基板102にテーパ部を形成したが、光取り出しのためのテーパ部は、結晶成長によって積層した各半導体層(103〜107)の側壁に、ウェハの表側に面するように形成しても良い。結晶成長によって積層された、素子機能を奏する各半導体層の表側に形成されるテーパ部もまた、光の取り出し効率や外部量子効率に寄与する。また、ウェハの表側にチップ分離用のV字溝などを形成する場合などにも、ウェハの表側に同様のテーパ部が形成されることがある。これらのテーパ部の形成は、例えばダイシングカッターなどを用いて実施することができる。そして、この様にして形成された表側のテーパ部に付いても本発明のエッチング(仕上げ処理)は有効である。

以下、本実施例3では、この様な本発明の実施様態に付いて具体的に例示する。

[0109] 図3は、本実施例3のフェイスアップ型の発光ダイオード1000の断面図である。この発光ダイオード1000は、保護膜1300の形成後に厚さ約 $100\mu\text{m}$ にまで研磨処理されたサファイヤ基板1001を有する。

このサファイヤ基板1001の上には、窒化アルミニウム(AIN)から成る膜厚約 $0.5\mu\text{m}$ のAIN単結晶層1010が成膜されており、更にその上には、シリコン(Si)をドーピングして電子濃度 $5\times 10^{18}/\text{cm}^3$ とした $\text{Al}_{0.12}\text{Ga}_{0.88}\text{N}$ から成る膜厚約 $1.5\mu\text{m}$ のn型コンタクト層1020が形成されている。

- [0110] また、このn型コンタクト層1020の上には、膜厚約1.5nmの $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ から成る層1031と膜厚約1.5nmの $\text{Al}_{0.04}\text{Ga}_{0.96}\text{N}$ から成る層1032とを38周期積層した、シリコン(Si)をドーピングして電子濃度 $5 \times 10^{19}/\text{cm}^3$ とした総膜厚約100nmの多重層から成るn型クラッド層1030が形成されている。
- [0111] また、n型クラッド層1030の上には、主に紫外光を出力する単一量子井戸構造の発光層1040が形成されている。この単一量子井戸構造(SQW)の発光層1040は、膜厚約25nmのノンドープの $\text{Al}_{0.13}\text{Ga}_{0.87}\text{N}$ から成る障壁層1041と、膜厚約2nmのノンドープの $\text{Al}_{0.005}\text{In}_{0.045}\text{Ga}_{0.95}\text{N}$ から成る井戸層1042と、膜厚約15nmのノンドープの $\text{Al}_{0.13}\text{Ga}_{0.87}\text{N}$ から成る障壁層1043とを積層して形成する。
- [0112] 発光層1040の上には、マグネシウム(Mg)をドーピングしてホール濃度 $5 \times 10^{17}/\text{cm}^3$ とした $\text{Al}_{0.16}\text{Ga}_{0.84}\text{N}$ から成る膜厚約40nmのp型ブロック層1050が形成されている。このp型ブロック層1050の上には、膜厚約1.5nmの $\text{Al}_{0.12}\text{Ga}_{0.88}\text{N}$ から成る層1061と膜厚約1.5nmの $\text{Al}_{0.03}\text{Ga}_{0.97}\text{N}$ から成る層1062とを30周期積層した、マグネシウム(Mg)をドーピングしてホール濃度 $5 \times 10^{17}/\text{cm}^3$ とした総膜厚約90nmの多重層から成るp型クラッド層1060が形成されている。p型クラッド層1060の上には、マグネシウム(Mg)をドーピングしてホール濃度 $1 \times 10^{18}/\text{cm}^3$ としたAlGaInから成る膜厚約30nmのp型コンタクト層1070を形成した。
- [0113] 又、p型コンタクト層1070の上には金属蒸着による透光性薄膜正電極1100が、n型コンタクト層1020上には負電極1400が形成されている。透光性薄膜正電極1100は、p型コンタクト層1070に直接接合する膜厚約1.5nmのコバルト(Co)より成る第1層1110と、このコバルト膜に接合する膜厚約6nmの金(Au)より成る第2層1120とで構成されている。
- [0114] 厚膜正電極1200は、膜厚約18nmのバナジウム(V)より成る第1層1210と、膜厚約 $15 \mu\text{m}$ の金(Au)より成る第2層1220と、膜厚約10nmのアルミニウム(Al)より成る第3層1230とを透光性薄膜正電極1100の上から順次積層させることにより構成されている。
- 多層構造の負電極1400は、n型コンタクト層1020の一部露出された部分の上から、膜厚約18nmのバナジウム(V)より成る第1層1410と膜厚約100nmのアルミニウム(Al)

より成る第2層1420とを積層させることにより構成されている。

- [0115] また、最上部には、SiO₂膜より成る保護膜1300が形成されている。一方、エッチング処理されたサファイヤ基板1001の底面(エッチング面β)に当たる最下部には、膜厚約500nmのアルミニウム(Al)より成る反射金属層1500が、金属蒸着により成膜されている。尚、この反射金属層1500は、Rh、Ti、W等の金属の他、TiN、HN等の窒化物でも良い。
- [0116] 図中のチップの左右両側壁に位置するテーパ状のエッチング面αは、ウェハの表側に分割用のV字溝をダイシングカッターを用いて形成した際に、上記の半導体結晶層などの側壁にできたテーパ部(被研削面)を更にドライエッチングによって仕上げた面である。このエッチング面αは、V字溝形成時にテーパ部(被研削面)に残留していた物理ダメージ層が除去されているので紫外光の吸収が効果的に抑制される。このため、ドライエッチングによって仕上げたエッチング面αは、上方への光取り出しに良好に寄与する。
- [0117] また、エッチング面β(サファイヤ基板1001の底面)は、研磨処理によって露出したウェハの裏面(被研磨面)を更にドライエッチングによって仕上げた面である。このエッチング面βは、研磨処理後にウェハの裏面(被研磨面)に残留していた物理ダメージ層が除去されているので紫外光の吸収が効果的に抑制される。このため、反射金属層1500の反射率を効果的に向上させる。したがって、ドライエッチングによって仕上げたエッチング面βも、上方への光取り出しに良好に寄与する。
- [0118] また、上記の半導体結晶の積層構成では、各半導体結晶層のアルミニウム組成比を最適化することにより、各半導体結晶層のバンドギャップは、極力大きめに確保されている。この様な構成に従えば、発光層が発した近紫外線領域の光に付いても、発光層以外の半導体結晶層における吸収を効果的に抑制できるので、上記の発光ダイオード1000においてはこの様なバンドギャップの設定も同時に、発光ダイオードの外部量子効率の向上に大きく寄与している。

実施例 4

- [0119] 図8は、本実施例の発光ダイオード500の主要部分の断面図である。本図8の半導体基板aには、n型の不純物としてシリコン(Si)が添加されている。その添加濃度は、

$4 \times 10^{18} / \text{cm}^3$ 程度である。以下、この半導体基板aのことを、発光ダイオード500におけるその機能から、n型コンタクト層503と呼ぶことがある。

結晶成長層bは、多層構造を有する III族窒化物系化合物半導体から成る。n型の窒化ガリウム(GaN)から成る半導体基板aの上面は、この結晶成長層bの結晶成長に寄与する。半導体基板aは、その上面とは反対側の面(以下、裏面又は被研磨面などと呼ぶ。)が研磨加工並びにドライエッチングされており、更にその面には負電極(n電極c)が形成されている。

[0120] 上記の半導体基板a(n型コンタクト層503)の上には、ノドープのGaNから成る膜厚105 Åのn型クラッド層504(低キャリア濃度層)が形成されている。また、その上には、膜厚約35 Åの $\text{In}_{0.30}\text{Ga}_{0.70}\text{N}$ から成る井戸層510と膜厚約70 ÅのGaNから成るバリア層520とが交互に合計5層積層されたMQW構造の活性層505が形成されている。また、この活性層505の上には、Mgドープのp型 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ から成る膜厚約50 nmのp型クラッド層506が形成されている。更に、p型クラッド層506の上にはMgドープのp型GaNから成る膜厚約100nmのp型コンタクト層507が形成されている。

[0121] また、p型コンタクト層507の上には金属蒸着による透光性の正電極(p電極509)が形成されている。このp電極509は、p型コンタクト層507に直接接合する膜厚約40 Åのコバルト(Co)と、このCoに接合する膜厚約60 Åの金(Au)とで構成されている。

一方、n電極cは、裏面(被エッチング面)から順次、膜厚約200 Åのバナジウム(V)と膜厚約1.8 μmのアルミニウム(Al)又はAl合金で構成されている。この様にn電極cの膜厚を厚くするのは、光を上方に十分反射させるためである。

[0122] 次に、この発光ダイオード500の製造方法について説明する。成長法や用いられた材料を前述の実施例と同様である。

[0123] まず、有機洗浄及び熱処理により洗浄したa面を主面とした単結晶のGaNから成る半導体基板aをMOVPE装置の反応室に載置されたサセプタに装着する。この装着時における半導体基板aの厚さは、400 μm程度とする。次に、常圧で H_2 を流速2リットル/分で約30分間反応室に流しながら温度1150°Cで半導体基板aをベーキングする。

[0124] (n型クラッド層504の成長)

その後、半導体基板aの温度を1150°Cに保持して、 H_2 を20リットル/分、 NH_3 を10リットル/分、TMGを 1.7×10^{-4} モル/分で供給し、バンドプのGa_{0.30}Nから成る膜厚105 Åのn型クラッド層504(低キャリア濃度層)を形成する。

[0125] (活性層505の成長)

そして、上記のn型クラッド層504を形成した後、合計5層から成る前記のMQW構造(図8)の活性層505を形成する。

即ち、まず最初に、半導体基板aの温度を730°Cまで低下させ、それと同時に H_2 から N_2 にキャリアガスを変更し、このキャリアガスと NH_3 の供給量を維持しながら、TMGを 3.1×10^{-6} モル/分、TMIを 0.7×10^{-6} モル/分で供給することにより、膜厚約35 Åの $In_{0.30}Ga_{0.70}N$ から成る井戸層510をn型クラッド層4の上に形成する。

[0126] 次に、半導体基板aの温度を885°Cにまで昇温し、上記の井戸層510上に、 N_2 を20リットル/分、 NH_3 を10リットル/分、TMGを 1.2×10^{-5} モル/分で供給して、膜厚約70 ÅのGa_{0.30}Nから成るバリア層520を形成する。

以下、これを繰り返して、井戸層510とバリア層520とを交互に積層し、合計5層(井戸層510、バリア層520、井戸層510、バリア層520、最後の井戸層510)から成る前記の活性層505を形成する。

[0127] (p型クラッド層506の結晶成長)

その後、半導体基板aの温度を890°Cに昇温し、 N_2 を10リットル/分、TMGを 1.6×10^{-5} モル/分、TMAを 6×10^{-6} モル/分、 CP_2Mg を 4×10^{-7} モル/分で供給して、膜厚約200 Å、濃度 $5 \times 10^{19}/cm^3$ のマグネシウム(Mg)をドーピングしたp型 $Al_{0.15}Ga_{0.85}N$ から成るp型クラッド層506を形成する。

[0128] (p型コンタクト層507の結晶成長)

最後に、半導体基板aの温度を1000°Cに昇温し、同時にキャリアガスを再び H_2 に変更し、 H_2 を20リットル/分、 NH_3 を10リットル/分、TMGを 1.2×10^{-4} モル/分、 CP_2Mg を 2×10^{-5} モル/分で供給

して、膜厚約85nm、濃度 $5 \times 10^{19} / \text{cm}^3$

のMgをドーブしたp型GaNから成るp型コンタクト層507を形成する。

以上に示した工程が、III族窒化物系化合物半導体から成る各半導体層の結晶成長工程である。

[0129] (p電極509の形成)

以上の結晶成長工程の後、p型コンタクト層507の表面上にフォトレジストを塗布し、フォトリソグラフによりp型コンタクト層7上の電極形成部分のフォトレジストを除去して窓を形成し、p型コンタクト層7を露出させる。 10^{-4} Paオーダ以下の高真空中に排気した後、露出させたp型コンタクト層7の上に、Coを膜厚約40Å蒸着し、このCo上にAuを膜厚約60Å蒸着する。次に、試料を蒸着装置から取り出し、リフトオフ法によりフォトレジスト上に堆積したCoとAuとを除去することにより、p型コンタクト層7に密着した透光性のp電極509を形成する。

[0130] (研磨加工)

次に、研磨盤を用いて、半導体基板aの裏面を研磨する。用いるスラリーの大きさは $9 \mu\text{m}$ とし、 $400 \mu\text{m}$ ある半導体基板aの厚さを $150 \mu\text{m}$ まで薄板化し、その後洗浄し、乾燥させる。スラリーの直径は、 $0.5 \sim 15 \mu\text{m}$ 程度が望ましい。この直径が大き過ぎると、ダメージ層の厚さが予想以上に厚くなる場合があり望ましくない。また、この直径が小さ過ぎると、研磨時間が長くなるので望ましくない。より望ましくは、 $1 \sim 9 \mu\text{m}$ 程度である。

[0131] (エッチング工程)

次に、研磨された半導体基板aの裏面(被研磨面)を約 $2 \mu\text{m}$ の深さまでドライエッチングする。このドライエッチングにより、研磨加工の際に生成されてしまったダメージ層の少なくとも大半が削除される。このドライエッチングには、次の何れの装置を用いても良い。

[0132] (a)RIE装置

(b)ICP装置

このドライエッチングに関するより詳細な実施基準としては、例えば、特開平8-274081に記載されているドライエッチング方法等が参考になる。

[0133] (n電極cの形成)

次に、半導体基板aの裏面全面にフォトリソグレイスを塗布し、フォトリソグラフィによりn型コンタクト層503の露出面上の所定領域に窓を形成し、 10^{-4} Paオーダ以下の高真空に排気した後、膜厚約200Åのバナジウム(V)と膜厚約1.8 μ mのAlをそれぞれ順次蒸着により積層する。この後、フォトリソグレイスを除去することにより、半導体基板a(:n型コンタクト層503)に密着したn電極cを形成する。

[0134] (合金化処理)

この後、試料雰囲気を真空ポンプで排気し、 O_2 ガスを供給して圧力3Paとし、その状態で雰囲気温度を約550°Cにして、3分程度、加熱し、p型コンタクト層507、p型クラッド層506をp型低抵抗化すると共に、p型コンタクト層507とp電極9との合金化処理、並びに、半導体基板aとn電極cとの合金化処理を行った。これにより、各電極(n電極c、p電極9)を、接合すべき各半導体層に対して非常に強固に接合することができる。

その後、ハーフカット工程、分割工程等を経て、ウェハー状の半導体を個々のチップ状に分割する。これらの各工程は、周知の工法に従って実施すれば良い。この分割方法に関するより詳細な実施基準としては、例えば、特開2001-284642に記載されている分割技法等を参考にしても良い。

[0135] 図9に、本発明の実施例における発光ダイオード500と、その変形例(発光ダイオード500')の各駆動電圧 V_F を示す。発光ダイオード500'は、図8と同様の構造を有しており、上記の発光ダイオード500の製造工程において、半導体基板aの被研磨面をドライエッチングするエッチング工程を省略することにより製造された点が製法上の唯一の相違点である。即ち、発光ダイオード500'においては、前述のドライエッチングの深さDが0 μ mとなっている。

[0136] この表の2つ目の項目”I”は、素子の正負両電極間に流した駆動電流であり、各発光ダイオードの良好な発光出力に必要な電流値を示している。この表から、深さ2 μ mのドライエッチングを実施した発光ダイオード500では、駆動電圧 V_F が3.5vであったのに対し、ドライエッチングを実施しなかった発光ダイオード500'では、駆動

電圧 V_F

が、10vとなり、その差は6.5vにも達していることが判る。

以上の様な測定結果から、例えば図8の発光ダイオード500の様に、電導性を有する半導体基板aの裏面にn電極cを形成する場合には、ドライエッチングの深さDを例えば2 μ m程度にすると良いことが判る。この結果は、図5、図6、図7を用いて行った前述の作用・効果の説明とも良く一致している。

- [0137] 半導体基板と電極との間において最良のオーミック特性を得るためのドライエッチングの深さDに関する最適な値は、スラリー、摩擦力、圧力等の大きさや、基板の組成比等にもよるが、その他の調査から、経験的には概ね1~8 μ m程度の範囲において得られることが判っている。また、この場合には、研磨加工時間とドライエッチング時間との和を最小に抑制することができ、生産性の面でも都合がよい。

なお、上記の実施例では、半導体基板aとして、n型の $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)を用いることが望ましいが、その他のIII族窒化物系化合物半導体を用いても良い。また、添加すべきn型の不純物も、特にSiに限定されるものではない。

- [0138] また、上記の実施例では、半導体基板aとして、単独の窒化ガリウム結晶(:n型のバルクGaN)からなる半導体基板を用いたが、半導体基板aは必ずしも単層である必要はない。例えば図8と同様の構成を得るためには、適当なn型コンタクト層3として残る、150 μ m以上の厚さを有するn型の $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)があれば良い。150 μ m以上のその他の部位は、研磨工程において削除されるので、その構成は任意で良い。したがって、例えば、シリコン基板上に下地層を成膜し、その上にn型のGaNを成長させたものを用いても良い。この場合には、シリコン基板や下地層を研磨工程にて削除してn型の $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)の部位だけを約150 μ m程度残せば良い。

- [0139] ただし、残すべきn型コンタクト層の厚さを、必ずしも上記の150 μ mに限定する必要はなく、ここで残すべきn型コンタクト層の厚さは50~300 μ mの範囲内であれば何れでも良い。また、研磨工程実施前の半導体基板aの厚さは、250~500 μ m程度あることが望ましい。より望ましくは300~400 μ m程度である。この厚さが厚過ぎる

と研磨工程に時間がかかり過ぎ、短過ぎると半導体ウェハのハンドリングの際に半導体ウェハが損傷する恐れが生じ、望ましくない。

また、上記の実施例では、p電極509の形成を研磨工程の前に実施しているが、p電極509の形成は、n電極cの形成と略同様の工程順序(エッチング工程の後)で実施しても良い。

また、n電極cの形成は、熱処理(p電極509の合金化処理)の後に実施しても良い。この場合には、蒸着されたn電極cは熱処理されないので、n電極cの合金化処理は事実上実施されない。

また、上記の実施例では、p電極509を透光性としたが、n電極cを透光性にしても良い。

また、上記の実施例では、活性層をMQW構造としたが、活性層の構造としては、SQW構造や、或いは量子井戸構造を持たない単一層構造などを採用しても良い。

実施例 5

- [0140] 他の実施例について説明する。図11の(a)において、サファイア基板600の上に、III族窒化物系化合物半導体の複数層から成る発光ダイオード610が形成されている。この発光ダイオード610上には、p電極620が形成されており、このp電極620に貼付板650が接合されている。次に、図11の(b)に示すように、貼付板650を保持具として、サファイア基板600が研磨されて、消滅される。このとき、発光ダイオード610の最下層のIII族窒化物系化合物半導体層には、ダメージ層630が形成される。このダメージ層630が前述の実施例と同様な方法でエッチングされる。その後、エンチングされたIII族窒化物系化合物半導体層にn電極640が形成される。貼付板650はサファイア基板600の研磨時の保持部材となる。また、製品になった後は、発光ダイオード610のヒートシンクとして用いられても、光をn電極640側に反射する金属反射板として用いても、発光ダイオード610の製品の固定部材として用いても良い。さらに、サファイア基板600を研磨した後に、この貼付板650を剥離しても良い。サファイア基板600への積層の順は、n層を先にしたが、p層を先にして積層しても良い。この場合のp層の活性化はサファイア基板600を研磨した後に、加熱処理をすることで行うことができる。

本発明はこのような発光ダイオードの製造にも用いることができる。

- [0141] 本発明は、半導体基板に直接電極が形成される形態の半導体素子に対して幅広く用いることができる。その様な半導体素子としては、半導体レーザ(LD)、発光ダイオード(LED)等の半導体発光素子の他にも、例えば受光素子や圧力センサ等が挙げられる。即ち、本発明の適用はそれらの半導体素子の具体的な機能や構成などを特に制約するものではないので、本発明の適用可能な範囲は非常に広範に渡る。

産業上の利用可能性

- [0142] 本発明は、少なくとも発光スペクトルの一部が470nm未満の発光領域を有する、比較的短い波長の発光ダイオードに対して用いることができる。したがって、本発明は、可視光領域にその発光領域を有する光デバイスにも勿論有用である。

更に本発明は、その作用原理から、勿論半導体受光素子にも同様に適用できることは言うまでもない。

なお、本発明は、それらの半導体素子の半導体結晶の詳細な結晶成長条件やその組成や積層構成などを特に制約するものではない。

また、本発明は、紫外線領域に発光波長が存在するような短波長の光素子にも、非常に好適である。これらの短波長の光素子の用途としては、光励起触媒を用いる光化学分野、蛍光体を励起させるために用いる照明分野、誘蛾灯に代表されるバイオ関連分野などがあり、例えば蛍光ランプを構成するブラックライトとして利用することができる。

- [0143] 本発明では上記のように実施例を示したが、本発明の内容は上記の実施例のみに限定されず、本件発明の精神に沿う限りあらゆる変形例を含む。

本発明は優先権主張の基礎である特許願2004年第112796号、特許願2003年第202240号の内容をすべて包括したものである。

請求の範囲

- [1] 結晶成長基板の結晶成長面上に半導体層が積層された面発光型の発光ダイオードの製造方法であって、
前記結晶成長基板を裏面から研磨、ダイシング、またはブラスト処理することによって、光出力に寄与する出射面または反射面を形成する形状加工工程と、
前記形状加工工程によって形成された前記出射面または前記反射面を更にエッチングによって仕上処理する加工面仕上工程とを有することを特徴とする発光ダイオードの製造方法。
- [2] 前記形状加工工程は、
前記出射面の少なくとも一部分、または前記反射面の少なくとも一部分として、前記結晶成長面に対して斜めに傾いたテーパ面を形成するテーパ形成工程を含むことを特徴とする請求項1に記載の発光ダイオードの製造方法。
- [3] 前記テーパ形成工程の少なくとも一部は、
前記発光ダイオードを複数有する半導体ウェハを各前記発光ダイオード毎に分割するための分割用の略V字型の分割溝を形成する工程から成ることを特徴とする請求項2に記載の発光ダイオードの製造方法。
- [4] 前記発光ダイオードの発光ピーク波長は、
470nm未満であることを特徴とする請求項1乃至請求項3の何れか1項に記載の発光ダイオードの製造方法。
- [5] 前記結晶成長基板は、
 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 又は炭化珪素 (SiC) から成ることを特徴とする請求項1乃至請求項4の何れか1項に記載の発光ダイオードの製造方法。
- [6] 結晶成長基板の結晶成長面上に積層された半導体層を有する面発光型の発光ダイオードにおいて、
前記結晶成長基板は、

研磨、ダイシング、またはブラスト処理である物理的な形状加工によって形成された光出力に寄与する出射面または反射面を有し、

前記出射面または前記反射面は、

前記形状加工に伴って発生する物理的な摩擦または衝撃によってその表面上に残される物理ダメージ層が除去されている

ことを特徴とする発光ダイオード。

[7] 前記出射面上に、

光取り出し側へ光を透過する透光性を有する金属層を有することを特徴とする請求項6に記載の発光ダイオード。

[8] 前記反射面上に、

光取り出し側へ光を反射する反射性を有する金属層を有することを特徴とする請求項6または請求項7に記載の発光ダイオード。

[9] 前記結晶成長基板は、

$\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 又は炭化珪素 (SiC) から成ることを特徴とする請求項6乃至請求項8の何れか1項に記載の発光ダイオード。

[10] 前記出射面の少なくとも一部分、または前記反射面の少なくとも一部分として、

前記結晶成長面に対して斜めに傾いたテーパ面を有することを特徴とする請求項6乃至請求項9の何れか1項に記載の発光ダイオード。

[11] 結晶成長基板の結晶成長面上に積層された半導体層を有する面発光型の発光ダイオードにおいて、

前記発光ダイオードの側壁の少なくとも一部分に、前記結晶成長面に対して斜めに傾いたテーパ面を有し、

前記テーパ面は、

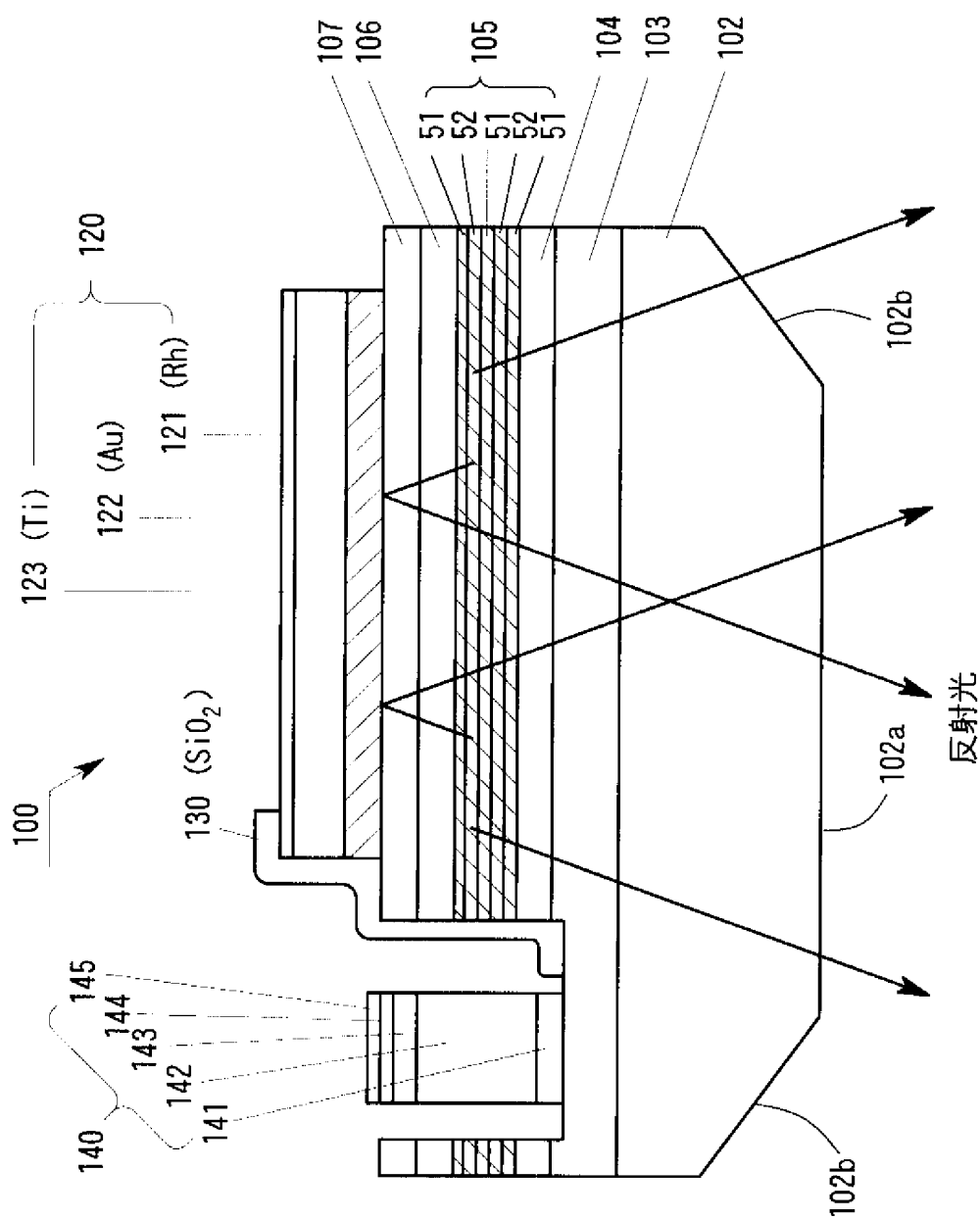
正電極が設けられる半導体結晶層を有する側である前記発光ダイオードの表側に露出しており、かつ、

前記テーパ面の形成に伴って発生する物理的な摩擦または衝撃によって前記テーパ面上に残される物理ダメージ層が除去されている

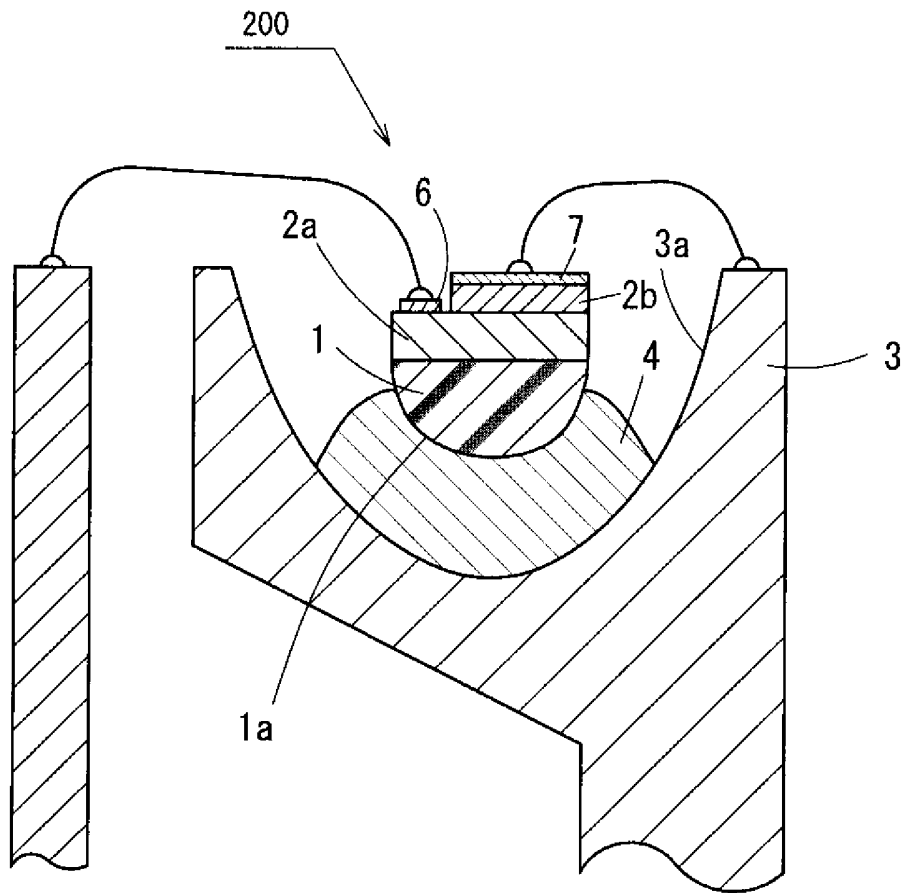
ことを特徴とする発光ダイオード。

- [12] 発光ダイオードを複数有する半導体ウェハを各前記発光ダイオード毎に分割することによって製造される発光ダイオードであって、
前記発光ダイオードの側壁の少なくとも一部分にテーパ面を有し、
前記テーパ面は、
前記分割を実行するための分割用の略V字型の分割溝の一部の面から成ることを特徴とする請求項10または請求項11に記載の発光ダイオード。
- [13] 発光ピーク波長が470nm未満である
ことを特徴とする請求項6乃至請求項12の何れか1項に記載の発光ダイオード。
- [14] 既に研磨加工された導電性の III族窒化物系化合物半導体から成る半導体基板の被研磨面に電極を形成する方法であって、
前記被研磨面に電極を形成する電極形成工程の前に、前記被研磨面をドライエッチングするエッチング工程を有する
ことを特徴とする電極形成方法。
- [15] 前記半導体基板は、n型の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) から成る
ことを特徴とする請求項14に記載の電極形成方法。
- [16] 前記ドライエッチングによって除去される前記被研磨面の深さは、
0.1 μm 以上、15 μm 以下である
ことを特徴とする請求項14又は請求項15に記載の電極形成方法。
- [17] 前記ドライエッチングによって除去される前記被研磨面の深さは、
0.2 μm 以上、8 μm 以下である
ことを特徴とする請求項16に記載の電極形成方法。

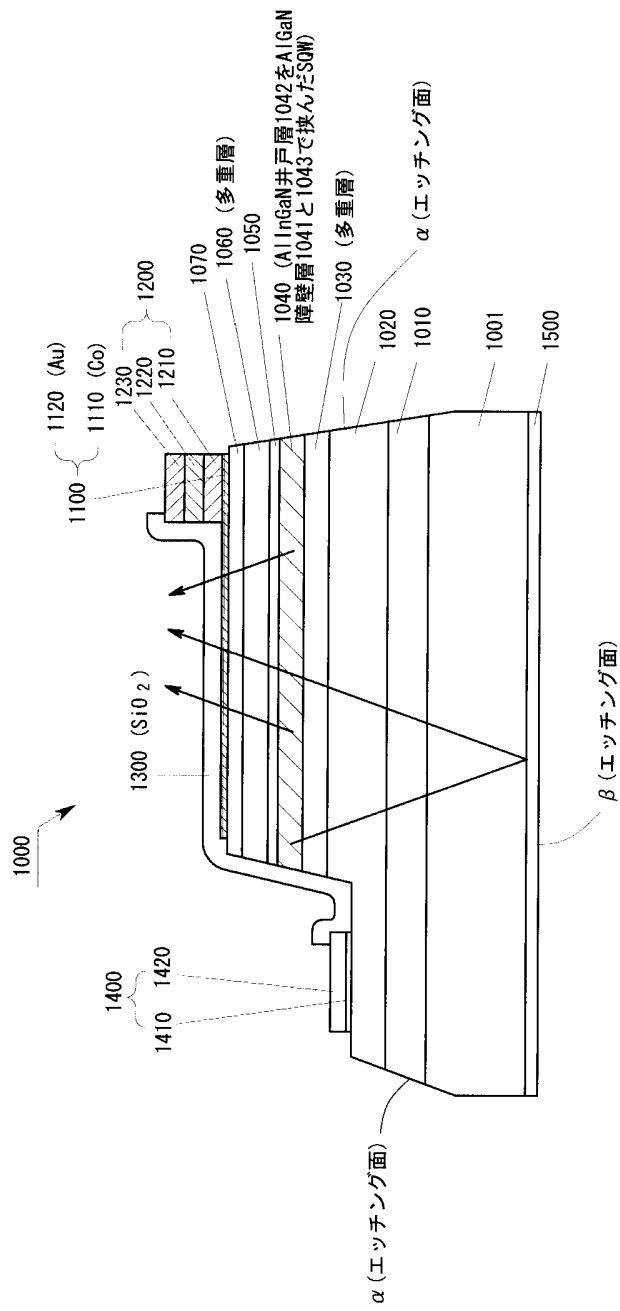
[図1]



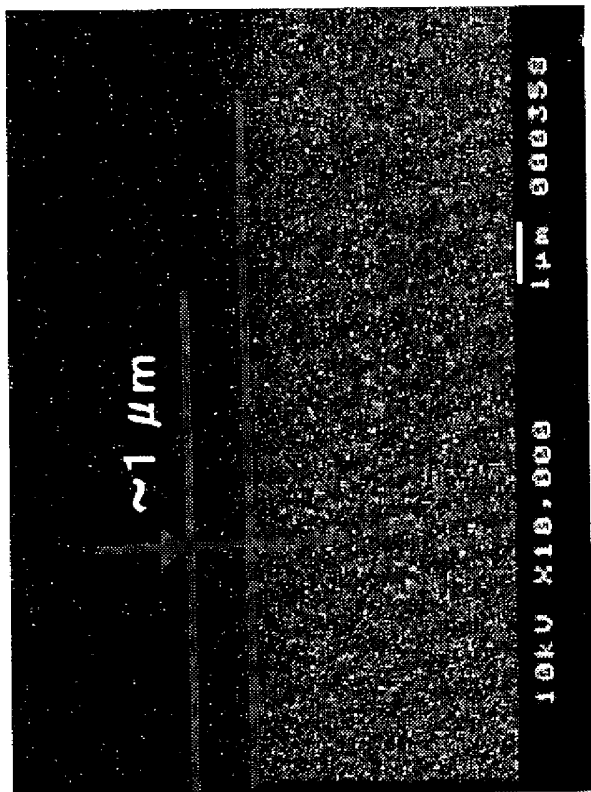
[図2]



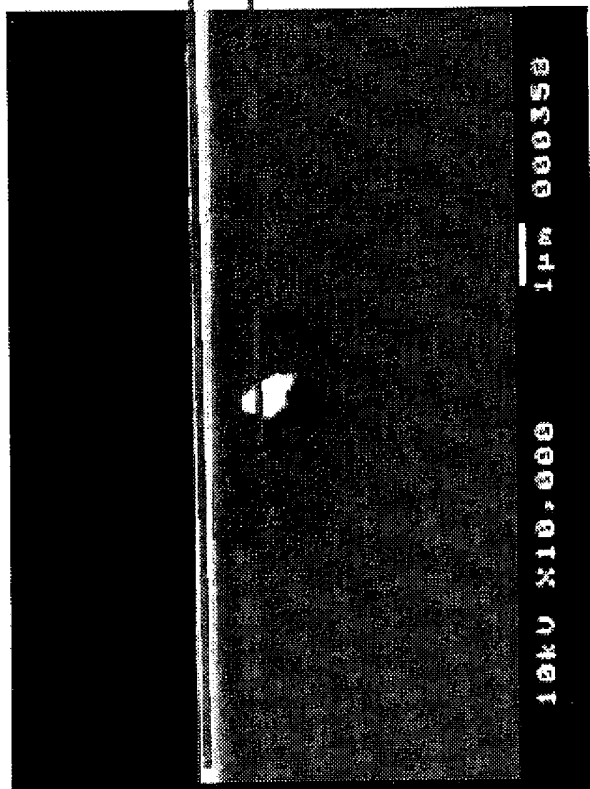
[図3]



[図4]

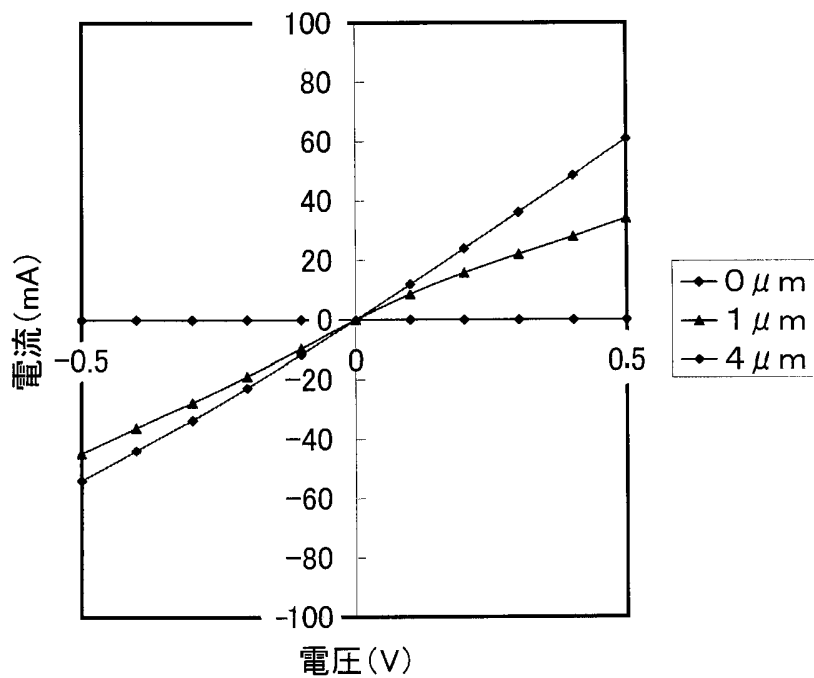


(b)

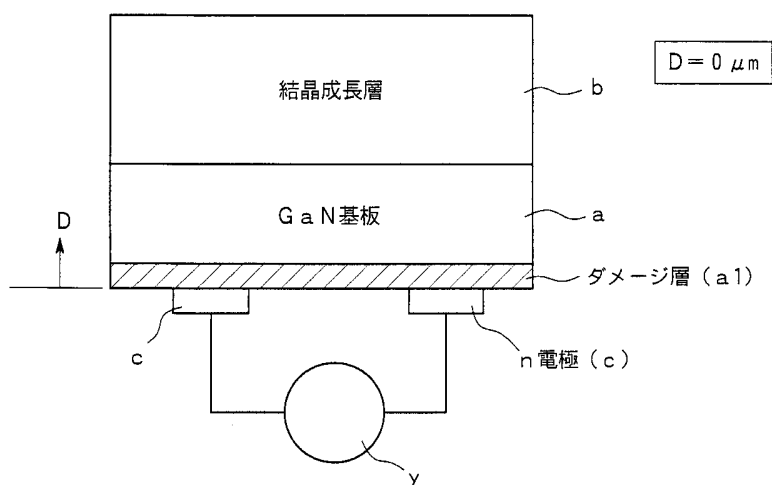


(a)

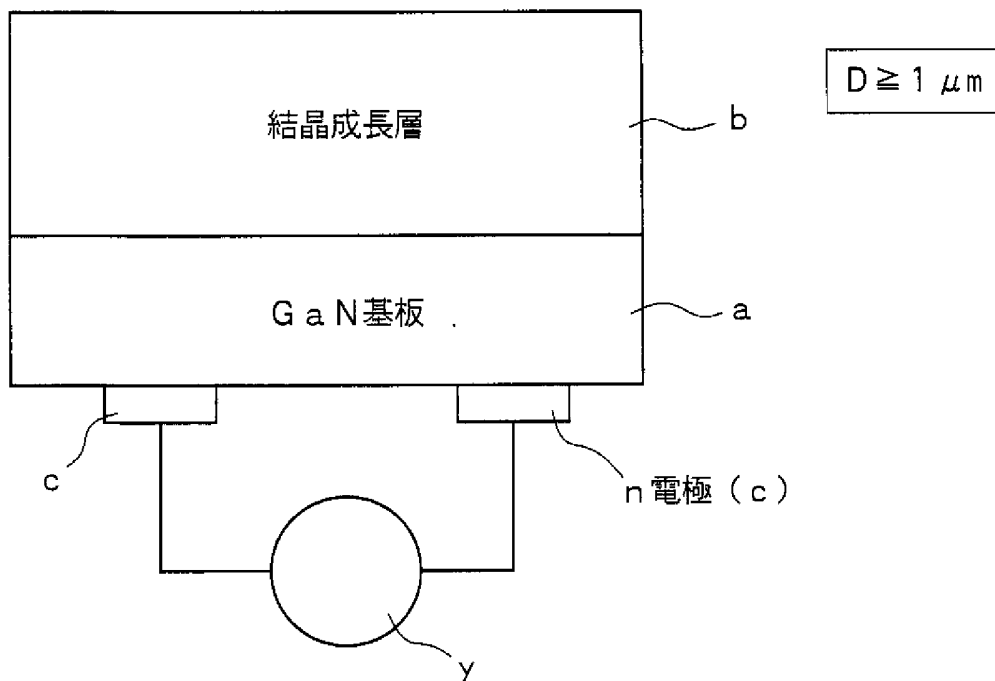
[図5]



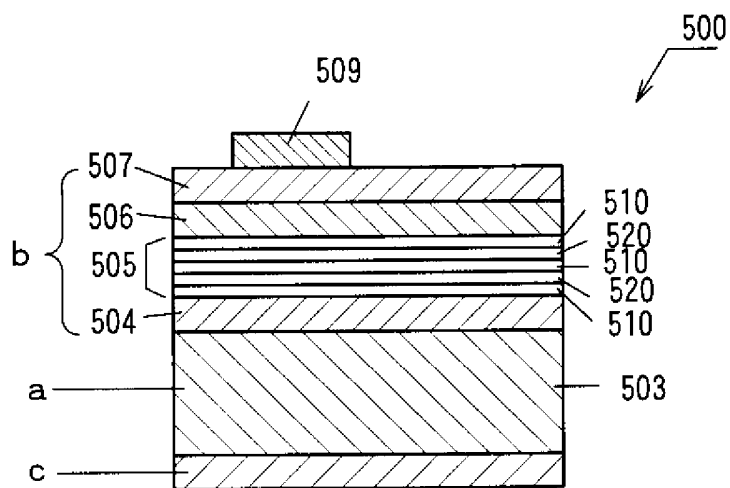
[図6]



[図7]



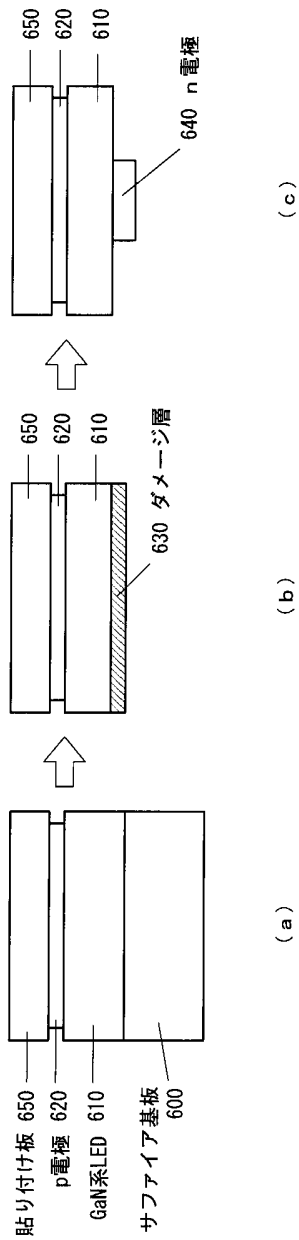
[図8]



[図9]

	D	I	V _F
発光ダイオード 500	2 μm	20 mA	3.5 V
発光ダイオード 500'	0 μm	20 mA	10 V

[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010635.

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L33/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L33/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-051614 A (Samsung Electro-Mechanics Co., Ltd.), 21 February, 2003 (21.02.03), Par. No. [0036]; Fig. 8 & KR 2002090055 A & US 2002/177247 A1	14-17 1-5,9
X Y	JP 06-268252 A (Sharp Corp.), 22 September, 1994 (22.09.94), Par. No. [0083]; Figs. 14, 17 (Family: none)	6, 8, 10, 12-13 1-5, 9
X	JP 09-237918 A (Hitachi Cable, Ltd.), 09 September, 1997 (09.09.97), Par. No. [0003]; Fig. 5 (Family: none)	11-13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 14 October, 2004 (14.10.04)	Date of mailing of the international search report 02 November, 2004 (02.11.04)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010635

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-322899 A (Matsushita Electric Industrial Co., Ltd.), 20 November, 2001 (20.11.01), Par. No. [0089] (Family: none)	16-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L33/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2003-051614 A (三星電機株式会社) 200 3. 2. 21 段落【0036】、図8 & KR 200209 0055 A & US 2002/177247 A1	14-17 1-5、9
X Y	JP 06-268252 A (シャープ株式会社) 1994. 9. 22 段落【0083】、図14、図17 (ファミ リーなし)	6、8、1 0、12-1 3 1-5、9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日
14. 10. 2004

国際調査報告の発送日 **02.11.2004**

国際調査機関の名称及びびあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 土屋 知久
 2K 3412
 電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 09-237918 A (日立電線株式会社) 1997. 9. 9 段落【0003】、図5 (ファミリーなし)	11-13
A	JP 2001-322899 A (松下電器産業株式会社) 2 001. 11. 20 段落【0089】 (ファミリーなし)	16-17