



(12)发明专利

(10)授权公告号 CN 104934412 B

(45)授权公告日 2018.02.13

(21)申请号 201510122317.7

(51)Int.Cl.

(22)申请日 2015.03.19

H01L 23/532(2006.01)

H01L 21/768(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104934412 A

审查员 赵龙

(43)申请公布日 2015.09.23

(30)优先权数据

14/222,181 2014.03.21 US

(73)专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72)发明人 杨士亿 田希文 李明翰 李香寰

眭晓林

(74)专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社泉 李伟

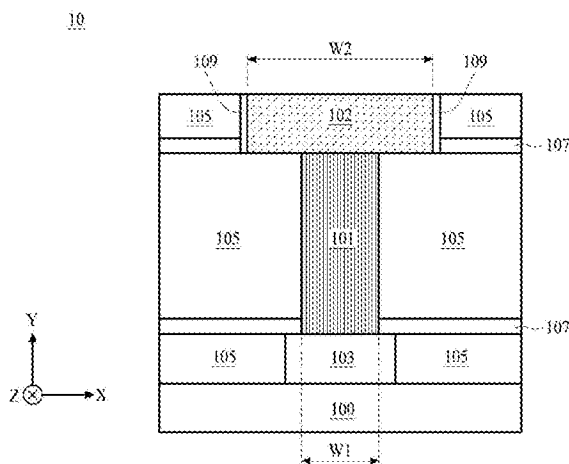
权利要求书2页 说明书9页 附图13页

(54)发明名称

互连结构及其制造方法

(57)摘要

本发明的实施例提供了一种互连结构,其包括:衬底;位于衬底上方的第一导电部件;位于第一导电部件上方的第二导电部件;以及围绕第一导电部件和第二导电部件的介电层。第一导电部件的宽度和第二导电部件的宽度介于10nm与50nm之间。本发明的实施例还提供了一种用于制造互连结构的方法,包括(1)在介电层中形成通孔开口和线性沟槽,(2)在通孔开口中形成一维导电部件,(3)在线性沟槽的侧壁、线性沟槽的底部以及一维导电部件的顶部上方形成共形催化层,以及(4)从线性沟槽的底部和一维导电部件的顶部处去除共形催化层。



1. 一种互连结构,包括:
衬底;
第一导电部件,位于所述衬底上方,所述第一导电部件包括具有一维导电特性的材料;
第二导电部件,位于所述第一导电部件上方,所述第二导电部件包括具有二维导电特性的材料;
介电层,围绕所述第一导电部件和所述第二导电部件,以及
第一催化层,位于所述第二导电部件和所述介电层之间的界面处,而不位于所述第一导电部件的顶面处;
其中,所述第一导电部件的宽度和所述第二导电部件的宽度介于10nm至50nm的范围中。
2. 根据权利要求1所述的互连结构,还包括:第三导电部件,位于所述第一导电部件下方并且与所述第一导电部件电连接。
3. 根据权利要求2所述的互连结构,其中,所述第三导电部件包括源极区域、漏极区域、栅极区域、导电通孔、导线或接触区域。
4. 根据权利要求1所述的互连结构,其中,所述第一导电部件包括碳纳米管(CNT)。
5. 根据权利要求1所述的互连结构,其中,所述第二导电部件包括石墨片。
6. 根据权利要求1所述的互连结构,其中,所述第一催化层的厚度介于0.5nm至2nm的范围中。
7. 根据权利要求2所述的互连结构,还包括:第二催化层,位于所述第一导电部件和所述第三导电部件的界面处。
8. 根据权利要求1所述的互连结构,其中,具有所述二维导电特性的所述第二导电部件包括在与所述第二导电部件和所述介电层之间的界面平行的表面上传导电子的结构。
9. 根据权利要求1所述的互连结构,还包括:阻挡层,介于所述第一催化层和所述介电层之间。
10. 一种集成电路结构,包括:
衬底;
一维导电部件,包括位于所述衬底上方的碳纳米管;
第一介电层,围绕所述一维导电部件;
二维导电部件,包括位于所述衬底上方的石墨片;
第二介电层,围绕所述二维导电部件,以及
所述石墨片的催化层,介于所述二维导电部件和所述第二介电层之间,所述催化层不位于所述一维导电部件的顶面处;
其中,所述一维导电部件的纵宽比和所述二维导电部件的纵宽比介于4至10的范围中。
11. 根据权利要求10所述的集成电路结构,还包括:蚀刻停止层,介于所述衬底和所述第一介电层之间。
12. 根据权利要求10所述的集成电路结构,还包括:阻挡层,介于所述一维导电部件和所述第一介电层之间。
13. 一种用于制造互连结构的方法,包括:
在介电层中形成通孔开口和线性沟槽,其中,所述通孔开口的宽度和所述线性沟槽的

宽度介于10nm至50nm的范围中；

在所述通孔开口中形成一维导电部件；

在所述线性沟槽的侧壁的上方、所述线性沟槽的底部的上方以及所述一维导电部件的顶部的上方形成共形催化层；

从所述线性沟槽的底部和所述一维导电部件的顶部处去除所述共形催化层；以及

在所述线性沟槽中形成二维导电部件。

14. 根据权利要求13所述的方法，其中，在所述通孔开口中形成所述一维导电部件包括执行化学汽相沉积 (CVD)，而在所述线性沟槽中形成所述二维导电部件包括执行化学汽相沉积。

15. 根据权利要求13所述的方法，其中，形成所述共形催化层包括通过执行物理汽相沉积、化学汽相沉积或它们的组合来形成厚度介于0.5nm至2nm范围内的金属层。

16. 根据权利要求13所述的方法，还包括：执行化学机械抛光来去除所述二维导电部件的一部分和所述共形催化层的一部分。

17. 根据权利要求13所述的方法，还包括：在形成所述一维导电部件之前在所述通孔开口的底部处形成催化层。

18. 根据权利要求13所述的方法，其中，从所述线性沟槽的所述底部处和所述一维导电部件的所述顶部处去除所述共形催化层包括执行干蚀刻。

互连结构及其制造方法

技术领域

[0001] 本发明总体涉及半导体领域,更具体地,涉及半导体的互连结构及其形成方法。

背景技术

[0002] 在半导体技术中,能够采用包括光刻工艺、离子注入、沉积和蚀刻的多种工艺在衬底上形成集成电路图案。使用镶嵌工艺形成包括垂直互连通孔和水平互连金属线的多层铜互连件。在镶嵌工艺期间,在介电材料层中形成沟槽,铜或钨填充到沟槽中,随后采用化学机械抛光(CMP)工艺来去除介电材料层上的多余金属并平坦化顶面。

[0003] 在半导体器件中,将铜作为导电互连材料占有优势,因为铜提供了低电阻率和高热导率。通常采用镶嵌处理技术形成铜互连结构。随着集成电路(IC)的临界尺寸继续缩小,铜基互连结构的性能在制造、器件性能和可靠性方面面临着挑战。

发明内容

[0004] 根据本发明的一实施例,提供了一种互连结构,包括:衬底;第一导电部件,位于衬底上方,第一导电部件包括具有一维导电特性的材料;第二导电部件,位于第一导电部件上方,第二导电部件包括具有二维导电特性的材料;以及介电层,围绕第一导电部件和第二导电部件,其中,第一导电部件的宽度和第二导电部件的宽度介于约10nm至约50nm的范围中。

[0005] 根据本发明的一实施例,提供了一种集成电路结构,包括:衬底;一维导电部件,包括位于衬底上方的碳纳米管;第一介电层,围绕一维导电部件;二维导电部件,包括位于衬底上方的石墨片;以及第二介电层,围绕二维导电部件,其中,一维导电部件的纵宽比和二维导电部件的纵宽比介于约4至约10的范围中。

[0006] 根据本发明的一实施例,提供了一种用于制造互连结构的方法,包括:在介电层中形成通孔开口和线性沟槽,其中,通孔开口的宽度和线性沟槽的宽度介于约10nm至约50nm的范围中;在通孔开口中形成一维导电部件;在线性沟槽的侧壁的上方、线性沟槽的底部的上方以及一维导电部件的顶部的上方形成共形催化层;从线性沟槽的底部和一维导电部件的顶部处去除共形催化层;以及在线性沟槽中形成二维导电部件。

附图说明

[0007] 当结合附图进行阅读时,通过以下详细的描述,可以最好地理解本发明的各方面。应该强调的是,根据工业中的标准实践,没有按比例绘制各个部件。实际上,为清楚的讨论,可任意增大或减小多个部件的尺寸。

[0008] 图1为根据本发明的一些实施例的互连结构的截面图。

[0009] 图2为根据本发明的一些实施例的互连结构的截面图。

[0010] 图3为根据本发明的一些实施例的互连结构的截面图。

[0011] 图4为根据本发明的一些实施例的互连结构的截面图。

[0012] 图5为根据本发明的一些实施例的如图4中互连结构所示的虚线所包围的放大部

分的立体图。

[0013] 图6至图12为用于根据本发明的一些实施例的制造互连结构的若干操作的局部视图。

具体实施方式

[0014] 以下发明提供了很多不同的实施例或实例,用于实现所提供主题的不同特征。下面将描述组件和布置的特定实例以简化本发明。当然,这些仅仅是实例且旨在限制本发明。例如,在以下描述中,在第二部件上方或上形成第一部件可以包括第一部件和第二部件直接接触的实施例,也可以包括其他部件可以形成在第一部件和第二部件之间使得第一部件和第二部件不直接接触的实施例。另外,本发明可以在多个实例中重复参考符号和/或字符。这种重复用于简化和清楚,并且其本身不表示所述多个实施例和/或配置之间的关系。

[0015] 此外,在此可使用诸如“在…之下”、“在…下面”、“下面的”、“在…上面”、以及“上面的”等的空间关系术语,以容易的描述如图中所示的一个元件或部件与另一元件(多个元件)或部件(多个部件)的关系。除了图中所示的方位之外,空间关系术语旨在包括使用或操作中的装置的各种不同方位。装置可以以其他方式定位(旋转90度或者在其他方位),并且通过在此使用的空间关系描述符进行相应的解释。

[0016] 随着集成电路(IC)制造发展到先进的技术节点,所以,IC特征尺寸按比例缩小至更小的尺寸。例如,线性沟槽或通孔尺寸变得越来越小。因此,铜互连结构的间隙填充能力受到限制且间隙填充质量受到挑战。例如,当互连结构的线宽发展至小于50nm时,在沟槽或通孔开口附近聚积的阻挡层或晶种层材料阻塞了随后要填充铜的沟道。阻塞的开口可能导致在电化学镀铜材料之后形成空隙。

[0017] 除了间隙填充能力之外,电迁移(EM)是另一种易于在较小尺寸的铜基互连结构中发生的现象。EM是由于导电电子与扩散的金属原子之间的动量传递引起导体中的离子的渐进移动而导致的材料迁移。EM降低集成电路的可靠性,并最终可导致半导体器件的劣化或失效。例如,在铜互连体中由EM导致的缝隙和空隙提高了互连结构的电阻。为了防止EM发生而将电流密度限制在约 $10^6\text{A}/\text{cm}^2$,但这又恶化了铜互连结构的可靠性。

[0018] 由于与尺寸相关的散射效应,提高了铜的电阻率。例如,三维导电通路(即,电荷载流子能够在铜互连体的任意方向上自由移动)受到晶界和表面反向散射,因此具有更短的电荷载流子的平均自由通路。设置在铜互连体和接触区域之间的阻挡层在微电子制造领域是公知的,其用于在微电子制造过程中抑制含铜材料的相互扩散。使用这种阻挡材料通常使互连结构的电气性能打折扣。

[0019] 因此,互连材料对于进一步改进具有所需性能和可靠性的互连结构是一个瓶颈。本发明的一些实施例提供了一种在微电子器件的互连结构中自我选择、由下而上生长碳基材料的方法。通过在与具有二维导电特性(conduction feature)的另一表面相平行的表面上形成催化层来实现碳基材料的自我选择、由下而上的生长。本发明的一些实施例提供了一种碳基互连结构,该结构具有衬底、位于衬底上方且由具有一维导电特性的材料制成的第一导电部件(conductive feature)、位于第一导电部件上方且由具有二维导电特性的材料制成的第二导电部件以及围绕第一导电部件和第二导电部件的介电层。

[0020] 在本发明中描述的碳基互连结构及其制造方法解决了尺寸减小的沟槽和通孔的

间隙填充问题,因为在一些实施例中,自我选择、由下而上的生长并不需要沉积晶种层和/或阻挡层。在其它实施例中,取代电化学镀操作的化学汽相沉积(CVD)被用于生长一维导电部件和二维导电部件。

[0021] 在本发明中描述的碳基互连结构及其制造方法还解决了碳基材料中由于一维和二维载流子传输机制而导致的EM问题。在本文描述的碳基互连结构中允许电流密度的上限值(例如,高于 $10^9\text{A}/\text{cm}^2$)更高。在一些实施例中,本文描述的一维和二维导电通路中更低的载流子散射取代了三维导电通路中严重的载流子散射问题,因此为载流子形成了更长的平均自由通路。通过缓解EM和载流子散射问题,能够抑制碳基互连结构的电阻率。

[0022] 此外,碳基互连结构提供了优于铜互连件不止一个数量级的热导率。例如,碳纳米管(CNT)或石墨片(GS)的热导率处于约 $3000\text{W}/(\text{mK})$ 至约 $5000\text{W}/(\text{mK})$ 的范围内,而铜的热导率为约 $400\text{W}/(\text{mK})$ 。

[0023] 如图1中所示,互连结构10包括衬底100、位于衬底100上方并由具有一维导电特性的材料组成的第一导电部件101。第二导电部件102位于第一导电部件101上方并由具有二维导电特性的材料组成。围绕第一导电部件101和第二导电部件102的介电层105设置在衬底100上方。在一些实施例中,互连结构10进一步包括第三导电部件103,第三导电部件103电连接至第一导电部件101并被介电层105围绕。互连结构10包括多层互连(MLI)结构及与MLI结构集成的层间介电层(ILD),从而提供了电气布线以将衬底100中的多个器件连接至输入/输出电源和信号。互连结构10包括多个金属线、接触件和金属通孔。金属线提供水平电气布线。接触件提供衬底100与金属线或通孔之间的垂直连接,而通孔提供不同金属层中的金属线之间的垂直连接或提供接触件与金属线之间的垂直连接。如图1中所示,在一些实施例中,第一导电部件101可以为通孔,第二导电部件102可以为金属线,且第三导电部件103可以为连接衬底100中的导电区域(未示出)和通孔的接触件或者为掩埋在介电层105的下部叠层中的金属线。

[0024] 在一些实施例中,互连结构10的衬底100包括硅衬底。可选地,衬底100可包括诸如锗的其它元素半导体。衬底100还可包括诸如碳化硅、砷化镓、砷化镓及磷化镓的化合物半导体。衬底100可包括诸如硅锗、碳化硅锗、磷化硅锗和磷化镓合金的合金半导体。在一个实施例中,衬底100包括外延层。例如,衬底可具有覆盖块状半导体的外延层。此外,衬底100可包括绝缘体上半导体(SOI)结构。例如,衬底可包括通过诸如注氧隔离(SIMOX)的工艺或诸如晶圆接合和研磨的其他合适技术而形成的埋氧(BOX)层。衬底100还包括通过诸如离子注入和/或扩散的工艺而形成的多种p型掺杂区域和/或n型掺杂区域。这些掺杂区域包括n阱、p阱、轻掺杂区域(LDD)、重掺杂源极和漏极(S/D)以及被配置成形成多种集成电路(IC)器件(诸如,互补金属氧化物半导体场效应晶体管(CMOSFET)、图像传感器和/或发光二极管(LED))的各种沟道掺杂分布。衬底100还可包括其它功能性部件,诸如,形成在衬底内和上面的电阻器或电容器。衬底100还包括用于将形成在衬底100中的各个器件间隔开的横向隔离部件。在一个实施例中,浅沟槽隔离(STI)部件用于横向隔离。各个器件还包括设置在S/D、栅极和其它器件部件上的硅化物,以用于各个器件在连接至输出和输入信号时降低接触电阻。

[0025] 参照图1,蚀刻停止层107设置在衬底100和围绕第一导电部件101的介电层105之间。在具有第三导电层103的一些实施例中,蚀刻停止层107可夹设在围绕第三导电部件103

的介电层105与围绕第一导电部件101的介电层105之间。在一些实施例中,第一导电部件101穿过蚀刻停止层107并电连接至位于蚀刻停止层107之下的导电区域。该蚀刻停止层107包括介电材料,在图案化介电材料层105的蚀刻工艺期间,该介电材料的抗蚀刻性明显高于介电材料层105的抗蚀刻性。在一个实例中,蚀刻停止层107包括氮化硅、碳化硅或其它合适的材料。

[0026] 第一导电部件101包括具有一维导电特性(feature)的材料。本文所提及的一维导电特性包括具有特定原子排列的材料,这种排列使得在其中移动的电子受到横向束缚并因此占据不同于在块状或三维材料中所呈现的传统连续能级或能带(continuum of energy levels or bands)的能级。例如,具有一维导电特性的材料包括但不限于纳米线、纳米胶囊和碳纳米管(CNT)。如图1中所示,在一些实施例中,CNT从第三导电部件103处开始生长并在围绕第一导电部件101的介电材料层105的顶面处结束。换言之,沿着Y方向形成CNT。在一个实例中,CNT任意形成在第三导电部件103上而未有催化层沉积在第三导电部件103上。因为在上述实例中,第三导电部件103可以为诸如铜的金属材料,所以第三导电部件103用作催化层而无需额外处理。在各种实例中,CNT包括单壁式CNT和/或多壁式CNT。在其它实例中,CNT可为半导体型CNT或金属型CNT。在一些实施例中,第一导电部件101的宽度W1介于约10nm至约50nm的范围内。

[0027] 第二导电部件102包括具有二维导电特性的材料。本文提及的二维导电部件包括具有特定原子排列的材料,该排列阻碍在原子中移动的电子沿着特定方向进行导电。该具有二维导电特性的材料包括但不限于石墨、氮化硼、二硫属化物、硅烯及共价有机或金属有机网状物(network)。例如,石墨由按照规则的 sp^2 键合原子级六边形的图案而密集堆积的碳原子组成,并且在石墨片(GS)的二维平面上呈现出二维各向同性的导电性。由于 π 电子的低密度,GS在垂直于GS的平面的方向上经受高电阻率,因此在垂直于GS的平面的所述方向上的电子导电性足够低,以致在一定程度上,术语“二维导电”能够用于准确地描述GS的导电行为。

[0028] 如图1中所示,在一些实施例中,GS从介电层105的侧壁处开始向第二导电部件102的中间部分处生长。换言之,二维GS形成在YZ平面上,且YZ平面上的GS将其前面前进到第二导电部件102的中间部分。在一些实施例中,催化层109处于第二导电部件102与介电层105之间的界面处。此外,催化层109的厚度介于约0.5nm至约2nm的范围中。催化层109被配置成催化生长GS的反应,并包括诸如过渡金属(例如,Co、Ni、Fe等)或导电金属(例如,Cu)的均匀材料层。在一些实施例中,催化层109包括掺杂在扩散阻挡层(在图1中未示出)中的过渡金属或导电金属。在如图1中所示的实施例中,催化层109仅形成在介电层105的侧壁处但未形成在与第二导电部件102接触的其他平面上。

[0029] 在一些实施例中,第二导电部件102的宽度W2在介于约10nm至约50nm的范围中。例如,宽度W2能够等于或大于宽度W1。

[0030] 参照图1,介电层105包括氧化硅、低介电常数(低k)材料、其它合适的介电材料或它们的组合。低k材料可包括氟化硅酸盐玻璃(FSG)、碳掺杂氧化硅、Black Diamond[®](加利福尼亚州圣克拉拉市的应用材料)、干凝胶、气凝胶、非晶氟化碳、聚对二甲苯,BCB(双苯并环丁烯)、SiLK(密歇根州米德兰的陶氏化学)、聚酰亚胺、多孔材料和/或其它将来开发的低k介电材料。在一些实施例中,围绕第一导电部件101、第二导电部件102和第三导电部件

103的介电层105分别由不同的低k材料制成。然而,在其它实施例中,围绕不同导电部件的介电层105能够由相同的低k材料制成。

[0031] 参照图1,第三导电部件103还可为图2中所示的源极、漏极或栅电极。可选地,第三导电部件103为设置在图3中所示的源极、漏极或栅电极上的硅化物部件。可通过自对准硅化物(自对准多晶硅化物)技术来形成硅化物部件。在另一实施例中,第三导电部件103包括电容器的一电极或电阻器的一端。在衬底100为互连结构的一部分的又一实施例中,第三导电部件103包括图4中所示的接触件、通孔或金属线。

[0032] 在图2中,第三导电部件103为MOSFET结构的源极或漏极。互连结构20的第一导电部件101直接形成在MOSFET结构的源极或漏极上。在一些实施例中,在第三导电部件103的顶部上未形成硅化物层。在其它实施例中,如图2所示,在形成第一导电部件101之前,执行硅化工艺并在源极或漏极的顶部上形成硅化物层109'。除了在介电层105的侧壁处的催化层109之外,硅化操作中所使用的过渡金属用作第一导电部件101的另一催化剂层。

[0033] 在图3中,第三导电部件103为MOSFET结构的栅极。互连结构30的第一导电部件101形成在MOSFET结构的栅极上。在一些实施例中,硅化物层形成在图3所示的第三导电部件103的顶部上。用于硅化操作的材料与MOSFET制造中的材料兼容因此为了简化,不在此列举。互连结构30包括位于围绕第二导电部件102的介电层的侧壁处的第一催化层109。相较于互连结构20,互连结构30还包括介于第三导电部件103与第一导电部件101之间的第二催化层109'。第一催化层的厚度T1可介于约0.5nm至约2nm的范围中,而第二催化层的厚度T2可介于约几纳米至约数十纳米的范围中。

[0034] 如图3中所示,阻挡层110形成在第一导电部件101与介电层105之间。阻挡层110有效地防止碳扩散到介电层105内。在一个实例中,阻挡层110包括氮化钽(TaN)或钽(Ta)。在其它实例中,阻挡层110可包括诸如氮化钛(TiN)的其它合适的材料。可通过物理汽相沉积(PVD)或其它合适的技术形成阻挡层110。

[0035] 在图4中,第三导电部件103为被配置成横向连接互连结构40的下层中的两个通孔101'的金属线。在一些实施例中,下层中的两个通孔101'包括诸如CNT的一维导电部件,而第三导电部件103包括诸如GS的二维导电部件。如本发明之前所述,一维导电部件沿Y方向传导电子,而二维导电部件在其法线方向垂直于Y方向的各个平面中自由地传导电子。根据催化层所沉积的表面,所述平面包括YZ平面或XY平面。例如,第二导电部件102的GS形成在YZ平面上,因为催化层109沉积在第二介电层105B的侧壁上,即,沉积在YZ平面上。在这种情况下,当电荷载流子沿Z方向有效低移动时(即,电子可在YZ平面上自由地移动),能够实现低电阻。然而,因为第三导电部件103为沿着X方向延伸的金属线,如果催化层(在图4中未示出)沉积在XY平面上,则第三导电部件103的GS形成在XY平面上。因此,GS的定向可根据催化剂所沉积的平面而以自选择的方式确定。

[0036] 在图4中,围绕第一导电部件101的介电层为第一介电层105A,围绕第二导电部件102的介电层为第二介电层105B,围绕第三导电部件103的介电层为第三介电层105C。

[0037] 图4中示出的与图1至图3中的数字标示相同的数字标示指代相同的结构或它们的等同物,因此出于简化而不在此重复。在一些实施例中,阻挡层110''处于第三导电部件103与第三介电层105C之间,而阻挡层110处于第一导电部件101与第一介电层105A之间。第一催化层109形成在第二导电部件102与第二介电层105B之间,特别地,当阻挡层110'存在于

互连结构40中时,第一催化层109处于第二导电部件102与阻挡层110'之间。在一些实施例中,界面材料层(未示出)设置在第二导电部件102与阻挡层110'之间以实现更好的材料整合。在一个实例中,界面材料层包括钌(Ru)。

[0038] 图5为由图4中的互连结构40中所示的虚线所围绕的放大部分的立体图。虚线包围第一导电部件101和第二导电部件102。在图5中,在第二导电部件102的区域中示出了GS的二维原子排列的图示,而在第一导电部件101的区域中示出CNT的原子排列。如图5中所示,电子在GS的平面上自由传导,或在与第二导电部件102和第二介电层105B之间的界面120平行的表面上自由传导。在一些实施例中,催化层109仅处于第二介电层105B的侧壁上但并不位于第一介电层105A的顶面或第一导电部件101的顶面处。因此,在设置有催化层109的平面上自选择地生长GS。

[0039] 参照图5,第一导电部件101的纵宽比($H1/W1$)介于约4至约10的范围中。第二导电部件102的纵宽比($H2/W2$)介于约4至约10的范围中。在一些实施例中,纵宽比($H1/W1$)等于或大于纵宽比($H2/W2$)。

[0040] 图6至图12为制造本发明的图1和图2中所示的互连结构10和20的若干操作中的局部视图。图6至图12中所示的与图1至图5中数字标示相同的数字标示指代相同的结构或它们的等同物,并且出于简化而不在此重复。在图6中,低k介电叠件包括衬底100、第一介电层105A、第二介电层105B和围绕第三导电部件103的第三介电层105C。在一些实施例中,蚀刻停止层107形成在不同介电层之间。在其它实施例中,仅在第三介电层105C与第一介电层105A之间形成蚀刻停止层107。

[0041] 如图6中所示,保护层108形成在第二介电层105B的顶部上。保护层108不含氮,且包括诸如碳和氧的材料。保护层108还被用作底部抗反射涂层(BARC),该涂层用于图案化随后形成的金属硬掩模。因此,保护层108可选地被称作无氮抗反射涂层(NFARC)。在一些实施例中,硬掩模层(未示出)可形成在保护层108的顶部上。硬掩模可由诸如Ti、TiN、Ta、TaN、Al等的金属材料制成,但是在非金属硬掩模方案中,可使用诸如SiO₂、SiC、SiN和SiON的非金属材料。保护层108的形成方法包括化学汽相沉积(CVD)和物理汽相沉积(PVD)。然而,还可使用诸如原子层沉积(ALD)的其它方法。

[0042] 图7A和图7B各自示出了分别在图1和图2中示出的互连结构的局部截面图。在图7A中,第三导电部件103为由第三介电层105C围绕的金属线,而在图7B中,第三导电部件103为MOSFET的源极或漏极。在图7A和图7B中执行对介电质的图案化操作以在包括105A和105B的低k介电叠件中形成通孔开口101'和线性沟槽102'。通过图案化第一介电材料层105A形成通孔开口101'。在一些实施例中,图案化操作包括光刻工艺和蚀刻工艺。光刻工艺形成图案化的光刻胶层,该光刻胶层具有限定通孔开口101'所在区域的开口。

[0043] 在图7A和图7B中执行的蚀刻工艺可包括分别去除位于图案化的光刻胶层的开口内的第一介电材料层105A和蚀刻停止层107的两次蚀刻步骤。蚀刻之后通过湿剥离或等离子体灰化去除图案化光刻胶层。在一些实施例中,相同的操作适用于线性沟槽102'的形成。然而,在图7B中,通孔开口101'不仅穿透第一介电层105A、蚀刻停止层107,而且还穿透第三介电层105C,以便暴露出衬底100中的MOSFET的源极或漏极区域。要注意的是,通孔开口101'具有等于或小于线性沟槽102'的宽度W2'的宽度W1'。宽度W1'和宽度W2'形成为具有介于约10nm至约50nm范围内的尺寸。

[0044] 图8A和图8B各自示出了分别在图1和图2中示出的互连结构的局部截面图。一维导电部件101形成在如先前在图7A和图7B中所示的通孔开口101'中。在一些实施例中,一维导电部件101包括CNT。可通过化学汽相沉积(CVD)操作或等离子体强化CVD(PE-CVD)操作形成CNT。在一个实例中,前体包括诸如甲烷(CH₄)和氢气(H₂)的碳氢化物(C_xH_y)。如图8A中所示,在CVD工艺期间,设计气体流速和衬底温度以使CNT能够有效地在诸如铜导线的第三导电部件103上生长,同时具有更好的材料集成性。如图8B中所示,在开始生长CNT之前,在第三导电部件103的顶部上形成硅化物层109'。在一些实施例中,可通过自对准硅化物(自对准多晶硅化物)技术形成硅化物层109'。

[0045] 参照如先前在图8A和图8B中描述的CNT生长,CVD工艺可包括多个步骤:(1)应用H₂气体并将衬底加热至介于约25摄氏度至约1000摄氏度范围内的目标沉积温度;(2)在目标沉积温度下应用H₂和CH₄以实现CNT生长,以大于1的气体流率CH₄/H₂维持气体CH₄和H₂; (3)冷却衬底。在维持衬底100处于目标沉积温度和CNT生长的同时,CVD沉积室的压力维持在介于约0.1Torr和约760Torr之间。CVD沉积室中的气体流速维持在介于约100SCCM至约10000SCCM的范围内。在应用前体气体和反应物期间,从始至终始终存在吹净气体。在一些实施例中,在关闭前体气体和反应物后,吹净气体延长了预定的时间。

[0046] 参照前述的CNT生长,在一些实施例中,诸如PE-CVD操作的沉积温度、前体和反应物、室压、气体流速的生长参数类似于CVD操作中所使用的参数。在一些实施例中,用于CNT生长的PE-CVD操作的等离子体功率介于约50W至约1000W的范围中。在一些实施例中,在第一导电部件101中的CNT生长展示出了底部生长机制,在该机制中,催化剂材料(例如,图8A中的铜和图8B中的过渡金属硅化物)被保持在CNT的底部。通过调整CVD或PE-CVD生长期可控制CNT的高度。在一些实施例中,CNT的顶面101A基本与如图8A和图8B中所示的线性沟槽的底面102B共面。

[0047] 参照图9,催化层109形成在线性沟槽102'上方。在一些实施例中,物理汽相沉积(PVD)操作或CVD操作可用于形成共形催化层109,该共形催化层109描述了一维导电部件101的顶面101A、线性沟槽102'的底面102B及线性沟槽102'的侧壁102。如图9所示,在一些实施例中,可以使用PVD操作,诸如,先进行真空蒸发再进行冷凝。在其它实施例中,可使用具有介于约1000kW至约50000kW范围内的DC功率的等离子体溅射操作。溅射腔室中的压力保持在介于约0.1mTorr至约200mTorr的范围中,且衬底的温度能够被控制在介于约50摄氏度至约200摄氏度的范围中。在图9中,溅射靶130放置在具有磁场(在图9中未示出)的溅射室的顶部,从而增强氩原子向靶130撞击。在溅射靶130附近产生等离子体131。在一些实施例中,溅射靶包括但不限于Fe、Co、Ni、Cu及它们的合金。从靶130溅射出的催化原子133沿着视线方向行进并沉积在线性沟槽102'上方。在一些实施例中,通过PVD操作形成的催化层109的均匀厚度T1可介于约0.5nm至约2nm的范围中。

[0048] 正如前面在图9中的讨论,CVD操作可用于沉积催化层109。在一些实施例中,CVD沉积室的压力保持在介于约0.1Torr至约760Torr的范围内。CVD沉积室中的气体流速保持在介于约100SCCM至约5000SCCM的范围内。根据所使用的前体或反应物的反应特性,衬底温度能够控制在介于约25摄氏度至约500摄氏度的范围内。在应用前体气体与反应物期间,从始至终始终存在吹净气体。在一些实施例中,在关闭前体气体和反应物后,将吹净气体延长预定时间。在一些实施例中,通过CVD操作形成的催化层109的均匀厚度T2能够介于约0.5nm至约

2nm的范围内。

[0049] 参照图10,去除图9中所示的催化层109的选择的部分。诸如等离子体干蚀刻的各向异性蚀刻可用于去除催化层109中位于保护层108的顶部、位于线性沟槽102'的底面102B以及一维导电部件101的顶面101A上的部分。换句话说,在本操作中,去除最初沉积在互连结构的水平部分上的催化层109。如图10中所示,在一些实施例中,线性沟槽102'的底面102B不具有催化层109,因此随后形成的如图1至图5所示的第二半导体部件102不会首选从所述底面102B开始。

[0050] 参照图11,二维半导体部件102形成在图7A至图10所示的线性沟槽102'中。在一些实施例中,二维半导体部件102包括石墨片(GS)。可通过化学汽相沉积(CVD)操作或等离子体增强CVD(PE-CVD)操作形成GS。在一个实例中,前体包括诸如甲烷(CH₄)和氢气(H₂)的碳氢化合物C_xH_y。如图11中所示,在CVD工艺期间,设计气体流速和衬底温度以使GS能够有效地从侧壁102A处的催化层109向二维导电部件102的中间部分生长。

[0051] 参照先前在图11中所述的GS生长,CVD工艺可包括多个步骤:(1)应用H₂气体并将衬底加热至在介于约25摄氏度至约1000摄氏度的范围中的目标沉积温度;(2)在目标沉积温度下应用H₂和CH₄以实现GS生长,以大于1的气体流率CH₄/H₂保持气体CH₄和H₂; (3)冷却衬底。在保持衬底100处于目标沉积温度和GS生长的同时,CVD沉积室的压力保持在介于约0.1Torr至约760Torr的范围中。CVD沉积室中的气体流速保持在从约100SCCM至约10000SCCM的范围内。在应用前体气体和反应物期间,从始至终始终存在吹净气体。在一些实施例中,在关闭前体气体和反应物后,将吹净气体延长预定的时间。

[0052] 参照前述GS生长,在一些实施例中,诸如PE-CVD操作的沉积温度、前体和反应物、腔室压力、气体流速的生长参数类似于CVD操作中所使用的参数。在一些实施例中,用于GS生长的PE-CVD操作的等离子体功率介于约50W至约1000W的范围中。在一些实施例中,二维导电部件102中的GS生长展示了从催化剂表面开始的从下至上逐层的生长。

[0053] 参照图12,通过执行平坦化操作来将图11中所示的互连结构的顶部选择性地去除。在一些实施例中,通过化学机械抛光操作去除了保护层108、二维导电部件102的一部分及催化层109的位于保护层108的侧壁上的一部分。

[0054] 本发明的一些实施例提供了一种互连结构。该互连结构包括衬底、位于衬底上方并具有一维导电特性的材料的第一导电部件、位于第一导电部件上方并具有二维导电特性的材料的第二导电部件以及围绕第一导电部件和第二导电部件的介电层。第一导电部件的宽度和第二导电部件的宽度介于约10nm至约50m的范围中。

[0055] 在本发明的一些实施例中,互连结构还包括:位于第一导电部件下方并与第一导电部件电连接的第三导电部件。

[0056] 在本发明的一些实施例中,互连结构的第三导电部件包括源极区域、漏极区域、栅极区域、导电通孔、导线或接触区域。

[0057] 在本发明的一些实施例中,互连结构的第一导电部件包括碳纳米管(CNT)。

[0058] 在本发明的一些实施例中,互连结构的第二导电部件包括石墨片(GS)。

[0059] 在本发明的一些实施例中,互连结构还包括位于第二导电部件和介电层之间的界面处的第一催化层。

[0060] 在本发明的一些实施例中,互连结构的催化层的厚度介于约0.5nm至约2nm的范围

中。

[0061] 在本发明的一些实施例中,互连结构还包括位于第一导电部件和第三导电部件的界面处的第二催化层。

[0062] 在本发明的一些实施例中,第二导电部件的二维导电特性包括在与第二导电部件和介电层之间的界面平行的表面上将电子传导的结构。

[0063] 在本发明的一些实施例中,互连结构还包括位于第一催化层和介电层之间的阻挡层。

[0064] 本发明的一些实施例提供了一种集成电路(IC)结构。该IC结构包括衬底、位于衬底上方的包括碳纳米管的一维导电部件、围绕一维导电部件的第一介电层、位于衬底上方的包括石墨片的二维导电部件以及围绕二维导电部件的第二介电层。一维导电部件的纵宽比和二维导电部件的纵宽比介于约4至约10的范围中。

[0065] 在本发明的一些实施例中,IC结构还包括介于衬底和第一介电层之间的蚀刻停止层。

[0066] 在本发明的一些实施例中,IC结构还包括位于二维导电部件和第二介电层之间的石墨片的催化层。

[0067] 在本发明的一些实施例中,IC结构还包括介于一维导电部件和第一介电层之间的阻挡层。

[0068] 本发明的一些实施例提供了一种用于制造互连结构的方法。该方法包括:(1)在介电层中形成通孔开口和线性沟槽;(2)在通孔开口中形成一维导电部件;(3)在线性沟槽的侧壁的上方、线性沟槽的底部的上方以及一维导电部件的顶部上方形成共形催化层;(4)从线性沟槽的底部和一维导电部件的顶部处去除共形催化层;以及(5)在线性沟槽中形成二维导电部件。然而在操作(1)中,形成的线性沟槽的宽度介于约10nm至约50nm的范围中。

[0069] 在本发明的一些实施例中,在通孔开口中形成一维导电部件的方法包括执行化学汽相沉积(CVD),且在线性沟槽中形成二维导电部件的方法包括执行CVD。

[0070] 在本发明的一些实施例中,形成共形催化层的方法包括通过执行物理汽相沉积、化学汽相沉积或它们的组合来形成厚度介于约0.5nm至约2nm范围内的金属层。

[0071] 在本发明的一些实施例中,可通过执行物理或化学蚀刻以去除线性沟槽底部的催化层,然后可在线性沟槽中具有催化层的区域执行选择性化学汽相沉积以形成二维导电部件。在本发明的一些实施例中,该方法还包括执行化学机械抛光来去除二维导电部件的一部分和共形催化层的一部分。

[0072] 在本发明的一些实施例中,该方法还包括在形成一维导电部件之前在通孔开口的底部形成催化层。

[0073] 在本发明的一些实施例中,从线性沟槽的底部和一维导电部件的顶部去除共形催化层的方法包括执行干蚀刻。

[0074] 上面论述了若干实施例的特征,使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解,可以很容易地使用本发明作为基础来设计或更改其他用于达到与这里所介绍实施例相同的和/或实现相同优点的处理和结构。本领域普通技术人员也应该意识到,这种等效构造并不背离本发明的精神和范围,并且在背离本发明的精神和范围的情况下,可以进行多种变化、替换以及改变。

10

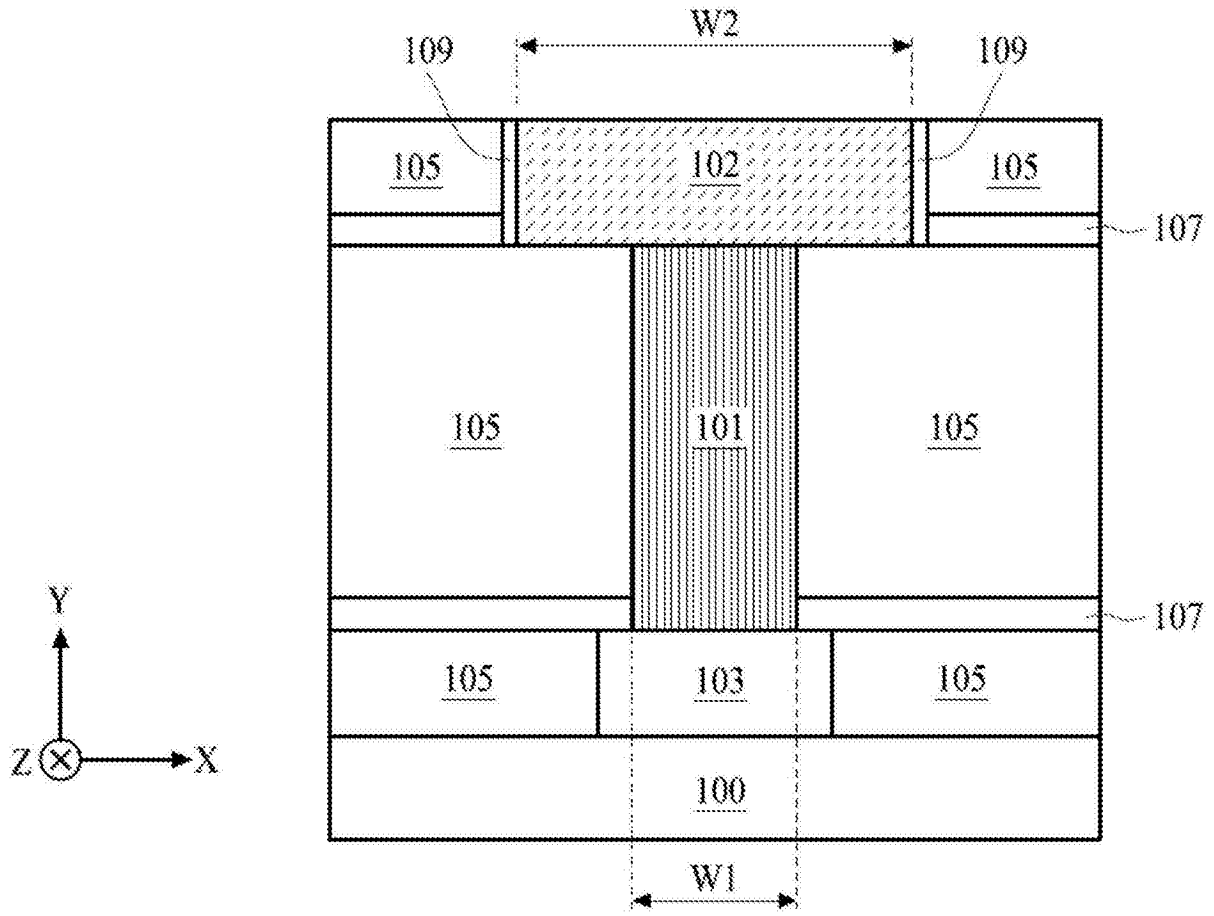


图1

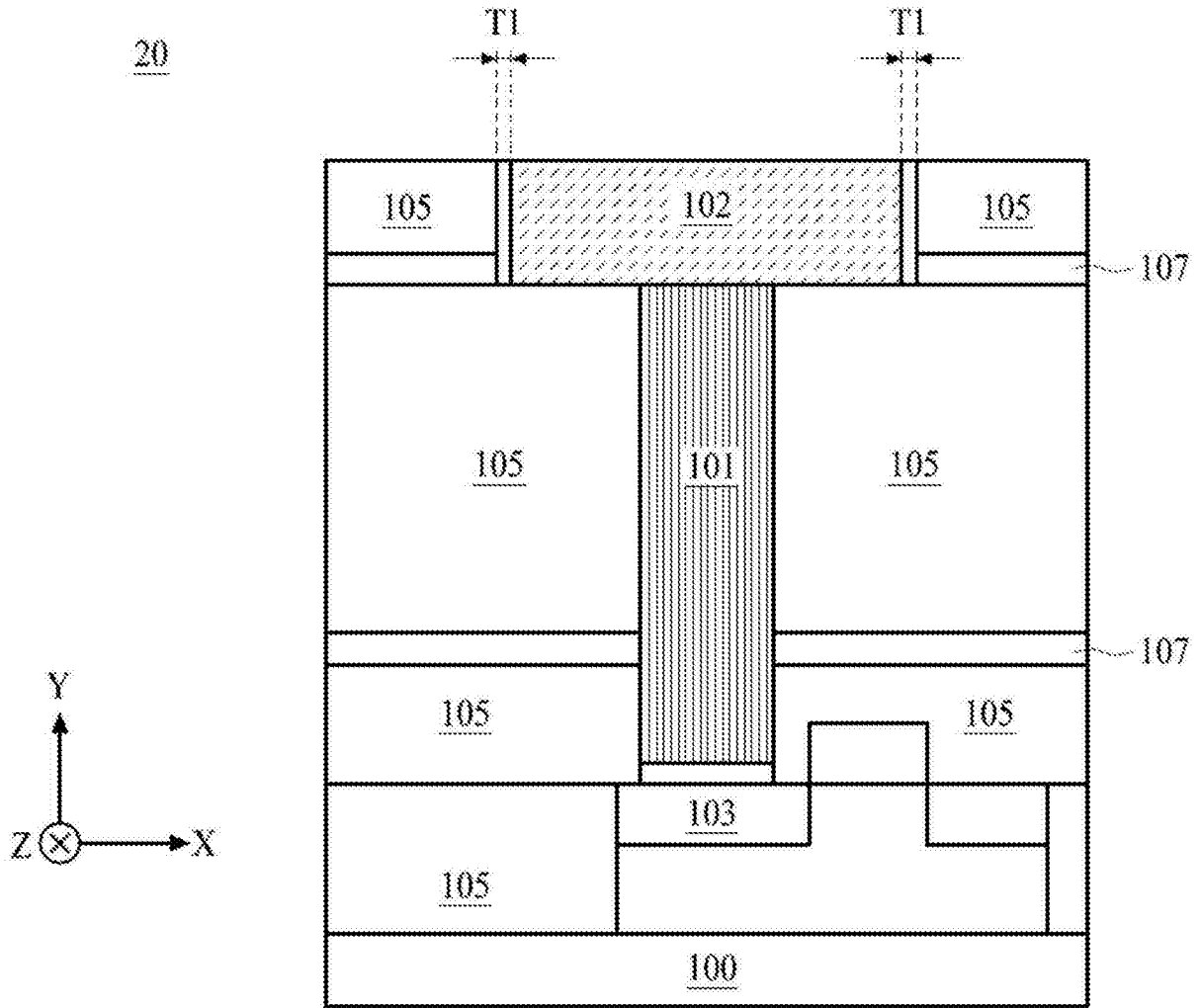


图2

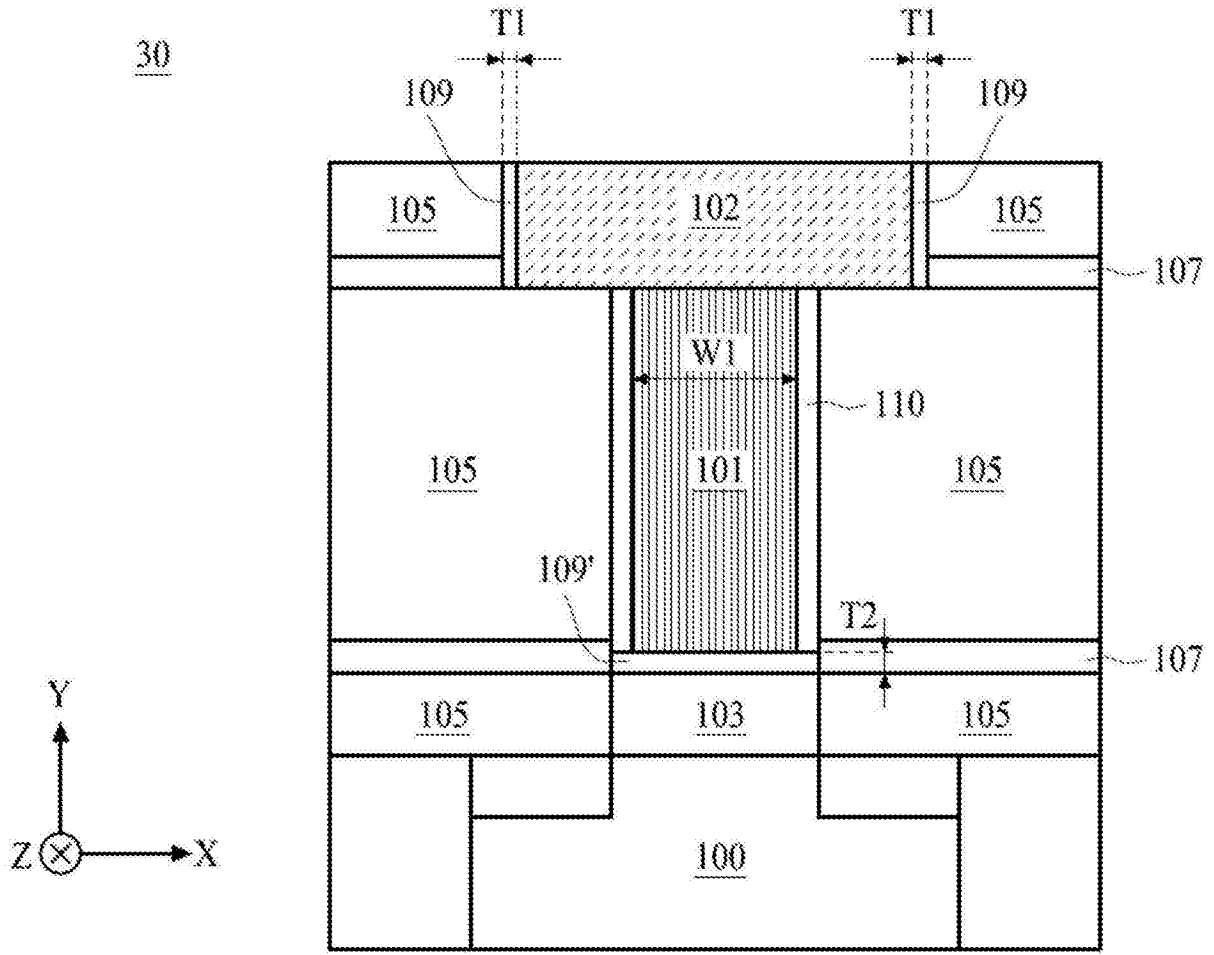


图3

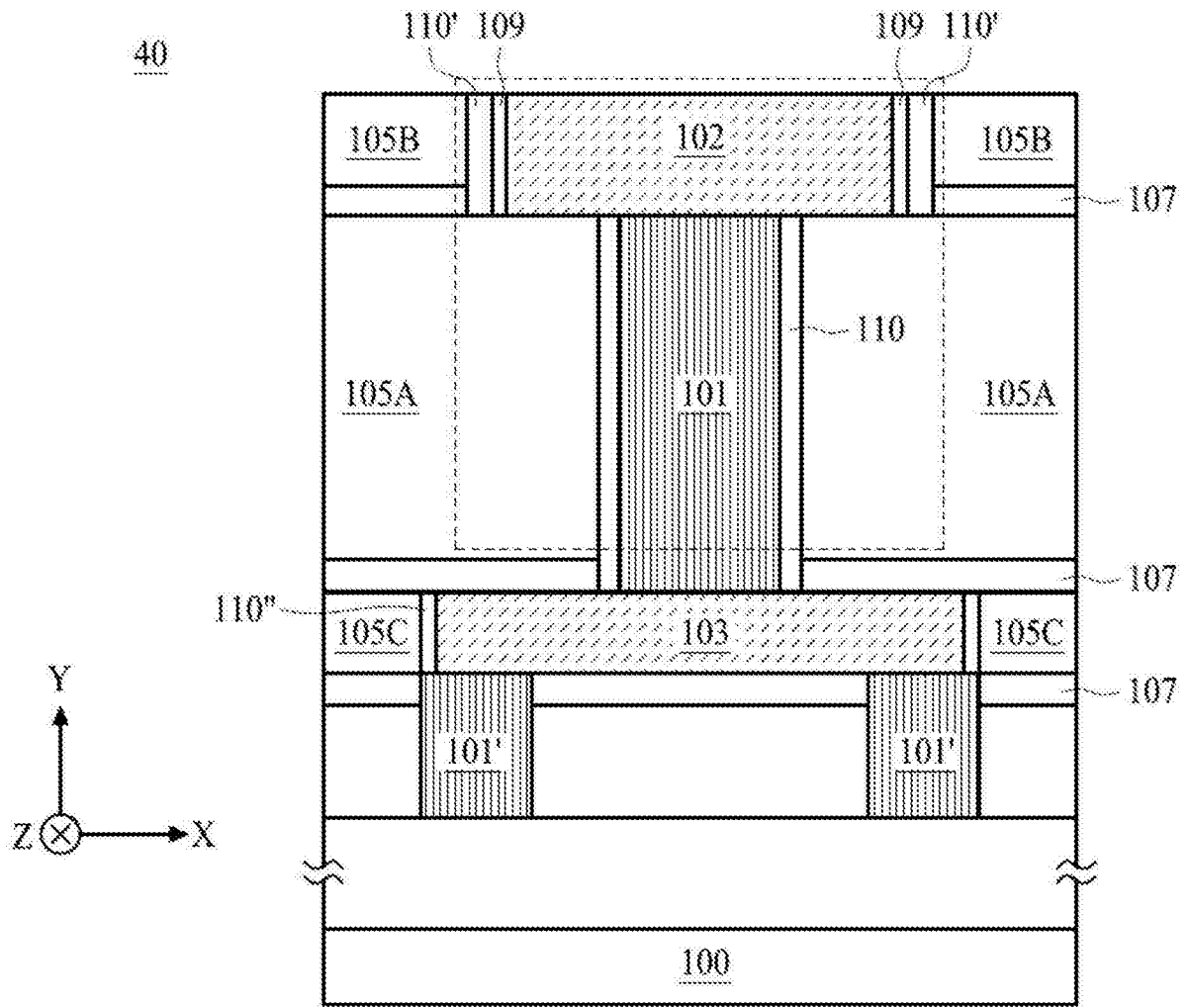


图4

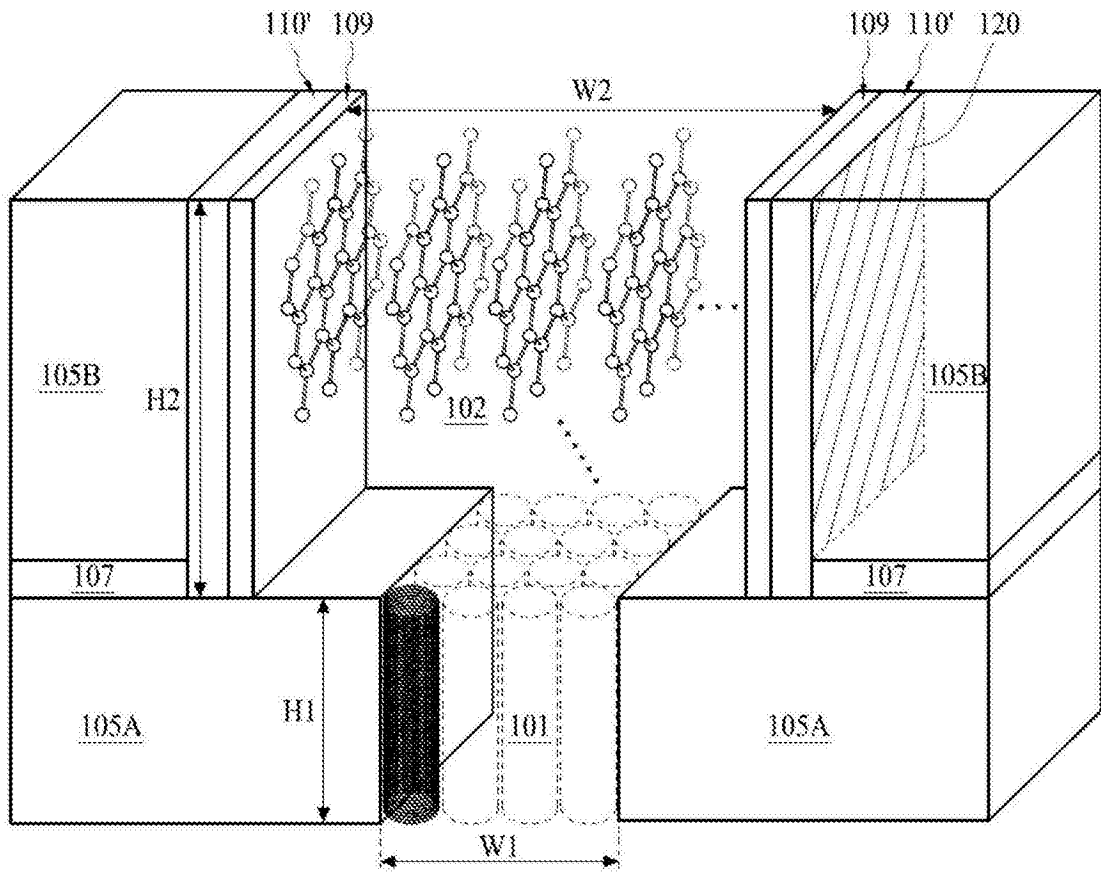


图5

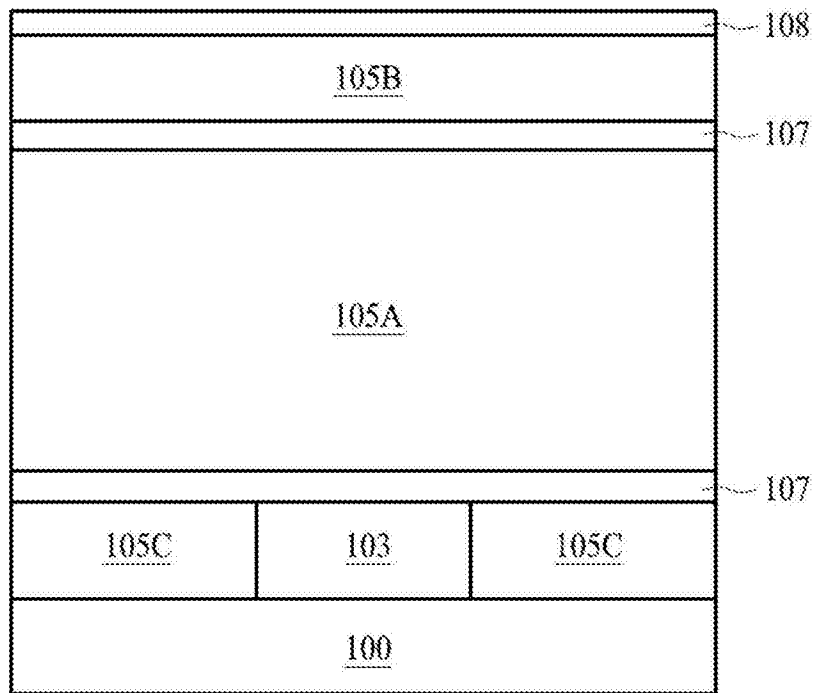


图6

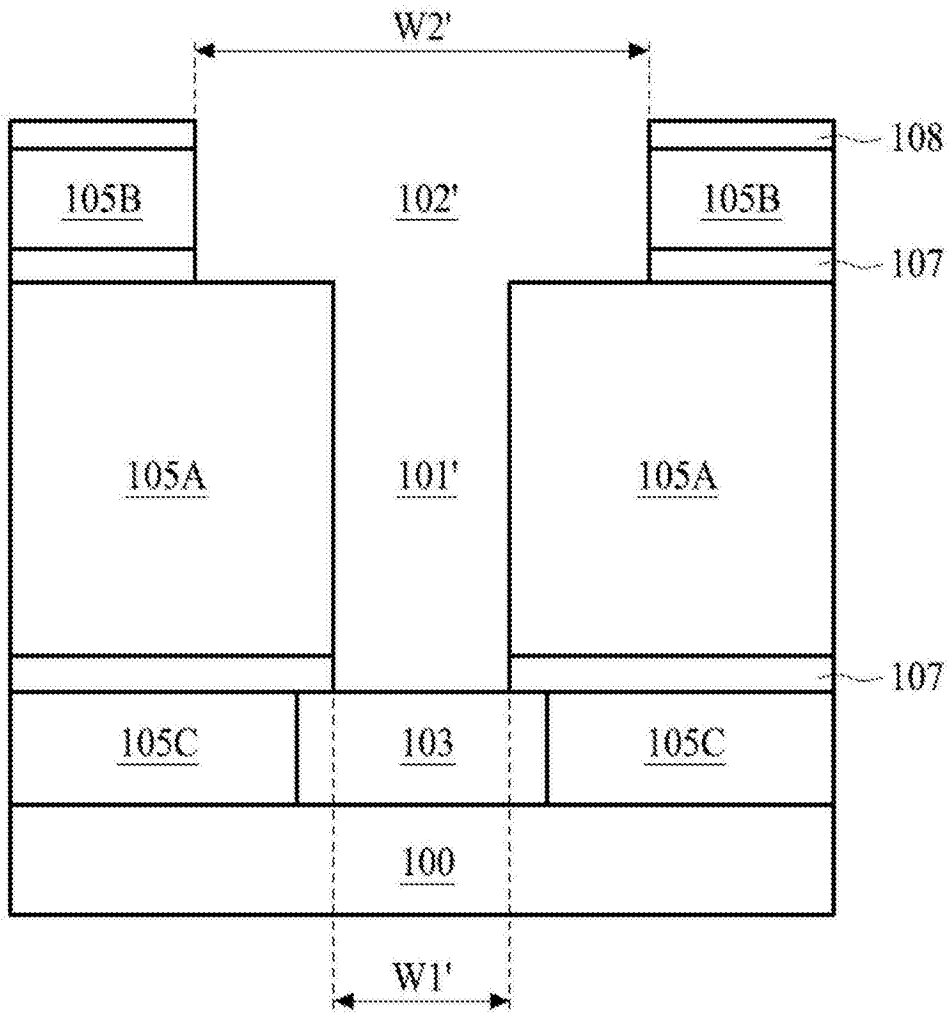


图7A

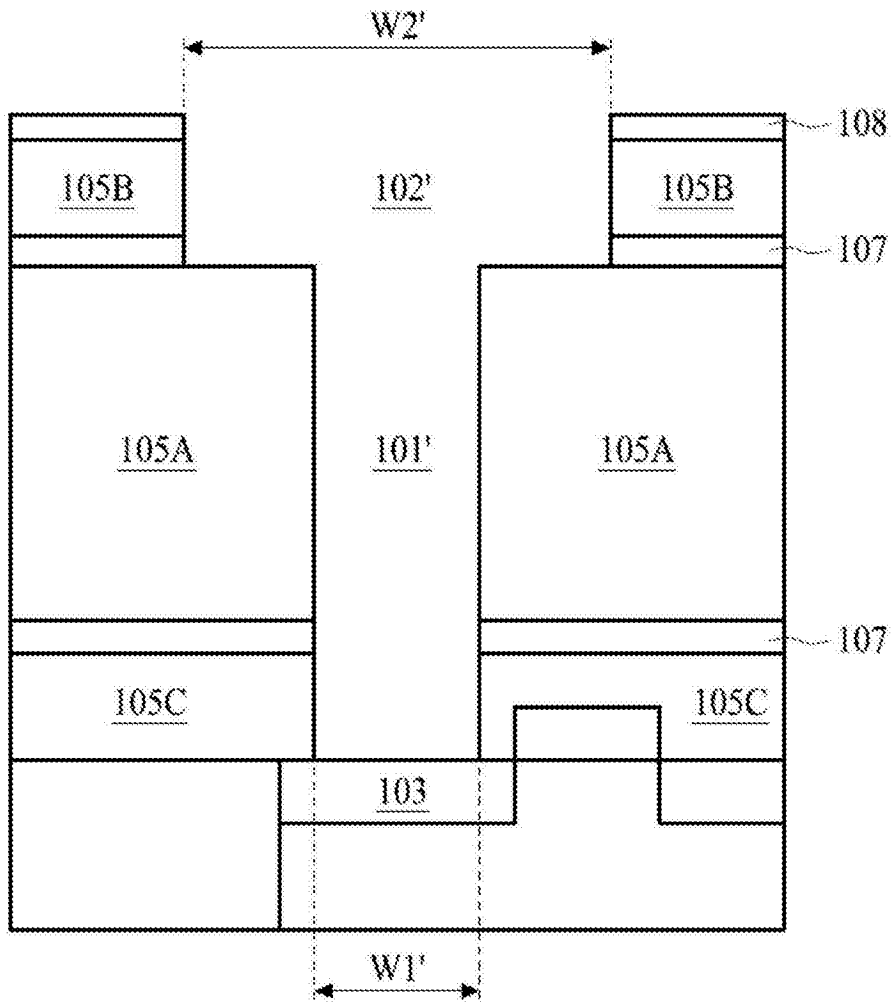


图7B

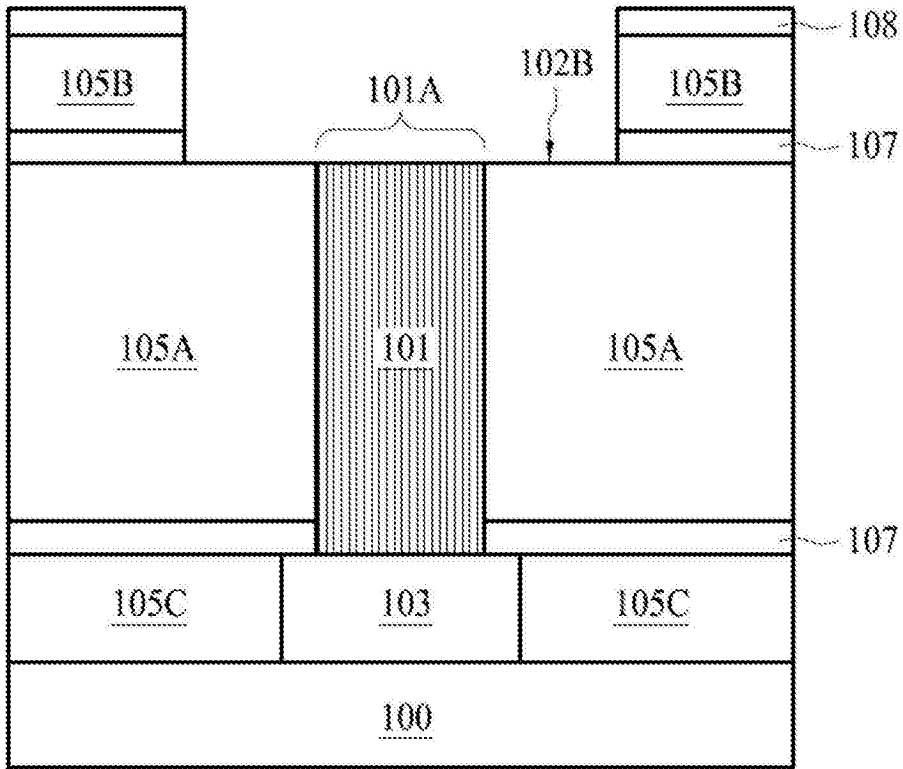


图8A

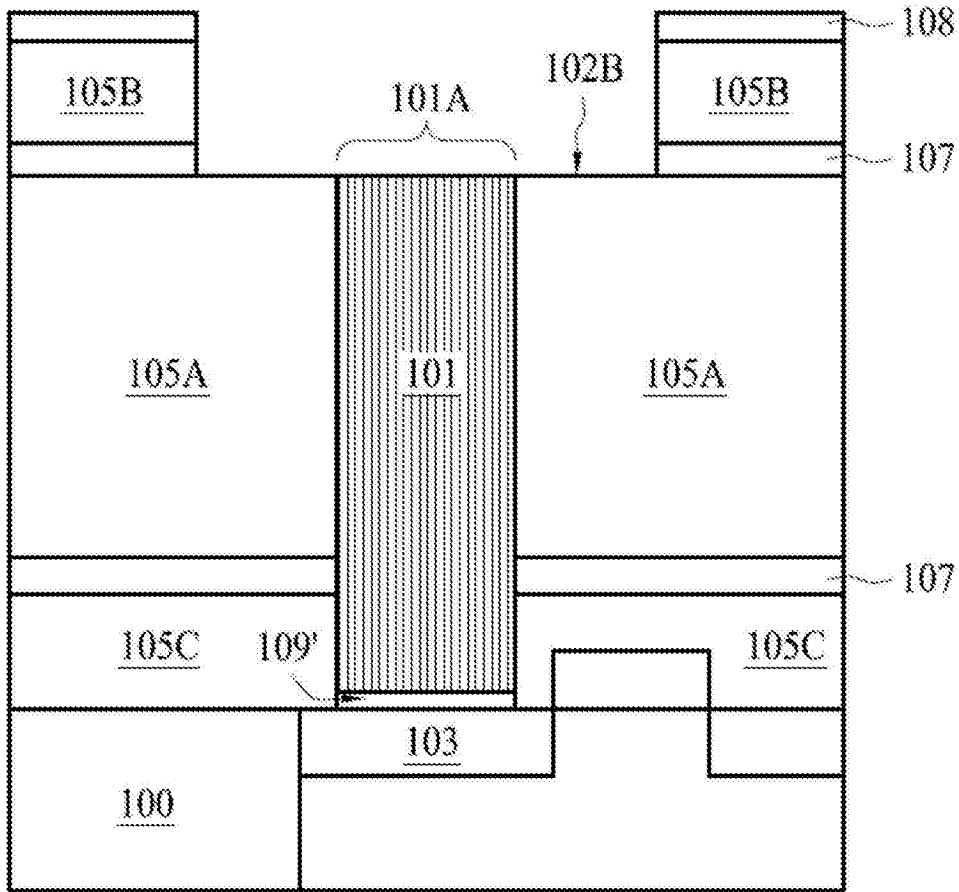


图8B

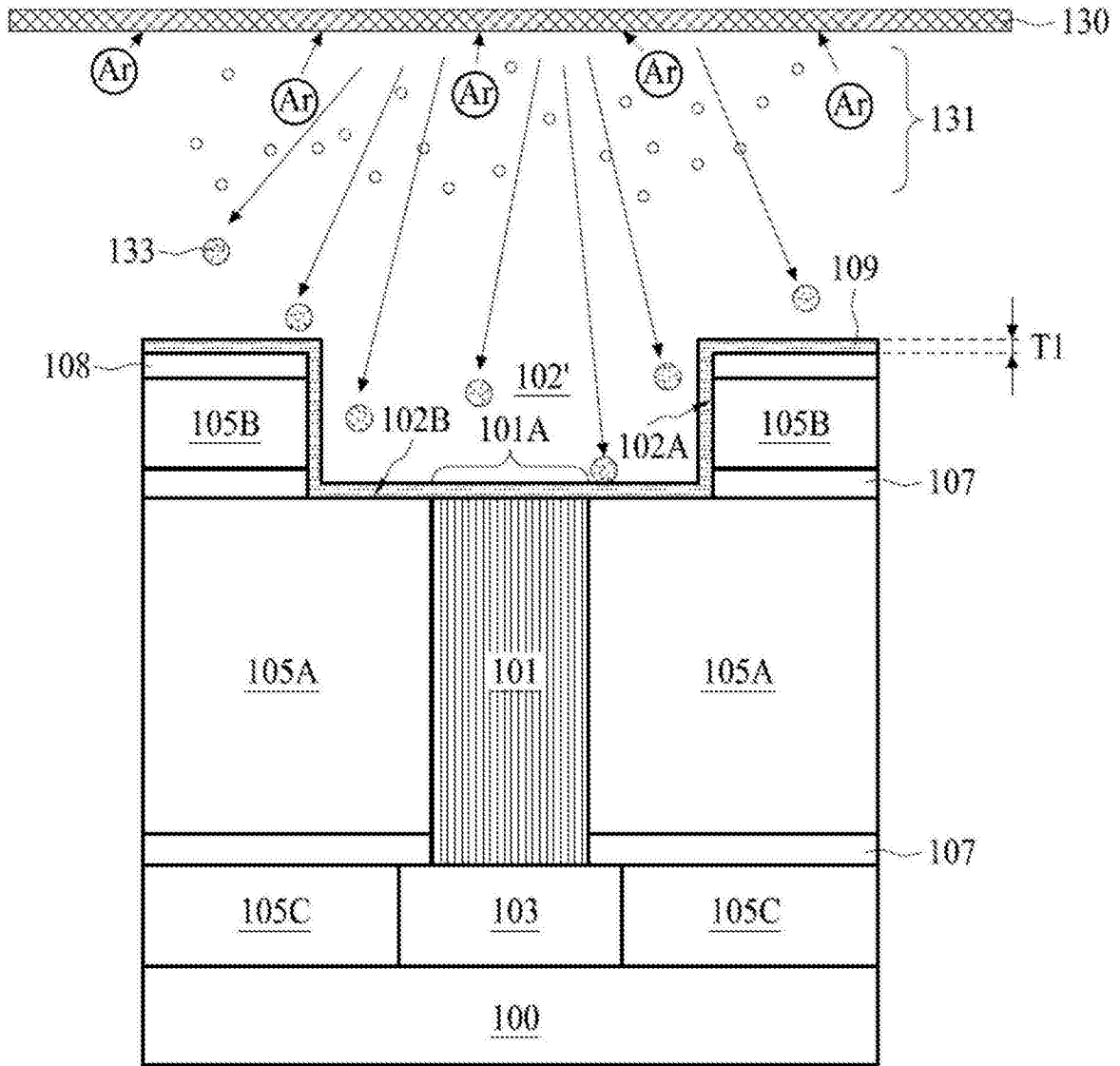


图9

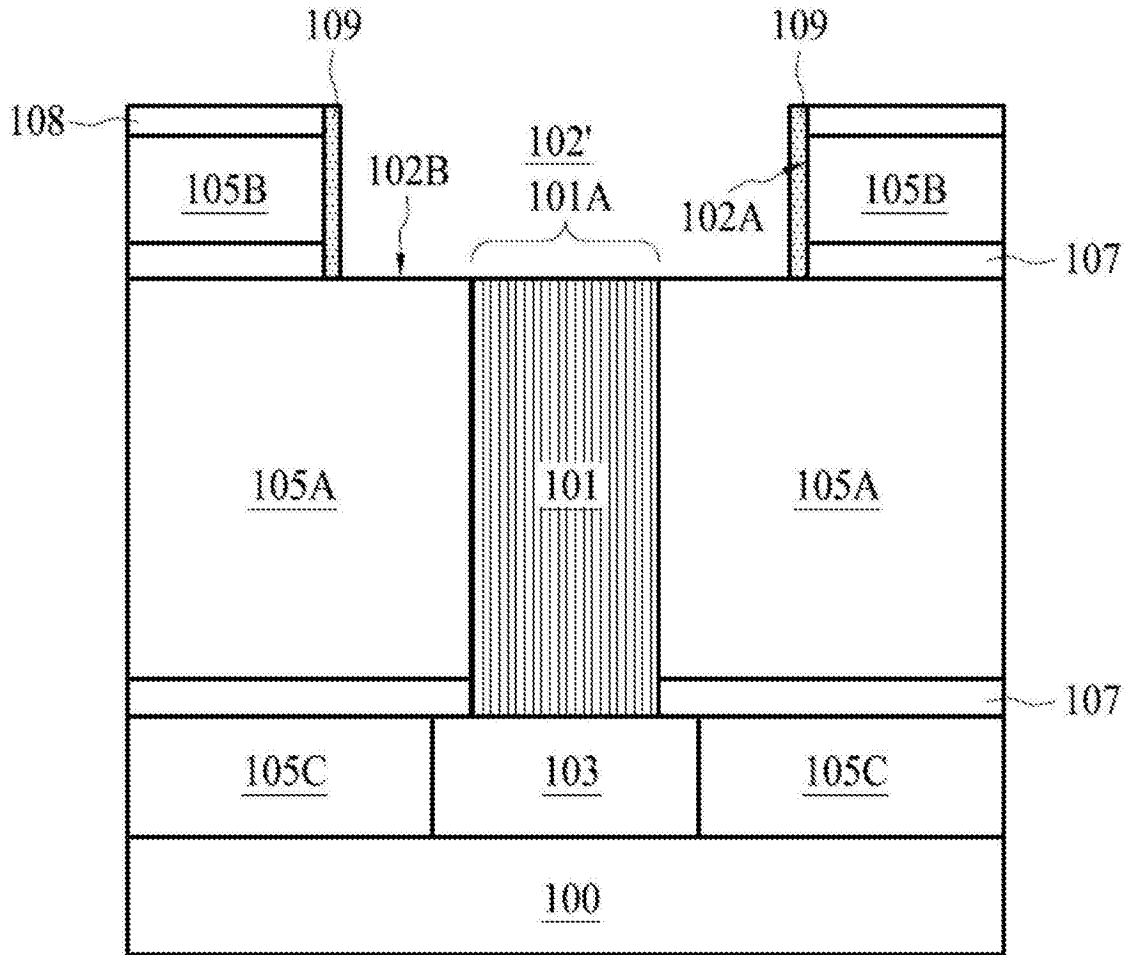


图10

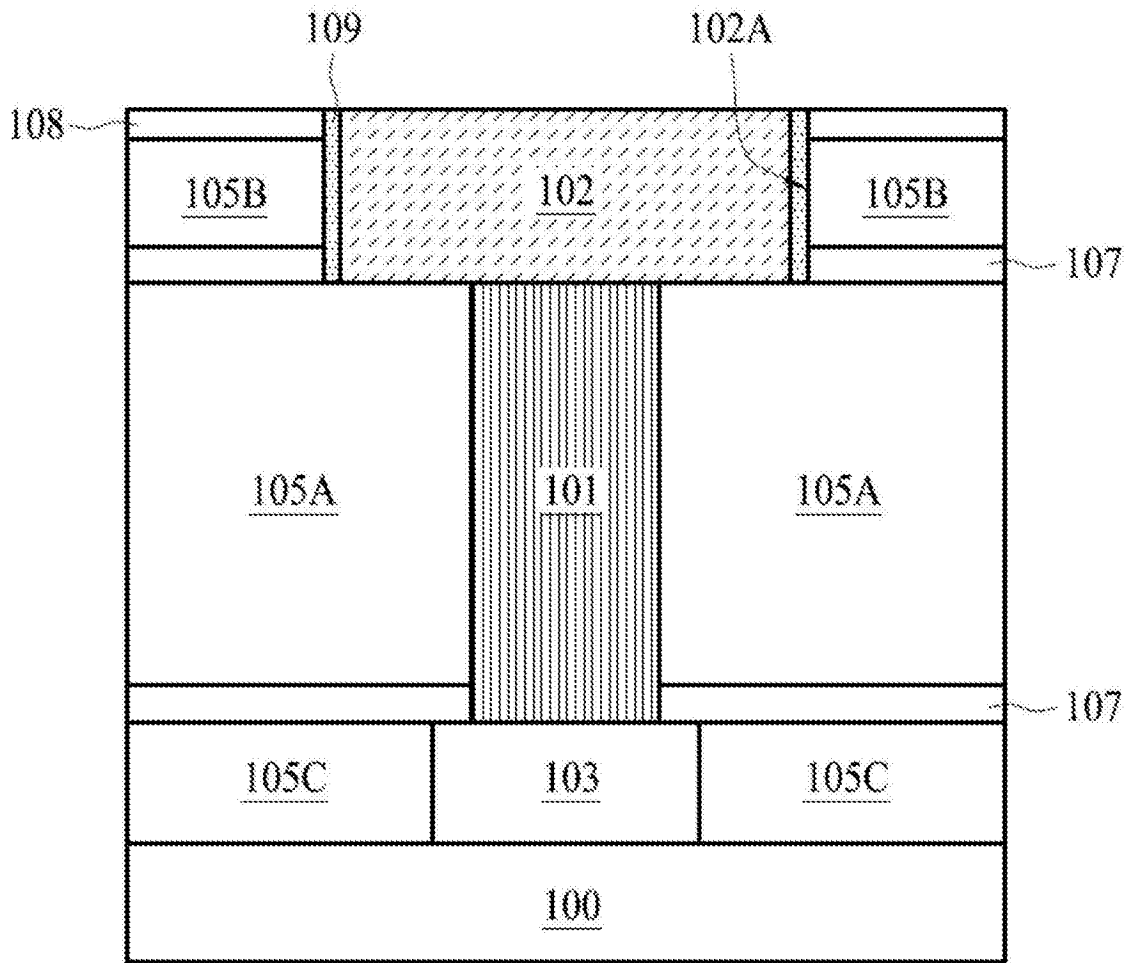


图11

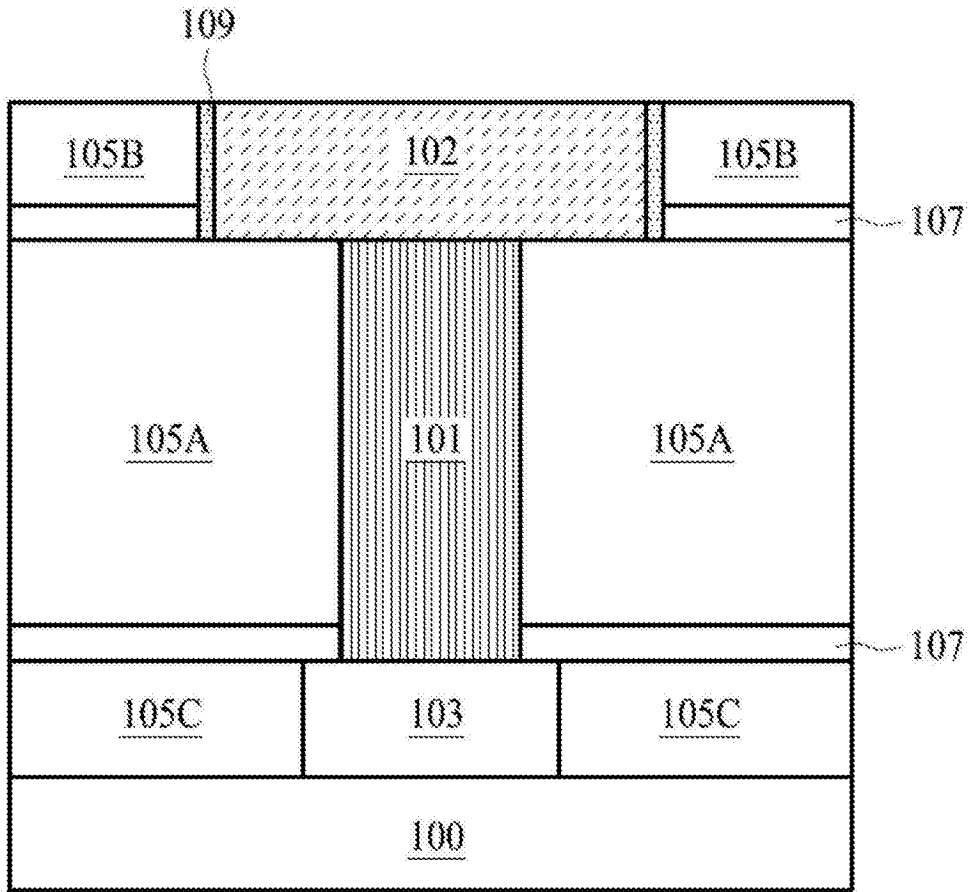


图12