

(21)申請案號：100123188

(22)申請日：中華民國 100 (2011) 年 06 月 30 日

(51)Int. Cl. : **G11C13/00 (2006.01)**

G11C11/56 (2006.01)

(30)優先權：2010/07/21 日本

2010-164380

(71)申請人：新力股份有限公司(日本) SONY CORPORATION (JP)

日本

(72)發明人：北川 真 KITAGAWA, MAKOTO (JP) ； 小方 憲太郎 OGATA, KENTARO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：19 項 圖式數：24 共 104 頁

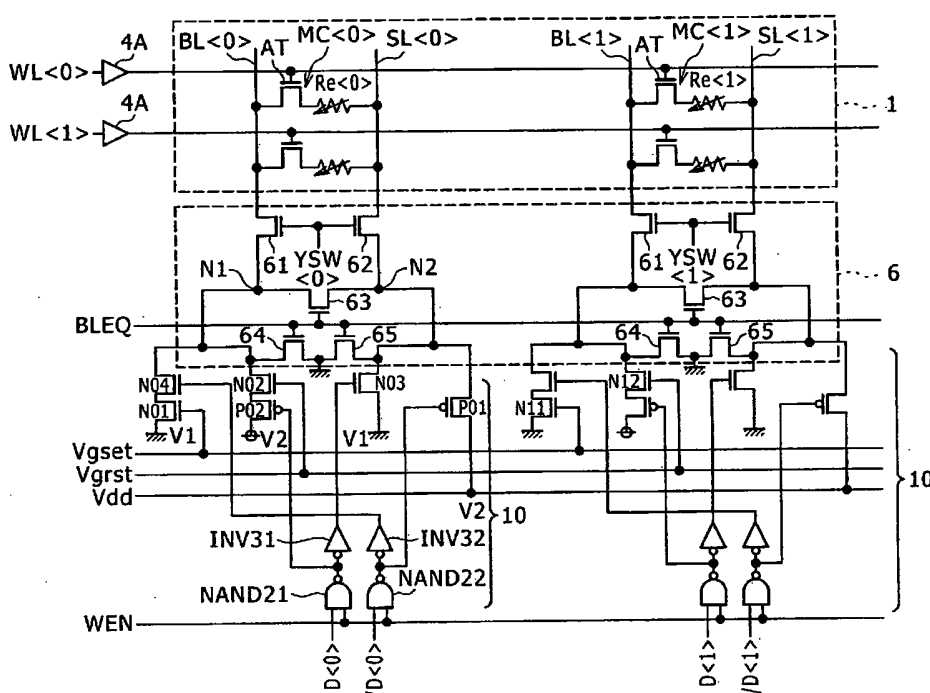
(54)名稱

可變電阻記憶體裝置及其驅動方法

VARIABLE-RESISTANCE MEMORY DEVICE AND ITS DRIVING METHOD

(57)摘要

一種可變電阻記憶體裝置包含一記憶體單元及一驅動電路，該記憶體單元包含：一記憶體元件，該記憶體元件可根據在一設定操作或一重設操作中施加至該記憶體元件之一應用電壓之一極性在電阻上變化；及一存取電晶體，其在第一共同線與第二共同線之間串聯連接至該記憶體元件；該驅動電路包含：一第一路徑電晶體，其連接於用於供應一第一電壓之一第一供應線與該第一共同線之間；以及一第二路徑電晶體，其連接於用於供應一第二電壓之一第二供應線與該第一共同線之間。



1：記憶體單元陣列

4A：字線驅動器單元

6：行開關電路

10：設定/重設驅動器

61 : NMOS 電晶體

62 : NMOS 電晶體

63 : NMOS 電晶體

64 : NMOS 電晶體

65 : NMOS 電晶體

AT：存取電晶體

BL<0>：位元線

BL<1>：位元線

BLEQ：位元線等化信號

D<0>：資料

D<1>：資料

INV21：反相器

INV22：反相器

INV31：反相器

INV32：反相器

MC<0>：記憶體單元

MC<1>：記憶體單元

N01：NMOS 電晶體

N02：NMOS 電晶體

N03：NMOS 電晶體

N04：NMOS 電晶體

N1：NMOS 電晶體

N2：NMOS 電晶體

N11：NMOS 電晶體

N12：NMOS 電晶體

NAND21：NAND 電
路

NAND22：NAND 電
路

P01：PMOS 電晶體

P02：PMOS 電晶體

Re<0>：可變電阻元
件

Re<1>：可變電阻元
件

SL<0>：源極線

SL<1>：源極線

V1：第一電壓

V2：第二電壓

Vdd：電源電壓

Vgrst：重設閘極電壓

Vgset：設定閘極電壓

WEN：資料輸入啟用
信號

WL<0>：字線

WL<1>：字線

YSW<0>：Y 開關

YSW<0>：行選擇信
號

YSW<1>：Y 開關

YSW<1>：行選擇信
號

/D<0>：經反相資料

/D<1>：經反相資料



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201216281 A1

(43)公開日：中華民國 101 (2012) 年 04 月 16 日

(21)申請案號：100123188

(22)申請日：中華民國 100 (2011) 年 06 月 30 日

(51)Int. Cl. : G11C13/00 (2006.01)

G11C11/56 (2006.01)

(30)優先權：2010/07/21 日本

2010-164380

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：北川真 KITAGAWA, MAKOTO (JP)；小方憲太郎 OGATA, KENTARO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：19 項 圖式數：24 共 104 頁

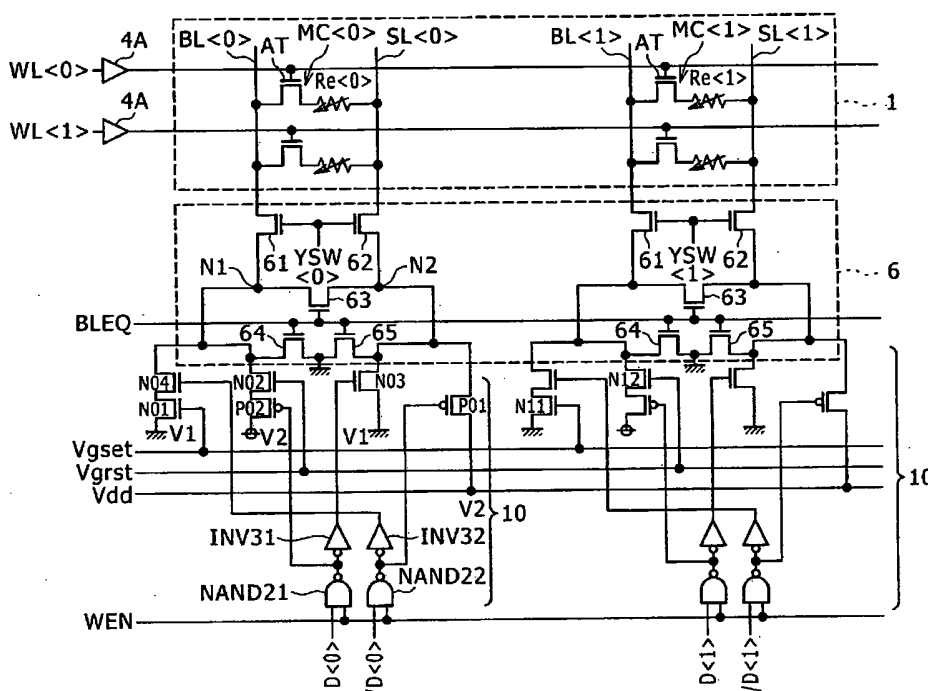
(54)名稱

可變電阻記憶體裝置及其驅動方法

VARIABLE-RESISTANCE MEMORY DEVICE AND ITS DRIVING METHOD

(57)摘要

一種可變電阻記憶體裝置包含一記憶體單元及一驅動電路，該記憶體單元包含：一記憶體元件，該記憶體元件可根據在一設定操作或一重設操作中施加至該記憶體元件之一應用電壓之一極性在電阻上變化；及一存取電晶體，其在第一共同線與第二共同線之間串聯連接至該記憶體元件；該驅動電路包含：一第一路徑電晶體，其連接於用於供應一第一電壓之一第一供應線與該第一共同線之間；以及一第二路徑電晶體，其連接於用於供應一第二電壓之一第二供應線與該第一共同線之間。



1：記憶體單元陣列

4A：字線驅動器單元

6：行開關電路

10：設定/重設驅動器

61：NMOS 電晶體

62：NMOS 電晶體

63：NMOS 電晶體

64：NMOS 電晶體

65：NMOS 電晶體

AT：存取電晶體

BL<0>：位元線

BL<1>：位元線

BLEQ：位元線等化信號

D<0>：資料

D<1>：資料

INV21：反相器

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種可變電阻記憶體裝置及其驅動方法。該可變電阻記憶體裝置採用各自包含一記憶體元件及串聯連接至該記憶體元件之一存取電晶體之記憶體單元。該記憶體元件具有根據施加至該記憶體元件之一電壓而變化之一電阻。

【先前技術】

已知一種可變電阻記憶體裝置，其具有根據施加於由充當該可變電阻記憶體裝置之一儲存層之一絕緣層彼此分離開來之電極之間之一電壓而變化之一電阻。關於此可變電阻記憶體裝置之更多資訊闡述於諸如『K. Tsunoda等人之「Low Power and High Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3 V,」2007 IEEE, pp. 267-270』及『K. Aratani等人之「A Novel Resistance Memory with High Scalability and Nanosecond Switching,」Technical Digest IEDM 2007, pp. 783-786』之文獻(下稱非專利文獻1及2)中。特定而言，非專利文獻1揭示一種利用過渡金屬氧化物來製作絕緣層之記憶體。

另一方面，非專利文獻2揭示一種藉由在充當兩個電極之間之一儲存層之一絕緣層上層壓一導電離子供應層而形成之記憶體。該記憶體採用各自具有一記憶體元件及在可藉由採用一主動式矩陣驅動方法驅動之第一共同線及第二

共同線之間串聯連接至該記憶體元件之一存取電晶體之記憶體單元。

因此一記憶體單元從而具有該記憶體元件之一個電晶體T及一可變電阻器R，故該記憶體係1T1R類型之電流驅動式記憶體之一。此記憶體稱作ReRAM。

在ReRAM中，記憶體元件之電阻之量值指示資料是否已寫入至記憶體元件中或自記憶體元件刪除。可使用具有奈秒量級之一短持續時間之一脈衝來施行一操作以將資料寫入至記憶體元件中或自記憶體元件抹除資料。因此，充當能夠像RAM(隨機存取記憶體)一樣以高速度操作之一NVM(非揮發性記憶體)，ReRAM備受關注。

然而，為了使ReRAM能夠充當作為現代FG(浮動閘極)_NAND NVM之快閃記憶體之一替換，有一些障礙要克服。該等障礙之一係ReRAM之記憶體單元之資料寫入/抹除特性相依於已對記憶體單元施行之資料重寫操作之次數之事實。出於這個理由，根據已執行之資料重寫操作之次數，改變用於對記憶體單元施加電壓之適當操作條件。

換句話說，若改變例如資料重寫操作之頻率之操作條件，則由資料重寫電流/電壓引起作為對於記憶體單元必要且足夠之應力之應力同樣亦改變。由資料重寫電流/電壓引起之過大應力增加洩漏且改變可容許資料重寫操作之次數，或者更具體地說，減少可容許資料重寫操作次數。因此，過大應力係不可取的。

換言之，ReRAM既能夠保證資料重寫操作次數的上限亦

能夠維持資料保持特性，其限制條件為：賦予記憶體單元不時地由資料重寫電流/電壓引起作為必要及足夠之應力之應力。

在 ReRAM 領域中，作為一種用於施加一適當電流或電壓之技術，已知一種用於控制施加至存取電晶體之閘極電極之電壓之技術。關於此技術之更多資訊闡述於非專利文獻 1 中。

根據非專利文獻 1 中所提出之技術，調整施加至存取電晶體之閘極電極之電壓，以便控制流經記憶體元件作為用於使記憶體元件之電阻變小或變大之一電流之一電流之量值。

亦已知一種利用 TMR(隧道磁阻)效應之 MRAM 及一種採用自旋注入方法之可變磁記憶體。可變磁記憶體利用不同於 ReRAM 之物理現象。另外，可變磁記憶體與 ReRAM 彼此類似，因為這兩種記憶體皆係具有其中每個記憶體單元皆由一記憶體元件及一存取電晶體組成之 1T1R 類型之電流驅動式記憶體。

在採用 MRAM 及自旋注入方法之記憶體領域中，已知一種用於藉由利用寫入線解碼器來控制在資料寫入及抹除操作中施加之電流之技術。關於此技術之更多資訊闡述於例如 PCT 專利公開案第 WO 2007/015358 號(下稱專利文獻 1) 中。

圖 1 係展示專利文獻 1 之圖 4 中所示之一寫入線解碼器 200 之基本組態之一圖式。

該圖中所示之寫入線解碼器200具有六個NMOS電晶體N1至N6及三個反相器INV1至INV3。

NMOS電晶體N1及N2彼此串聯連接。NMOS電晶體N2之源極電極連接至接地。出於兩樣原因，NMOS電晶體N3與N4彼此串聯連接。NMOS電晶體N4之源極電極連接至接地。

一外部寫入電流產生電路400能夠向NMOS電晶體N1及N3之汲極電極供應一寫入電流 I_W 。

將NMOS電晶體N1連接至NMOS電晶體N2之一點經由充當一行開關之NMOS電晶體N5連接至一寫入線210。出於同樣原因，將NMOS電晶體N3連接至NMOS電晶體N4之一點經由充當一行開關之一NMOS電晶體N6連接至一寫入線220。

一磁阻元件MRE經由未展示於該圖中之一選擇電晶體連接於寫入線210與220之間。藉由下述方式來控制流經磁阻元件MRE之電流：根據流動電流之方向反相具有自由磁域之層中之磁化。換句話說，控制磁阻元件MRE之電阻。

藉由下述方式來改變寫入電流 I_W 之方向：根據由寫入線解碼器200外部之一源供應之一電流方向信號DIR及由反相器INV1至INV3產生之邏輯來控制NMOS電晶體N1至N4之閘極電極。

藉由施行此控制，一寫入電流 I_{W1} 在NMOS電晶體N1及N4被置於一導通狀態下且NMOS電晶體N2及N3被置於一關斷狀態下時流動。另一方面，一寫入電流 I_{W2} 在NMOS

電晶體 N2 及 N3 被置於一導通狀態下而 NMOS 電晶體 N1 及 N4 被置於一關斷狀態下時相反地流動。

如根據上文說明顯而易見，根據專利文獻 1，在寫入線解碼器 200 內部，針對充當第一共同線及第二共同線之每兩個寫入線，提供充當一電流開關之一路徑電晶體。寫入線解碼器 200 控制該路徑電晶體進入一導通或關斷狀態，以便控制一控制以停止及供應輸入至寫入線解碼器 200 之寫入電流。在此組態中，一存取電晶體之閘極電極可由一共同線控制以任意地操作來將資料寫入至經佈置以形成一矩陣來充當各自包含存取電晶體之記憶體單元之記憶體單元中之任一者中所採用之一記憶體元件中或自該記憶體元件抹除資料。

【發明內容】

如上文給出之非專利文獻 1 中所述，若使存取電晶體小型化，則具有巨大變異之無窮小的電晶體之特性對寫入及抹除操作具有影響。因此，在非專利文獻 1 中所述之一電流控制方法中，寫入及抹除特性之變異必然巨大。

應注意，本發明之發明者已提出日本專利第 2009-012385 號中所述之一揭示內容作為用於消除非專利文獻 1 中所述之電流控制方法之瑕疵之方法之一。

該揭示內容係一種用於藉由調整施加至連接至一位元線之一路徑電晶體之閘極電極之一電壓來控制一寫入電壓、一抹除電壓及一電流之揭示方法。

根據此方法，藉由升高施加至一存取電晶體之閘極電極

之一電壓，以便施行一低阻抗操作，轉而，控制施加至具有一大常數(尺寸)之路徑電晶體之閘極電極之電壓。因此，此方法具有可減少寫入及抹除特性之變異之一優點。

在一專利之先前申請案中所述之方法中，寫入及抹除操作共用該路徑電晶體。因此，該方法仍具有需要改進之處，因為不可能藉由利用共用同一字線之一列記憶體單元上之複數個記憶體單元之複數個位元線來針對寫入及抹除操作同時施行電流驅動。因此，此方法需要在分時基礎上實施。然而，若此方法在分時基礎上實施，則將存在相對於提高速度之努力之一阻礙。

若可藉由利用複數個共同線(例如位元線及源極線)來任意地控制一流動單元電流之方向，則可解決闡述為需要改進之處之問題。

然而，在ReRAM及諸如此類中，為了控制單元電流之方向，不可能統一採用一用於藉助一電流開關(例如專利文獻1中所述之電流開關)來供應電流之方法。

如專利文獻1中所述，圖1中所示之NMOS電晶體N1或N3自源極電極接收供應至汲極電極之一寫入電流IW並輸出該寫入電流IW。因此，使用NMOS電晶體N1或N3之汲極電流之飽和特性。相應地，NMOS電晶體N1或N3用作一電壓限制器。

因與ReRAM之電阻之變化相比一自旋注入記憶體之電阻之變化極小，故界定為汲極電流特性中之一汲極電流曲線與一負載直線之一相交點之一操作點進行一汲極飽和區中

之一轉變。

另一方面，一可變電阻記憶體(例如 ReRAM)之電阻之變化比自旋注入記憶體之電阻之變化大幾個數位。因此，當一可變電阻記憶體(例如 ReRAM)中所採用之記憶體單元之電阻自一小值改變至一大值時，該操作點進行至該汲極電流曲線之非飽和區之一轉變。因此，當該操作點在一操作脈衝之一初始階段進行一轉變時，處於具有一大電阻之一狀態下之記憶體元件在結束於操作點之下降邊緣上之一週期期間曝露至大的電壓應力。如先前所解釋，ReRAM之特性尤其容易因大的電壓或電流應力而改變。因此，實際上不可能採用專利文獻1中所述之寫入電流反相控制。

本發明很適用於連接至稱作所謂字線之一列方向共同線及稱作第一共同線及第二共同線之行方向共同線之一3線記憶體單元之組態。

另外，本發明提供一種可變電阻記憶體裝置，該可變電阻記憶體裝置具有適於在該可變電阻記憶體中所採用之3線記憶體單元中同時驅動設定操作及重設操作之一驅動電路。除此之外，本發明呈現一種用於驅動該可變電阻記憶體裝置之方法。

一種根據本發明之一實施例之可變電阻記憶體裝置具有一記憶體單元、一第一路徑電晶體、一第二路徑電晶體及一驅動電路。

該記憶體單元包含一存取電晶體及一記憶體元件，該記憶體元件可根據在一設定操作或一重設操作中施加至該記

憶體元件之一應用電壓之一極性在電阻上變化。在該記憶體單元中，該存取電晶體與該記憶體元件彼此串聯連接於第一共同線與第二共同線之間。

該第一路徑電晶體連接於用於施加一第一電壓之一第一供應線與該第一共同線之間。

該第二路徑電晶體連接於用於供應一第二電壓之一第二供應線與該第一共同線之間。

該驅動電路在對該記憶體元件施加該應用電壓以執行該設定操作時驅動該第一路徑電晶體來施行一汲極輸出操作。另一方面，該驅動電路在對該記憶體元件施加該應用電壓以執行該重設操作時驅動該第二路徑電晶體來施行一源極隨動器操作。該驅動電路藉由控制施加至該第一路徑電晶體之閘極電極之一電壓、施加至該第二路徑電晶體之閘極電極之一電壓及出現在該第二共同線上之一電壓來將該記憶體單元之該操作自該汲極輸出操作切換至該源極隨動器操作，反之亦然。

根據上文所述之組態，該驅動電路能夠將該記憶體單元之操作自針對該第一共同線由第一路徑電晶體施行之汲極輸出操作切換至針對同一第一共同線由第二路徑電晶體實施之源極隨動器操作，反之亦然。該驅動電路將該記憶體單元之操作自由第一路徑電晶體施行之汲極輸出操作切換至由第二路徑電晶體實施之源極隨動器操作(反之亦然)，以便將偏壓設定自針對該設定操作施加至該記憶體元件之一偏壓改變至針對該重設操作施加至該記憶體元件之一偏

壓(反之亦然)。

上文所述之組態適於具有同時受控之存取電晶體且各自具有該第一共同線及該第二共同線以及該第一路徑電晶體及該第二路徑電晶體之複數個記憶體單元之一陣列。在此組態中，針對由該第一共同線及該第二共同線組成之每個共同線對，換言之，針對每個記憶體單元提供該第一路徑電晶體及該第二路徑電晶體。因此，針對該記憶體單元陣列中之任意記憶體單元，可同時施行設定及重設操作。

一種根據本發明之一實施例用於驅動具有記憶體單元之一可變電阻記憶體裝置之方法係一種用於驅動各自包含一記憶體元件且包含一存取電晶體之該等記憶體單元之方法，該記憶體元件可根據在一設定操作或一重設操作中施加至該記憶體元件之一應用電壓之一極性在電阻上變化且該存取電晶體在第一共同線與第二共同線之間串聯連接至該記憶體元件。在用於驅動一可變電阻記憶體裝置之此方法中，該第一共同線之一驅動路徑包含具有一第一路徑電晶體之一路徑及具有一第二路徑電晶體之一路徑。根據用於驅動一可變電阻記憶體裝置之此方法，控制施加至該第一路徑電晶體之閘極電極之一電壓、施加至該第二路徑電晶體之閘極電極之一電壓及出現在該第二共同線上之一電壓，以便該第一路徑電晶體在對該記憶體元件施加該應用電壓以執行該設定操作時施行一汲極輸出操作，且該第二路徑電晶體在對該記憶體元件施加該應用電壓以執行該重設操作時施行一源極隨耦器操作。

根據本發明，提供一種例如 ReRAM 之可變電阻記憶體裝置，該可變電阻記憶體裝置具有適於在包含於該可變電阻記憶體裝置中作為使其存取電晶體同時受控之記憶體單元之複數個 3 線記憶體單元中同時驅動設定操作及重設操作之一驅動電路。

另外，根據本發明，亦提供一種適於在使其存取電晶體同時受控之複數個 3 線記憶體單元中同時驅動設定及重設操作之驅動方法。

【實施方式】

在按下述方式配置之章節中針對其中記憶體元件係 ReRAM 中所採用之記憶體元件之典型情形來解釋本發明各實施例。

1：第一實施例(實施其中第一路徑電晶體及第二路徑電晶體為 NMOS 電晶體之一組態)

2：第二實施例(實施其中第一路徑電晶體及第二路徑電晶體為 PMOS 電晶體之一組態)

1：第一實施例

記憶體單元之組態

圖 2A 及圖 2B 係各自展示為本發明各實施例所共有之一記憶體單元之一等效電路之圖式。應注意，圖 2A 展示一寫入電流而圖 2B 展示一抹除電流。然而，該等圖中所示之記憶體單元組態本身彼此相同。

圖 2A 及圖 2B 中所示之記憶體單元 MC 採用用作一記憶體元件之一可變電阻元件 Re 及一存取電晶體 AT。

可變電阻元件Re之兩端中之一端連接至一源極線SL而另一端連接至存取電晶體AT之源極電極。存取電晶體AT之汲極電極連接至一位元線BL而存取電晶體AT之閘極電極連接至一字線WL。

位元線BL及源極線SL分別為一典型第一共同線及一典型第二共同線。

在圖2A及圖2B中所示之組態中，位元線BL與源極線SL彼此平行。然而，應注意，位元線BL與源極線SL不必彼此平行。不過，使位元線BL與源極線SL彼此平行係合意的。此乃因，如稍後將闡述，施加至位元線BL及源極線SL之電壓由同一驅動電路控制。

在第一實施例中，在作為一先決條件給出之一3線組態中，如上文所述，記憶體單元MC連接至三個線，即，充當第一共同線之位元線BL、充當第二共同線之源極線SL及充當用於控制存取電晶體AT之一共同線之字線WL。

圖3係展示一可變電阻記憶體裝置之兩個毗鄰記憶體單元MC之結構之一剖視圖。圖3係展示不帶陰影部分之一模型剖視圖。圖3之空白部分係填滿絕緣膜之部分或其他組態部分，即使該圖未這樣指示。

在圖3中所示之記憶體單元MC中，記憶體單元MC之存取電晶體AT形成於一基板100上。

詳言之，分別充當存取電晶體AT之源極電極S及存取電晶體AT之汲極電極D之兩個雜質區形成於基板100上而一閘極電極G由多晶矽或類似物形成於源極電極S與汲極電極

D之間的一閘極基板區上。閘極電極G由一閘極絕緣膜與基板100上之閘極區分離開。閘極電極G形成沿列方向(亦即，圖3中之水平方向)伸展之一字線WL。用作汲極電極D之雜質區佈置於字線WL之前側上而用作源極電極S之雜質區佈置於字線WL之後側上。字線WL之前側係沿垂直於展示該圖式之頁面之表面之方向之前側而字線WL之後側係沿垂直於展示該圖式之頁面之表面之方向之後側。在圖3中，用作汲極電極D之雜質區及用作源極電極S之雜質區之部分沿水平方向彼此移位，以便使汲極電極D及源極電極S易於識別。

然而，用作汲極電極D之雜質區與用作源極電極S之雜質區之位置亦可沿垂直於展示該圖式之頁面之表面之方向彼此重疊。

汲極電極D經由一位元線觸點BLC連接至由一第一導線層(1M)形成之位元線BL。

在源極電極S上，藉由重複堆積插頭104及著陸墊105來形成一源極線觸點SLC。著陸墊105各自由一導線層形成。在源極線觸點SLC上，形成可變電阻元件Re。

可任意地自一多層導線結構選擇一層來充當欲在其上形成可變電阻元件Re之層。然而，在此種情況下，選擇第四及第五層來充當欲在其上形成可變電阻元件Re之層。

可變電阻元件Re在一下部電極101與充當源極線SL之一頂部電極之間形成一膜組態(或一層壓體)。該膜組態包含一絕緣體膜102及一導體膜103。

用於製作絕緣體膜102之一材料之典型實例通常包含SiN、SiO₂及Gd₂O₃。

用於製作導體膜103之一材料之典型實例包含一金屬膜、一合金膜及一金屬複合膜。該金屬膜包含選自Cu、Ag、Zr及Al之一或多個元素。一典型合金膜係CuTe合金膜。應注意，用於製作該金屬膜之元素亦可選自除Cu、Ag、Zr及Al以外之元素，其限制條件為：該等元素具有易於離子化之一屬性。另外，利用一或多個元素S、Se及Te來充當欲與一或多個上述元素Cu、Ag、Zr及Al組合之元素係合意的。導體膜103形成為一導電離子供應層。

圖3展示連接至不同源極線SL之兩個可變電阻元件Re。各自充當沿與位元線BL相同之方向彼此分離開之毗鄰記憶體單元MC之儲存層中之一者之絕緣體膜102形成於同一層上。出於同樣原因，各自充當此等記憶體單元MC之導電離子供應層中之一者之導電膜103亦形成於同一層上。同樣地，此等記憶體單元MC之源極線SL亦形成於同一層上。另外，作為另一組態，源極線SL由沿與位元線BL相同之方向彼此分離開之記憶體單元MC共用而該儲存層及該導電離子供應層係各自針對每個記憶體單元MC獨立形成。

應注意，在第一實施例中，源極線SL由位元線BL之上的一導電層形成。位元線BL由第一導線層(1M)形成而源極線SL由第四或第五導線層形成。然而，源極線SL可由第一導線層(1M)形成而位元線BL可由第四或第五導線層

形成。另外，可任意地選擇用於形成源極線SL及位元線BL之導線層。

圖4A及圖4B係各自展示流經一記憶體元件之一電流之方向及施加至一可變電阻記憶體裝置中所採用之記憶體元件之一電壓之一典型量值之複數個模型圖。

作為一實例，圖4A及圖4B展示其中絕緣體膜102由 SiO_2 形成而導體膜103由一基於Cu-Te之合金複合材料形成之一組態。絕緣體膜102與下部電極101具有一接觸區。該接觸區由一氮化物膜(或一SiN膜)104上之一孔隙界定。

更具體地說，圖4A展示其中一電壓沿將絕緣體膜102置於陰電極側上而將導體膜103置於陽電極側上之一方向施加於下部電極101與充當源極線SL之頂部電極之間的一情形。舉例而言，關於此一電壓，位元線BL連接至具有0 V之一電位之接地而源極線SL設定處於+3 V之一典型電位下。

此一狀態驅策展示其中離子化包含於導體膜103中之Cu、Ag、Zr或Al且將所得離子吸引至陰電極側之一現象之一屬性。將該金屬之此等導電離子注入至絕緣體膜102中。因此，絕緣體膜102之絕緣功率減小且因此，絕緣體膜102展現一導電特性。因此，具有圖4A中所示之方向之一寫入電流 I_w 流動。此操作稱作一寫入操作或一設定操作。

與上文所述相反，圖4B展示其中一電壓沿將導體膜103置於陰電極側上且將絕緣體膜102置於陽電極側上之一方

向施加於下部電極101與充當源極線SL之頂部電極之間的一情形。舉例而言，關於此一電壓，源極線SL連接至具有0 V之一電位之接地而位元線BL設定處於+1.7 V之一典型電位下。

此一狀態驅策其中使注入至絕緣體膜102中之導電離子返回至導體膜103，從而使電阻恢復至一高預寫入值之一現象。此操作稱作一抹除操作或一重設操作。在該抹除或重設操作中，具有圖4B中所示之一方向之一抹除電流 I_e 流動。

應注意，在下文說明中，將該設定操作界定為用以將足夠的導電離子注入至該絕緣體膜中之一操作而將該重設操作界定為用以自該絕緣體膜擷取足夠的導電離子之一操作。

另一方面，可將該設定操作任意地視為一寫入操作而可將該重設操作任意地視為一資料抹除操作，反之亦然。

在下文說明中，將該設定操作視為一資料寫入操作而將該重設操作視為一資料抹除操作。換句話說，將該資料寫入操作或該設定操作界定為用以減低絕緣體膜102之絕緣屬性，以便使整個可變電阻元件Re之電阻減小至一足夠低的位準之一操作，而將該資料抹除操作或該重設操作界定為用以使絕緣體膜102之絕緣屬性恢復至先前初始狀態，以便使整個可變電阻元件Re之電阻減大至一足夠高的位準之一操作。

由圖2A及圖4A中所示之箭頭所指示之電流方向係在該

設定操作中寫入電流 I_w 流經可變電阻元件 R_e 之方向而圖2B及圖4B中所示之箭頭所指示之電流方向係在該重設操作中抹除電流 I_e 流經可變電阻元件 R_e 之方向。

因此可實施對其重複施行上文所述之設定及重設操作以便將可變電阻元件 R_e 之電阻自一大值改變至一小值(反之亦然)之二進位記憶體。除此之外，因可變電阻元件 R_e 維持其電阻或其中所儲存之資料，甚至在移除施加至可變電阻元件 R_e 之電壓時，故該二進位記憶體用作一非揮發性記憶體。

然而，除該二進位記憶體以外，本發明亦應用至一多值記憶體，例如能夠儲存三個或三個以上值之一記憶體。

應注意，在一設定操作中，絕緣體膜102之電阻實際上根據注入至絕緣體膜102中之金屬離子之數目而變化。因此，可將絕緣體膜102視為用於儲存並保持資料之一儲存層。

可組態一可變電阻記憶體裝置之一記憶體單元陣列以包含各自採用一可變電阻元件 R_e 之若干個記憶體單元MC。該可變電阻記憶體裝置本身經組態以包含該記憶體單元陣列及亦稱作一周邊電路之一驅動電路。

IC晶片之組態

圖5係展示通常實施為一IC晶片之一可變電阻記憶體裝置之一方塊圖。

圖5中所示之可變電阻記憶體裝置採用整合於同一半導體晶片中之記憶體單元陣列1及其周邊電路。記憶體單

元陣列1係藉由下述方式構造而成：配置圖2A至圖4B中所示之記憶體單元MC以形成由各自包含沿列方向配置之M個記憶體單元MC之N個列與各自包含沿行方向配置之N個記憶體單元MC之M個行組成之一矩陣。在此種情況下，符號M及N各自係可任意地設定處於一具體值下之一相對大的整數。

沿列方向配置之M個記憶體單元MC中之存取電晶體AT之閘極電極由一字線WL彼此連接。因在記憶體單元陣列1中存在N個列，故使用N個字線WL<0>至WL<N-1>。該N個字線WL<0>至WL<N-1>沿行方向以預定間隔佈置。

另外，沿行方向配置之N個記憶體單元MC中之存取電晶體AT之汲極或源極電極由一位元線BL彼此連接。因在記憶體單元陣列1中存在M個行，故使用M個位元線BL<0>至BL<M-1>。該M個位元線BL<0>至BL<M-1>沿列方向以預定間隔佈置。

同樣地，沿行方向配置之N個記憶體單元MC中之可變電阻元件Re之特定端由一源極線SL彼此連接。因在記憶體單元陣列1中存在M個行，故使用M個源極線SL<0>至SL<M-1>。該M個源極線SL<0>至SL<M-1>沿列方向以預定間隔佈置。每個記憶體單元MC中所採用之可變電阻元件Re之該特定端係與同一記憶體單元MC中所採用之存取電晶體AT相對之一側上之該端。

位元線BL及源極線SL沿列方向交錯佈置。

充當連接沿行方向配置之該N個記憶體單元MC之第一共

同線之一位元線BL連同佈置於毗鄰位元線BL之一位置處以充當連接該N個記憶體單元MC之第二共同線之一源極線SL形成一線對。在下文說明中，由一位元線BL與毗鄰於位元線BL之一源極線SL形成之該線對亦在某些情況下稱作一共同線對。

該周邊電路具有設定/重設驅動器10及感測放大器SA7。每一設定/重設驅動器10驅動該等共同線對(BL<i>及SL<i>：i=0至(M-1))中之一者。一感測放大器SA自一位元線BL<i>讀出資料。

一設定/重設驅動器10與一SA(感測放大器)7形成一行驅動電路。該行驅動電路對應於根據本發明之一實施例稱作一驅動電路之一主區段。應注意，根據本發明之一實施例之驅動電路包含設定/重設驅動器10但不必包含SA(感測放大器)7。

該周邊電路亦具有一預解碼器3、一系列驅動電路4及一行開關電路6。

預解碼器3係用於將一輸入位址信號拆分成一X系統之一列位址及一Y系統之一行位址之一電路。

列驅動電路4具有一X位址主解碼器、一Y位址主解碼器、一行開關控制電路及一WL(字線)驅動器。

該周邊電路亦具有一I/O(輸入/輸出)緩衝器9、一控制電路11及一邏輯區塊16。

邏輯區塊16係用於控制用以輸入及輸出資料之操作、用以保存資料之一操作及一緩衝操作之一控制系統之一邏輯

電路區段。在必要時，邏輯區塊16亦可經組態以針對記憶體單元陣列1之每個行施行對一寫入禁止狀態之控制。

應注意，圖5未展示其他電路，例如用於自一電源之電壓產生各種各樣的電壓之一電路及用於控制一時脈信號之產生之一電路。

列驅動電路4具有一主解碼器之功能。列驅動電路4經組態以包含一X選擇器20及一Y選擇器30以便施行此功能。

列驅動電路4亦具有一CSW(行開關)之一控制電路之功能。列驅動電路4經組態以包含複數個YSW驅動器單元6A以便施行此功能。

另外，列驅動電路4亦具有一WL驅動器之功能。列驅動電路4經組態以包含與字線WL一樣多的WL驅動器單元4A以施行此功能。如先前所述，字線之數目為N。

稍後將闡述X選擇器20、Y選擇器30、YSW驅動器單元6A及WL驅動器單元4A之具體典型電路。

如上文所述解釋，預解碼器3係用於將一輸入位址信號拆分成一X位址信號(X0、X1等等)及一Y位址信號(Y0、Y1等等)之一電路。

該X位址信號(X0、X1等等)供應至列驅動電路4中所採用之X選擇器20。X選擇器20解碼該X位址信號。作為一解碼結果，X選擇器20產生用於選擇一WL驅動器單元4A之X選擇信號X_SEL <0>至<N-1>。換句話說，X選擇信號X_SEL <0>至<N-1>分別供應至該N個WL驅動器單元4A。

另一方面，該Y位址信號(Y0、Y1等等)供應至列驅動電

路4中所採用之Y選擇器30。作為一解碼結果，Y選擇器30產生一Y選擇信號Y_SEL。Y選擇信號Y_SEL之數目亦根據圖5中所示之行開關電路6之組態而變化。因此，用於以Y選擇信號Y_SEL為基礎驅動行開關電路6之YSW驅動器單元6A之數目亦根據行開關電路6之組態而變化。相應地，由YSW驅動器電路6A產生之信號之數目亦根據行開關電路6之組態而變化。

當一WL驅動器單元4A由一X選擇信號X_SEL選擇時，WL驅動器單元4A對連接至WL驅動器單元4A之輸出之一字線WL施加預先確定之一電壓。稍後將闡述WL驅動器單元4A之細節。

接下來，按下述方式來解釋圖5中所示之行開關電路6之組態。此組態不同於稍後要闡述之一詳細電路。然而，在圖5中刻意展示行開關電路6之組態以便指示亦可採用此一組態。

如圖5中所示，行開關電路6具有一共同線分離開關區段6B及一放電開關區段6C。

共同線分離開關區段6B係用於選擇每隔一共同線對(BL_i及SL_i：i=0至(M-1))之NMOS開關之一集合。因此，共同線分離開關區段6B選擇性地將第(奇數)個記憶體單元行或第(偶數)個記憶體單元行連接至設定/重設驅動器10。

另一方面，放電開關區段6C施行與共同線分離開關區段6B之操作相反之一操作。

關於由共同線分離開關區段6B連接至設定/重設驅動器10之(奇數)次記憶體單元行之共同線對，第(偶數)個記憶體單元行之共同線對由放電開關區段6C連接至接地之電位。另一方面，關於由共同線分離開關區段6B連接至設定/重設驅動器10之第(偶數)個記憶體單元行之共同線對，第(奇數)個記憶體單元行之共同線對由放電開關區段6C連接至接地之電位。

藉由採用上文所述之組態，可針對每兩個記憶體單元行提供一個設定/重設驅動器10及一個SA(感測放大器)7。因此，此組態對於其中作為與記憶體單元MC之位置密度成正比之一區需要一大的區來提供設定/重設驅動器10及SA(感測放大器)7之一情形係有效的。特定而言，此組態對於其中此區沿列方向之尺寸為大之一情形係有效的。

設定/重設驅動器10能夠與施行一操作以從記憶體單元陣列1中所包含之所有記憶體單元MC中選擇一字線之一區段合作來選擇欲驅動之任意記憶體單元MC。

應注意，對於其中記憶體單元陣列1及諸如此類之電路規模較小且存在一區邊際及諸如此類之一條件，可針對每個共同線對提供設定/重設驅動器10及SA(感測放大器)7。

在此一條件下，設定/重設驅動器10能夠與施行一操作以從記憶體單元陣列1中所包含之所有記憶體單元MC中選擇一字線之一區段合作來選擇欲驅動之任意記憶體單元MC。從操作速度之觀點出發，針對每個共同線對佈置設定/重設驅動器10，以便使對所有記憶體單元MC之任意存

取成為可能係合意的。關於針對每個共同線對之設定/重設驅動器10之佈置，稍後將闡述一詳細典型電路。

可提供與記憶體行一樣多的設定/重設驅動器10，或者作為一替代方案，可將所提供設定/重設驅動器10之數目設定為記憶體行之數目的一半。

用於產生一設定閘極電壓 V_{gset} 之一設定閘極電壓產生電路12及用於產生一重設閘極電壓 V_{grst} 之一重設閘極電壓產生電路13連接至其數目等於記憶體行之數目的一半之設定/重設驅動器10。設定閘極電壓 V_{gset} 及重設閘極電壓 V_{grst} 係為設定/重設驅動器10所共有之電壓。設定閘極電壓產生電路12、重設閘極電壓產生電路13及設定/重設驅動器10包含於根據本發明之一實施例之驅動電路中。

稍後將闡述設定閘極電壓產生電路12及重設閘極電壓產生電路13之具體典型電路。

控制電路11接收一寫入信號WRT、一抹除信號ERS以及一資料讀取信號RD，且以寫入信號WRT、抹除信號ERS以及資料讀取信號RD為基礎，控制電路11產生各種各樣的信號及各種各樣電壓。控制電路11具有以下四種功能。

(1)在一讀取時間，控制電路11產生一SA啟用信號SAEN、一箝位電壓 V_{clamp} 及一參考電位 V_{REF} ，輸出SA啟用信號SAEN、箝位電壓 V_{clamp} 及參考電位 V_{REF} ，以便啟動並控制SA(感測放大器)7。

(2)在一設定或重設時間，控制電路11控制設定/重設驅動器10、設定閘極電壓產生電路12及重設閘極電壓產生電

路 13。控制電路 11 產生用於控制設定/重設驅動器 10、設定閘極電壓產生電路 12 及重設閘極電壓產生電路 13 之控制信號。該等控制信號包含用於啟用一資料輸入操作之一啟用信號 WEN 及一位元線等化信號 BLEQ。控制電路 11 向設定/重設驅動器 10 供應資料輸入啟用信號 WEN 及位元線等化信號 BLEQ。

(3) 在一設定或重設時間及一讀取時間，控制電路 11 對預解碼器 3、列驅動電路 4 及行開關電路 6 施行總控制。

(4) 在必要時，控制電路 11 控制設定/重設驅動器 10 及邏輯區塊 16 以便控制資料輸入/輸出操作及資料緩衝。

一 I/O 緩衝器 9 連接至 SA(感測放大器)7、設定/重設驅動器 10 及邏輯區塊 16。

控制電路 11 控制邏輯區塊 16 以便輸入來自一外部源之資料，且在必要時，在 I/O 緩衝器 9 中緩衝該資料。經緩衝資料稍後以預先確定用來控制一設定或重設操作之一時序供應至設定/重設驅動器 10。

另外，控制電路 11 控制邏輯區塊 16 以便藉助 I/O 緩衝器 9 將由 SA(感測放大器)7 讀出之資料經由設定/重設驅動器 10 輸出至一外部接收方。

控制系統電路

接下來，下文說明解釋 X 選擇器 20、Y 選擇器 30、WL 驅動器單元 4A 及 YSW 驅動器單元 6A 之典型電路。

圖 6 係展示 X 選擇器 20 之一典型邏輯電路之一圖式。

如圖 6 中所示，X 選擇器 20 採用提供於前段處之四個反相

器 INV0 至 INV3、提供於中段處之四個 NAND 電路 NAND0 至 NAND3 及提供於後段處之另外四個反相器 INV4 至 INV7。

X 選擇器 20 接收 X 位址信號位元 X0 及 X1，解碼 X 位址信號位元 X0 及 X1。作為解碼之結果，X 選擇器 20 藉由通常使四個 X 選擇信號 X_SEL0 至 X_SEL3 中之一者升高至一高位準來啟動該四個 X 選擇信號 X_SEL0 至 X_SEL3 中之一者。

圖 6 展示一典型 2 位元解碼器之組態。然而，根據 X 位址信號位元之數目，可使圖 6 中所示之組態擴展至使得能夠向該解碼器供應該 X 位址信號之多個位元之一多位元組態。換句話說，可採用用於解碼多於兩個 X 位址信號位元之一組態。

圖 7 係展示 Y 選擇器 30 之一典型邏輯電路之一圖式。

如圖 7 中所示，Y 選擇器 30 採用提供於前段之四個反相器 INV8 至 INV11、提供於中段之四個 NAND 電路 NAND4 至 NAND7 及提供於後段之另外四個反相器 INV12 至 INV15。

Y 選擇器 30 接收 Y 位址信號位元 Y0 及 Y1，解碼 Y 位址信號位元 Y0 及 Y1。作為解碼之結果，Y 選擇器 30 藉由通常使四個選擇信號 Y_SEL0 至 Y_SEL3 中之一者升高至一高位準來啟動該四個 Y 選擇信號 Y_SEL0 至 Y_SEL3 中之一者。

圖 7 展示一典型 2 位元解碼器之組態。然而，根據 Y 位址信號位元之數目，可使圖 7 中所示之組態擴展至使得能夠向該解碼器供應該 Y 位址信號之多個位元之一多位元組態。換句話說，可採用用於解碼多於兩個 Y 位址信號位元

之一組態。

圖8係展示兩個毗鄰WL驅動器單元4A之一典型邏輯電路之一圖式。

列驅動電路4實際上包含(N-1)個WL驅動器單元4A，其中兩者展示於該圖中。數目(N-1)係在每個行上沿行方向佈置之記憶體單元數目。該(N-1)個WL驅動器單元4A中之一者經選擇以藉由由圖6中所示之X選擇器20啟動之X選擇信號X_SEL0或X_SEL1來操作。然而，所選WL驅動器單元4A啟動分別對應於該X選擇信號X_SEL0或X_SEL1之字線WL<0>或字線WL<1>。

如圖8中所示，每一WL驅動器單元4A採用一NAND電路(例如，NAND8)及一反相器(例如，INV16)。

NAND電路NAND8之兩個輸入中之一個輸入接收一WL選擇啟用信號WLEN而另一輸入接收由圖6中所示之X選擇器20啟動之X選擇信號X_SEL0或X_SEL1。NAND電路NAND8之輸出連接至反相器INV16之輸入。因此，啟動或去啟動連接至反相器INV16之字線WL<0>或WL<1>。

圖9係展示兩個毗鄰YSW驅動器單元6A之一典型邏輯電路之一圖式。

如圖9中所示，每一YSW驅動器單元6A採用一NAND電路(例如，NAND12)及一反相器(例如，INV21)。

NAND電路NAND12之兩個輸入中之一個輸入接收一Y開關啟用信號YSWEN而另一輸入接收由圖7中所示之Y選擇器30啟動之Y選擇信號Y_SEL0或Y_SEL1。

當 Y 選擇信號 Y_SEL0 或 Y_SEL1 及 Y 開關啟用信號 YSWEN 皆設定處於一啟動狀態之一高位準下時，由 NAND 電路 NAND12 輸出之信號被下拉至一低位準。因此，由連接至 NAND 電路 NAND12 之輸出之一反相器 INV21 輸出之行選擇信號 YSW<0> 或 YSW<1> 進行至一啟動位準之一轉變，該啟動位準在第一實施例之情況下係高位準。

各自在下文中簡稱為一行選擇信號 YSW 之行選擇信號 YSW<0>、YSW<1> 等等未用於圖 5 中所示之組態中，但用於稍後要闡述為設定/重設驅動器 10 之一組態之一詳細組態中。

YSW 驅動器單元 6A 產生如圖 5 中所示由行選擇信號 YSW_0 及 /YSW_0 組成之一信號對以控制行開關電路 6。YSW 驅動器單元 6A 藉由利用與圖 9 中所示相同之邏輯組態來產生由行選擇信號 YSW_0 及 /YSW_0 組成之信號對。

因行開關電路 6 以由行選擇信號 YSW_0 及 /YSW_0 組成之信號對為基礎操作，故可對連接至設定/重設驅動器 10 之接地與共同線對(由 BL 及 SL 組成)之間的電位差施行連接控制。

設定/重設驅動器

接下來，下文說明解釋具有充當本實施例之一特性之一組態之設定/重設驅動器 10 之一詳細組態。

圖 10 係展示包含用於兩個記憶體行之一驅動電路之電路以便展示根據一第一實施例之設定/重設驅動器 10 之組態之一圖式。在此種情況下，該記憶體行係一記憶體單元

行。

設定/重設驅動器10包含除記憶體單元陣列1及行開關電路6之外的電路部分。圖10展示具有相同組態之兩個設定/重設驅動器10。如稍後將詳細闡述，此電路部分具有其中在使連接至同一字線WL之一記憶體單元陣列中之任意記憶體單元經受一設定操作的同時可使其他記憶體單元經受一重設操作之一組態。

首先，解釋行開關電路6之組態。

如圖10中所示，行開關電路6採用每個記憶體行之五個NMOS電晶體61、62、63、64及65。

NMOS電晶體61充當針對用作第一共同線之位元線BL<0>或BL<1>提供之一連接/中斷連接開關。另一方面，NMOS電晶體62充當針對用作第二共同線之源極線SL<0>或SL<1>提供之一連接/中斷連接開關。NMOS電晶體61及62之閘極電極接收由圖5中所示之可變電阻記憶體裝置中所採用之YSW驅動器單元6A產生之行選擇信號YSW<0>或YSW<1>。YSW驅動器單元6A之細節展示於圖9中。

此組態係可由圖5中所示之可變電阻記憶體裝置中所採用中之共同線分離開關區段6B取代之電路區段之組態。

行開關電路6具有每個記憶體行之其餘三個NMOS電晶體63至65。其餘三個NMOS電晶體63至65形成可由圖5中所示之可變電阻記憶體裝置中所採用之放電開關區段6C取代之電路區段。

NMOS電晶體64係針對位元線BL提供之一放電開關而

NMOS電晶體65係針對源極線SL提供之一放電開關。NMOS電晶體64及65具有等效於構成圖5中所示之可變電阻記憶體裝置中所採用之放電開關區段6C之電晶體群組之功能。

NMOS電晶體63係提供於位元線BL<0>與源極線SL<0>之間或位元線BL<1>與源極線SL<1>之間的一短路開關。此額外NMOS電晶體63因施行充電等化而使得能夠縮短放電時間。

該五個NMOS電晶體61至65由為記憶體行所共有之一位元線等化信號BLEQ控制。該位元線等化信號BLEQ發生於圖5中所示之可變電阻記憶體裝置中所採用之控制電路11。

接下來，按下述方式來解釋設定/重設驅動器10之組態。

各自針對該等記憶體行之每一者而提供之設定/重設驅動器10各自經組態以包含四個NMOS電晶體、兩個PMOS電晶體、兩個反相器及兩個NAND電路。

因各自針對該等記憶體行之每一者而提供之設定/重設驅動器10具有統一組態，故下文說明解釋圖10之右手側上所提供之設定/重設驅動器10中所採用之電路元件之連接。

供應至設定/重設驅動器10之電壓及一信號係根據本發明之一實施例之一第一電壓V1、根據本發明之一實施例之一第二電壓V2、一設定閘極電壓Vgset、一重設閘極電壓

Vgrst及一資料輸入啟用信號WEN。

在第一實施例中，稍後要闡述第一路徑電晶體及第二路徑電晶體各自係一NMOS電晶體。因此，第一電壓V1低於第二電壓V2。可將第一電壓V1及第二電壓V2各自設定處於任意位準下，只要條件要求第一電壓V1低於第二電壓V2且只要第一電壓V1及第二電壓V2處於使得能夠設定並重設記憶體單元之一範圍內。然而，在圖10中所示之典型實例之情況下，第一電壓V1設定處於一參考電壓Vss下而第二電壓V2設定處於一電源電壓Vdd下。

兩個NMOS電晶體N04及N01彼此串聯連接於一節點N1與用於供應用作第一電壓V1之參考電壓Vss之一節點之間。節點N1由NMOS電晶體61連接至用作第一共同線之位元線BL<0>之一節點。NMOS電晶體N04對應於由本發明之一實施例提供之一第三控制電晶體而NMOS電晶體N01對應於由本發明之一實施例提供之一第一路徑電晶體。

一NMOS電晶體N02及一PMOS電晶體P02彼此串聯連接於節點N1與用於供應用作第二電壓V2之電源電壓Vdd之一節點之間。NMOS電晶體N02對應於由本發明之一實施例提供之一第二路徑電晶體而PMOS電晶體P02對應於由本發明之一實施例提供之一第四控制電晶體。

一NMOS電晶體N03連接於一節點N2與用於供應用作第一電壓V1之參考電壓Vss之節點之間。節點N2由NMOS電晶體62連接至用作第二共同線之源極線SL<0>之一節點。NMOS電晶體N03對應於由本發明之一實施例提供之一第

二控制電晶體。

一PMOS電晶體P01連接於節點N2與用於供應用作第二電壓V2之電源電壓Vdd之節點之間。PMOS電晶體P01對應於由本發明之一實施例提供之一第一控制電晶體。

反相器INV31及INV32以及NAND電路NAND21及NAND22形成由本發明之一實施例提供之一資料輸入區段。

NAND電路NAND21及NAND22中之每一者之第二輸入接收資料輸入啟用信號WEN。NAND電路NAND21之第一輸入接收資料D<0>而NAND電路NAND22之第一輸入接收藉由反相資料D<0>所獲得之經反相資料/D<0>。此等資料段獲係自圖5中所示之可變電阻記憶體裝置中所採用之I/O緩衝器9獲得。

由NAND電路NAND21輸出之一信號用於控制PMOS電晶體P02之閘極電極且藉助反相器INV31供應至NMOS電晶體N03之閘極電極作為用於控制NMOS電晶體N03之閘極電極之一信號。另一方面，由NAND電路NAND22輸出之一信號用於控制PMOS電晶體P01之閘極電極且藉助反相器INV32供應至NMOS電晶體N04之閘極電極作為用於控制NMOS電晶體N04之閘極電極之一信號。

上文所述之電路組態按下述方式操作。在該3線陣列組態中，在一設定操作時間，施行電流控制以便將充當第一路徑電晶體之NMOS電晶體N01之汲極輸出連接至用作第一共同線之位元線BL<0>。

另外，在一重設操作時間，施行電壓控制以便將充當第二路徑電晶體之NMOS電晶體N02之源極輸出連接至用作第一共同線之位元線BL<0>。

設定電流控制由作為施加至NMOS電晶體N01之閘極電極之一電壓之設定閘極電壓Vgset控制。另一方面，重設電壓控制由作為施加至NMOS電晶體N02之閘極電極之一電壓之重設閘極電壓Vgrst控制。

另外，賦予具有任意邏輯之記憶體行藉由反相資料D所獲得之經反相資料/D。因此，在使連接至同一字線WL之一記憶體單元陣列中之任意記憶體單元經受一重設操作的同時，可使其他任意記憶體單元經受一重設操作。

應注意，稍後將詳細解釋此等驅動電路操作。

感測放大器

圖11係展示圖5中所示之可變電阻記憶體裝置中所採用之SA(感測放大器)7之電路組態之一圖式。

圖11中所示之SA(感測放大器)7連接至亦在圖10中展示為與圖10中所示之設定/重設驅動器10平行之節點N1及N2。建議讀者記住，具有至少與可在該記憶體單元陣列中自其並行讀出之資料線一樣多的感測放大器7係美妙的。換句話說，未必針對每個記憶體行提供感測放大器7。

如圖11中所示，SA(感測放大器)7係經組態以採用三個NMOS電晶體71、72及73、一PMOS電晶體74以及一差動放大器75之一單端感測放大器。

NMOS電晶體71及73以及PMOS電晶體74經連接以形成

節點N1與用於供應電源電壓Vdd之一線之間的一串聯電路。如先前所述，節點N1與位元線BL之間的連接由NMOS電晶體61控制。另外，NMOS電晶體72提供於節點N2與用於供應參考電壓Vss之一線之間。如先前所述，節點N2與源極線SL之間的連接由NMOS電晶體62控制。

NMOS電晶體71及72用作用於控制SA(感測放大器)7之連接之一開關而NMOS電晶體73用作一箝位電晶體。另一方面，PMOS電晶體74用作一負載MOS二極體。

PMOS電晶體74之源極電極連接至用於供應電源電壓Vdd之線而PMOS電晶體74之閘極及汲極電壓連接至差動放大器75之非反相(+)輸入。差動放大器75之反相(-)輸入自圖5中所示之可變電阻記憶體裝置中所採用之控制電路11接收一參考電位VREF。PMOS電晶體74之閘極及汲極電極以及差動放大器75之非反相(+)輸入連接至一感測節點Ns。

NMOS電晶體71及72之閘極電極自圖5中所示之可變電阻記憶體裝置中所採用之控制電路11接收一SA啟用信號SAEN。另一方面，NMOS電晶體73之閘極電極自圖5中所示之可變電阻記憶體裝置中所採用之控制電路11接收一箝位電壓Vclamp。

當SA啟用信號SAEN設定處於充當一解除啟動位準之一L位準下時，感測節點Ns由二極體連接之PMOS電晶體74上拉至高於用作一比較參考之參考電壓Vref之一電位。因此，亦使由差動放大器75輸出之一信號Dout升高至一H位

準。

當SA啟用信號SAEN進行至充當一啟動位準之一H位準之一轉變時，NMOS電晶體73之源極電極連接至位元線BL。因此，NMOS電晶體73施行一源極隨耦器操作。

將箝位電壓Vclamp預先控制至 $(V_R + V_{gs})$ ，其中參考符號 V_R 表示一所期望位元線箝位電壓且參考符號 V_{gs} 表示施加於NMOS電晶體73之閘極電極與源極電極之間的一電壓。因此，位元線箝位電壓 V_R 係為相當低電壓。因SA啟用信號SAEN亦同時施加至不充當一讀取操作之主體之一未選定位元線BL上之感測放大器連接控制開關，故位元線BL之電位增大以使得連接至未選定位元線BL之一非選定記憶體單元之可變電阻元件 R_e 經歷造成電壓應力之一讀取干擾。經施行以藉由利用NMOS電晶體73來對位元線BL之電位進行箝位之操作因此係此讀取干擾問題之一解決方案。

當位元線箝位電壓 V_R 施加至連接一選定位元線BL之一記憶體單元時，一電流流向用作充當一負載之一PMOS二極體之PMOS電晶體74。在那時，藉由差動放大器75將作為感測節點 N_s 之上拉與引起該單元電流之BL放電之間的一平衡電壓出現在感測節點 N_s 處之電位與參考電壓 V_{REF} 相比較。

若記憶體單元中所採用之可變電阻元件 R_e 之電阻為小，則出現在感測節點 N_s 處之電位低於參考電壓 V_{ref} 。因此，反相由差動放大器75輸出之信號Dout。未由差動放大器75反相之一信號Dout指示該記憶體單元中所採用之可變電阻

元件Re之電阻為大。

驅動電路操作(設定/重設操作之概要)

圖12係展示包含與圖10中所示相同之驅動電路之電路以便展示設定及重設操作中之一電流路徑之一圖式。圖13A1至圖13F4係展示為第一實施例及第二實施例所共有之操作波形之圖式。

在左手側上，圖12展示在對連接至由NMOS電晶體N01及N02控制之一位元線BL之一記憶體單元MC中所採用之可變電阻元件Re<0>施行一重設操作時流動之一電流之路徑。另一方面，在右手側上，圖12展示當對連接至由NMOS電晶體N11及N12控制之一位元線BL之一記憶體單元MC中所採用之可變電阻元件Re<1>施行一設定操作時流動之一電流之路徑。

在圖12中，與圖10中所示相同之參考編號及/或相同之參考符號中之每一者表示與圖10中所示相同之組態及相同之連接關係，只是在展示於圖12之右手側上之設定/重設驅動器10中，表示用作第一路徑電晶體之NMOS電晶體N11之參考符號N11及表示用作第二路徑電晶體之NMOS電晶體N12之參考符號N12係藉由將展示於左手側上之參考信號N01及N02之第二位數由0改為1而獲得罷了。

在施行一操作之前，將設定/重設驅動器10中所採用之所有電晶體置於一關斷狀態下。在此種情況下，因由行開關電路6施行之一操作而使節點N1及N2保持處於接地電壓下。

另外，出現在由位元線BL與源極線SL組成之共同線對上之電壓已由一位元線等化信號BLEQ等化至參考電壓 V_{ss} 。

在一時間 T_0 處，由圖13C中所示之一波形所表示之位元線等化信號BLEQ之電位下降，從而致使行開關電路6施行一放電操作並停止該等化。

在那時，若NMOS電晶體61及62處於選擇記憶體行之一導通狀態下，則節點N1連接至位元線BL<0>而節點N2連接至源極線SL<0>。

在時間 T_0 處，在與停止該等化之操作幾乎相同的時間，由圖13A1中所示之一波形所表示之字線WL<0>之電位上升。

在此種情況下，存取電晶體AT只不過係一開關。因此，可在設定及重設操作兩者中將被置於一導通狀態下之存取電晶體AT視為一低阻抗裝置。

因此，字線WL之電位上升達通常具有相同於電源電壓 V_{dd} 之量值之一電壓量值。在其處驅動具有除相同於電源電壓 V_{dd} 之量值之電壓量值之外的一量值之一類比電壓之節點僅係對其施加設定閘極電壓 V_{gset} 之一電晶體閘極電極及對其施加重設閘極電壓 V_{grst} 之一電晶體閘極電極。

下文說明解釋資料邏輯、設定閘極電壓 V_{gset} 及重設閘極電壓 V_{grst} 。

圖12中所示之組態之NAND電路NAND21之第一輸入接收資料D<0>而相同組態之NAND電路NAND22之第一輸入

接收經反相資料/D<0>。

在此種情況下，D<0>=L及/D<0>=H係設定操作之資料邏輯，而相反地，D<0>=H及/D<0>=L係重設操作之資料邏輯。

分別將由圖13D中所示之一波形所表示之重設閘極電壓Vgrst及設定閘極電壓Vgset控制至適於其操作之可容許電壓。

建議讀者參考圖13A1至圖13F4。在字線WL<0>之電位上升之後的一時間T1處，施加由圖13E中所示之一波形所表示之資料輸入啟用信號WEN之一脈衝。關於所施加之此一脈衝，根據輸入資料之邏輯，對記憶體單元MC之可變電阻元件Re<0>施加一重設脈衝而對記憶體單元MC之可變電阻元件Re<1>施加一設定脈衝。

詳言之，資料輸入啟用信號WEN自表示解除啟動狀態之L位準改變至表示啟動狀態之H位準。

隨著資料輸入啟用信號WEN如上文所述變化，在作為接收經反相資料/D<1>(=H)之一組態展示於圖12之右手側上之一組態中，由NAND電路NAND22輸出之一信號自H改變至L，從而將PMOS電晶體P01及NMOS電晶體N04中之每一者置於一導通狀態下。在那時，由接收資料D<1>(=L)之NAND電路NAND21輸出之一信號不導通該控制電晶體。

因此，在展示於圖12之右手側上之組態中，對由圖13F4中所示之一波形所表示之源極線SL<1>施加充當第二電壓之電源電壓Vdd而對由圖13F3中所示之一波形所表示之位

元線 BL<1>施加充當第一電壓之參考電壓 Vss 或接地電壓。

因此，一設定電流 Iset 沿圖 12 中所示之一方向流動，從而對記憶體單元 MC<1>施行一設定操作以通常降低可變電阻元件 Re<1>之電阻。

展示於圖 12 之左手側上以充當重設側上之一組態之組態之操作與上文所述之操作相反。

詳言之，當資料輸入啟用信號 WEN 自表示解除啟動狀態之 L 位準改變至表示啟動狀態之 H 位準時，在作為接收經反相資料 /D<0>(=H) 之一組態展示於圖 12 之左手側上之組態中，由 NAND 電路 NAND21 輸出之一信號自 H 改變至 L，從而將 PMOS 電晶體 P02 及 NMOS 電晶體 N03 中之每一者置於一導通狀態下。在那時，由接收經反相資料 /D<0>(=L) 之 NAND 電路 NAND22 輸出之一信號不導通該控制電晶體。

因此，在展示於圖 12 之左手側上之組態中，對由圖 13F2 中所示之一波形所表示之源極線 SL<0>施加充當第一電壓之參考電壓 Vss 或接地電壓而對由圖 13F1 中所示之一波形所表示之位元線 BL<0>施加充當第二電壓之電源電壓 Vdd。

因此，一重設電流 Ireset 沿與設定側之方向相反之一方向流動，從而對記憶體單元 MC<0>施行一重設操作以通常提高可變電阻元件 Re<0>之電阻。

設定或重設時間由資料輸入啟用信號 WEN 之脈衝寬度界

定。

然後，在一時間T2處，降低字線WL之電位並升高位元線等化信號BLEQ之電位，以便再次將該共同線對連接至接地並再次施行該等化操作，以便如由所圖13A1及圖13C中所示之波形所指示終止該等操作。

應注意，圖13A1至圖13F4展示在要求在初始時間將記憶體單元MC<0>中所採用之可變電阻元件Re<0>及記憶體單元MC<1>中所採用之可變電阻元件Re<1>中之每一者置於一高電阻狀態HRS下之一條件下施行之操作之波形。

因此，如自圖13F3中所示之波形顯而易見，出現在經受設定操作之位元線BL<1>上之電壓等於參考電壓Vss。此之原因利用一負載曲線解釋於下文說明中。

此驅動控制之特徵在於：在一重設操作中，驅動NMOS電晶體以施行一源極隨耦器操作，以便控制出現在位元線BL上之一電壓，而在設定操作中，驅動NMOS電晶體以產生一汲極輸出，以便控制流經位元線BL之一電流。

建議讀者記住，如由圖13A1至圖13F4中所示之波形所指示彼此同步地施行該等設定及重設操作係合意的。然而，該等設定及重設操作亦可彼此同步地或以一部分重疊方式施行。圖10中所示之驅動電路係如此組態以致可施行此等操作。

設定操作之細節

接下來，藉由利用一負載曲線，下文說明解釋在一設定操作期間施行之電流控制中施加至記憶體單元MC之一電

壓。

圖 14 係展示用於第一實施例中之一設定操作之一等效電路之一圖式。

在該設定操作中，存取電晶體 AT 可忽略不計，此乃因存取電晶體 AT 在一足夠低的阻抗下操作。

圖 15A 係展示就在記憶體單元 MC 仍處於一高電阻狀態 HRS 下時該設定操作開始之後所展現之特性之一圖式。更具體地說，該圖展示流經 NMOS 電晶體之一電流 I_{mos} 之一特性曲線及一單元電流 I_{cell} 之一負載直線。

因記憶體單元 MC 仍處於一高電阻狀態 HRS 下，故電流控制路徑電晶體施行一線性區操作，從而不再用作一電流鏡。

在那時，對記憶體單元 MC 施加由下文所給出之一方程式所表示之一比例確定之一電壓 $V_{(cell)}$ 。如自下述方程式顯而易見，該比例係用 R_{mos} 及 R_{cell} 來表示，其中參考符號 R_{mos} 表示路徑電晶體之線性電阻且參考符號 R_{cell} 表示記憶體單元 MC 之電阻。

$$V_{(cell)} = V_{dd} \times R_{cell} / (R_{cell} + R_{mos})$$

對記憶體單元 MC 施加由以上方程式所表示之一強電壓應力。對記憶體單元 MC 施加電壓應力之一狀態係就在該設定操作開始之後以一瞬時方式對記憶體單元 MC 施加為至一低電阻狀態 LRS 之反相所需之一觸發電壓之一狀態。因用以對記憶體單元 MC 施加一瞬時應力之操作通常係在對可變電阻元件施行以改變處於一假定之範疇內之可變電

阻元件之狀態之一操作中施行，故可變電阻元件之特性決不會因瞬時應力之施加而劣化。

圖 15B 係展示其中記憶體元件已在設定操作結束之後反相至一低電阻狀態 LRS 之一狀態之特性之一圖式。

在該設定操作結束之後，記憶體單元 MC 處於一低電阻狀態 LRS 下。在那時，根據表示流經 NMOS 電晶體之汲極電極之一電流之一曲線之飽和特性，一電流限制器工作以將流向記憶體單元 MC 之電流限定至設定電流 I_{set} 。在那時，將施加至記憶體單元 MC 之電壓限定至 $(I_{set} \times R_{cell})$ 之積，其中參考符號 R_{cell} 表示記憶體單元 MC 之電阻。

按下述方式來有組織地解釋上文所述之操作。

在該設定操作開始之前，共同線對(由 BL 與 SL 組成)處於被放電至一參考電壓(例如接地電壓)之一狀態下。因此，不對被置於一高電壓狀態 HRS 下之記憶體單元 MC 施加任何電壓應力。

在終止被連接至接地之狀態之後，亦即，在由圖 13C 中所示之波形所表示之 BLEQ 脈衝之下降邊緣之後，由圖 13E 中所示之波形所表示之 WEN 脈衝上升以開始該設定操作。

在該設定操作開始之後的一極短的週期中，操作點如圖 15A 中所示存在於一 NMOS 區中。因此，可在某些情況下對記憶體單元 MC 施加一大的電壓應力。

然而，因此電壓應力之應用週期係一極短的轉變週期，故既不存在關於記憶體單元 MC 之特性之問題亦不存在可靠性之劣化。

緊接著，使記憶體單元MC之電阻自高電阻狀態HRS反相至低電阻狀態LRS。

在此狀態反相操作期間，操作點沿著表示NMOS電晶體之汲極之飽和特性之曲線移動至一飽和區，從而限制流動電流。在自高電阻狀態HRS至低電阻狀態LRS之狀態反相之後流動之電流係設定電流 I_{set} 。因此，如圖15B中所示在可變電阻元件 R_e 之兩端之間施加由 $(R_{cell} \times I_{set})$ 之積表示之一相對小的電壓。然而，關於此一小的電壓，不形成電壓應力。因此，亦在至該設定操作之反相之後，記憶體單元MC中所採用之可變電阻元件 R_e 之可靠性之維持得到保證。

重設操作之細節

接下來，藉由利用負載曲線，下文說明解釋在一重設操作中施加至經受電壓控制之記憶體單元MC之一電壓。

圖16係展示用於第一實施例中之一重設操作之一等效電路之一圖式。

在那時，存取電晶體AT在一足夠低的阻抗下操作。因此，假定沿著存取電晶體AT之一電壓降可忽略不計。

圖17A係展示就在記憶體單元MC仍處於一低電阻狀態LRS下時該重設操作開始之後所展現之一負載特性之一圖式。在此圖中，將NMOS電晶體側視為一負載。更具體地說，該圖展示流經NMOS電晶體之一電流 I_{mos} 之一特性曲線及一單元電流 I_{cell} 之一負載直線。

因充當第二路徑電晶體之NMOS電晶體施行一源極隨耦

器操作，故單元電流 I_{cell} 之負載直線展示單元電流 I_{cell} 隨源極-閘極電壓 V_{gs} 而增大。

換句話說，對記憶體單元MC施加由下文所給出之一方程式所表示之一比例確定之一電壓 $V(cell)$ 。如自下述方程式顯而易見，該比例係用 R_{mos} 及 R_{cell} 來表示，其中參考符號 R_{mos} 表示第一路徑電晶體之線性電阻且參考符號 R_{cell} 表示記憶體單元MC之電阻。

$$V(cell) = (V_{grst} - V_{gs}) \times R_{cell} / (R_{cell} + R_{mos})$$

作為一電流應力對記憶體單元MC施加一大的電流。對記憶體單元MC施加電流應力之一狀態係以一瞬時方式對記憶體單元MC施加為進入一高電阻狀態HRS之反相所需之一觸發電流之一狀態。因用以對記憶體單元MC施加一瞬時應力之操作通常係在對可變電阻元件施行以改變處於一假定之範疇內之可變電阻元件之狀態之一操作中實施，故可變電阻元件 R_e 之特性決不會因瞬時應力之施加而劣化。

圖17B係展示其中已在該重設操作結束之後使該記憶體元件反相至一高電阻狀態HRS之一狀態之負載曲線之一圖式。

在該重設操作結束之後，記憶體單元MC處於一高電阻狀態HRS下。在那時，第二路徑電晶體用作限制出現在源極電極處之電位之增大之一電壓限制器。因此，施加至記憶體單元MC之電壓 $V(cell)$ 由圖17B中所示之一方程式或與圖17A中所示相同之方程式表示。電壓 $V(cell)$ 之量值不大

於由表示式($V_{grst}-V_{gs}$)表示之一上限，其中參考符號 V_{grst} 表示重設閘極電壓且參考符號 V_{gs} 表示出現在閘極電極與源極電極之間的一電壓。

通常，重設閘極電壓 V_{grst} 隨電源電壓 V_{dd} 而變化。另外，甚至在對記憶體單元MC施加對應於表示式($V_{grst}-V_{gs}$)之一電壓應力時，亦不存在關於可變電阻元件 R_e 之操作之可靠性之問題。

應注意，可改變施加至圖16中所示之電路之第二路徑電晶體之閘極電極之重設閘極電壓 V_{grst} 之量值及流向圖14中所示之電路之第一路徑電晶體之電流 I_{mos} 之量值。因此，可根據可變電阻元件 R_e 之狀態及其他要求將重設閘極電壓 V_{grst} 及電流 I_{mos} 之量值各自調整至一最佳值。

按下述方式來有組織地解釋上文所述之操作。

在該重設操作開始之前，共同線對(由BL與SL組成)處於被放電至一參考電壓(例如接地電壓)之一狀態下。因此，不對被置於一低電阻狀態LRS下之記憶體單元MC施加任何電壓應力。

在終止被連接至接地之狀態之後，亦即，在由圖13C中所示之波形所表示之BLEQ脈衝之下降邊緣之後，由圖13E中所示之波形所表示之WEN脈衝上升以開始該重設操作。

在該重設操作開始之後的一極短週期中，操作點如圖17A中所示存在於位元線BL之低電位之一側上。因此，可在某些情況下對記憶體單元MC施加一大的電流應力。

然而，因此電流應力之應用週期係一極短週期，故既不

存在關於記憶體單元MC之特性之問題亦不存在可靠性之劣化。另外，此電流應力係在操作中使記憶體單元MC之電阻自低電阻狀態LRS反相至高電阻狀態HRS所需之一觸發條件。因此，此電流應力係經受電流驅動之可變電阻元件Re之處於一假定之範疇內之一應力。

緊接著，使記憶體單元MC之電阻之狀態自高電阻狀態HRS反相至低電阻狀態LRS。

在此狀態反相操作期間，操作點移動至位元線BL之高電位之一側。然而，位元線BL之高電位之上限可由施加至第二路徑電晶體之閘極電極之一電壓控制。除此之外，可將位元線BL之高電位之上限設定處於足夠小於電源電壓Vdd之一值下。此電壓應用不驅策造成可變電阻元件Re之可靠性喪失之一電壓應力。因此，亦在至該重設操作之反相之後，記憶體單元MC中所採用之可變電壓元件Re之可靠性之維持得到保證。

應注意，圖14展示作為用於調整重設閘極電壓Vgrst以便將電流Imos設定處於一所期望之量值下之一電路展示於圖5中之設定閘極電壓產生電路12之一典型實例。

如圖14中所示，在設定閘極電壓產生電路12中，一恆定電流源121與一NMOS電晶體122彼此串聯連接於用於供應電源電壓Vdd之一線與用於供應接地之電壓之一線之間。恆定電流源121向將其閘極電極連接至該汲極電極之NMOS電晶體122之汲極電極供應一電流。NMOS電晶體122之閘極電極亦連接至一第一路徑電晶體之閘極電極。

關於上文所述之組態，若在恆定電流源121中設定一設定電流 I_{set} ，則可將在可變電阻降低之後流經記憶體單元MC作為一鏡像電流之電流 I_{mos} 設定處於設定電流 I_{set} 下。因此，藉由調整恆定電流源121之設定電流，可調整流經記憶體單元MC之電流及施加至記憶體單元MC之電壓。

即使需要此電路具有高到一定程度之一驅動能力，此電路亦具有一簡單組態。因此容易在IC內部實施此電路。另外，對於該記憶體單元MC陣列，一個電路便足夠。因此，此電路決非係不利地限制記憶體單元MC之配置密度之一原因。

另一方面，圖10及其他圖中所示之可變電阻記憶體裝置中所採用之設定/重設驅動器10之每個行之組態亦決非係不利地限制記憶體單元MC之配置密度之一原因。

建議讀者記住，可提供其中設定/重設驅動器10由沿行方向定向且佈置於沿列方向彼此毗鄰之位置處之兩個記憶體行共用之一組態。

典型比較電路

接下來，解釋一典型比較電路。

將藉由參照圖1解釋之相關技術之電流切換操作施行成其中對於設定操作及重設操作兩者將自一NMOS電晶體之汲極電極流向該電晶體之源極電極之一電流引向記憶體單元MC之一組態。

由於此操作之速率受流經電晶體之汲極電極之一電流之飽和特性限制，因此將此操作視為等效於根據先前藉由參

照圖 14 至圖 16 所解釋之第一實施例之汲極輸出操作之一操作。

因此，下文說明解釋其中一典型比較電路藉由自一電晶體之汲極電極輸出一電流來施行一重設操作之一情形。然後，下文說明解釋該典型比較電路之缺點。不存在此等缺點對於充當本發明之背景技術之相關技術係一效應。

圖 18 係展示用於一典型比較電路中之一重設操作之一等效電路之一圖式。該重設操作係藉由利用具有等同於設定閘極電壓產生電路 12 之一組態之一電路自 SL(源極線)側施行作為完成先前參照圖 14 中所示之等效電路所解釋之一設定操作之一記憶體單元 MC 之一操作。

在圖 18 中，參考符號 V_m 表示 1T1R 記憶體單元 MC 中之一中間節點，而參考符號 $V(\text{cell})$ 表示施加至記憶體單元 MC 之一電位差。

藉由處置重設電流 I_{rst} 作為一電流鏡，控制流動電流。在那時，流經記憶體單元 MC 之電流係記憶體單元電流 I_{cell} ，而流經由該電流鏡控制之 PMOS 路徑電晶體之電流係電流 I_{mos} 。

因該操作係一重設操作，故初始狀態係一低電阻狀態 LRS 而操作點係在此方程式 $I_{cell} = I_{mos}$ 適用之一點。

圖 19A 係展示其中在一低電阻狀態 LRS 下掃描 SL 電位之一情形之一負載特性之一圖式。在那時，存取電晶體 AT 在一足夠低的阻抗下操作。因此，假定沿著存取電晶體 AT 之一電壓降可忽略不計。

即使記憶體單元MC處於一低電阻狀態LRS下，重設電流 I_{rst} 亦由一限制器控制，以便將施加至記憶體單元MC之一電壓限制至 $(I_{rst} \times R_{cell})$ 之積，其中參考符號 R_{cell} 表示記憶體單元MC之電阻。

圖19B係展示其中在用以將狀態自一低電阻狀態LRS反相至一高電阻狀態HRS之操作之後掃描SL電位之一情形之一負載特性之一圖式。在那時，存取電晶體AT在一足夠低的阻抗下操作。因此，假定沿著存取電晶體AT之一電壓降可忽略不計。

因記憶體單元MC處於一高電阻狀態HRS下，故針對電流控制所提供之路徑電晶體在一線性區中操作，以便該電流鏡不再起作用。

因此，對記憶體單元MC施加具有由圖19B中所示之一方程式確定之一量值之一電壓 $V_{(cell)}$ 。如由方程式所示，電壓 $V_{(cell)}$ 與用路徑電晶體之線性電阻 R_{mos} 及記憶體單元MC之電阻 R_{cell} 表示之一比例成正比。電壓 $V_{(cell)}$ 大致等於 $(V_{dd} - V_{gs})$ 之差。

$(V_{dd} - V_{gs})$ 之差可在某些情況下驅策施加至記憶體單元MC之一過大電壓應力。

除此之外，在具有類似於圖1中所示之組態之一組態之一電路中，其間對該記憶體單元MC施加該電壓應力之週期在某些情況下係長週期。在該圖中所示之組態中，簡單地將由同一電流產生電路產生以流向一共同線對之一電流自一共同線對之共同線中之一者切換至該共同線對之另一

共同線，反之亦然。

當由於某一重設脈衝之施加而以一極早的時序施行一重設操作時，在該重設操作之執行之開始與該重設脈衝之結束之間的一長週期期間，不利地對記憶體單元MC施加一強電壓應力。由於此一重設脈衝之重複執行，擔心記憶體單元MC之特性不利地劣化很多。

由本發明之一實施例提供之驅動電路及驅動方法對於採用與其中一可變電阻元件之電阻變化達複數個位數之ReRAM一樣具有一電阻變化之一大寬度之一可變電阻元件之一記憶體裝置尤其有效。

另外，與用於藉由改變由與圖1中所示相同之電流產生電路所產生一電流之方向來控制設定及重設操作之一驅動電路相比較，第一實施例具有記憶體單元MC之特性幾乎不劣化之一大優點。

2：第二實施例

圖20係展示作為對應於由如圖10中所示之第一實施例實施之電路之電路之根據一第二實施例之電路之一圖式。在圖20中，等同於圖10中所示之第一實施例中所採用之其各別對應物之電路元件由與對應物相同之參考編號及相同之參考符號表示。

然而，由與對應物相同之參考編號或相同之參考符號表示之一電路元件可因該電路元件中所採用之某些組件而具有不同於對應物之組態之一組態。具體地說，例如，第二實施例之設定/重設驅動器10亦採用第一路徑電晶體及第

二路徑電晶體以及第一至第四控制電晶體。此等第一及第二路徑電晶體以及此等第一至第四控制電晶體刻意由與圖10中所示之第一實施例中所採用之其各別對應物相同之參考編號表示，以便可以很容易地參考該等電晶體。然而，第二實施例中所採用之每個電晶體之通道導電類型與第一實施例中所採用之對應物之通道導電類型相反。舉例而言，圖20中所示之第二實施例之設定/重設驅動器10中所採用之一電晶體由與圖10中所示之第一實施例之設定/重設驅動器10中所採用之其對應物相同之參考編號表示但該電晶體係一PMOS電晶體而該對應物係一NMOS電晶體。相反地，圖20中所示之第二實施例之設定/重設驅動器10中所採用之一電晶體由與圖10中所示之第一實施例之設定/重設驅動器10中所採用之其對應物相同之參考編號表示但該電晶體係一NMOS電晶體而該對應物係一PMOS電晶體。

另外，在圖20中所示之第二實施例中，連接至第一路徑PMOS電晶體N01及第二路徑PMOS電晶體N02之第一共同線係不同於圖10中所示之第一實施例之源極線SL。然而，可任意地將源極線SL或位元線BL選擇為第一(或第二)共同線。

一般而言，連接至讀取電路之共同線稱作位元線BL。因此，與源極線SL相比較，出現在位元線BL上之電壓之變化很大且此等電壓變化之次數同樣亦很大。因此，為了保護可變電阻元件Re免受此等電壓變化影響，存取電晶體

AT在無選定者提供於位元線側上時處於一關斷狀態下。然而，若不慮及出現在此一共同線上之電位之變化之效應，則以與第一實施例相同之方式，亦在第二實施例之情況下，可將該位元線用作第一共同線。

另外，第一電壓及第二電壓之定義與第一實施例中之定義相反。

具體地說，在第二實施例之情況下，第一電壓係例如電源電壓Vdd之高位準電壓而第二電壓係例如參考電壓Vss之低位準電壓。

第二實施例中施行之操作之波形相同於圖13A1至圖13F4中所示之波形。換句話說，該等波形係對記憶體單元MC<0>中所採用之可變電阻元件Re<0>施行之一重設操作及對記憶體單元MC<1>中所採用之可變電阻元件Re<1>實施之一設定操作之波形。

圖21係展示用於第二實施例中之一設定操作之一等效電路之一圖式。

在圖21中所示之等效電路中，由圖20中之參考符號N01表示之第一路徑電晶體係藉由改變圖14中所示之等效電路中所採用之NMOS電晶體而獲得之一PMOS電晶體。另外，第一電壓V1係作為設定處於一高位準下之一電壓之電源電壓Vdd。除此之外，圖21中所示之設定閘極電壓產生電路12之組態不同於圖14中所示之設定閘極電壓產生電路12之組態。

因圖21中所示之設定閘極電壓產生電路12係驅動一電流

以流入記憶體單元MC之一電路，故MOS電晶體汲極飽和特性曲線相對於作為源極線SL之共同線之電位之遞增方向之姿勢與MOS電晶體汲極飽和特性曲線相對於在圖14中所示之設定閘極電壓產生電路12之情況下作為位元線BL之共同線之電位之姿勢相反。出於同樣原因，負載直線相對於在圖21中所示之設定閘極電壓產生電路12之情況下作為源極線SL之共同線之電位之遞增方向之姿勢與負載直線相對於在圖14中所示之設定閘極電壓產生電路12之情況下作為位元線BL之共同線之電位之姿勢相反。

在那時，存取電晶體AT在一足夠低的阻抗下操作。因此，假定沿著存取電晶體AT之一電壓降可忽略不計。

圖22A係展示就在記憶體單元MC仍處於一高電阻狀態HRS下時設定操作開始之後所展現之特性之一圖式。更具體地說，該圖展示流經NMOS電晶體之一電流 I_{mos} 之一特性曲線及一單元電流 I_{cell} 之一負載直線。

按下述方式來將圖22A與針對第一實施例提供之圖15A相比較。替代位元線BL，使用源極線SL作為連接至路徑電晶體之第一共同線。另外，伴隨至讓一電流流向記憶體單元MC之一驅動方法之改變，如上文所述，MOS電晶體汲極飽和特性曲線相對於在圖21中所示之設定閘極電壓產生電路12之情況下作為源極線SL之共同線之電位之遞增方向之姿勢與MOS電晶體汲極飽和特性曲線相對於在圖14中所示之設定閘極電壓產生電路12之情況下作為位元線BL之共同線之電位之姿勢相反。出於同樣原因，負載直線相對

於在圖 21 中所示之設定閘極電壓產生電路 12 之情況下作為源極線 SL 之共同線之電位之遞增方向之姿勢與負載直線相對於在圖 14 中所示之設定閘極電壓產生電路 12 之情況下作為位元線 BL 之共同線之電位之姿勢相反。

然而，即使將操作點定位於 MOS 電晶體之線性區中以便對可變電阻元件 Re 施加一大的電壓應力，亦在一短轉變時間期間以與先前所解釋之第一實施例相同之方式施加一瞬時電壓。

圖 22B 係展示其中已在設定操作結束之後使記憶體單元反相至一低電阻狀態 LRS 之一狀態之特性之一圖式。

圖 22B 係對應於針對第一實施例提供之圖 15B 之一圖式。然而，圖 22B 中之 MOS 汲極飽和特性曲線及負載直線相對於共同線之電位之遞增方向之姿勢與圖 15B 中之相反。

不過，第二實施例等同於第一實施例，因為，在完成設定操作之後，電壓應力之量值因利用飽和特性之一電流限制器之操作而減小且不對記憶體單元 MC 施加一過大電流應力。

圖 23 係展示用於第二實施例中之一重設操作之一等效電路之一圖式。

在圖 23 中所示之等效電路中，由圖 20 中之參考符號 N02 所表示之第二路徑電晶體係藉由改變圖 16 中所示之等效電路中所採用之一 NMOS 電晶體所獲得之一 PMOS 電晶體。

另外，第二電壓 V2 係作為設定處於一低位準下之一電壓之

參考電壓 V_{ss} 。

因存取電晶體 AT 在一足夠低的阻抗下操作，故假定沿著存取電晶體 AT 之一電壓降可忽略不計。

圖 24A 係展示就在記憶體單元 MC 仍處於一低電阻狀態 LRS 下時重設操作開始之後所展現之一負載特性之一圖式。更具體地說，該圖展示流經 NMOS 電晶體之一電流 I_{mos} 之一特性曲線及一單元電流 I_{cell} 之一負載直線。

應注意，伴隨至藉由利用第二路徑電晶體自記憶體單元 MC 取出一電流之一驅動方法之改變，與圖 17A 中所示之特性相比較，圖 24A 中之 MOS 電晶體汲極飽和特性曲線及負載直線相對於共同線之電位之遞增方向之姿勢與圖 17A 中之相反。

然而，第二實施例類似於第一實施例，因為圖 24A 中所示之一相對大的電流應力係一瞬時應力且需要作為用於至一低電阻狀態 LRS 之反相之一觸發條件，以便該應力不驅策特性劣化。

圖 24B 係展示亦在記憶體單元 MC 已改變至一高電阻狀態 HRS 時重設操作結束之後所展現之一負載特性之一圖式。

即使電流應力在重設操作結束之後減小，電壓應力亦增大。然而，此電壓應力基於施加至第二路徑電晶體之閘極電極之重設閘極電壓 V_{grst} 受一限制器限制。除此之外，此電壓實際上係比重設閘極電壓 V_{grst} 低等於閘極-源極電壓 V_{gs} 之一電壓差之一電壓且驅策在量值上等於由電源之電壓之一小部分所引起之一應力之一小電壓應力。因此，

此電壓不驅策造成一特性劣化之一電壓應力。在此種情況下，第二實施例之特性等同於針對第一實施例給出之圖17B中所示之特性。

如自上文所述之第一實施例及第二實施例顯而易見，本發明可應用至其中將NMOS及PMOS電晶體兩者用作第一路徑電晶體及第二路徑電晶體之組態。

應注意，作為設定/重設驅動器10之組態展示於圖10及圖20中之組態各自係一典型組態。設定/重設驅動器10可採用任一其他組態，只要在該其他組態中，一第一共同線連接至用於供應一第一電壓之一第一電壓供應線而一第二共同線連接至用於供應不同於第一電壓之一第二電壓之一第二電壓供應線。

藉由採用此一組態，將設定操作及重設操作中之特定一者施行為一汲極輸出操作而將設定操作及重設操作中之另一者實施為一源極隨耦器操作且因此可實施能夠輕易地將操作自設定操作切換至重設操作(反之亦然)之一驅動電路。

另外，上文所解釋之第一實施例及第二實施例中每一者係針對其中可變電阻元件係一ReRAM之情形而提供。

然而，本發明亦可應用至展現大於通常為自旋注入方法之設定操作及重設操作電阻變化之另一可變電阻記憶體裝置。亦在採用自旋注入方法之一自旋RAM之情況下，存在本發明之應用效應，其限制條件為：電阻變化之量值如此之大以致於操作點移動至線性區，亦即，非飽和區。

在此等情況下，提供其中記憶體元件係具有變化達如此大的一量以致第一或第二路徑電晶體之設定及重設操作中之操作點進行第一或第二路徑電晶體之飽和區與非飽和區之間的轉變之一電阻之一可變電阻元件之一組態係合意的。

按下述方式來解釋可對其應用本發明之其他記憶體。

本發明亦可應用至其中一電阻因由一硫化物基礎材料製成之金屬離子之移動而變化之一導電記憶體。此一導電記憶體之一典型實例係一ARAM。

本發明亦可應用至其中一電阻變化以伴隨一過渡金屬氧化物膜中之氧離子之移動之一記憶體。

本發明亦可應用至其中一電阻因一磁性材料之使用而變化之一記憶體。此一記憶體之一典型實例係包含一自旋RAM之一MRAM。

從另一觀點出發，本發明亦可應用至其中一電阻因施加至記憶體之一電壓之極性之反相而變化之各種各樣的雙極記憶體。該等雙極記憶體包含ReRAM、MRAM(包含自旋RAM)及其他記憶體。

另外，本發明亦可應用至其中一電阻變化很大以致甚至在其他記憶體具有不同於上文所述之記憶體之電阻變化機制之一電阻變化機制時亦展現本發明之效應之所有其他記憶體。本發明之效應為應力之減小。

本發明含有與於2010年7月21日在日本專利局提出申請之日本優先專利申請案JP 2010-164380中所揭示之標的物

相關之標的物，該申請案之全部內容據此以引用方式併入。

熟習此項技術者應理解，可視設計需求及其他因素而作出各種修改、組合、子組合及變更，只要其在隨附申請專利範圍及其等效範圍之範疇內。

【圖式簡單說明】

圖1係展示在解釋相關技術之一文獻中所闡述之一寫入線解碼器之基本組態之一圖式；

圖2A及圖2B係各自展示為各實施例所共有之一記憶體單元之一等效電路之複數個圖式；

圖3係展示一可變電阻記憶體裝置之兩個毗鄰記憶體單元之結構之一剖視圖；

圖4A及圖4B係各自展示流經一記憶體元件之一電流之方向及施加至一可變電阻記憶體裝置中所採用之記憶體元件之一電壓之一典型量值之複數個模型圖；

圖5係展示一可變電阻記憶體裝置之一方塊圖；

圖6係展示一X選擇器之一邏輯電路之一圖式；

圖7係展示一Y選擇器之一邏輯電路之一圖式；

圖8係展示一WL驅動器單元之一邏輯電路之一圖式；

圖9係一YSW驅動器單元之一邏輯電路之一圖式；

圖10係展示包含用於兩個記憶體行之一驅動電路之電路以便展示根據一第一實施例之一設定/重設驅動器之組態之一圖式；

圖11係展示包含一驅動電路之電路以便展示一感測放大器之組態之一圖式；

圖 12 係展示包含與圖 10 中所示相同之驅動電路之電路以便展示一電流路徑之一圖式；

圖 13A1 至圖 13F4 係展示為第一實施例及第二實施例所共有之操作波形之圖式；

圖 14 係展示用於在第一實施例中施行之一設定操作之一等效電路之一圖式；

圖 15A 及圖 15B 係展示就在第一實施例中之設定操作開始及該操作結束之後的負載特性之複數個圖式；

圖 16 係展示用於在第一實施例中施行之一重設操作之一等效電路之一圖式；

圖 17A 及圖 17B 係展示就在第一實施例中之重設操作開始及該操作結束之後的負載特性之複數個圖式；

圖 18 係展示用於一典型比較電路中之一重設操作之一等效電路之一圖式；

圖 19A 及圖 19B 係展示在該典型比較電路中展示處於一記憶體元件之高電阻及低電阻狀態下之負載特性之複數個圖式；

圖 20 係展示包含用於兩個記憶體行之一驅動電路之電路以便展示根據一第二實施例之一設定/重設驅動器之組態之一圖式；

圖 21 係展示用於在第二實施例中施行之一設定操作之一等效電路之一圖式；

圖 22A 及圖 22B 係展示就在第二實施例中之設定操作開始及該操作結束之後的負載特性之複數個圖式；

圖 23 係展示用於在第二實施例中施行之一重設操作之一等效電路之一圖式；及

圖 24A 及圖 24B 係就在第二實施例中之重設操作開始及該操作結束之後的負載特性之複數個圖式。

【主要元件符號說明】

1	記憶體單元陣列
3	預解碼器
4	列驅動電路
4A	字線驅動器單元
6	行開關電路
6A	YSW 驅動器單元
6B	共同線分離開關區段
6C	放電開關區段
7	感測放大器
9	輸入/輸出緩衝器
10	設定/重設驅動器
11	控制電路
12	設定閘極電壓產生電路
13	重設閘極電壓產生電路
16	邏輯區塊
20	X 選擇器
30	Y 選擇器
61	NMOS 電晶體
62	NMOS 電晶體

63	NMOS電晶體
64	NMOS電晶體
65	NMOS電晶體
71	NMOS電晶體
72	NMOS電晶體
73	NMOS電晶體
74	PMOS電晶體
75	差動放大器
100	基板
101	下部電極
102	絕緣體膜
103	導體膜
104	插頭
121	恆定電流源
122	NMOS電晶體
200	寫入線解碼器
210	寫入線
220	寫入線
400	外部寫入電流產生電路
AT	存取電晶體
BL	位元線
BL(1M)	第一導線層
BL<0>	位元線
BL<1>	位元線

BL<M-1>	位元線
BL<M-2>	位元線
BLC	位元線觸點
BLEQ	位元線等化信號
D<0>	資料
D<1>	資料
/D<0>	經反相資料
/D<1>	經反相資料
DIR	電流方向信號
Dout	信號
ERS	抹除信號
Icell	單元電流
Ie	抹除電流
Imos	電流
INV0	反相器
INV1	反相器
INV2	反相器
INV3	反相器
INV4	反相器
INV5	反相器
INV6	反相器
INV7	反相器
INV8	反相器
INV9	反相器

INV10	反相器
INV11	反相器
INV12	反相器
INV13	反相器
INV14	反相器
INV15	反相器
INV16	反相器
INV21	反相器
INV22	反相器
INV31	反相器
INV32	反相器
INV33	反相器
INV34	反相器
INV35	反相器
INV36	反相器
Ireset	重設電流
Irst	重設電流
Iset	設定電流
IW	寫入電流
IW1	寫入電流
IW2	寫入電流
MC	記憶體單元
MC<0>	記憶體單元
MC<1>	記憶體單元

MRE	磁阻元件
N01	NMOS電晶體
N02	NMOS電晶體
N03	NMOS電晶體
N04	NMOS電晶體
N1	NMOS電晶體
N2	NMOS電晶體
N3	NMOS電晶體
N4	NMOS電晶體
N5	NMOS電晶體
N6	NMOS電晶體
N11	NMOS電晶體
N11	NMOS電晶體
N12	NMOS電晶體
NAND0	NAND電路
NAND1	NAND電路
NAND2	NAND電路
NAND3	NAND電路
NAND4	NAND電路
NAND21	NAND電路
NAND22	NAND電路
NAND31	NAND電路
NAND32	NAND電路
Ns	感測節點

P01	PMOS電晶體
P02	PMOS電晶體
P12	PMOS電晶體
Rcell	記憶體單元MC之電阻
RD	資料讀取信號
Re	可變電阻元件
Re<0>	可變電阻元件
Re<1>	可變電阻元件
Rmos	路徑電晶體之線性電阻
SAEN	感測放大器啟用信號
SL	源極線
SL<0>	源極線
SL<1>	源極線
SL<M-1>	位元線
SL<M-2>	位元線
SLC	源極線觸點
T0	時間
T1	時間
T2	時間
V1	第一電壓
V2	第二電壓
V(cell)	電壓
Vclamp	箝位電壓
Vdd	電源電壓

Vgrst	重設閘極電壓
Vgs	電壓
Vgset	設定閘極電壓
Vm	中間節點
VR	位元線箝位電壓
VREF	參考電位
Vss	參考電壓
WEN	資料輸入啟用信號
WL	字線
WL<0>	字線
WL<1>	字線
WL<2>	字線
WL<3>	字線
WL<N-1>	字線
WLEN	字線選擇啟用信號
WRT	寫入信號
X0	X位址信號
X1	X位址信號
Y0	Y位址信號
Y1	Y位址信號
YSW	Y開關
YSW<0>	Y開關
YSW<1>	Y開關
YSWEN	Y開關啟用信號

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100123188

※申請日：100.6.30

※IPC 分類：G11C13/00 (2006.01)

一、發明名稱：(中文/英文)

G11C 11/56 (2006.01)

可變電阻記憶體裝置及其驅動方法

VARIABLE-RESISTANCE MEMORY DEVICE AND ITS DRIVING
METHOD

二、中文發明摘要：

一種可變電阻記憶體裝置包含一記憶體單元及一驅動電路，該記憶體單元包含：一記憶體元件，該記憶體元件可根據在一設定操作或一重設操作中施加至該記憶體元件之一應用電壓之一極性在電阻上變化；及一存取電晶體，其在第一共同線與第二共同線之間串聯連接至該記憶體元件；該驅動電路包含：一第一路徑電晶體，其連接於用於供應一第一電壓之一第一供應線與該第一共同線之間；以及一第二路徑電晶體，其連接於用於供應一第二電壓之一第二供應線與該第一共同線之間。

三、英文發明摘要：

A variable-resistance memory device includes: a memory cell including a memory element being variable in resistance in accordance with a polarity of an application voltage applied to the memory element in a set or reset operation and an access transistor connected to the memory element in series between first and second common lines; and a driving circuit including a first path transistor connected between a first supply line for supplying a first voltage and the first common line as well as a second path transistor connected between a second supply line for supplying a second voltage and the first common line.

七、申請專利範圍：

1. 一種可變電阻記憶體裝置，其包括：

一記憶體單元，其包含：一記憶體元件，其可根據在一設定操作或一重設操作中施加至其之一應用電壓之一極性在電阻上變化；及一存取電晶體，其在第一共同線與第二共同線之間串聯連接至該記憶體元件；及

一驅動電路，其包含連接於用於供應一第一電壓之一第一供應線與該第一共同線之間的一第一路徑電晶體以及連接於用於供應一第二電壓之一第二供應線與該第一共同線之間的一第二路徑電晶體，

其中該驅動電路控制施加至該第一路徑電晶體之閘極電極之一電壓、施加至該第二路徑電晶體之閘極電極之一電壓及出現在該第二共同線上之一電壓，以便在對該記憶體元件施加該應用電壓以執行該設定操作時驅動該第一路徑電晶體以施行一汲極輸出操作，且在對該記憶體元件施加該應用電壓以執行該重設操作時驅動該第二路徑電晶體以施行一源極隨耦器操作。

2. 如請求項1之可變電阻記憶體裝置，其中該記憶體元件係一可變電阻元件，該可變電阻元件具有變化達如此大的一量以致該第一路徑電晶體或該第二路徑電晶體之該設定操作及該重設操作中之操作點進行該第一路徑電晶體或該第二路徑電晶體之飽和區與非飽和區之間的轉變之一電阻。

3. 如請求項2之可變電阻記憶體裝置，該可變電阻記憶體

裝置包含一組態，其中：

提供具有同時受控之該等存取電晶體之複數個該等記憶體單元；

在該等記憶體單元之佈局中，針對該等記憶體單元中之每一者提供由該第一共同線及該第二共同線組成之一共同線對；且

該驅動電路能夠針對該等記憶體單元中之每一者獨立地控制施加至該第一路徑電晶體之閘極電極之一電壓、施加至該第二路徑電晶體之閘極電極之一電壓及出現在該第二共同線上之一電壓。

4. 如請求項3之可變電阻記憶體裝置，該可變電阻記憶體裝置包含其中該驅動電路能夠執行控制以在同一週期或重疊週期期間在該等記憶體單元之佈局中施行對該等記憶體元件中之任何特定記憶體元件之該設定操作及對該等記憶體元件中之其他記憶體元件之該重設操作之一組態。
5. 如請求項3之可變電阻記憶體裝置，其中包含於該驅動電路中之該第一路徑電晶體及該第二路徑電晶體中之每一者係一第一導電類型之一絕緣閘極電晶體。
6. 如請求項5之可變電阻記憶體裝置，其中該第二電壓高於該第一電壓。
7. 如請求項6之可變電阻記憶體裝置，其中該驅動電路包含：

一第二導電第一控制電晶體，其用於在該設定操作中

對該第二共同線施加高於該第一電壓或該第二電壓之一電壓；及

一第一導電第二控制電晶體，其用於在該重設操作中對該第二共同線施加低於該第二電壓或該第一電壓之一電壓。

8. 如請求項7之可變電阻記憶體裝置，其中該驅動電路包含：

將其源極電極連接至該第一供應線之該第一導電第一路徑電晶體；

一第一導電第三控制電晶體，其連接於該第一導電第一路徑電晶體之汲極電極與該第一共同線之間；

將其汲極電極連接至該第一共同線之該第一導電第二路徑電晶體；

一第二導電第四控制電晶體，其連接於該第一導電第二路徑電晶體之源極電極與該第二供應線之間；及

一資料輸入區段，其經組態以根據輸入資料之邏輯分別驅動由該第一控制電晶體及該第三控制電晶體構成之一對以及由該第二控制電晶體及該第四控制電晶體構成之一對以施行差動操作。

9. 如請求項3之可變電阻記憶體裝置，其中包含於該驅動電路中之該第一路徑電晶體及該第二路徑電晶體中之每一者係一第二導電類型之一絕緣閘極電晶體。

10. 如請求項9之可變電阻記憶體裝置，其中該第一電壓高於該第二電壓。

11. 如請求項10之可變電阻記憶體裝置，其中該驅動電路包含：

一第一導電第一控制電晶體，其用於在該設定操作中對該第二共同線施加低於該第一電壓或該第二電壓之一電壓；及

一第二導電第二控制電晶體，其用於在該重設操作中對該第二共同線施加高於該第二電壓或該第一電壓之一電壓。

12. 如請求項11之可變電阻記憶體裝置，其中該驅動電路包含：

將其源極電極連接至該第一供應線之該第二導電第一路徑電晶體；

一第二導電第三控制電晶體，其連接於該第二導電第一路徑電晶體之汲極電極與該第一共同線之間；

將其汲極電極連接至該第一共同線之該第二導電第二路徑電晶體；

一第一導電第四控制電晶體，其連接於該第二導電第二路徑電晶體之源極電極與該第二供應線之間；及

一資料輸入區段，其經組態以根據輸入資料之邏輯分別驅動由該第一控制電晶體及該第三控制電晶體構成之一對以及由該第二控制電晶及該第四控制電晶體構成之一對以施行差動操作。

13. 如請求項3之可變電阻記憶體裝置，其中該設定操作係用以降低該記憶體元件之電阻之一操作且該重設操作係

用以升高該記憶體元件之電阻之一操作。

14. 如請求項1之可變電阻記憶體裝置，其中：

該記憶體單元係在兩個電極之間具有一導電離子供應層及與該導電離子供應層接觸之一可變電阻層之一可變電阻記憶體單元；且

根據施加於該兩個電極之間的一電壓之極性，將導電離子自該導電離子供應層注入至該可變電阻層中或使已注入至該可變電阻層中之該等導電離子返回至該導電離子供應層。

15. 如請求項1之可變電阻記憶體裝置，其中，在該設定操作或該重設操作中，對該存取電晶體之閘極電極施加能夠將該存取電晶體置於一關斷狀態下之一預定電壓。

16. 一種針對具有記憶體單元之一可變電阻記憶體裝置提供以充當用於驅動各自包含一記憶體元件且包含一存取電晶體之該等記憶體單元之一方法之方法，該記憶體元件可根據在一設定操作或一重設操作中施加至該記憶體元件之一應用電壓之極性在電阻上變化且該存取電晶體在第一共同線與第二共同線之間串聯連接至該記憶體元件，其中：

該第一共同線之一驅動路徑包含具有一第一路徑電晶體之一路徑及具有一第二路徑電晶體之一路徑；且

控制施加至該第一路徑電晶體之閘極電極之一電壓、施加至該第二路徑電晶體之閘極電極之一電壓及出現在該第二共同線上之一電壓，以便該第一路徑電晶體在對

該記憶體元件施加該應用電壓以執行該設定操作時施行一汲極輸出操作，且該第二路徑電晶體在對該記憶體元件施加該應用電壓以執行該重設操作時施行一源極隨耦器操作。

17. 如請求項16之用於驅動可變電阻記憶體裝置之方法，其中該記憶體元件係一可變電阻元件，該可變電阻元件具有變化達如此大的一量以致該第一路徑電晶體或該第二路徑電晶體之該設定操作及該重設操作中之操作點進行該第一路徑電晶體或該第二路徑電晶體之飽和區與非飽和區之間的轉變之一電阻。

18. 如請求項16之用於驅動可變電阻記憶體裝置之方法，其中：

在由該第一路徑電晶體施行之該汲極輸出操作中，停止用以經由該第二路徑電晶體來對該第一共同線施加該第二電壓之一操作；

在由該第二路徑電晶體施行之該源極隨耦器操作中，停止用以經由該第一路徑電晶體來對該第一共同線施加該第一電壓之一操作；且

為了使施加至該記憶體元件之該應用電壓能夠對該記憶體元件施行該設定操作或該重設操作，將出現在該第二共同線上之該電壓控制至一適當位準。

19. 如請求項16之用於驅動非揮發性可變記憶體裝置之方法，其中，對於包括經佈置以形成一矩陣之該等記憶體單元之一記憶體單元陣列，對屬於具有同時受控之該等

存取電晶體之該記憶體單元陣列之該等記憶體元件中之一者或多者施行之該設定操作之週期及對屬於該記憶體單元陣列之該等其他記憶體元件中之一者或多者施行之該重設操作之週期係同一週期或彼此重疊之週期。

八、圖式：

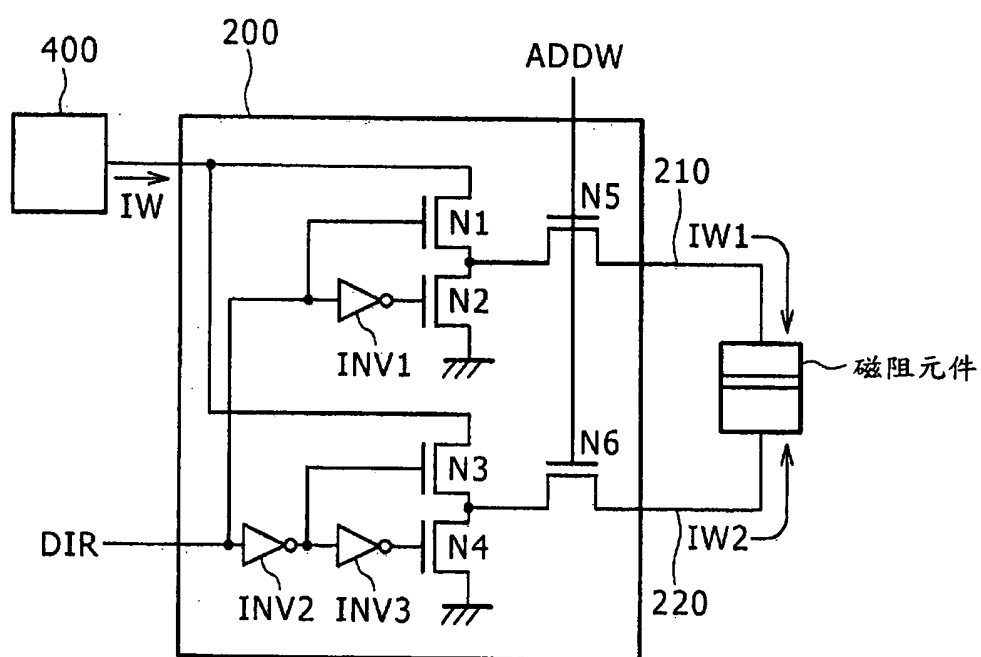


圖 1

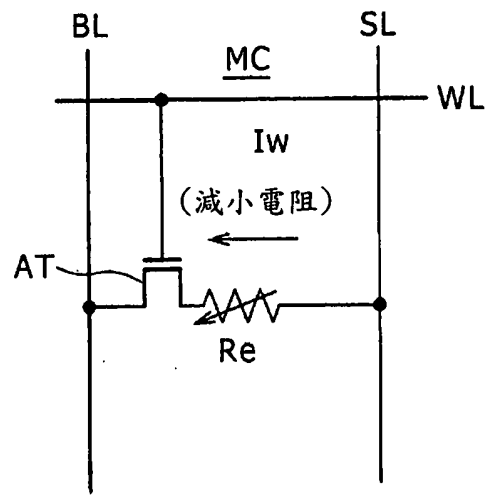


圖 2A

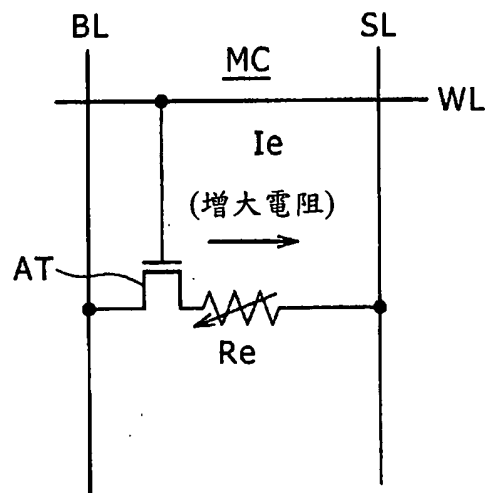


圖 2B

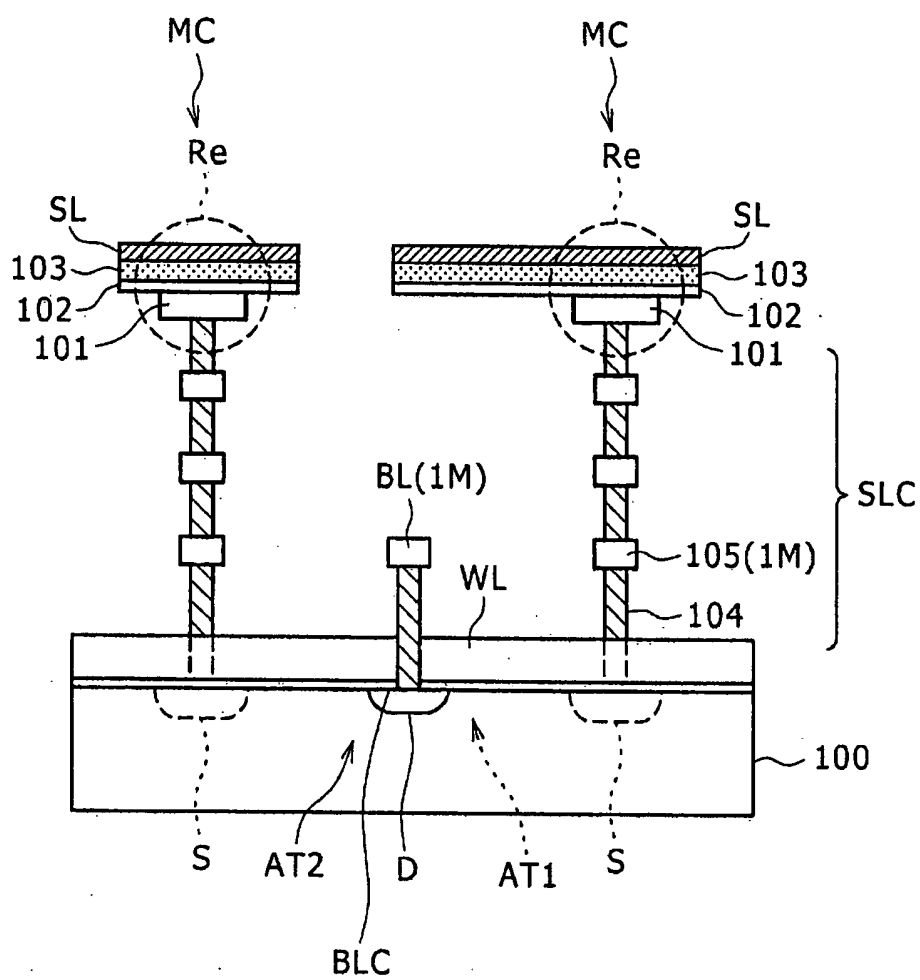


圖 3

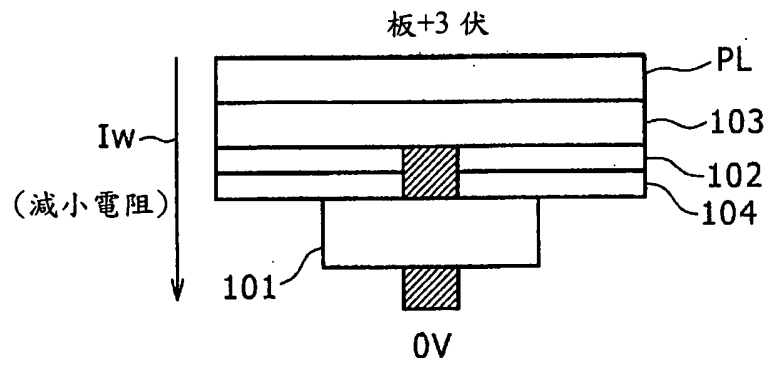


圖 4A

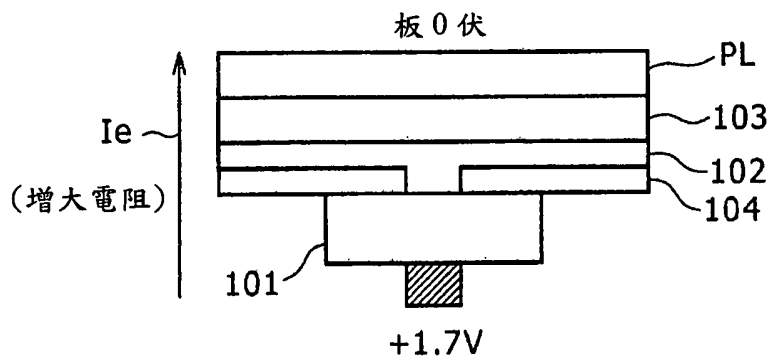


圖 4B

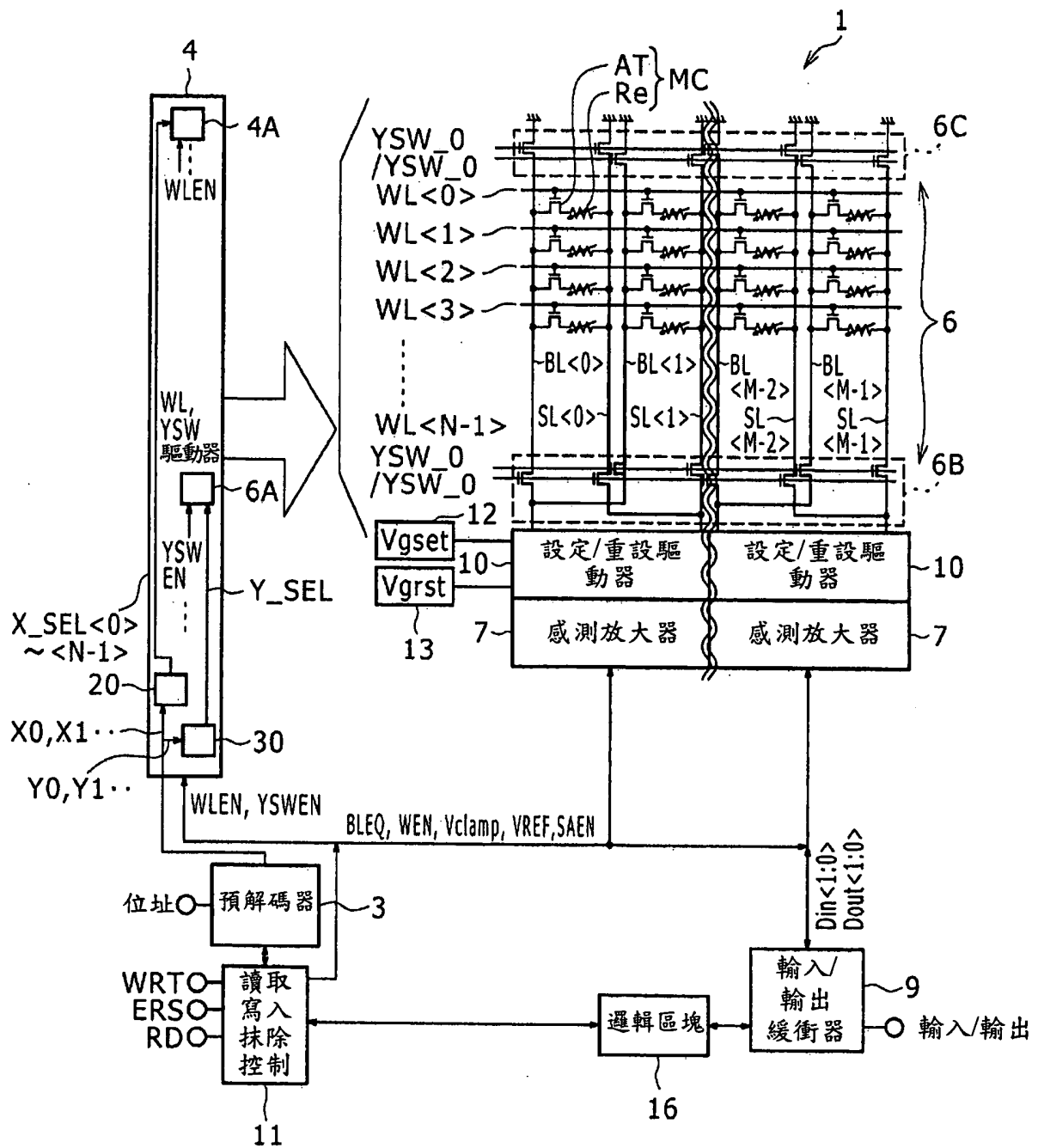


圖 5

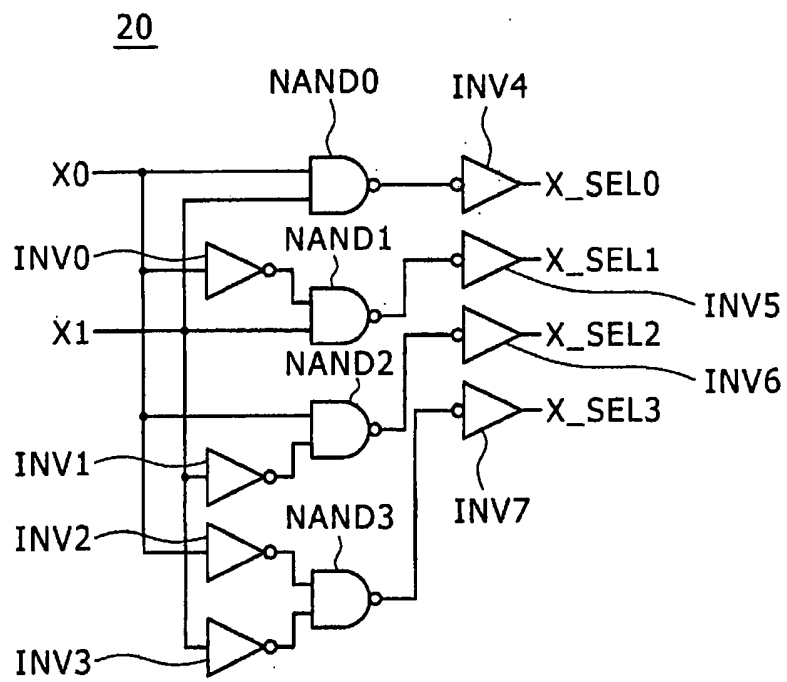


圖 6

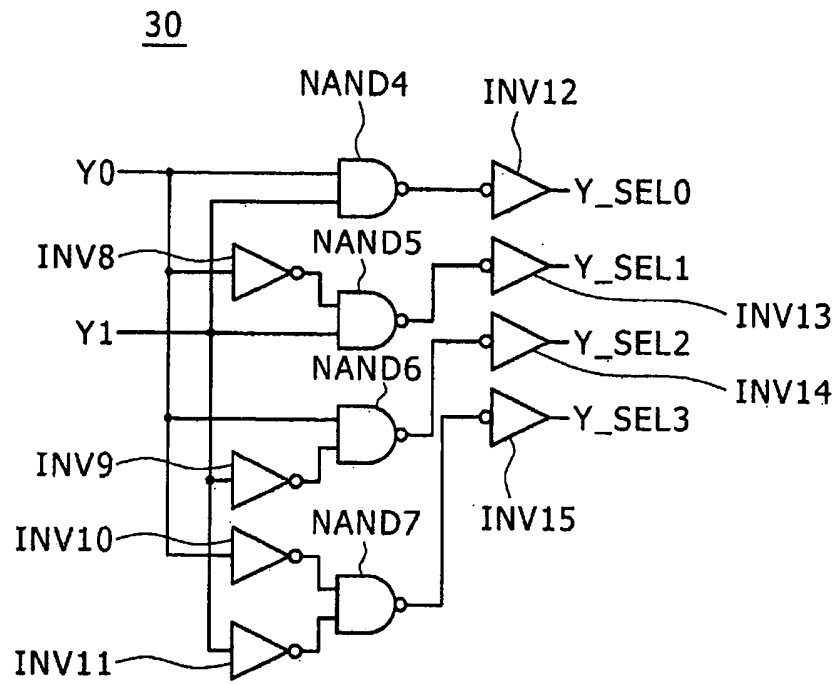


圖 7

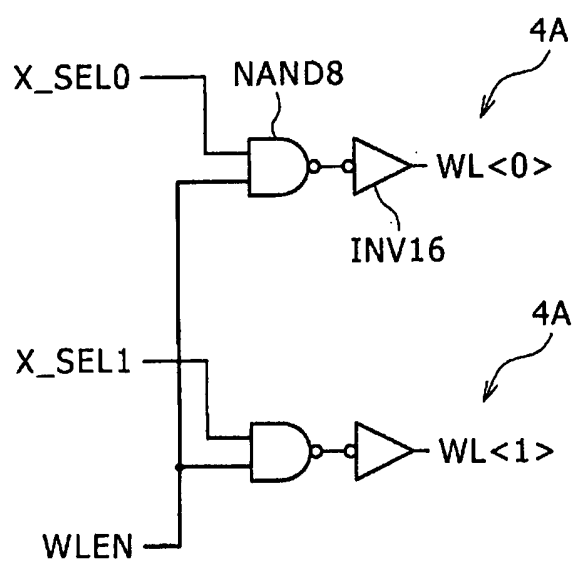


圖 8

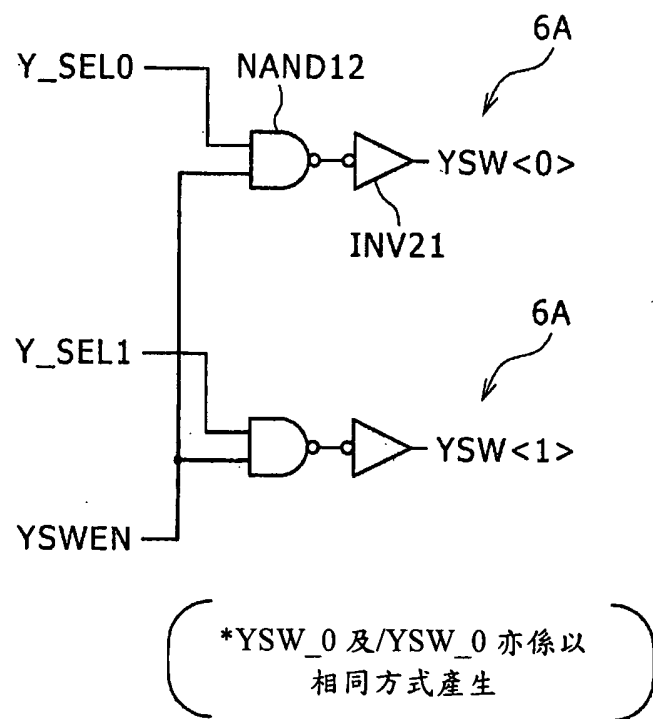
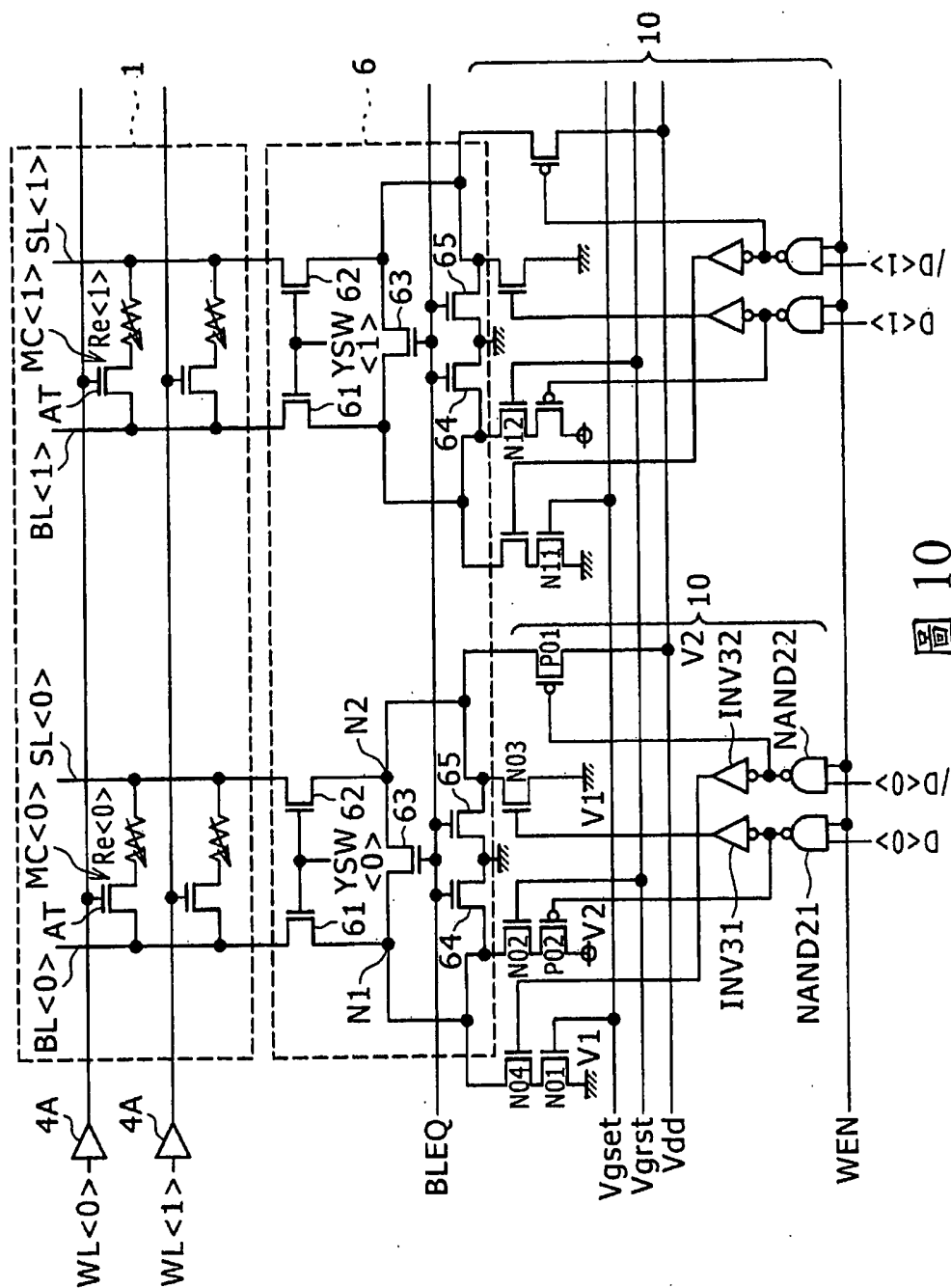


圖 9



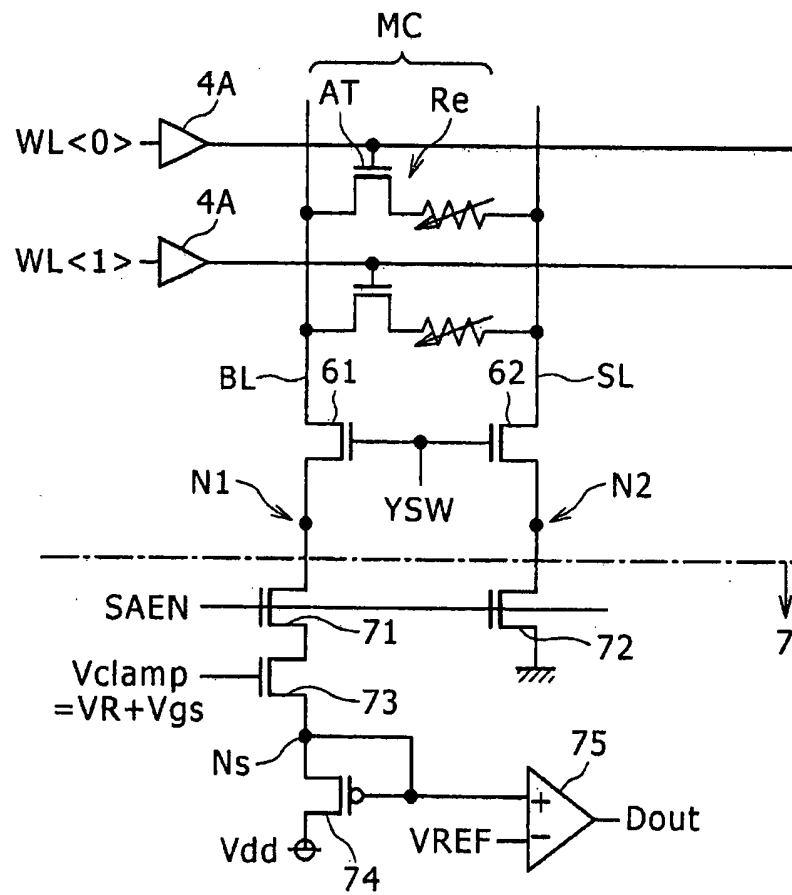


圖 11

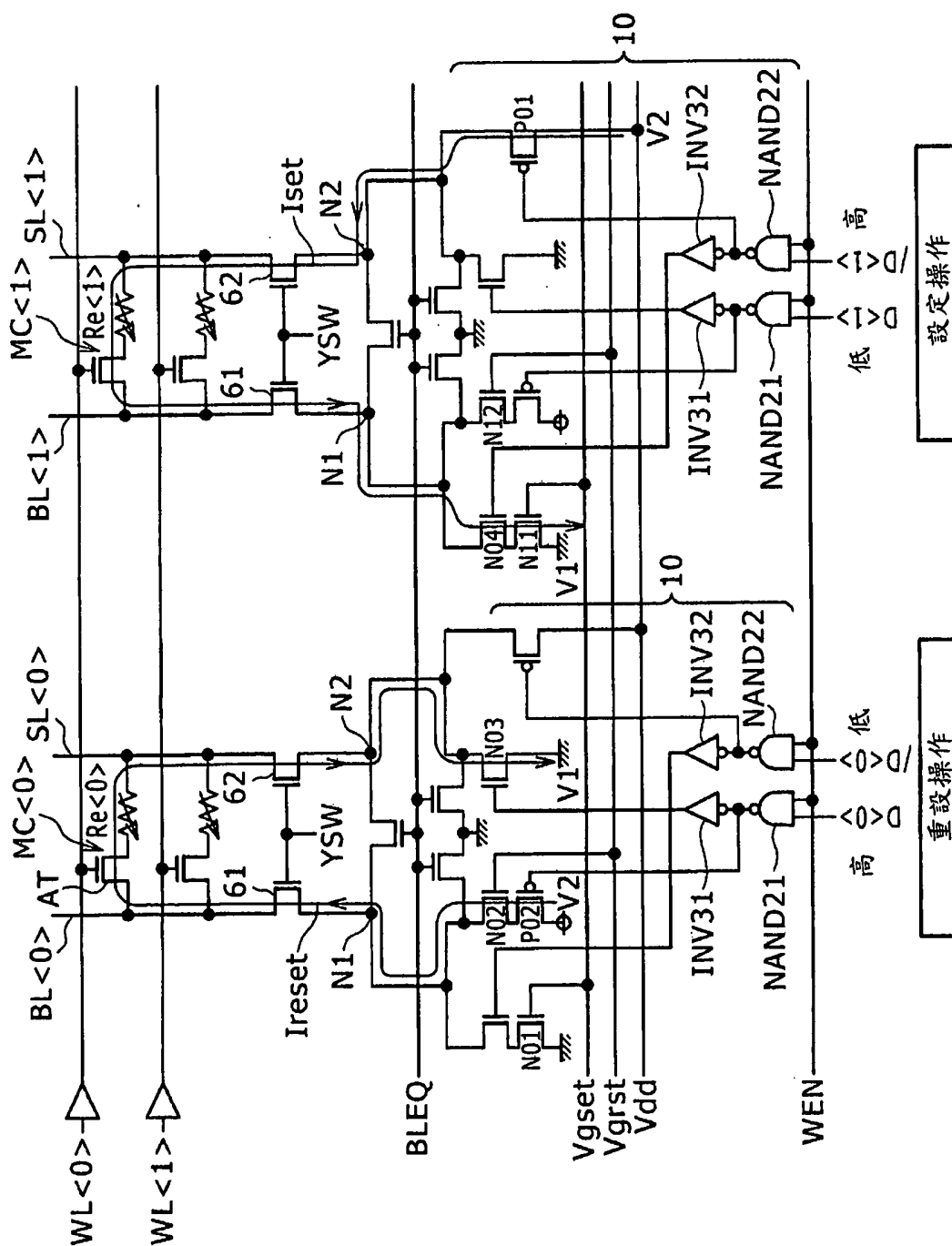
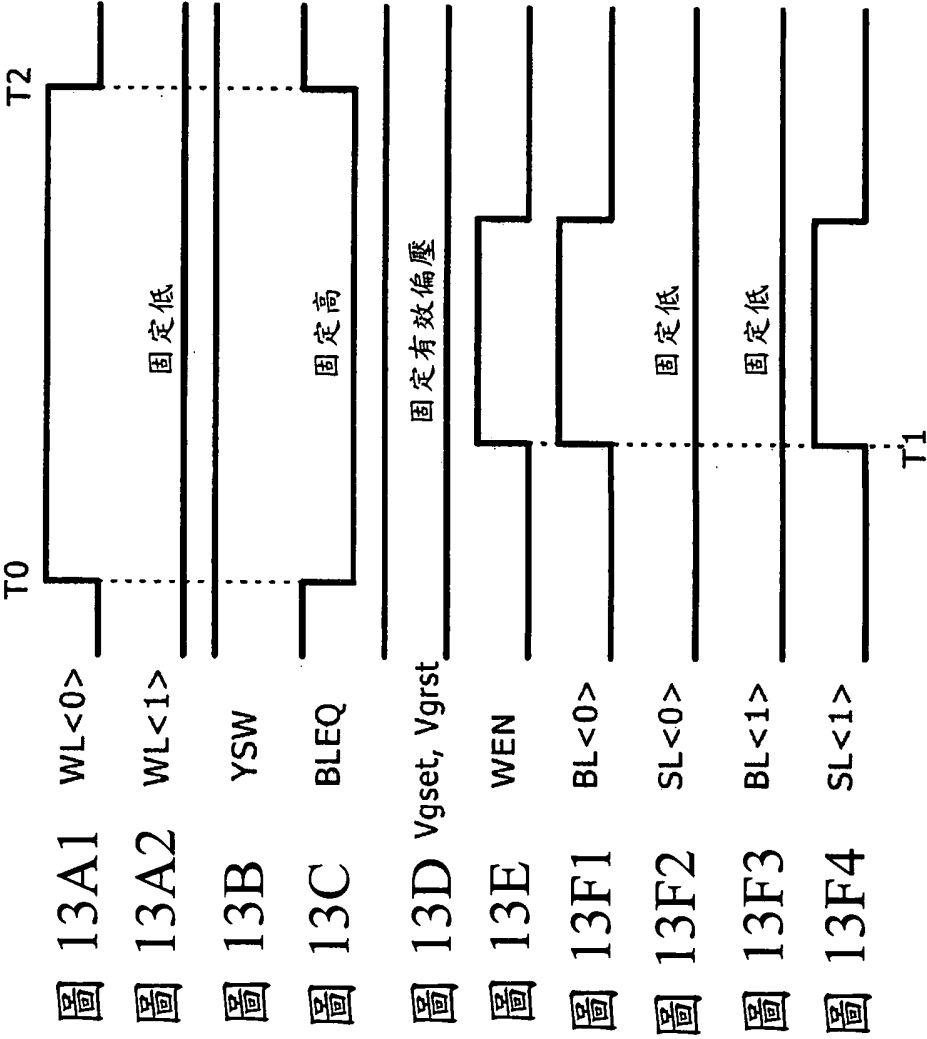


圖 12



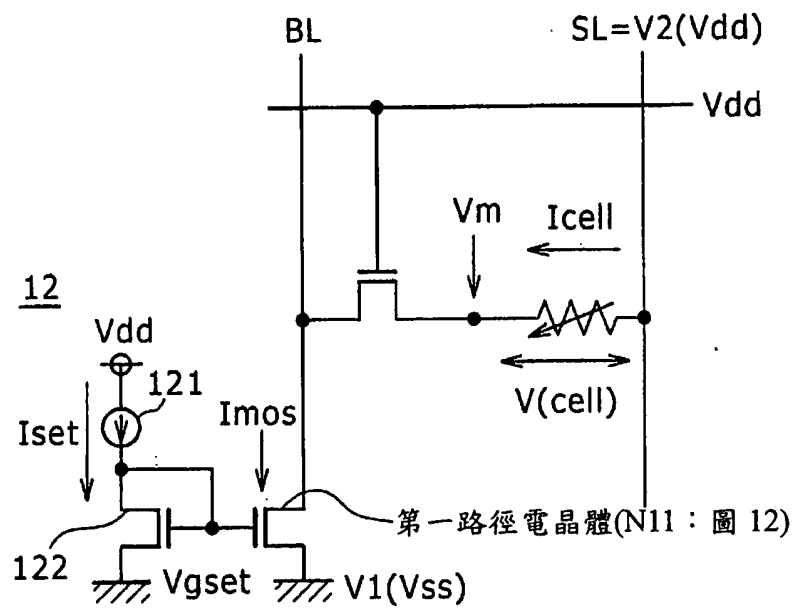


圖 14

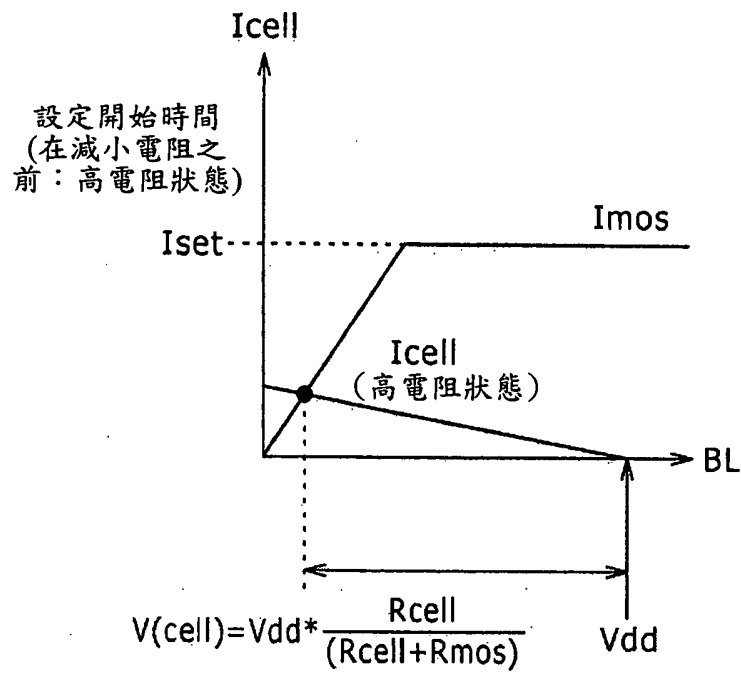


圖 15A

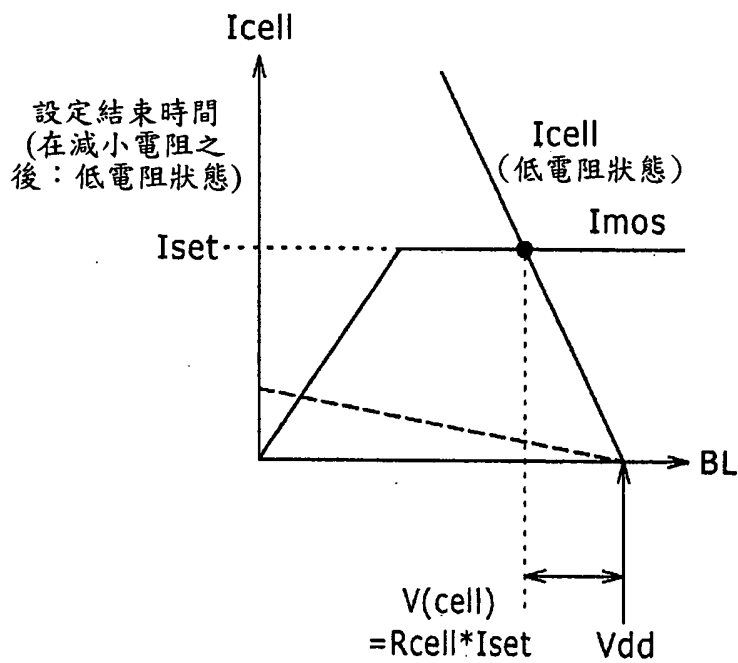


圖 15B

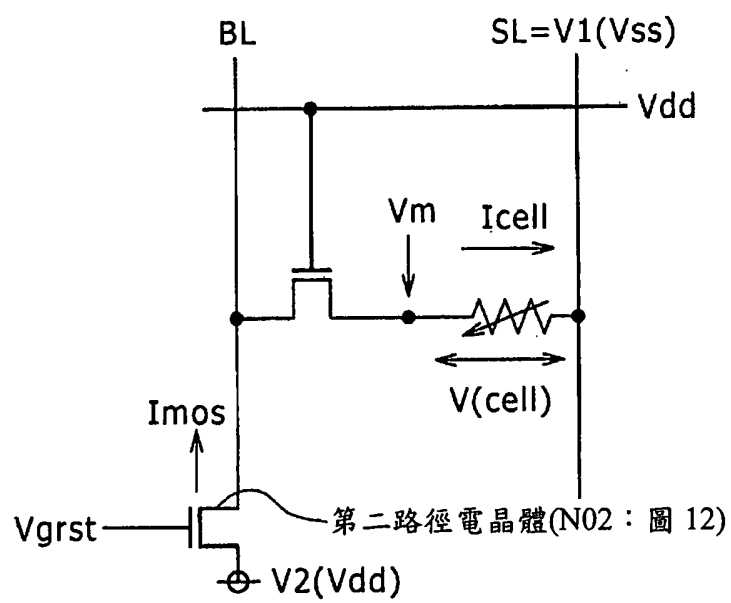


圖 16

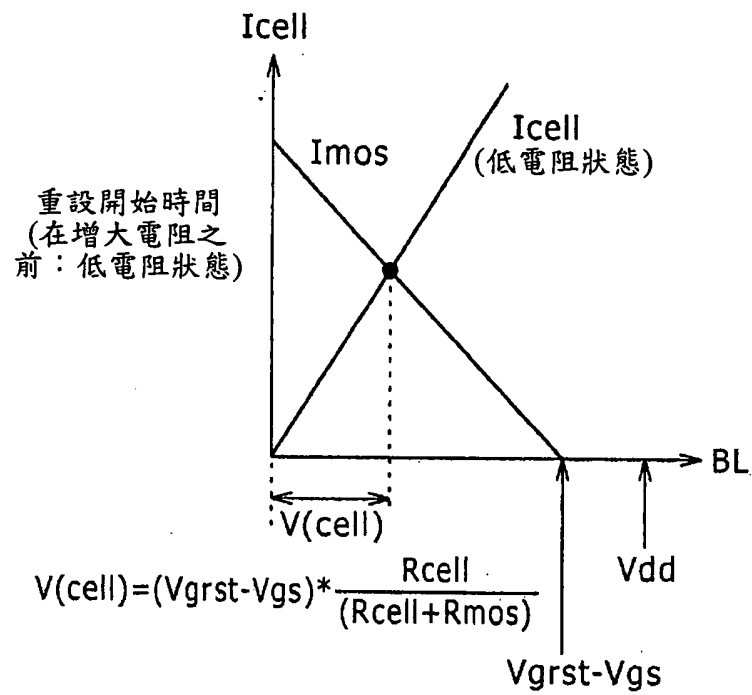


圖 17A

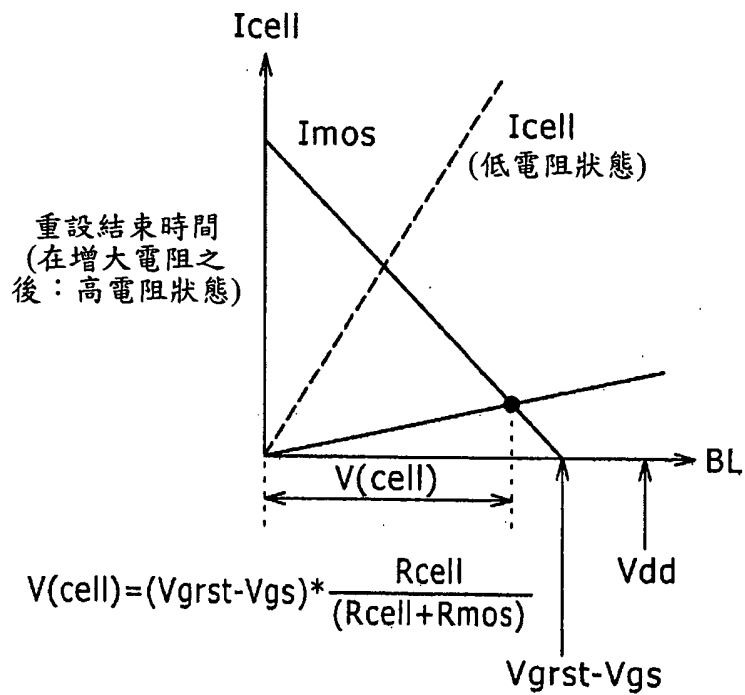


圖 17B

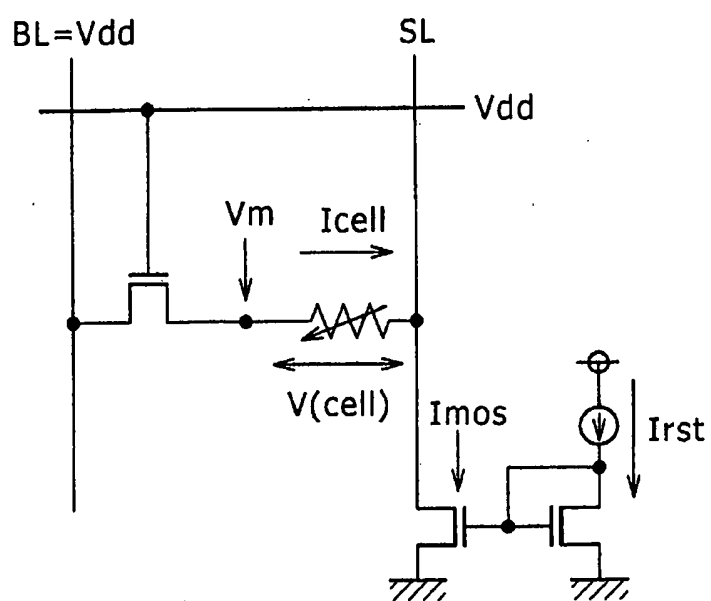


圖 18

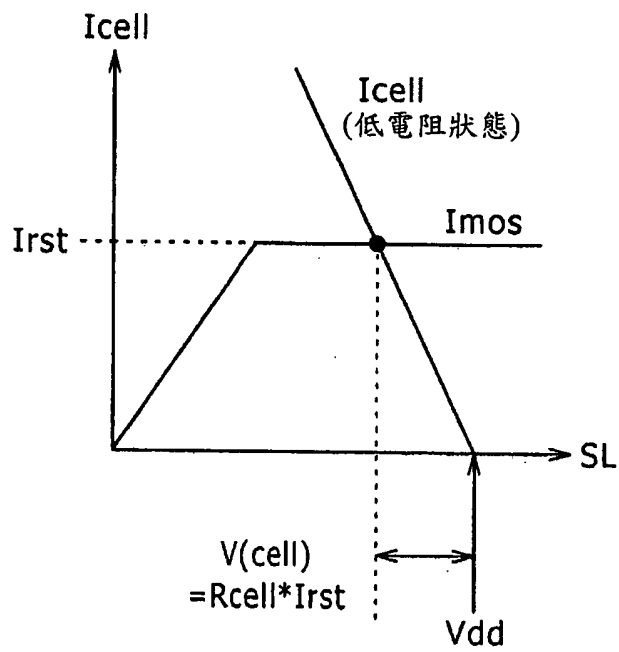


圖 19A

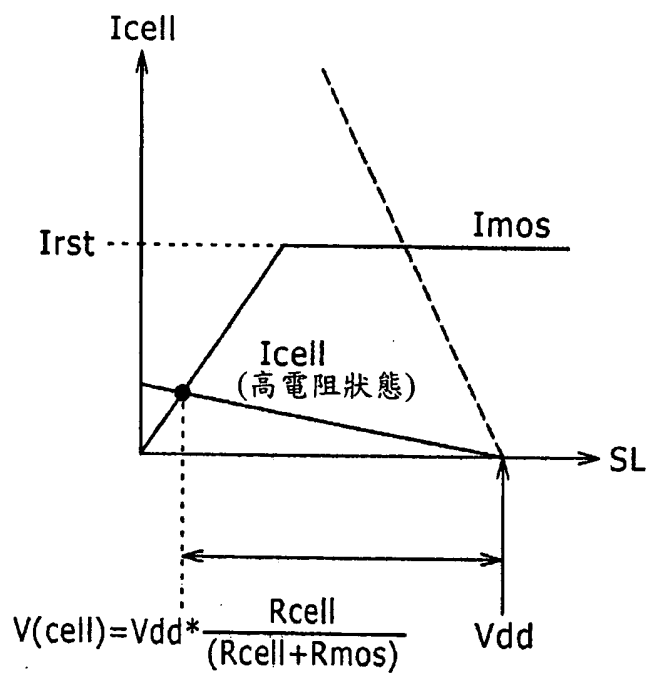


圖 19B

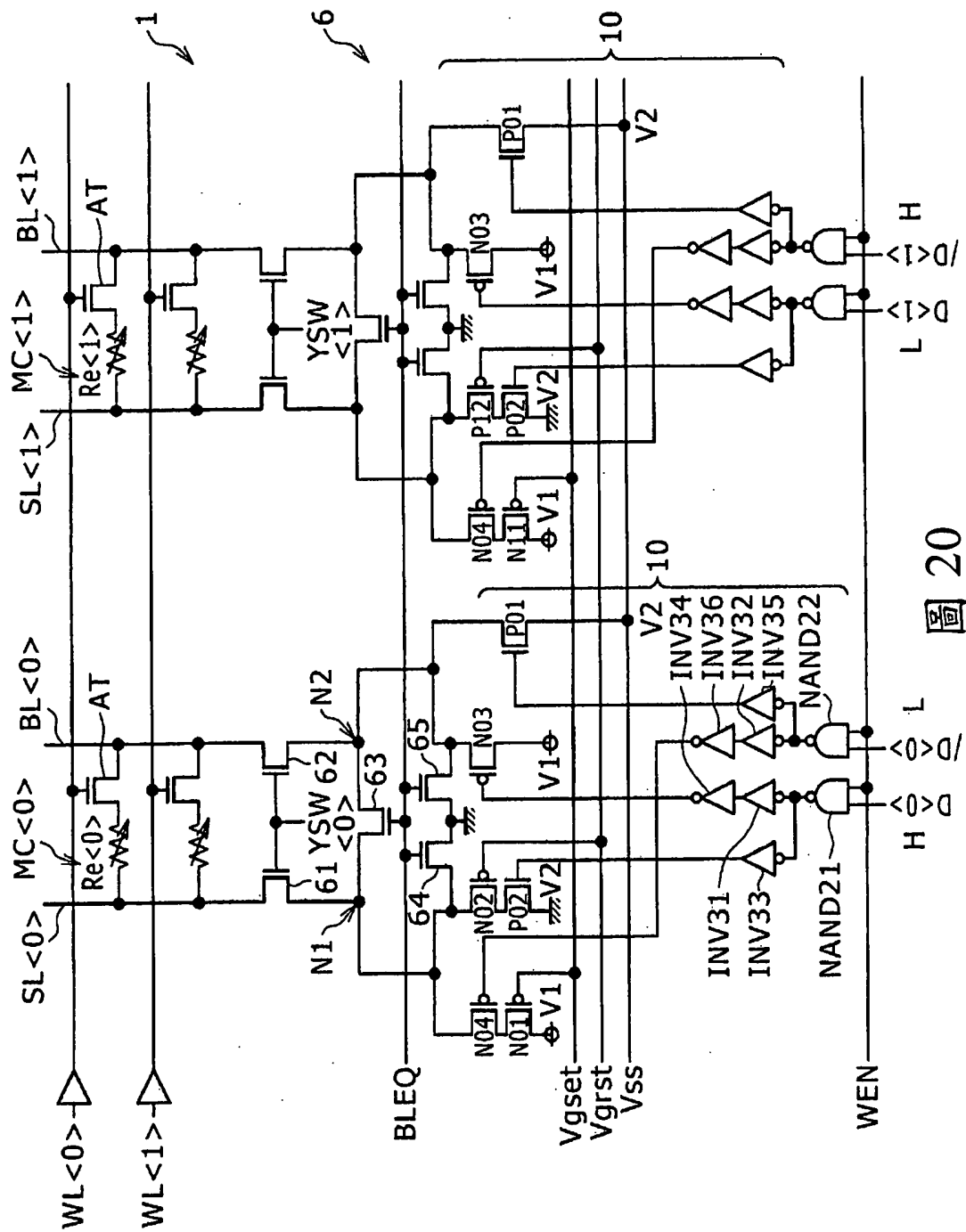


圖 20

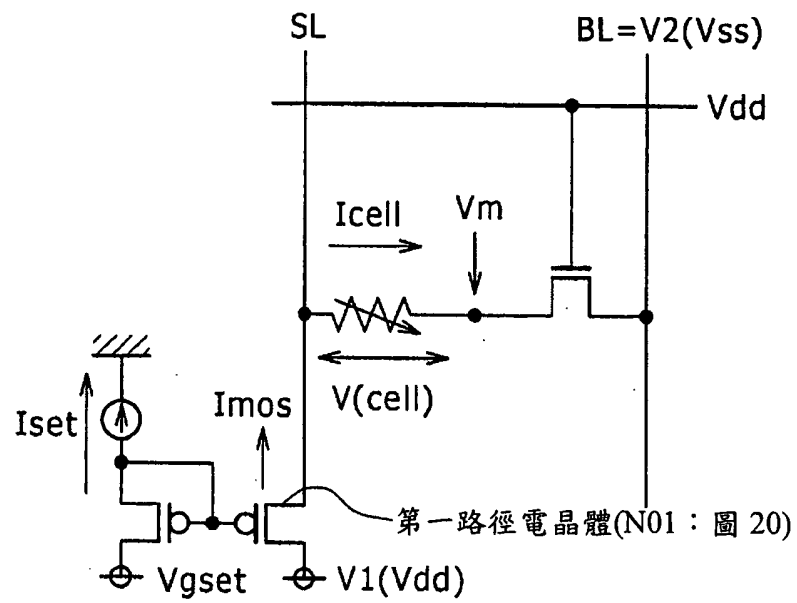


圖 21

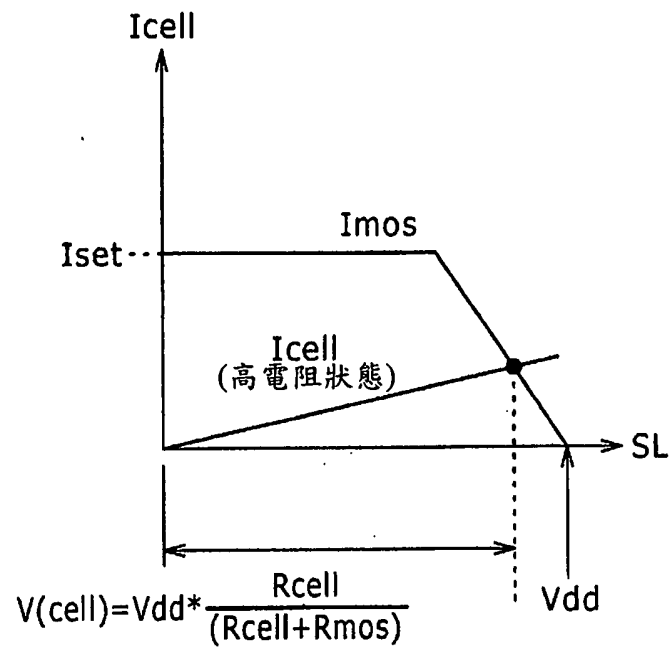


圖 22A

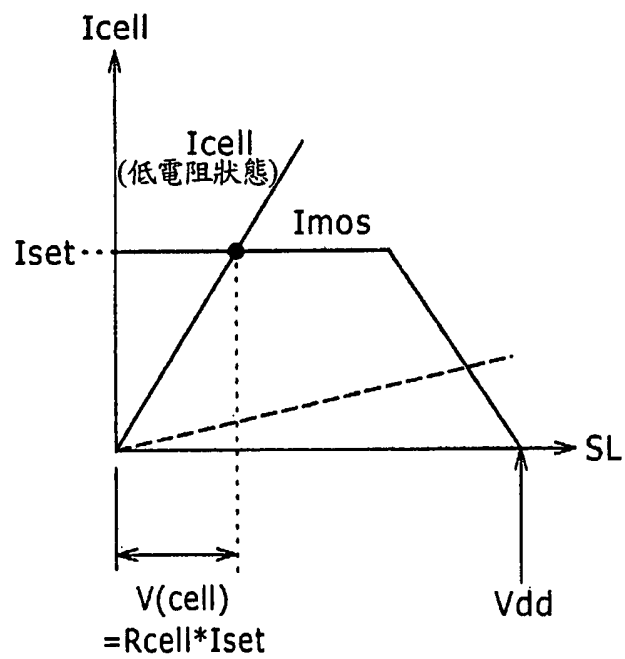


圖 22B

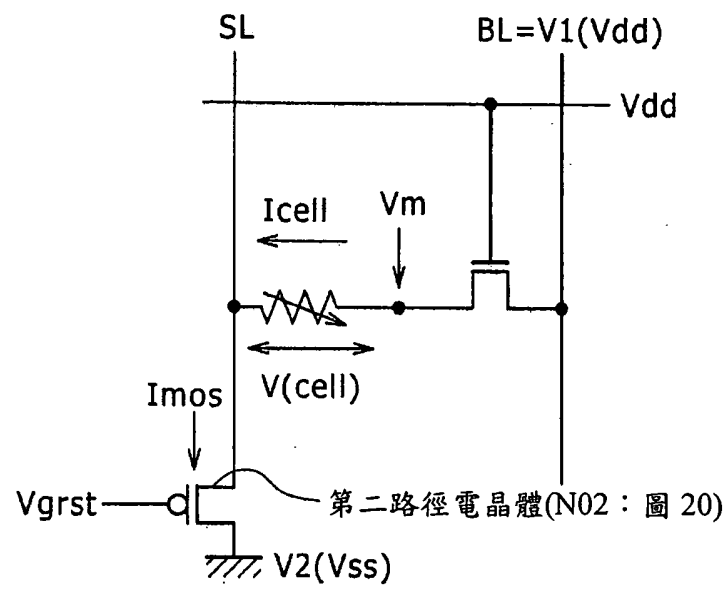


圖 23

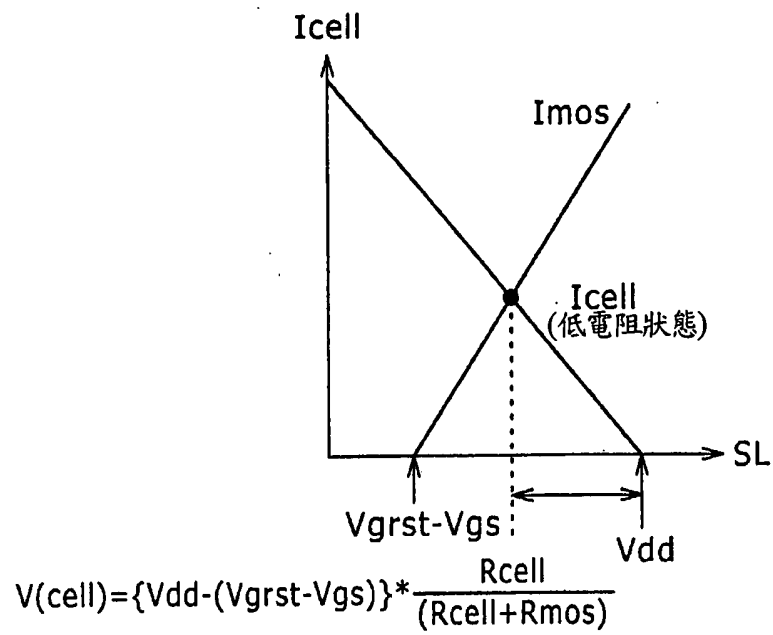


圖 24A

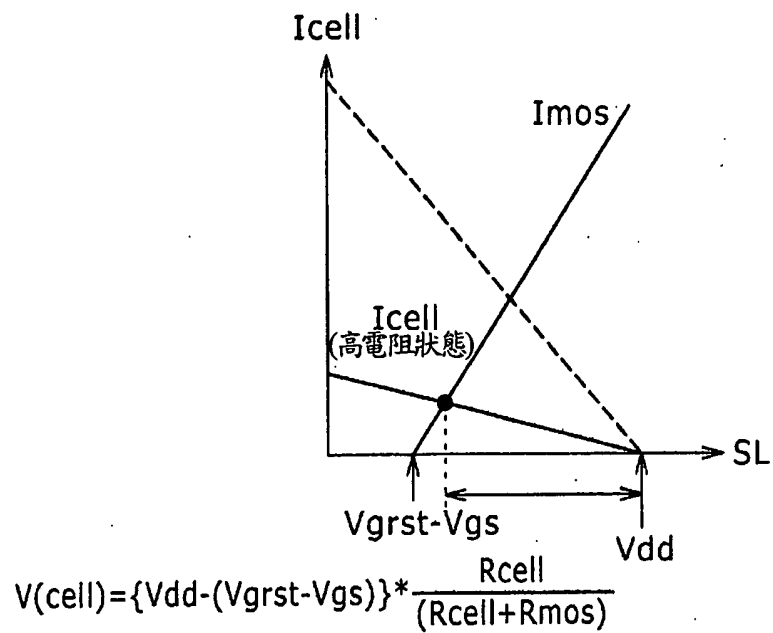


圖 24B

四、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

1	記憶體單元陣列
4A	字線驅動器單元
6	行開關電路
10	設定/重設驅動器
61	NMOS電晶體
62	NMOS電晶體
63	NMOS電晶體
64	NMOS電晶體
65	NMOS電晶體
AT	存取電晶體
BL<0>	位元線
BL<1>	位元線
BLEQ	位元線等化信號
D<0>	資料
D<1>	資料
/D<0>	經反相資料
/D<1>	經反相資料
INV21	反相器
INV22	反相器
INV31	反相器
INV32	反相器

MC<0>	記憶體單元
MC<1>	記憶體單元
N01	NMOS電晶體
N02	NMOS電晶體
N03	NMOS電晶體
N04	NMOS電晶體
N1	NMOS電晶體
N2	NMOS電晶體
N11	NMOS電晶體
N12	NMOS電晶體
NAND21	NAND電路
NAND22	NAND電路
P01	PMOS電晶體
P02	PMOS電晶體
Re<0>	可變電阻元件
Re<1>	可變電阻元件
SL<0>	源極線
SL<1>	源極線
V1	第一電壓
V2	第二電壓
Vdd	電源電壓
Vgrst	重設閘極電壓
Vgset	設定閘極電壓
WEN	資料輸入啟用信號

WL<0>	字 線
WL<1>	字 線
YSW<0>	行 選 擇 信 號
YSW<0>	Y 開 關
YSW<1>	行 選 擇 信 號
YSW<1>	Y 開 關

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)