

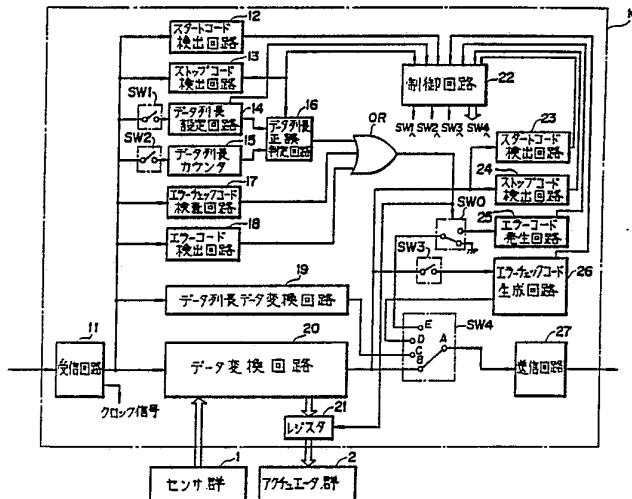


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ⁴ H04L 11/00, G05B 15/02		A1	(11) 国際公開番号 WO 89/ 08362
			(43) 国際公開日 1989年9月8日 (08.09.89)
(21) 国際出願番号 (22) 国際出願日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国 (71) 出願人 (米国を除くすべての指定国について) 株式会社 小松製作所 (KABUSHIKI KAISHA KOMATSU SEISAKUSHO) [JP/JP] 〒107 東京都港区赤坂2丁目3番6号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 守時正和 (MORITOKI, Masakazu) [JP/JP] 萩原政雄 (HAGIWARA, Masao) [JP/JP] 片山幸教 (KATAYAMA, Yukinori) [JP/JP] 〒254 神奈川県平塚市万田1200 株式会社小松製作所 研究所内 Kanagawa, (JP)	PCT/JP89/00209 1989年2月28日 (28. 02. 89) 特願昭 63-44100 特願昭 63-121288 特願昭 63-305583 特願昭 63-307595 1988年2月29日 (29. 02. 88) 1988年5月18日 (18. 05. 88) 1988年12月2日 (02. 12. 88) 1988年12月5日 (05. 12. 88) JP	(74) 代理人 弁理士 木村高久 (KIMURA, Takahisa) 〒104 東京都中央区銀座2丁目11番2号 銀座大作ビル6階 Tokyo, (JP) (81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), FR (欧州特許), GB (欧州特許), IT (欧州特許), KR, LU (欧州特許), NL (欧州特許), SE (欧州特許), US. 添付公開書類 国際調査報告書	

(54) Title: SERIES CONTROL UNIT AND METHOD OF CONTROL

(54) 発明の名称 直列制御装置およびその制御方法



- C1 ... clock signal
- 1 ... sensor group
- 2 ... actuator group
- 11 ... reception circuit
- 12 ... start code detection circuit
- 13 ... stop code detection circuit
- 14 ... data string length setting circuit
- 15 ... data string length counter
- 16 ... data string length correctness judgement circuit
- 17 ... error check code inspection circuit
- 18 ... error code detection circuit
- 19 ... data string length data conversion circuit
- 20 ... data conversion circuit
- 21 ... register
- 22 ... control circuit
- 23 ... start code detection circuit
- 24 ... stop code detection circuit
- 25 ... error code generation circuit
- 26 ... error check code generation circuit
- 27 ... transmission circuit

(57) Abstract

This invention relates to a series control unit and method of control to be employed in a centralized control system for various machinery such as press, machine tool, construction machine, ship and airplane and in a centralized control system for an unmanned conveyor, unmanned warehouse, and the like. The unit comprises a plurality of nodes connected in series and a main controller connected to these nodes. The string length of data contained in a signal from the node in a front stage is counted by a data string length counter and the counted data string length is compared with the data string length data contained in the signal from the front stage. If the counted data string length and the data string length represented by the data string length data are not in agreement, an error signal is generated to represent abnormality of the data string length. The data string length data contained in the signal from the front stage is changed to the data string length data corresponding to the string length of the data outputted from its own node and sent to the nodes in the subsequent stages.

(57) 要約

プレス、工作機械、建設機械、船舶航空機等の各種機械の集中管理システムおよび無人搬送装置、無人倉庫等の集中管理システムに採用する直列制御装置およびその制御方法である。直列接続された複数のノードとこれらノードに接続されるメインコントローラからなる。前段のノードからの信号に含まれるデータのデータ列長はデータ列長カウンタによって計数され、この計数されたデータ列長は、前段のノードからの信号に含まれるデータ列長データと比較される。ここで計数データ列長とデータ列長データが表わすデータ列長とが一致しない場合はデータ列長の異常としてエラー信号が発生される。前段のノードからの信号に含まれるデータ列長データは自己のノードから出力されるデータの列長に対応するデータ列長データに変更され、後段のノードに送出される。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウェー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

— 1 —
明 細 書

直列制御装置およびその制御方法

技 術 分 野

この発明はプレス、工作機械、建設機械、船舶航空機等の各種機械の集中管理システムおよび無人搬送装置、無人倉庫等の集中管理システムに採用して好適な直列制御装置およびその制御方法に関する。

背 景 技 術

プレス、工作機械、建設機械、船舶、航空機、無人搬送装置、無人倉庫等を集中管理する場合、装置各部の状態を検出する多数のセンサおよび装置各部の状態を制御する多数のアクチュエータが必要となる。このセンサおよびアクチュエータの数は例えばプレスを考えた場合3000以上にも及び、他の装置においては更に多数となるものもある。

従来、この種の装置を集中管理する集中管理システムは上述した多数のセンサおよびアクチュエータをメインコントローラに接続し、多数のセンサの出力をメインコントローラで収集するとともに、メインコントローラからの信号により多数のアクチュエータを制御するように構成される。

かかる従来の集中管理システムの場合、センサの数

- 2 -

およびアクチュエータの数が膨大になると、メインコントローラとセンサおよびアクチュエータを結ぶ配線の数も膨大となり、またメインコントローラの入出力部の構成も非常に複雑となる。

そこで、複数のノードを直列に接続するとともに各ノードに1乃至複数のセンサおよびアクチュエータを接続し、これらノードをメインコントローラを介して環状に接続し、このメインコントローラからの信号によって各ノードを制御するようにした構成が考えられている。かかる構成の場合、基本的にはメインコントローラは信号入力線と出力線だけでよく、また各ノードも信号入力線と出力線を接続するだけでよいので、配線数を大幅に減少させることができる。

しかし、上記ノードを直列に接続する構成をとる場合、各センサの出力の収集の同時性および各アクチュエータの制御の同時性をいかにして確保するかが問題となる。例えば、各ノードにアドレスを割当て、このアドレスにもとづき各ノードを制御する構成を考えると、このアドレス処理のための時間遅れが問題となり、各センサの出力の収集および各アクチュエータの制御に関して満足すべき同時性を確保することはできない。

そこで、発明者等は、ノードを直接に接続する構成をとりながらも各ノードにアドレスを割当てるという発想を捨て、各ノードをその接続の順番によって識別するようにし、これによってアドレス処理を不要にす

- 3 -

るとともにアドレス処理に伴う時間遅れを解消し、更にはノードの構成を大幅に簡略化できるようにした直列制御装置を提供している。

この装置によれば、各ノードは前段のノードからの信号にアクチュエータからの信号を所定のルールにもとづいて順次付加し、また前段のノードからの信号から所定の信号を所定のルールにもとづいて順次削除してアクチュエータに出力するという構成をとる。この場合、各ノードにはアドレスは全く不要となり、また、アドレス処理が不要となるため各ノードにおける時間遅れはタイミング合せのみの非常に小さなものとなり、またノードの構成も非常に簡単なものとなる。

ところで、上記構成をとる場合、信号（データ）の順番（データ中のデータの位置）によってどのノードからの信号（データ）であるかどのノードに対する信号（データ）であるかを各ノードおよびメインコントローラでは識別することになるが、ここで、各ノードにおける信号の付加または削除に誤りが生じるとどのノードからの信号であるか識別できなくなり、またどのノードに対する信号であるかの識別ができなくなり、装置の制御が不能になり、場合によっては装置が暴走する危険も生じた。

上述したように、上記装置において信号付加に誤りまたは信号削除に誤り、すなわち誤ったビットぬけやビット付加が生じるとこの誤った信号が次段のノード

- 4 -

およびメインコントローラに伝送されることになり、これによって次段のノードやメインコントローラに動作誤りが生じ、場合によっては装置が暴走するという問題が生じた。これは特に各ノードにアドレスを割当てずに各ノードの接続順番によって各ノードを識別する構成をとる場合顕著となった。

そこで、この発明は各ノードにおける誤ったビットぬけやビット付加にもとづくデータ列長の異常を確実に検出し、制御対象装置の誤動作および暴走を確実に防止するようにした直列制御装置を提供することを目的とする。

発 明 の 開 示

この発明においては、各ノードで受信すべきデータすなわち、前段からのデータのデータ列長を表わすデータ列長データを各ノードに対して与える。各ノードではこのデータ列長データにもとづきデータ列長の異常を検出する。

すなわち、この発明においては複数のノードを直列に接続するとともに、各ノードに1乃至複数の端末を接続し、各ノードは前段のノードからの信号に含まれるデータに自己のノードに接続される端末からの信号を付加するとともに自己のノードに接続される端末への信号を削除して後段のノード送出する直列接続装置において、前記前段のノードからの信号は、該信号に

- 5 -

含まれるデータの列長を示すデータ列長データを含み、前記各ノードは、前記前段のノードからの信号に含まれるデータのデータ列長を計数する計数手段と、この計数手段の計数値と前記データ列長とを比較し、この計数手段の計数値が前記データ列長データの示すデータ列長と一致しない場合はエラー信号を発生する比較手段と、前記前段からの信号に含まれるデータ列長データを自己のノードから出力されるデータのデータ列長に対応するデータ列長データに変換し、この変換したデータ列長データを後段のノードに送出する信号に含めて送出するデータ列長データ変換手段と、を具備して構成される。

また、直列接続された複数のノードをメインコントローラに接続するとともに、各ノードに1乃至複数の端末を接続し、各ノードは前段のノードからの信号に含まれるデータに自己のノードに接続される端末からの信号を付加するとともに自己のノードに接続される端末への信号を削除して後段ノードに送出する直列制御装置において、前記メインコントローラから各ノードに対して各ノードから出力されるデータのデータ列長に対応するデータ列長データを配布する配布手段と、前記各ノードに設けられ、前段のノードからの信号に含まれるデータのデータ列長を計数する計数手段と、この計数手段の出力と前記配布手段によって配布されたデータ列長データとを比較し、この計数手段の計数

- 6 -

値が前記データ列長データの示すデータ列長と一致しない場合はエラー信号を発生する比較手段とを具えて構成される。

前段のノードからの信号に含まれるデータのデータ列長は計数手段によって計数され、この計数手段によって計数されたデータ列長は、前段のノードからの信号に含まれるデータ列長データと比較される。ここで計数手段の計数データ列長とデータ列長データが表わすデータ列長とが一致しない場合はデータ列長の異常としてエラー信号が発生される。前段のノードからの信号に含まれるデータ列長データは自己のノードから出力されるデータの列長に対応するデータ列長データに変更され、後段のノードに送出する信号に含めて送出される。

また、前段のノードからの信号に含まれるデータのデータ列長を表わす各ノードに対応するデータ列長データはメインコントローラから各ノードに対して配布手段によって配布される。このデータ列長データの配布は、例えば、データを伝送する主フレーム構成の信号とは別の副フレーム構成の信号によって各ノードに伝送される。前段のノードからの信号に含まれるデータのデータ列長は計数手段によって計数され、この計数手段によって計数されたデータ列長は、配布手段によって配布されたデータ列長データと比較される。ここで計数手段の計数データ列長とデータ列長データが

- 7 -

表わすデータ列長とが一致しない場合はデータ列長の異常としてエラー信号が発生される。

図面の簡単な説明

第1図はこの発明に係わる直列制御装置の全体構成を示すブロック図、

第2図、第3図はその動作の一例を示すタイミングチャート、

第4図はこの直列制御装置の一実施例に係わるノードの構成例を示すブロック図、

第5図、第6図、第7図、第8図は第4図に示したノードの動作を説明するタイミングチャート、

第9図はこの直列制御装置の他の実施例に係わるノードの構成例を示すブロック図、

第10図、第11図、第12図、第13図は第9図に示したノードの動作を説明するタイミングチャート、

第14図はこの直列制御装置の更に他の実施例に係わるノードの構成例を示すブロック図、

第15図は第14図に示したノードの動作を説明するタイミングチャート、

第16図はこの直列制御装置の更に他の実施例に係わるノードの構成例を示すブロック図、

第17図、第18図、第19図、第20図は第16図に示したノードの動作を説明するタイミングチャート、

- 8 -

第 2 1 図はこの直列制御装置の更に他の実施例に係わるノードの構成例を示すブロック図、

第 2 2 図、第 2 3 図は次第 2 1 図に示したノードの動作を説明するタイミングチャート、

第 2 4 図はこの直列制御装置の更に他の実施例に係わるノードの構成例を示すブロック図、第 2 5 図、

第 2 6 図、第 2 7 図は第 2 4 図に示したノードの動作を説明するタイミングチャート、

第 2 8 図はこの直列制御装置の更に他の実施例に係わるノードの構成例を示すブロック図、

第 2 9 図は第 2 8 図に示したノードの動作を説明するタイミングチャート、

第 3 0 図はこの直列制御装置の更に他の実施例に係わるノードの構成例を示すブロック図、

第 3 1 図、第 3 2 図は第 3 0 図に示したノードの動作を説明するタイミングチャート

第 3 3 図はデータフレーム信号とマスク信号の関係を説明するためのタイミングチャート

第 3 4 図はこの発明の実施例におけるデータフレーム信号およびマスク信号を示すタイミングチャート、

第 3 5 図および第 3 6 図は各ノードでのデータ付加態様およびデータ抜き取り態様をそれぞれ説明するために用いられる説明図、

第 3 7 図はこの実施例におけるマスク信号に係る回路を示すブロック図、

- 9 -

第 38 図はデータフレーム信号およびマスク信号の他の例を示すタイミングチャート、

第 39 図はデータフレーム信号およびマスク信号の別の例を示すタイミングチャート、

第 40 図はこの発明の他の実施例を示すブロック図、

第 41 図はデータフレーム信号の構成を示すフレーム構成図、

第 42 図は元のデータとバイフェーズ符号との関係を示す波形図、

第 43 図は更にこの発明のさらに他の実施例を示すブロック図である。

発明の実施するための最良の形態

以下、この発明の実施例を添付図面を参照して詳細に説明する。

第 1 図はこの発明の直列制御装置の一実施例を示したものである。この実施例は例えばプレス of 集中制御システムに適用されたものである。この場合メインコントローラ 100 はプレス of コントローラ部に設けられ、センサ群 1-1 ~ 1-n はプレス of 各部の状態を検出するセンサに対応し、アクチュエータ群 2-1 ~ 2-n はプレス of 各部を駆動するアクチュエータに対応する。センサ群 1-1 およびアクチュエータ群 2-1 はノード 10-1 に接続され、センサ群 1-2 およびアクチュエータ群 2-2 はノード 10-2 に接続さ

- 10 -

れ、センサ群 1-3 およびアクチュエータ群 2-3 はノード 10-3 に接続され、同様にしてセンサ群 1-n およびアクチュエータ群 2-n はノード 10-n に接続される。またノード 10-1 ~ 10-n はメインコントローラ 100 を介して直列に接続される。

メインコントローラ 100 は各ノード 10-1 ~ 10-n に接続されたセンサ群 1-1 ~ 1-n から出力される信号を収集し、また、各ノード 10-1 ~ 10-n に接続されたアクチュエータ群 2-1 ~ 2-n を駆動するための信号を出力する。

メインコントローラ 100 からの信号にもとづき各ノード 10-1 ~ 10-n に接続されたセンサ群 1-1 ~ 1-n の出力信号を収集する動作を第 2 図にもとづいて説明する。この場合、各ノード 10-1 ~ 10-n はアクチュエータ群 2-1 ~ 2-n には信号は出力しないものとする。

メインコントローラ 100 はまず第 2 図 (a) に示すようなフレーム構成の信号 S0 を出力する。すなわち、スタートコードを先頭にして、この信号 S0 に含まれるデータ列長（ここではまだデータを含んでいないのでデータ列長は零である）を表わすデータ列長データ（0）、ストップコード、信号 S0 に含まれるデータのエラーチェックを行うためのエラーチェックコードと続くフレーム構成の信号 S0 をメインコントローラ 100 はまず送出する。ここでエラーチェックコード

- 1 1 -

は周知のデータ誤り検出のための循環冗長検査 (CRC) またはパリティ検査等を行うためのコードである。このメインコントローラ 100 からの信号 S0 はノード 10-1 に加えられる。

ノード 10-1 は信号 S0 のデータ列長データ (0) の直後にセンサ群 1-1 からパラレルに入力される信号を所定の順序でシリアル信号に変換し、これをデータ (1) として挿入し、データ列長データ (0) を挿入したデータ (1) のデータ列長 L1 を表わすデータ列長データ (1) に変換し、信号 S1 (第 2 図 (b)) として出力する。また、ノード 10-1 では挿入されたデータ (1) にもとづき新たなエラーチェックコード (1) を生成し、このエラーチェックコード (1) がエラーチェックコード (0) に代えて出力される。

更に、ノード 10-1 では信号 S0 に含まれるデータのデータ列長を計数する手段を有し、この計数したデータ列長と信号 S0 に含まれるデータ列長データ (0) の表わすデータ列長とを比較しデータ列長に異常があるか否かを検出し、また信号 S0 に含まれるエラーチェックコード (0) にもとづきデータ誤りがあるか否かの検査を行なう。ここでデータ列長に異常が検出されるかエラーチェックコード (0) にもとづきデータ誤りが検出された場合はエラーチェックコード (1) の後にエラー発生を示すエラーコードが付加される。なお、ここではデータ異常、データ誤りが共に

- 1 2 -

検出されないとしてエラーコードは付加されない場合が示されている。ノード 10-1 から出力される信号 S1 はノード 10-2 に加えられる。

ノード 10-2 では信号 S1 のデータ列長データ (1) の直後にセンサ群 1-2 から出力される信号 (データ (2)) を挿入し、データ列長データ (1) をデータ (2) を挿入することによって変化したデータのデータ列長 L2 に対応するデータ列長データ (2) に変換するとともにこのデータ (2) が挿入された新たなデータにもとづく新たなエラーチェックコード (2) を生成してこのエラーチェックコード (2) をエラーチェックコード (1) に置換してこれを信号 S2 として出力する (第 2 図 (C))。なお、ノード 10-2 においてもノード 10-1 と同様にデータ列長データ (1) にもとづくデータ列長異常のチェックおよびエラーチェックコード (1) にもとづくデータ誤りのチェックが行われる。ただしここでもデータ列長異常およびデータ誤りは検出されないのでエラーコードは付加されない。ノード 10-2 から出力される信号 S2 はノード 10-3 に入力される。

ノード 10-3 でもノード 10-2 と同様に信号 S2 のデータ列長データ (2) の直後にセンサ群 1-3 から出力される信号 (データ (3)) を挿入し、データ列長データ (2) をデータ (3) を挿入することによって変化したデータのデータ列長 L3 に対応するデー

- 13 -

タ列長データ(3)に変換するとともにこのデータ(3)が挿入された新たなデータにもとづく新たなエラーチェックコード(3)を生成してこのエラーチェックコード(3)をエラーチェックコード(2)に置換する。ただし、ノード10-3ではデータ列長データ(2)にもとづくデータ列長異常のチェックまたはエラーチェックコード(2)にもとづくデータ誤りのチェックのいずれでデータ列長異常またはデータ誤りが検出されたとする。この場合は新たに生成したエラーチェックコード(3)の直後にエラーコードが付加される。第2図(d)はこのようにしてノード10-3から出力される信号S3を示す。エラーコードが一旦付加されると、以後のノード10-4(図示せず)~10-nではデータ列長異常またはデータ誤りが検出されるか否かにかかわらずエラーコードが付加されたままになる。

同様に図示しないノード10-n-1から出力される信号、すなわちノードnの入力信号は第2図(e)に示すようにデータ(n-1)が挿入され、データ列長データがデータ列長データ(n-1)になり、エラーチェックコードがエラーチェックコード(n-1)となる信号S_{n-1}となる。

またノード10-nではセンサ群1-nからのデータ(n)が付加され、データ列長データ(n-1)がデータ列長データ(n)に変換され、エラーチェック

- 14 -

コード ($n - 1$) がエラーチェックコード (n) で置換され、第 2 図 (5) に示す信号 S_n が出力される。この信号 S_n はメインコントローラ 100 に入力される。

メインコントローラ 100 では信号 S_n のデータ列長データ (n) の後端からストップコードの前端に至るまでのデータ領域のデータ配列順序からどのノードに接続されたセンサ群からのデータであるかを識別する。これにより、メインコントローラ 100 では各ノード 1-1 ~ 1- n に接続されたセンサ群 1-1 ~ 1- n からの信号を収集できたことになる。

また、メインコントローラ 100 は信号 S_n にエラーコードが付加されていることにより、ノード 10-1 ~ 10- n のうちいずれかのノードでデータ列長異常またはデータ誤りがあったことを知ることができる。なお、ノード 10-1 ~ 10- n のいずれにおいてもデータ列長異常またはデータ誤りが生じないと信号 S_n にはエラーコードが付加されていないことになる。この場合はメインコントローラは異常なく各ノード 10-1 ~ 10- n に接続されたセンサ群 1-1 ~ 1-10 からのデータが収集できたことを知る。

第 3 図はメインコントローラ 100 から各ノード 10-1 ~ 10- n に接続されたアクチュエータ群 2-1 ~ 2- n に対して駆動データを送出する場合の動作を示したものである。この場合も各ノード 10-1 ~

- 15 -

10-n はセンサ群 1-1 ~ 1-n からの信号は入力しないとして説明する。

メインコントローラ 100 はまず、第 3 図 (a) に示すような信号 S0 を出力する。この信号 S0 はスタートコードを先頭にデータ列長データ (0)、ノード 10-n に接続されたアクチュエータ群 2-n に対するデータ (n)、ノード 10-n-1 に接続されたアクチュエータ群 2-n-1 に対するデータ (n-1)、... 1-1 ~ 10-2 に接続されたアクチュエータ群 2-2 に対するデータ (2)、ノード 10-1 に接続されたアクチュエータ群 2-1 に対するデータ (1) からなるデータ領域、ストップコード、エラーチェックコード (1) と続くフレーム構成をとっている。この信号はノード 10-1 に加えられる。

ノード 10-1 では信号 S0 のデータ領域の後端からアクチュエータ群 2-1 に対するデータ (1) を抜き取り、これをパラレル信号に変換してアクチュエータ群 2-1 の各アクチュエータに出力する。また、ノード 10-1 においてデータ列長データ (0) はデータ (1) を抜き取ることにより、このデータ (1) を抜き取った残りのデータのデータ列長 1 に対応するデータ列長データ (1) に変換され、またエラーチェックコード (0) もこのデータ (1) を抜き取った残りのデータに対応して生成されたエラーチェックコード (1) で置換され、信号 S1 (第 3 図 (b)) として

- 16 -

ノード 10-1 から出力される。このノード 10-1 においては実際に計数したデータ列長と信号 S0 に含まれるデータ列長データ (0) との比較によりデータ列長の異常をチェックし、またエラーチェックコード (1) によるデータ誤りのチェックを行なう。このチェックにより異常が検出された場合はエラーチェックコード (1) の直後にエラーコードを付加する。ただし、異常が検出されない場合はエラーコードの付加は行わない。

ノード 10-2 では信号 S1 のデータ領域の後端にあるアクチュエータ群 2-2 に対するデータを抜き取る。またデータ列長データ (1) をこの抜き取った残りのデータ列長 12 に対応するデータ列長データ (2) に変換し、エラーチェックコード (1) をこの抜き取った残りのデータに対応するエラーチェックコード (2) で置換する。以下、同様にデータ領域の後端のデータが各ノードにおいて順次抜き取られる (第 3 図 (c) ~ 第 3 図 (5))。

なお、この動作例ではこのノード 10-2 でデータ列長異常またはデータ誤りが生じたとしているので、上記置換したエラーチェックコード (2) の直後にエラーコードが付加される。データ列長異常またはデータ誤りが生じた場合はアクチュエータの誤動作を防ぐために上記抜き取ったアクチュエータ群 2-2 に対するデータはアクチュエータ群 2-2 の各アクチュエータ

- 17 -

には加えられない。一旦エラーコードが付加されると、以下のノード $10-3 \sim 10-n$ において、このエラーコードのために抜き取ったデータのアクチュエータ群への出力が禁止される。

ノード $10-n$ から出力される信号 S_n (第3図(f)) はメインコントローラ 100 に加えられる。メインコントローラ 100 はこのエラーコードの有無により各ノードで異常があったか否かを知ることができる。各ノード $10-1 \sim 10-n$ でデータ列長異常またはデータ誤りが全く生じない場合は各 $10-1 \sim 10-n$ において、データ領域から各ノード $10-1 \sim 10-n$ に接続されたアクチュエータ群に対応するデータが順次抜き取られ、この抜き取られたデータは適当なタイミングでラッチされることによりパラレル信号に変換され、対応するアクチュエータ群の各アクチュエータに供給される。

なお、上述した説明において、各ノード $10-1 \sim 10-n$ にはそれぞれセンサ群とアクチュエータ群が接続されるとして説明したが、センサ群だけ接続されるノードを設けてもよいし、アクチュエータ群だけ接続されるノードを設けてもよい。またセンサ群が1個のセンサであってもよく、またアクチュエータ群が1個のアクチュエータであってもよい。

また、センサ群 $1-1 \sim 1-n$ からのデータを収集する場合、データ列長データの直後、すなわちデータ

- 18 -

領域の前端に新たなデータを挿入するように構成したが、データ領域の後端に新たなデータを挿入するように構成してもよい。

また、アクチュエータ群 $2-1 \sim 2-n$ へデータを出力する場合、データ領域の後端のデータから順次抜き取り出力するように構成したが、データ領域の前端のデータから順次抜き取り出力するように構成してもよい。

また、上述した説明ではこの発明の理解を容易にするためにセンサ群 $1-1 \sim 1-n$ からデータ収集する場合とアクチュエータ群 $2-1 \sim 2-n$ にデータを出力する場合とで分けて説明したが、各ノードにおいてセンサ群からデータを収集するとともにアクチュエータ群に対してデータを出力するというような制御も可能である。かかる態様の制御については後に詳述される。

第4図は第1図に示したノード $10-1 \sim 10-n$ の詳細構成例を示したものである。ここでノード $10-1 \sim 10-n$ はそれぞれ同一構成からなり、第4図においてはノード $10-1 \sim 10-n$ を代表してノード 10 で示してある。

また、センサ群 1 は第1図に示したセンサ群 $1-1 \sim 1-n$ のいずれかに対応し、アクチュエータ群 2 は第1図に示したアクチュエータ群 $2-1 \sim 2-n$ のいずれかに対応する。なお、この実施例では各ノード 1

- 19 -

0 の間のデータ伝送を C M I (C o d e d M a r k I n v e r s i o n) 符号を用いて行うように構成されている。これは伝送過程におけるノイズ等による伝送誤りを極力少なくしようとするためと、各ノードにおいてクロック信号の再生（抽出）が可能なようにするためである。この場合、各ノードにそれぞれクロック発振器を設ける必要がなく、各ノードの構成を更に簡略化することができる。また、この実施例では、各ノードにおいて、センサ群 1 から入力されたデータを前段のノードからの伝送データのデータ領域の前端に付加し、また伝送データ中のアクチュエータ群 2 に出力すべきデータを伝送データのデータ領域の後端から抜き取って後段のノードに伝送する構成をとっており、上記前段のノードからの伝送データ（入力信号）は第 5 図 (a) に示すようなフレーム構成をとっている。ここでデータ列長データは入力信号に含まれるデータのデータ列長 L を表している。また、エラーコードは前段以前のいずれかのノードでエラー信号が発生された場合に付加されるもので、前段以前のいずれかのノードでエラー信号が発生しない場合はこのエラーコードは付加されない。

第 4 図において受信回路 11 は前段のノードからの受信信号は受信する。ここで前段のノードからの信号は上述したように C M I 符号によって変調されているので、受信回路 11 はこの C M I 符号を通常の「1」、「0」に対応する N R Z (N o n R e t u r n Z e r o) 符

- 20 -

号に復調する。また、受信回路 11 はこの C M I 符号に変調された入力信号から、このノード 10 で用いる。伝送データに同期したクロック信号を再生する。

受信回路 11 で復調された入力信号は、スタートコード検出回路 12、ストップコード検出回路 13、エラーチェックコード検出回路 17、エラーコード検出回路 18、データ列長データ変換回路 19、データ変換回路 20 に加えられるとともに、スイッチ S W 1、S W 2 をそれぞれ介してデータ列長設定回路 14 およびデータ列長カウンタ 15 に加えられる。

ここでスタートコード検出回路 12 は、入力信号に含まれるスタートコード（入力側スタートコード）を検出するものである。スタートコードは所定のパターンからなる例えば 8 ビットのデジタルコード信号が用いられる。また、ストップコード検出回路 13 は、入力信号に含まれるストップコードを検出するものである。ストップコードは上述したスタートコードとは異なる所定のパターンからなる例えば 8 ビットのデジタルコード信号からなる。

また、データ列長設定回路 14 は入力信号に含まれるデータ列長データを読み込み、入力信号に含まれるデータのデータ列長異常の検査のために用いるデータ列長を設定するものである。ここでデータ列長データは例えば 8 ビットのバイナリコードからなる。データ列長設定回路 24 はデータ列長データの読み込み完了によ

- 2 1 -

り、すなわちデータ列長データの読み込み開始からデータ列長データに対応する８ビットの時間が経過した後データ列長データ読み込み完了信号を出力する。

また、データ列長カウンタ１５は入力信号に含まれるデータのデータ列長をカウントし、入力信号に含まれる実際のデータ列長を計数するものである。このデータ列長の計数は受信回路１１から出力される入力データに同期したクロック信号を計数することにより行われる。

また、エラーチェックコード検査回路１７は入力信号に含まれるエラーチェックコードを検査することにより伝送データ符号誤りを検出するものである。ここでエラーチェックコードは前述したように周知のCRCまたはパリティチェック等のために形成されたものである。

また、エラーコード検出回路１８は入力信号にエラーコードが含まれているか否かを検出するものである。前段のノード以前のいずれかのノードでデータ列長異常または符号誤りが検出されると、このノードにおいてエラーコードが付加され、このエラーコードがそのままそれ以降の各段のノードに伝送される。そこで、エラーコード検出回路１８ではエラーコードが付加されているか否かを検出する。ここでエラーコードはスタートコード、ストップコードとは異なる所定のパターンからなる例えば８ビットのコード信号である。ま

- 22 -

たデータ列長データ変換回路 19 は、入力信号に含まれる前段のノードからのデータ列長データをこのノード 10 で生成したデータのデータ列長に対応するデータ列長データに変換するものである。例えば、第 5 図 (a)(b) に示すように前段のノードから入力された入力信号に含まれるデータのデータ列長が L ビットであり、後段のノードに出力する出力信号に含まれるデータのデータ列長が L' ビットであるとする、データ列長 L ビットを示すデータ列長データをデータ列長 L' を示すデータ列長データに変換する。このデータ列長データ変換回路 19 の出力はスイッチ SW 4 の接点 C に加えられる。

また、データ変換回路 20 は、入力信号に含まれるデータ領域にセンサ群 1 からのパラレル信号を所定の順番でシリアル信号に変換して付加し、また入力信号に含まれるデータ領域からアクチュエータ群 2 に対するデータを入力信号に含まれるデータから抜き取り、この抜き取ったシリアルデータをパラレル信号に変換して、レジスタ 21 を介してアクチュエータ群 2 に送出する処理を行なう。

データ列長設定回路 14 で設定されたデータ列長およびデータ列長カウンタ 15 で計数されたデータ列長はデータ列長正誤判定回路 16 に加えられる。

データ列長正誤判定回路 16 はデータ列長設定回路 14 で設定されたデータ列長とデータ列長カウンタ 1

- 23 -

5で計数した実際のデータ列長とをストップコード検出回路13の出力のタイミングで比較し、両者が一致しない場合はデータ列長異常として検出する。

データ列長正誤判定回路16の出力、エラーチェックコード検査回路17の出力およびエラーコード検出回路18の出力はオア回路ORを介してスイッチSW0に加えられる。

スイッチSW0はオア回路ORの出力がハイレベル、すなわち、データ列長正誤判定回路16、エラーチェックコード検査回路17、エラーコード検出回路18のいずれかの出力がハイレベルの場合データ列長正誤判定回路16でデータ列長異常が検出されるか、エラーチェックコード検出回路17で符号誤りが検出されるか、エラーコード検出回路18でエラーコードが検出されるかのいずれかの場合はスイッチSW0を図示の状態から切換え、エラーコード発生回路25から発生される所定のエラーコードをスイッチSW4の接点Eに加える。しかし、データ列長正誤判定回路16、エラーチェックコード検査回路17、エラーコード検出回路18のいずれの出力もローレベルの場合はスイッチSW0は図示の状態から切換えらずスイッチSW4の接点Eにはローレベルの信号が加えられる。ここでエラーコード発生回路25はエラーコード発生完了によりエラーコード送出完了信号を出力する。

また、データ変換回路20の出力はスイッチSW4

- 24 -

の接点Bに加えられるとともにスタートコード検出回路23、ストップコード検出回路24に加えられるとともに、スイッチSW3を介してエラーチェックコード生成回路26に加えられる。

ここで、スタートコード検出回路23は、データ変換回路20から出力されるスタートコード（出力側スタートコード）を検出するものであり、ストップコード検出回路24はデータ変換回路20から出力されるストップコードを検出するものである。

また、エラーチェックコード生成回路26はデータ変換回路20から出力される変換されたデータを入力し、このデータにもとづき、CRCチェックまたはパリティチェック等のたのエラーチェックコードを生成するものである。このエラーチェックコード生成回路26はエラーチェックコードの送出完了によりエラーチェックコード送出完了信号を出力する。

スイッチSW4は接点13に加えられるデータ変換回路20の出力、接点Cに加えられたデータ列長データ変換回路19の出力、接点Dに加えられるエラーチェックコード生成回路26の出力、接点Eに加えられるスイッチSW0の出力のいずれかを選択するものである。このスイッチSW4の出力、すなわち、接点Aの信号は送信回路27に加えられる。送信回路27は加えられた信号をCMI符号に変換する所定の変調処理を行ない、この変調処理した信号を次段のノードの

出力する。

また、スタートコード検出回路 12 から出力される入力側スタートコード検出出力、ストップコード検出回路 13 から出力される入力側ストップコード検出出力、データ列長設定回路 14 から出力されるデータ列長読込完了信号、スタートコード検出回路 23 から出力される出力側スタートコード検出出力、ストップコード検出回路 24 から出力される出力側ストップコード検出出力は制御回路 22 に加えられる。

制御回路 22 は入力されるこれらの信号にもとづきスイッチ SW1、SW2、SW3、SW4 の切換タイミングを制御する。

まず、このノード 10 の動作をデータ変換回路 20 で付加されるデータのデータ列長 $l(i)$ ビットが抜き取られるデータのデータ列長 $l(0)$ ビットより長い場合 $l(i) > l(0)$ について説明する。この場合の動作の第 5 図に示すタイミングチャートに示される。

この場合、受信回路 11 で受信された入力信号（第 5 図(a)）のスタートコードはデータ変換回路 20 をそのまま通過してスイッチ SW4 に加えられる。ここでスイッチ SW4 は接点 A と接点 B が接続された状態（A-B）になっているので（第 5 図(m)）、データ変換回路 20 を通過したスタートコードはスイッチ SW4 を通り、送信回路 27 を介して次段のノードに出力される（第 5 図(b)）。

- 26 -

また、入力信号のスタートコードはスタートコード検出回路 12 で検出され、スタートコード検出回路 12 から入力側スタートコード検出出力が発生される（第 5 図 (c)）。この入力側スタートコード検出出力により制御回路 22 はスイッチ S W 1 をオフからオンにする（第 5 図 (j)）。

スイッチ S W 1 がオンになるとデータ列長データ設定回路 14 は入力信号の中のデータ列長データの読みを開始する。

また、スタートコード検出回路 23 はデータ変換回路 20 の出力からスタートコードを検出し、出力側スタートコード検出出力を発生する（第 5 図 (b)）。この出力側スタートコード検出出力により制御回路 22 はスイッチ S W 3 をオンにする（第 5 図 (e)）。スイッチ S W 3 がオンにされるとデータ変換回路 20 の出力はエラーチェックコード生成回路 26 に加えられる。エラーチェックコード生成回路 26 はこのデータ変換回路 20 の出力にもとづき所望のエラーチェックコードを生成する。また、この出力側スタートコード検出出力により制御回路 22 はスイッチ S W 4 を状態（A - B）から接点 A が接点 C に接続される状態（A - C）に切替える（第 5 図 (m)）。これによりスイッチ S W 4 の接点 A にはデータ列長データ変換回路 19 の出力が現れる。ここでデータ列長データ変換回路 19 の出力はデータ列長 $l(i)$ ビットのデータの付加およびデー

- 27 -

タ列長 $l(i)$ ビットのデータの削除により変化した全データ列長 $(L + l(i) - l(o))$ ビットに対応するデータ列長データになっている。このデータ列長データがスタートコードに続いて送信回路27から出力され(第5図(b))。

データ列長データ設定回路14でデータ列長データの読み込みが完了し、データ列長データ読み込み完了信号が発生すると(第5図(e))、制御回路22はスイッチSW1をオフにし(第5図(i))、同時にスイッチSW2をオンにする(第5図(k))。スイッチSW2がオンになるとデータ列長カウンタ15はその計数動作を開始する。具体的にはデータ列長カウンタ15は受信回路11から出力されるクロック信号を計数するところにより入力信号に含まれるデータ領域のデータ列長すなわちビット数を計数する。

データ列長データ変換回路19からデータ列長データの読出しが終了すると、すなわちスタートコード検出回路23から出力側スタートコード検出出力が発生してからデータ列長データに対応する8ビットの時間が経過した後スイッチSW4は状態(A-C)から接点Aが接点Bに接続される状態(A-B)に切換わる(第5図(m))。これによりスイッチSW4の接点Aにはデータ変換回路20の出力、すなわち入力信号のデータ領域の前端にセンサ群1からのデータが付加され、データ領域の後端からアクチュエータ群2へのデータ

- 28 -

が抜き取られたデータが出力される。このデータは送信回路 27 を介して先に出力されたデータ列長データに続いて出力される（第 5 図 (b)）。

ストップコード検出回路 13 により入力信号に含まれるストップコードが検出され、入力側ストップコード検出出力が発生されると（第 5 図 (f)）。このスイッチ SW 2 のオフによりデータ列長カウンタ 15 の計数動作は終了する。すなわち、データ列長カウンタ 15 は入力信号のデータ領域の開始点からストップコードの終了点までのデータ列長を計数することになる。ここでストップコードの列長は例えば 8 ビットというように既知であるので、データ列長カウンタ 15 は実質的に入力信号のデータ領域のデータ列長を計数したことになる。このデータ列長カウンタ 15 の計数値（データ列長カウンタ 15 の計数値からストップコードの列長を減算した値）はデータ列長正誤判定回路 16 においてストップコード検出回路 13 から入力側ストップコード検出出力が出力されるタイミングで（第 5 図 (f)）データ列長設定回路に設定されたデータ列長と比較される。ここで両者が一致しないとデータ列長異常としてハイレベルのエラー信号が出力されることになる。

ストップコード検出回路 24 によりデータ変換回路 20 から出力される信号に含まれるストップコードが検出され、出力側ストップコード検出出力が発生され

- 29 -

ると（第5図(g)）、制御回路22によりスイッチSW4は状態（A-B）から接点Aが接点Dに接続される状態（A-D）に切換えられる（第5図(m)）。これによりスイッチSW4の接点Aにはエラーチェックコード26で生成されたエラーチェックコードが現れる。このエラーチェックコードはデータ変換回路20から出力されるストップコードに続いて送信回路27から出力される（第5図(b)）。エラーチェックコード生成回路26からエラーチェックコードの送出手が完了し、エラーチェックコード送出手完了信号が発生されると（第5図(h)）、制御回路22はスイッチSW4を状態（A-D）が接点Aと接点Eが接続された状態（A-E）に切換える。

ここで、データ列長正誤判定回路16からハイレベルのエラー信号が発生せず、エラーチェックコード検査回路17でも符号誤りが検出されずにハイレベルのエラー信号が発生せず、かつエラーコード検出手回路18で入力信号にエラーコードが検出されずにハイレベルの信号が発生されないとオア回路ORの出力はローレベルであり、これによりスイッチSW0は接地レベルを選択したままとなる。したがってこのときスイッチSW4の接点Aには接地レベルの信号が生じ、この信号がエラーチェックコードに続いて送信回路27から出力される。すなわちこのときはエラーコードは付加されない。

- 30 -

データ列長正誤判定回路 16 でデータ列長異常が検出されるか、エラーチェックコード検査回路で符号誤りが検出されるか、エラーコード検出回路 18 でエラーコードが検出されるかしてデータ列長カウンタ 15、エラーチェックコード検査回路 17、エラーコード検出回路 18 のいずれかの出力がハイレベルとなるとオア回路 OR もハイレベルとなって、スイッチ SW0 は図示の状態からエラーコード発生回路 25 側を選択するように切換えられる。これによりスイッチ SW4 の接点 A にはエラーコード発生回路 25 から発生された所定のエラーコードが現れる。この場合、送信回路 27 からは上述したエラーチェックコードに続いてこのエラーコードが出力される。すなわち、エラーコードが付加される（第 5 図 (b)）。

なお、この場合オア回路 OR の出力によりレジスタ 21 の不動作となり、アクチュエータ群 2 への制御データの送出が禁止される。

エラーコード発生回路 25 からエラーコードの送出が完了してエラーコード送出完了信号が出力されると（第 5 図 (i)）、またはエラーチェックコード送出完了信号からエラーコードに対応する所定のビット数（例えば 8 ビット）が経過すると、制御回路 22 はスイッチ SW4 を状態（A-E）から初期状態（A-B）に切換える。これによりこのノードの処理は終了する。

次に、このノード 10 の動作をデータ変換回路 10

- 31 -

で付加されるデータのデータ列長 $l(i)$ ビットが抜き取られるデータのデータ列長 $l(o)$ ビットより短い場合 ($l(i) < l(o)$) について説明する。この場合の動作は第6図に示すタイミングチャートに示される。

データ変換回路10で付加されるデータのデータ列長 $l(i)$ ビットが抜き取られるデータの列長 $l(o)$ ビットより短い場合、データ変換回路10は入力信号(第6図(a))をデータ列長 $l(i)$ ビットと $l(o)$ ビットの差のデータ列長 ($l(i) - l(o)$) ビットだけ遅延して出力する。また、これにともなってデータ列長データ変換回路13も変換したデータ列長データを入力したデータ列長データに対してデータ列長 ($l(i) - l(o)$) ビットだけ遅延して出力する。

したがってこの場合、受信回路11で受信された入力信号(第6図(a))はデータ変換回路20でデータ列長 ($l(i) - l(o)$) ビットだけ遅延され、スイッチSW4、送信回路27を介して出力される(第6図(b))。

続いて、スタートコード検出回路23でスタートコードが検出され、出力側スタートコード検出信号が発生されると(第6図(d))、スイッチSW3がオンにされ、スイッチSW4が状態(A-B)から状態(A-C)に切換えられる。スイッチSW3のオンによりエラーチェックコード生成回路26によるデータ変換回路20の出力の取込みが開始される。またデータ列長データ変換回路19では上述したように変換されたデ

- 32 -

ータ列長データが入力信号に含まれるデータ列長データに対して ($d(i) - d(0)$) ビットだけ遅延されて出力されるのでスイッチ SW 4 が状態 (A - C) に切替えるタイミングでデータ列長データ変換回路 19 から変換されたデータ列長データがスイッチ SW 4 の接点 A に現われ、このデータ列長データはスイッチ 27 を介して、上述したスタートコードに続いて出力される (第 6 図 (b))。

ストップコード検出回路 24 によりデータ変換回路 20 から出力されるストップコードが検出され、出力側ストップコード検出出力が発生されると、スイッチ SW 3 がオフになりエラーチェックコード生成回路によるデータ変換回路 20 の出力の取込みは終了する。また、これと同時にスイッチ SW 4 は状態 (A - B) から状態 (A - D) に切換えられ (第 6 図 (m))、送信回路 27 からエラーチェックコード生成回路 26 で生成された新たなエラーチェックコードが上述したストップコードに続いて出力される (第 5 図 (m))。その他の動作は第 5 図に示した場合と同様である。すなわち、エラーチェックコード生成回路 26 からのエラーチェックコードの送出が完了し、エラーチェックコード送出完了信号が出力されると (第 6 図 (h))、スイッチ SW 4 は状態 (A - E) に切換えられ (第 6 図 (m))、更にエラーコード発生回路 25 からエラーコード送出完了信号が出力されると (第 6 図 (i))、スイッチ SW 4

- 33 -

は初期状態である状態 (A-B) に切換えられる。

また、スイッチ S W 1 は、スタートコード検出回路 12 から入力側スタートコード検出出力が発生してから (第 6 図 (c)) からデータ列長設定回路 14 からデータ列長データ読込完了信号が発生される (第 6 図 (e)) までの間オンになり (第 6 図 (j))、データ列長設定回路 14 はこの間に入力データに含まれるデータ列長データの読込みを行なう。

またスイッチ S W 2 は、データ列長設定回路 14 からデータ列長データ読込完了信号が発生してから (第 6 図 (e))、ストップコード検出回路 13 により入力側ストップコード検出出力が発生されるまで (第 6 図 (f)) オンになり (第 6 図 (k))、これによりデータ列長カウンタ 15 は入力信号に含まれるデータ領域のデータ列長を計数する。

第 7 図は、第 2 図において説明したようにノード 10 においてセンサ群 1 からのデータの取込みおよび付加を行ない、アクチュエータ群 2 へのデータの抜取りおよび出力を行なわない場合の動作をタイミングチャートで示したものである。この場合は第 5 図に示したタイミングチャートにおいてこのノード 10 で抜き取られるデータのビット長、すなわち 1 (0) ビットを 0 にすれば第 5 図に示したものと同様になる。この場合、データ変換回路 20 ではセンサ群 1 からのデータの付加のみを行ないデータ列長データ変換回路 19 では入

- 34 -

力信号に含まれる L ビットを示すデータ列長データに
付加する $l(i)$ ビットを加算した $L' = L + l(i)$

(ビット)に対応するデータ列長データを出力する。

第8図は第3図において説明したようにノード10
においてアクチュエータ群2へのデータの抜き取りおよ
び出力を行ないセンサ群1からのデータの取込みおよ
び付加を行なわない場合の動作をタイミングチャート
で示したものである。この場合第6図に示したタイミ
ングチャートにおいて、このノード10で付加される
データのビット長 $l(i)$ を0にすれば第6図に示した
ものと同様になる。この場合、データ変換回路20で
はアクチュエータ群2へのデータの抜き取り、出力処理
のみ行ないこの処理したデータを $l(0)$ ビット遅延し
て出力し、データ列長データ変換回路19では入力デ
ータ信号に含まれる L ビットを示すデータ列長データ
から抜き取るデータの $l(0)$ ビットを減算した $L' =$
 $L - l(0)$ (ビット)に対応するデータ列長データを
形成し、これを $l(0)$ ビット遅延して出力する。

なお、第4図に示した構成において、スタートコー
ド検出回路23、ストップコード検出回路24を設け
ずに、スタートコード検出回路12から出力される入
力側スタートコード検出出力およびストップコード検
出回路13から出力される入力側ストップコード検出
出力をそれぞれ所定ビット(データ変換回路で遅延さ
れるビット数)だけ遅延した信号により上述したスタ

- 35 -

ートコード検出回路 23 およびストップコード検出回路 24 の出力と等価な信号を形成するようにしてもよい。

またデータ列長設定回路 14 から出力されるデータ読込完了信号の代わりにスタートコード検出回路 12 から出力される入力側スタートコード検出出力をデータ列長データのビット数（例えば 8 ビット）遅延した信号を用いてもよい。

また、エラーチェックコード生成回路 26 から出力されるエラーチェックコード送出完了信号の代わりにストップコード検出回路 24 から出力される出力側ストップコード検出出力をエラーチェックコードに対応するビット数だけ遅延した信号を用いてもよく、またエラーコード発生回路 24 から出力されるエラーコード送出完了信号の代わりにエラーチェックコード送出完了信号をエラーコードに対応するビット数だけ遅延した信号を用いてもよい。

また、この実施例ではスタートコード、ストップコードの検出を容易にするためにデータ変換回路 10 ではデータ領域のデータに所定の処理を施すように構成されている。すなわち、データ領域中のデータ列長がスタートコードまたはストップコードに一致することがあると、これをスタートコードまたはストップコードとして検出誤ることがある。そこでこの実施例ではデータ領域中のデータ列長にスタートコードまたはス

- 36 -

トップコードの同一のデータ列長が生じないようにデータ領域中のデータに対して所定の処理を施している。

この実施例ではデータ変換回路20においてデータ「1」を「10」、データ「0」を「01」に変換する。これによればデータ領域中のデータに「1」が3個以上続くことはない。そこで、スタートコードおよびストップコードを「1」が3個以上続く部分を含むパターンで設定すれば、データ領域中データをスタートコード、ストップコードと誤って検出することはない、確実にスタートコードおよびストップコードの検出が可能となる。この場合データ「0」を「0」、データ「1」を「10」またはデータ「0」を「00」、データ「1」を「10」またはデータ「0」を「00」、データ「1」を「01」等変更しても同様に構成することができる。

また、データ変換回路20において、変換したデータが所定数、例えば5個連続したら自動的に「0」を挿入するように構成してもよい。この場合データに「1」が6個以上続くことはないのでスタートコードおよびストップコード「1」が6個以上続く部分を含むパターンに設定すればデータとスタートコードおよびストップコードとの識別を確実に行なうことができる。

上述した実施例では、各ノードに接続されたセンサ群からのデータを収集し、または各ノードに接続され

- 37 -

アクチュエータ群に制御信号を送出するために各ノードに伝送される信号（主フレーム構成の信号）にデータ列長データを含ませ、このデータ列長データをデータ列長設定回路に読込むことによりデータ列長異常検査のためのデータ列長を設定するように構成したが、この主フレームとは別に副フレーム構成の信号を設定し、この副フレーム構成の信号を利用して各ノードにそのノードで入力される入力信号のデータ列長を表わすデータ列長データをそれぞれ配布するように構成してもよい。

第9図は、このように構成したこの発明の他実施例に係わるノード10の構成を示したものである。この実施例において、メインコントローラ100（第1図）は各ノードに接続されたセンサ群からのデータを収集し、各ノードに接続されたアクチュエータにデータを送出するために用いられる主フレーム構成の信号以外に各ノードにデータ列長データを配布するための副フレーム構成の信号を出力する。この実施例で各ノードに入力される主フレーム構成の入力信号1例を第10図(a)に示し、副フレーム構成の入力信号の1例を第12図(a)に示す。第10図(a)から明らかなように、この実施例における主フレーム構成の入力信号は第5図(a)に示した入力信号からデータ列長データを削除した構成となっている。また、この実施例における副フレーム構成の入力信号は、第12図(a)に示すよう

- 38 -

に副フレームスタートコードを先頭にしてその後に自己のノードのデータ列長データ DLK (この場合、自己のノードを K 番目のノードとしている)、次段のノードのデータ列長データ $DL(K+1)$ 、... n 番目のノードのデータ列長データ DLn と続き、最後に副フレームストップコードが配された構成をとっている、ここで副フレーム構成の信号はこの装置の起動時または主フレーム構成の信号を所定回数送る毎に各ノードに送出される。

この実施例において、ノード 10 は、第 4 図に示した構成に副フレームスタートコード検出回路 28、副フレームスタートコード検出回路 29、副フレームストップコード検出回路 30 を追加するとともに第 4 図に示したデータ列長データ変換回路 19 を除去し、受信回路 11 の出力を直接スイッチ $SW4$ の接点 C に接続することによって構成される。

ここで、副フレームスタートコード検出回路 28 は前段のノードから入力され、受信回路 11 で受信された副フレーム構成の入力信号の中から副フレームスタートコードを検出するものであり、副フレームスタートコード検出回路 29 および副フレームストップコード検出回路 30 はデータ変換回路 20 から出力される副フレームスタートコードおよびストップコードをそれぞれ検出するものである。

第 10 図に、データ変換回路 20 で付加されるデー

- 39 -

データのビット数 $\mathbb{L}(i)$ が抜き取られるデータのビット数 $\mathbb{L}(0)$ よりも大きい場合 ($\mathbb{L}(i) > \mathbb{L}(0)$) における主フレーム構成の入力信号に対するノード 10 の動作をタイミングチャートで示す。この場合の動作は、主フレーム構成の入力信号にデータ列長データが含まれていないため、スイッチ SW 2 がデータ列長設定回路 14 からのデータ列長データ読込完了信号の代わりにスタートコード検出回路 12 からの入力側スタートコード検出出力でオフからオンになること、スイッチ SW 1 が動作しないことスタートコード検出回路 23 から出力される出力側スタートコード検出出力によってスイッチ SW 4 が状態 (A-B) から状態 (A-C) に切換らないことを除けば第 7 図で説明した動作と同様である。これは、この実施例では主フレーム構成の入力信号にデータ列長データが含まれていないため、スタートコード検出のすぐ後にデータ列長の計数を開始する必要がある、また主フレーム構成の信号の入力時にはデータ列長設定回路においてデータ列長の設定動作は行なわず、またデータ列長データ変換回路がないためデータ列長データを後段のノードに送出するためのスイッチ SW 4 の切換え状態 (A-C) への切換えが不要なためである。

また、この場合、スイッチ SW 1 がオンしないので、データ列長設定回路 14 へのデータ列長データの読込みは行われない。データ列長設定回路 14 へのデータ

- 40 -

列長データの読み込みは後述するように副フレーム構成の信号がこのノード10に輸入されたときに行われる。したがって主フレーム構成の信号入力において、データ列長正誤判定回路16は副フレーム構成の信号の入力時にデータ列長設定回路に読み込まれたデータ列長データと、データ列長カウンタ15で計数した主フレーム中の実際のデータ列長とを比較しデータ列長の異常を検出する。

第11図は、データ変換回路20で付加されるデータのビット数 $\mathcal{L}(i)$ が抜き取られるデータのビット数 $\mathcal{L}(0)$ よりも小さい場合($\mathcal{L}(i) < \mathcal{L}(0)$)における主フレーム構成の入力信号に対するノード10の動作をタイミングチャートで示したものである。この場合の動作はデータ変換回路20が入力信号を($\mathcal{L}(0) - \mathcal{L}(i)$)ビットだけ遅延して出力することを除けば第11図に示したもので同様である。

第12図は副フレーム構成の入力信号に対するノード10の動作を示したものである。この実施例において副フレーム構成の信号はメインコントローラ100から第13図(a)に示すようなフレーム構成で出力され、まずノード10-1に輸入される。この信号は第13図(a)から明らかなように先頭に副フレームスタートコードがあり、続いてノード10-1に対するデータ列長データ、ノード10-2に対するデータ列長データ、ノード10-3に対するデータ列長データ、

- 4 1 -

…、ノード 10-n に対するデータ列長データと続き、最後に副フレームストップコードが配されている。各ノードではこの副フレーム構成の信号を入力すると副フレームスタートコードの直後のデータを自己のノードのデータ列長データとしてこのデータ列長データを抜き取り、自己のノードに格納する。この動作を順次繰返す。すなわち、先頭のノード 10-1 はメインコントローラ 100 から第 13 図 (a) に示すようなフレーム構成の信号を入力すると、副フレームスタートコードのすぐ後のデータ DL1 を自己のノードのデータ列長データとして取込むとともに、このデータ DL1 を抜き取り、第 13 図 (b) に示すような信号にして次段のノード 10-2 に出力する。ノード 10-2 はこの第 13 図 (b) に示す信号を入力すると、この信号の副フレームスタートコードのすぐ後のデータ DL2 を自己のノードのデータ列長データとして取込むとともにこのデータ DL2 を抜き取り、第 13 図 (c) に示すような信号として次段のノード 10-3 に出力する。このようにメインコントローラ 100 からの副フレーム構成の信号は各ノードにおいて各ノードに対応するデータ列長データが順次抜き取られ、最終ノードの 10-n からは第 13 図 (e) に示すような信号が出力されることになる。この信号はメインコントローラ 100 に加えられる。これによりメインコントローラ 100 は各ノードにデータ列長データが配布されたことを

- 4 2 -

知るように構成されている。

そこでK番目のノードであるノード10には第12図(a)に示すような副フレーム構成の入力信号が加えられ、受信回路で受信される。受信回路11から最初に出力される副フレームスタートコードは副フレームスタートコード検出回路28で検出され、副フレームスタートコード検出回路28から入力側副フレームスタートコード検出出力が発生される(第12図(c))。この入力側副フレームスタートコード検出出力は制御回路22に加えられる。制御回路22はこれによりスイッチSW1をオフからオンに切替える(第12図(g))。スイッチSW1がオンにされると受信回路11から出力されるこのノード10に対するデータ列長データDLKがデータ列長設定回路14に読込まれ、これにより、このノード10のデータ列長の設定がなされる。データ列長設定回路14におけるデータ列長データDLKの読込みが完了すると、データ列長設定回路14からデータ列長データ読込完了信号が出力される(第12図(d))。このデータ列長データ読込完了信号により制御回路22はスイッチSW1をオンからオフに切替える(第12図(g))。

受信回路11の出力は、またデータ変換回路20に加えられる。データ変換回路は副フレーム構成の信号が入力されると、この信号をデータ列長データのビット数(例えば8ビット)遅延して出力する。このデー

- 43 -

タ変換回路20の出力はスイッチSW4に加えられる。ここでSW4は接点Aを接点Bに接続する状態(A-B)になっているので(第12図(j))、データ変換回路20の出力はこのスイッチSW4、送信回路27を介して次段のノードに出力される。したがって送信回路27からは、入力信号から8ビット遅延されてまず副フレームスタートコードが出力される(第12図(j))。データ変換回路20から副フレームスタートコードが出力されると、この副フレームスタートコードは副フレームスタートコード検出回路29で検出され、出力側副フレームスタートコード検出出力が発生され(第12図(e))、制御回路22に加えられる。これにより制御回路22はスイッチSW4を状態(A-B)から接点Aを接点Cに接続する状態(A-C)に切替える。ここでスイッチSW4の接点Cは前述したように受信回路11の出力が直接加えられているので、スイッチSW4の接点Aにはデータ列長データDLKの次のデータ列長データDL(k+1)が現われる。このデータDL(k+1)は送信回路27に加えられ、上述した副フレームスタートコードに続いて出力される。このようにしてこのノードのデータ列長データDLKが抜き取られた信号が送信回路27から出力されることになる(第12図(b))。データ変換回路20から副フレームストップコードが出力されるとこの副フレームストップコードは副フレームストップコード検

- 4 4 -

出回路 30 で検出され、出力側副フレームストップコード検出出力が発生される（第 12 図 (f)）。この出力側副フレームストップコード検出出力は制御回路 22 に加えられる。制御回路 22 はこれによりスイッチ SW 4 を初期状態である状態（A-B）に切替える。

なお、第 9 図に示した構成において、副フレームスタートコード検出回路 29 を設けずに、副フレームスタートコード検出回路 28 から出力される入力側副フレームスタートコード検出出力をそれぞれ所定ビット（データ列長データのビット数）だけ遅延した信号に副フレームスタートコード検出回路 29 の出力と等価な信号を形成するようにしてもよい。

第 14 図は副フレーム構成の信号を用いて各ノードのデータ列長データを設定する他の実施例のノード構成を示したものである。この実施例で用いるノード 10 は第 9 図で示したノードにスイッチ SW 5、副フレームフレームカウンタ 31、ノード番地設定回路 32、比較回路 33 を付加するとともに受信回路 11 からスイッチ SW 4 の接点 C に至る配線を削除することによって構成される。

ここで、副フレームフレームカウンタ 31 はスイッチ SW 5 を介して受信回路 12 に接続され、スイッチ SW 5 がオンされていることを条件に副フレームのフレームを計数するものである。またノード番地設定回路 32 にはこのノードのアドレスであるノード番地が

- 45 -

設定されている。この実施例ではノード番地設定回路 32 に設定されているノード番地と副フレームフレームカウンタ 31 の計数値を比較回路で比較することにより副フレーム構成の信号から自己のノードのデータ列長データを検索し、この検索したデータ列長データをデータ列長設定回路 14 に読込むことによりデータ列長を設定する。このデータ列長設定動作を第 15 図に示したタイミングチャートを参照して説明する。

この実施例において、受信回路 12 に入力される副フレーム構成の入力信号は第 15 図 (a) に示すようになっている。この信号は第 13 図で示した初段のノード 10-1 に加えられる信号と同じである。ただし、この実施例においては各ノードにおいて各ノードのデータ列長データの抜き取りは行われないので各ノードに対して同一の信号が入力される。各ノードにおいてはこの信号の中から自己のノードに対応するデータ列長データを検索し、この検索したデータ列長データをデータ列長設定回路 14 に読込む。いま、このノード 10 のノード番号が「3」であるとする。この場合、ノード番地設定回路 32 は「3」が設定されている。副フレーム構成の入力信号 (第 15 図 (a)) を入力し、受信回路 11 から副フレームスタートコードが出力されると、この副フレームスタートコードは副フレームスタートコード検出回路 28 で検出され、入力側副フレームスタートコード検出出力が発生される。これに

- 46 -

より制御回路22はSW5をオンにする(第15図(k))。スイッチSW5がオンにされると副フレームフレームカウンタ31は副フレームのフレーム数を計数する動作を開始する。副フレームフレームカウンタ31は初期値が「1」に設定されており、データ列長データDL2の前端でその計数値が「2」になり、データ列長データDL3の前端でその計数値が「3」になる。したがって、比較回路33からはデータ列長データDL3の前端で一致出力が発生される(第15図(g))。この比較回路33の出力は制御回路22に加えられる。制御回路22はこれによりスイッチSW5をオフにするとともにスイッチSW1をオンにする(第15図(h))。スイッチSW1がオンにされるとデータ列長設定回路14によるデータ列長データDL3の読み込みが開始され、これによりデータ列長設定回路14にデータ列長データDL3が設定される。データ列長設定回路14からデータ列長データ読み込み完了信号が出力されると(第15図(d))、これによりスイッチSW1はオフになる。なお、この副フレーム構成の信号の受信時において、データ変換回路20はこの副フレーム構成の信号をそのまま通過させ、またスイッチSW4は状態(A-B)に固定されている。

また、この第14図に示す構成において、主フレーム構成の入力信号が加えられた場合の動作は第10図、第11図のタイミングチャートで示したものと同一で

ある。

なお、ノード番地設定回路 32 に対するノード番号の設定は各ノードに設けられた所定のスイッチ操作により設定してもよいし、メインコントローラ 100 から送出される図示しない副副フレーム構成の信号を送出し、この副副フレーム構成の信号の受信により設定するようにしてもよい。

第 16 図は入力信号として第 17 図 (a) のに示すようなフレーム構成をとった場合の他の実施例を示したものである。この実施例では第 17 図 (a) に示すように入力データスタートコードと出力データスタートコードの 2 つのスタートコードを用い、センサ群 1 からのデータを付加するデータ領域である入力データとアクチュエータ群 2 へのデータを抜き取るデータ領域である出力データとを別々のフレームに割当てるフレーム構成の信号を用いて構成される。ここで入力データスタートコードの後に挿入されるデータ列長データは入力データのデータ列長 $L(i)$ ビットと出力データのデータ列長 $L(o)$ ビットの和に対応したデータ列長を表わしている。

第 16 図に示すこの実施例のノード構成は第 4 図に示したノード 10 の構成において、スタートコード検出回路 12 の代りに入力データスタートコード検出回路 12a と出力データスタートコード検出回路 12b とを設け、スタートコード検出回路 23 の代りに入力

- 48 -

データスタートコード検出回路 23a と出力データスタートコード検出回路 23b とを設けることによって構成される。

この実施例の動作は、入力データに付加されるセンサ群 1 からのデータビット長 $l(i)$ が、出力データからアクチュエータ群 2 への出力のために抜き取られるデータのビット長 $l(0)$ より大きい場合、すなわち $l(i) > l(0)$ の場合が第 17 図にタイミングチャートで示され、 $l(i) < l(0)$ の場合が第 18 図にタイミングチャートで示される。ここで第 17 図に示すタイミングチャートは第 5 図に示すデータが出力データスタートコードを挟んで入力データと出力データに分割されている点を除けば第 5 図に示したものと同一である。同様に第 18 図に示すタイミングチャートは第 5 図に示すデータが出力データスタートコードを挟んで入力データと出力データに分割されている点を除けば第 6 図に示したものと同一である。なお、第 17 図、第 18 図において、スイッチ SW2 は入力データの前端からストップコードの後端までの間オンとなり、データ列長カウンタ 15 はこの間データ列長を計数しているが、出力データスタートコードとストップコードのビット長は既知であるので、結果データ列長カウンタ 15 は入力データのデータ列長 $l(i)$ と出力データのデータ列長 $l(0)$ の和のデータ列長を計数していることになる。この実施例においては入力データスター

- 49 -

トコードの次に入力されるデータ列長データの示すデータ列長が実際に計数した入力データと入力データの和のデータ列長に一致するか否かによってデータ列長異常を検出する。

第19図、第20図は入力信号として第19図(a)に示すようなフレーム構成の信号を用いた場合の他の実施例の動作 $L(i) > L(0)$ および $L(i) < L(0)$ の場合について示している。この場合データ列長データは出力データのデータ列長 $L(0)$ にのみ対応している。この実施例ではデータ列長データの示すデータ列長が実際に計数した出力データのデータ列長と一致するか否かによってデータ列長異常を検出する。この実施例の場合出力データスタートコード検出回路12bから出力される入力側出力データスタートコード検出出力(第19図(e)または第20図(e))が生じてからデータ列長設定回路14からデータ列長データ読込完了信号(第19図(g)または第20図(g))が発生されるまでスイッチSW1をオン(第19図(l)または第20図(l))にすることによってデータ列長データをデータ列長データ設定回路14に読込み、上記データ列長データをデータ列長データ設定回路14に読込み、上記データ列長データ読込完了信号の発生時点からストップコード検出回路13でストップコードが検出される(第19図(e)または第20図(e))までの間、スイッチSW2をオンにし(第19図(m)または第20

- 50 -

図(m))、この間データ列長カウンタ15を動作させて出力データ列長L(0)を計数するように構成されている。

また、スイッチSW4は出力データスタートコード検出回路24から出力される出力側出力データスタートコード検出出力(第19図(f)または第20図(f))により状態(A-B)から(A-C)に切換えられ、出力側出力データスタートコード検出出力発生からデータ列長データのビット長(例えば8ビット)経過した後状態(A-C)から状態(A-B)に切換えられ、ストップコード検出回路24から出力される出力側ストップコード検出出力(第19図(i)または第20図(i))により状態(A-B)から状態(A-D)に切換えられる。このあとの動作は第5図、第6図に示したものと同一である。

なお、第19図、第20図においては出力データのデータ列長異常のみ検出するように構成したが、同様に入力データのデータ列長異常のみを検出するようにも構成できる。この場合は例えば第17図(a)に示すようなフレーム構成の信号を用い、データ列長データを入力データのデータ列長のみを示すように設定し、スイッチSW2をデータ列長データ読込完了信号の発生時点から出力データスタートコード検出時点までオンにし、この間データ列長カウンタ15を動作させて入力データのデータ列長のみを計数するように構成す

ればよい。

第21図は第22図(a)に示すようなフレーム構成の信号を用いて構成した場合の他の実施例のノード構成を示すものである。この場合、第22図(a)に示すように入力データデータ列長データと出力データデータ列長データの2つのデータ列長データを導入し、これによって入力データと出力データのデータ列長異常を別々にチェックできるように構成している。

この第21図の構成においては第16図に示したデータ列長設定回路14の代りに入力データデータ列長設定回路14aと出力データデータ列長設定回路14b、データ列長カウンタ15の代りに入力データデータ列長カウンタ15aと出力データデータ列長カウンタ15b、データ列長正誤判定回路16の代りに入力データデータ列長正誤判定回路16aと出力データデータ列長正誤判定回路16bを設けることによって構成される。また出力データデータ列長設定回路14bの入力側にはスイッチSW6が設けられ、出力データデータ列長カウンタ15bの入力側にはスイッチSW7が設けられる。

この第21図に示した実施例の動作が第22図、第23図に示される。ここで第22図は付加するデータのデータ列長 $l(i)$ が抜き取るデータのデータ列長 $l(0)$ よりも大きい場合($l(i) > l(0)$)を示し、第23図は $l(i) < l(0)$ の場合を示す。

- 52 -

この実施例においてスイッチ S W 1 は入力データスタートコード検出回路 1 2 a から出力される入力側入力データスタートコード検出出力の発生してから（第 2 2 図 (c) または第 2 3 図 (c)）入力データデータ列長設定回路 1 4 a から入力データデータ列長データ読込完了信号が出力されるまで（第 2 2 図 (g) または第 2 3 図 (g)）の間オンになり（第 2 2 図 (m) または第 2 3 図 (m)）、入力データデータ列長設定回路 1 4 a への入力データデータ列長データの読込動作が行われ、またスイッチ S W 6 は出力データスタートコード検出回路 1 2 b から入力側出力データスタートコード検出出力が発生してから（第 2 2 図 (e) または第 2 3 図 (e)）出力データデータ列長設定回路 1 4 b から出力データデータ列長データ読込完了信号が出力されるまで（第 2 2 図 (h) または第 2 3 図 (h)）の間オンになり（第 2 2 図 (g) または第 2 3 図 (g)）、出力データデータ列長設定回路 1 4 b への出力データデータ列長データの読込動作が行われ、スイッチ S W 2 は入力データデータ列長読込完了信号の発生から出力データスタートコード検出回路 1 2 b から入力側出力データスタートコード検出出力が発生するまで（第 2 2 図 (e) または第 2 3 図 (e)）の間オンになり（第 2 2 図 (n) または第 2 3 図 (n)）、この間入力データデータ列長カウンタ 1 5 a を動作させて入力データのデータ列長を計数する。スイッチ S W 7 は出力データデータ列長読込完了信号の発生

- 53 -

を（第 2 2 図 (h) または第 2 2 図 (h)）からストップコード検出回路 1 3 から入力側ストップコード検出出力が発生するまで（第 2 2 図 (i) または第 2 3 図 (i)）の間オンになり（第 2 2 図 (r) または第 2 3 図 (r)）、この間出力データデータ列長カウンタ 1 5 b を動作させ出力データのデータ列長を計数する。

入力データデータ列長正誤判定回路 1 6 a は入力データデータ列長設定回路 1 4 a と入力データデータ列長カウンタ 1 5 a の出力を比較し、両者が一致しないと入力データデータ列長異常として検出する。また出力データデータ列長正誤判定回路 1 6 b は出力データデータ列長設定回路 1 4 b と出力データデータ列長カウンタ 1 5 b の出力を比較し、両者が一致しないと出力データデータ列長異常として検出する。

入力データデータ列長正誤判定回路 1 6 a で入力データデータ列長異常が検出された場合、または出力データデータ列長正誤判定回路 1 6 b で出力データデータ列長異常が検出された場合、またはエラーチェックコード検査回路 1 7 で符号誤りが検出された場合、またはエラーコード検出回路 1 8 でエラーコードが検出された場合はオア回路 OR の出力はハイレベルとなり、この場合、スイッチ SW 0 はエラーコード検出回路側に切り換え出力信号にエラーコードが付加される。その他の動作は第 1 6 図に示したものと同一である。

第 2 4 図は主フレーム構成の信号とは別の副フレ

- 54 -

ム構成の信号により各ノードに対して入力データデータ列長データおよび出力データデータ列長データを配布するようにした他の実施例を示したものである。この実施例は主フレーム構成の信号から入力データデータ列長データおよび出力データデータ列長データが除かれていること、データ列長データ変換回路19を除き、受信回路11の出力をスイッチSW4の接点Cに直接接続したこと、第27図(a)に示すような副フレーム構成の信号により入力データデータ列長データおよび出力データデータ列長データを各ノードに配布する点を除けば第21図に示したものと同様である。

第24図に示す構成は第21図に示す構成に副フレームスタートコード検出回路28、副フレームスタートコード検出回路29、副フレームストップコード検出回路30を設けることによって構成される。

第25図、第26図はこの実施例において主フレーム構成の信号が入力された場合各ノードの動作を示すタイミングチャートであり、第25図は入力データ領域に付加するデータのデータ列長 $L(i)$ が出力データから領域抜き取るデータのデータ列長 $L(0)$ より大きい場合を示し、第26図は入力データに付加するデータのデータ列長 $L(i)$ が出力データより小さい場合を示す。この第25図、第26図に示すタイミングチャートは入力データデータ列長データおよび出力データデータ列長データの処理は除けば第22図、第23図

- 55 -

に示したものと基本的に同一である。すなわち、第 2 5 図、第 2 6 図においては入力信号に入力データデータ列長データおよび出力データデータ列長データを含んでいないのでスイッチ S W 1 およびスイッチ S W 6 はオフしたままであり（第 2 5 図 (k), (o) または第 2 6 図 (k), (o)）、入力データデータ列長設定回路 1 4 a への入力データデータ列長データの読み込みおよび出力データデータ列長設定回路 1 4 b への出力データデータ列長データの読み込みは行わない。

またスイッチ S W 2 は入力データスタートコード検出回路 1 2 a から入力側入力データスタートコード検出出力（第 2 5 図 (c) または第 2 6 図 (c)）が発生してから出力データスタートコード検出回路 1 2 b から入力側出力データスタートコード検出出力（第 2 5 図 (e) または第 2 6 図 (e)）が発生されるまでオンになり、入力データデータ列長カウンタ 1 5 a で入力データデータ列長の計数が行われ、スイッチ S W 7 は上記入力側出力データスタートコード検出出力が発生されてからストップコード検出回路 1 3 から入力側ストップコード検出出力（第 2 5 図 (g) または第 2 6 図 (g)）が発生されるまでオンになり、出力データデータ列長カウンタ 1 5 b で出力データデータ列長の計数が行われる。またスイッチ S W 4 は状態（A - C）への切換えは行わない。

第 2 7 図はこの実施例において第 2 7 図 (a) に示す

- 56 -

ような副フレーム構成の信号が入力された場合の各ノードの動作を示したものである。この副フレーム構成の信号に対する動作第12図、第13図で説明したものと基本的には同一である。ただし、この場合は第27図(a)に示すように副フレーム構成の信号は各ノードに対して2つのデータ列長データ、すなわち入力データデータ列長データおよび出力データデータ列長データを含んでいるので、各データ列長データの読込み動作が第12図、第13図と異なる。すなわち、第27図においては、副フレームスタートコード検出回路28から入力側副フレームスタートコード検出出力(第27図(c))が出力されてから入力データデータ列長設定回路14aから入力データデータ列長データ読込完了信号(第27図(d))が発生されるまでスイッチSW1はオンになり、これにより、副フレーム構成の入力信号(第27図(a))からこのノードに対応する入力データデータ列長データDLK(i)が入力データデータ列長設定回路14aに読込まれる。また上記入力データデータ列長データ読込完了信号が発生してから出力データデータ列長設定回路から出力データデータ列長読込完了信号(第27図(e))が発生されるまでスイッチSW7はオンになり、これにより副フレーム構成の入力信号(第27図(a))からこのノードに対応する出力データデータ列長データDLK(o)が出力データデータ列長設定回路14bに読込まれる。また、こ

- 57 -

の場合データ変換回路20は入力された副フレーム構成の入力信号(第27図(a))を自己のノードに対応するデータ列長データの長さ、すなわち入力データデータ列長データと出力データデータ列長データの和のデータ列長に対応するビット数だけ遅延して出力するように構成されており、スイッチSW4は副フレームスタートコード検出回路29から出力される出力側副フレームスタートコード検出出力により状態(A-B)から状態(A-C)に切換わり、副フレームストップコード検出回路30から出力される出力側副フレームストップコード検出出力により状態(A-C)から初期状態の状態(A-B)に切換わる。

第28図は副フレーム構成の信号により各ノードに対して入力データデータ列長データおよび出力データデータ列長データを配布するようにした更に他の実施例を示したものである。この実施例においては各ノードのノード番地をノード番地設定回路32に設定し、このノード番地を用いて副フレーム構成の入力信号(第29図(a))から各ノードに対応する入力データデータ列長データおよび出力データデータ列長データを各ノードに読込むように構成されている。

この実施例において主フレーム構成の入力信号が加えられた場合の各ノードの動作は第25図、第26図にタイミングチャートで示したものと同一である。

第29図はこの実施例において副フレーム構成の入

- 58 -

力信号が加えられた場合の各ノードの動作を示したものである。この副フレーム構成の入力信号に対する動作は第15図のタイミングチャートで説明したものと基本的に同一である。ただし、この実施例の場合入力データデータ列長データと出力データデータ列長データの2つのデータ列長データを用いているため副フレームフレームカウンタ31の動作と入力データデータ列長設定回路14aおよび出力データデータ列長設定回路14bの動作に関して第15図の場合と異なる。すなわち副フレームスタートコード検出回路28から入力側副フレームスタートコード検出出力(第29図(c))が発生されるとスイッチSW5(第29図(j))がオンになり副フレームフレームカウンタ31が動作を開始するが、この実施例の場合入力データデータ列長データと出力データデータ列長データの2つのデータ列長データが各ノードに対して設定されているので、副フレームフレームカウンタ31は2つのフレーム、すなわち入力データデータ列長データが割当てられているフレームと出力データデータ列長データが割当てられているフレームの検出により1カウントアップするように構成されている。この場合第28図に示すノード10は第3番目のノードに対応しており、ノード番地設定回路32は「3」に対応するデータが設定されている。したがって比較回路33からは3番目のノードに対応する入力データデータ列長データが入力さ

- 59 -

れるタイミングで一致信号（第29図(h)）が生じ、これによりSW5がオフになるとともにスイッチSW1がオンになる。このスイッチSW1は入力データデータ列長設定回路14aから入力データデータ列長データ読込完了信号（第29図(d)）が発生されるまでオン状態を続け、これにより副フレーム構成の入力信号（第29図(a)）から入力データデータ列長設定回路14aにこのノード10に対応する入力データデータ列長データDL3(i)が読込まれる。また、スイッチSW6は上記入力データデータ列長データ読込完了信号が発生してから出力データデータ列長設定回路14bから出力データデータ列長データ読込完了信号（第29図(e)）が発生されるまでオンとなり、これによりこのノード10に対応する出力データデータ列長データDL3(o)が入力信号（第29図(a)）から出力データデータ列長設定回路14bに読込まれる。

ところで、上述した実施例においてはスタートコードおよびストップコードと各ノードで入力また出力するデータ領域のデータとの識別を容易にするためにデータ領域のデータに対して所定の符号化を施すか、所定ビット毎に「0」を挿入する構成を採用しているとして説明した。しかし、このようにした場合データ領域のデータ列長が長くなり伝送効率が低下するという問題が生じる。例えば「0」を「01」、「1」を「10」と符号化する構成を考えると、データ領域の

- 60 -

データ列長の長さはこの符号化を施さない場合の2倍となる。

そこで、第30図に示した実施例においては各ノードにデータ列長データが与えられることを利用してデータ領域のデータを受信している間はスイッチSW01、SW02をオフにして特殊コード検出回路、すなわち、スタートコード検出回路12、23およびストップコード検出回路13、24を不動作とするように構成されている。これによりデータ領域のデータを特殊コードと検出誤まる虞はないのでデータ領域のデータに対して特別な符号化等の処理を行う必要はなくなり、データ列長の列長化にもとづく伝送効率の低下を防止することができる。

第31図、第32図にこのように構成にした場合のスイッチSW01、SW02の動作をタイミングチャートで示したものであり、第31はデータ領域に付加するデータのデータ列長 $L(i)$ がデータ領域から抜き取るデータのデータ列長 $L(0)$ より長い場合を示し、第32図はデータ領域に付加するデータのデータ列長 $L(i)$ がデータ領域から抜き取るデータのデータ列長 $L(0)$ より短い場合を示している。スイッチSW01は入力信号(第31図(a)または第32図(a))スタートコードの検出からデータ領域の後端までオフとなり(第31図(c)または第32図(c))、この間スタートコード検出回路12およびストップコード検出回路1

- 61 -

3 は不動作となり、またスイッチ S W 0 2 は出力信号（第 3 1 図 (b) または第 3 2 図 (b)）のスタートコード検出からデータ領域の後端までオフとなり（第 3 1 図 (d) および第 3 2 図 (d)）、この間スタートコード検出回路 2 3 およびストップコード検出回路 2 4 は不動作となる。他の動作は第 4 図に示したものと同様である。

なお、第 3 0 図に示した実施例は第 4 図に示した構成において入力信号または出力信号がデータ領域にあるときに特殊コード検出回路であるスタートコード検出回路およびストップコード検出回路の動作を禁止するように構成したが、第 9 図、第 1 4 図、第 1 6 図、第 2 1 図、第 2 4 図、第 2 8 図においても同様に構成することができる。

ところで、上記実施例において通信する信号は、第 3 3 図 (a) に示すようなデータフレーム信号を用いており、このデータフレーム信号はスタートコード信号 S T、データ信号 D A T A の列長 L（ビット数）を示すデータ列長コード信号 D L、データ信号 D A T A、ストップコード信号 S P および種々のエラーを示すエラーコード信号 E R R を同順序で配列して構成されている。

このようなデータフレーム信号を通信するに際しては、データ列長コード信号 D L が直前のスタートコード信号 S T と同様な信号パターンになったり、またエラーコード信号 E R R が直前のストップコード信号 S

- 62 -

Pと同様な信号パターンになったりすることがある。このため、受信側ではデータ列長コード信号DLをスタートコードとして誤って検出したり、またエラーコード信号ERRをストップコードとして誤って検出することを未然に防止せねばならない。例えば誤った検出が行われた場合は、データ信号DATAを正確に読み取ることができないことがある。

そこで、第33図(b)に示すようにデータ列長コード信号DLの開始時点 t_1 から終了時点 t_2 までの期間およびエラーコード信号ERRの開始時点 t_3 から終了時間 t_4 までの期間にハイレベルとなるマスク信号を形成し、このマスク信号に基づいてデータ列長コード信号DLおよびエラーコード信号ERRを覆い隠し、これによりデータ信号DATAを誤りなく読み取るようにしている。

しかしながら、この場合、データ信号DATAに前後してデータ列長コード信号DLおよびエラーコード信号ERRを配列しているので、マスク信号を2回に渡ってハイレベルにしなければならない。このため、データ列長コード信号DLおよびエラーコード信号ERRの2つの開始時点 t_1 、 t_3 を検出する検出回路、並びに開始時点 t_1 から終了時点 t_2 までのデータ列長コード信号DLの長さの計時および開始時点 t_3 から終了時点 t_4 までのエラーコード信号ERRの長さの計時を行う計時回路をそれぞれ一対設ける必要があ

- 63 -

り、回路の簡略化という点において不利である。

そこで、いかに示す実施例においては、データ信号および該データ信号の長さを示すデータ列長コード信号を少くとも配列したデータフレーム信号を受信するに際し、マスク信号に基づいて少くとも前記データ列長コード信号を覆い隠すシリアルデータ通信方式において、前記データ列長コード信号を前記マスク信号に基づいて覆い隠される他の信号に隣接して配列している。これにより、マスク信号をハイレベルにする開始時点およびマスク信号をローレベルに戻す終了時点はそれぞれ一回で済む。

この実施例では第34図(a)に示すようなフレーム構成のデータフレーム信号を用いてデータの授受を行うようにする。すなわち、先頭にはスタートコード信号STが置かれ、このスタートコード信号STの後に入力データ（センサ群からのデータ）、出力データ（アクチュエータ群へのデータ）の順に入出力データ信号DATAが配置される。この実施例では、入力データは常にスタートコード信号STの直後から挿入され、出力データはデータ信号DATAの最後尾から取り出される。この場合は、空データビットが存在しないデータ長可変方式をとっており、このため、データ信号DATAには該データフレーム信号がメインコントローラ100から送出された直後は入力データDin, Din-1...が含まれておらず、また該信号が各ノード

- 64 -

10-1 ~ 10-n を経由してメインコントローラ 100 へ入力されたときには出力データが存在していない、データ信号 DATA の後には、ストップコード信号 SP が配置され、さらにその後にはデータ信号 DATA の列長 L (ビット数) を示すデータ列長コード信号 DL が配置される。データ列長コード信号 DL の後には種々のエラーを示すエラーコード信号 ERR が配置される。このエラーコード信号 ERR には、そのコード内容に応じて種々のエラー内容を表わすことができるが、例えばその 1 つとしてデータ列長コード信号 DL で示されるデータ列長と実際のデータ列長との比較結果の一致、不一致を調べ不一致のときその旨を示すようにすること等が考えられる。

第 34 図 (a) に示すフレーム構成のデータフレーム信号を用いた場合の、各ノード 10-1, ~ 10-n におけるデータ授受態様を第 35 図および第 36 図に示す。

第 35 図は、アクチュエータ 2 を 1 つ具えたノード 10 に関するデータフレーム信号の入出力を示すもので、入力されたデータフレーム信号はノード 10 内でデータ信号 DATA 部分の最後尾 1 ビットが抜き取られ、該抜き取られた 1 ビットのデータは当該ノード 10 のアクチュエータ 2 に加えられる。また、ノード 10 では、データ列長コード信号 DL を前記最後尾データが抜き取られた残りのデータのデータ列長 (この場

- 65 -

合は 4) に対応するデータ列長コード信号 D L に変換した後、このデータフレーム信号を出力する。

第 36 図はセンサ 1 を 1 つ備えたノード 10 に関するデータフレーム信号の入出力を示すもので、この場合ノード 10 においては、入力されたデータフレーム信号のデータ信号 D A T A 部分の先頭にセンサ 1 の検出信号（この場合 “ 1 ” ）を挿入するとともに、データ列長コード信号 D L を前記センサ検出信号が挿入されることによって増加したデータ列長に対応するデータ列長コードに変換した後、このデータフレーム信号を出力する。

さて、第 34 図 (a) に示すデータ列長コード信号 D L のおよびエラーコード信号 E R R はスタートコード信号 S T もしくはストップコード信号 S P と同様な信号パターンになることがある。このため、第 34 図 (b) に示すマスク信号に基づいてデータ列長コード信号 D L およびエラーコード信号 E R R を覆い隠すようにしている。ここで、本実施例においてはデータ列長コード信号 D L およびエラーコード信号 E R R を隣接して配列しているため、マスク信号をハイレベルにする時点 T₁ 並びにマスク信号をローレベルにする時点 T₂ はそれぞれ 1 回ずつで済む。

第 37 図は前記マスク信号に係る回路を示しており、第 34 図 (a) に示すデータフレーム信号をシフトレジスタ 11 に入力している。シフトレジスタ 11 はデー

- 66 -

タフレーム信号の最初のビットから入力して所定のビット列長のビット列を蓄積することができ、所定のビット列長のビット列を蓄積した後、次のビットからの入力に伴い前記最初のビットからクリアする。このシフトレジスタ 11 に蓄積可能な所定のビット列長は、スタートコード信号 S T およびストップコード信号 S P のビット列長以上である必要がある。つまり、シフトレジスタ 11 はスタートコード信号 S T およびストップコード信号 S P を蓄積することが可能な容量を有する。

特殊コード検出回路 12 はスタートコード信号 S T に対応する第 1 のパターンおよびストップコード信号 S P に対応する第 2 の信号パターンをそれぞれ内示しており、シフトレジスタ 11 内のビット列の信号パターンを第 1 の信号パターンおよび第 2 の信号パターンと照合している。そして、シフトレジスタ 11 内の信号パターンが第 1 の信号パターンに等しくなるとスタートコード信号 S T を検出したことを示す検出信号 S₁ を出力し、またシフトレジスタ 11 内のビット列の信号パターンが第 2 の信号パターンに等しくなるとストップコード信号 S P を検出したことを示す検出信号 S₂ を出力する。したがって、シフトレジスタ 11 へのスタートコード信号 S T のシフト終了時点 T' (第 34 図 (b) に示す) で特殊コード検出回路 12 からスタートコード信号 S T の検出信号 S₁ が出力され、ま

- 67 -

たシフトレジスタ 11 へのストップコード信号 S P のシフト終了時点 T₁ (第 34 図 (b) に示す) で特殊コード検出回路 12 からストップコード信号 S P の検出信号 S₂ が出力される。これらの検出信号 S₁ および S₂ に基づいてスタートコード信号 S T とストップコード信号 S P 間のデータ信号 D A T A の読み取りが図示されない回路で行われる。

一方、ストップコード信号 S P の検出信号 S₂ はマスク信号発生回路 13 に加えられる。マスク信号発生回路 13 は検出信号 S₂ を入力すると、第 34 図 (b) に示すマスク信号を時点 T₁ よりハイレベルにする。このマスク信号は特殊コード検出回路 12 およびマスクストップ検出回路 14 に加えられている。

マスクストップ検出回路 14 はマスク信号が時点 T₁ にてハイレベルになると、この時点 T₁ から第 34 図 (b) に示す時点 T₂ までを計時する。つまり、マスクストップ検出回路 14 はデータ列長コード信号 D L の最初のビットからエラーコード信号 E R R の最後のビットまでの既知のビット列長を計数しており、この計数を終了した時点 T₂ でクリア信号をマスク信号発生回路 13 に加える。マスク信号発生回路 13 はこのクリア信号を入力すると、マスク信号をハイレベルからローレベルにする。したがって、マスク信号はデータ列長コード信号 D L およびエラーコード信号 E R R の受信期間である時点 T₁ から時点 T₂ までハイレベ

ルとなる。

特殊コード検出回路 12 はマスク信号がハイレベルとなっている時点 T_1 から時点 T_2 までの期間、シフトレジスタ 11 内の信号パターンを前記第 1 の信号パターンおよび前記第 2 の信号パターンと照合することを停止する。したがって、データ列長コード信号 D_L およびエラーコード信号 $E_R R$ の各信号パターンが第 1 の信号パターンまたは第 2 の信号パターンと等しくなるようなことがあったとしても、特殊コード検出回路 12 からは検出信号 S_1 および検出信号 S_2 が出力されるようなことがない。この結果、データ列長コード信号 D_L およびエラーコード信号 $E_R R$ の各信号パターンがスタートコード信号 S_T の信号パターンまたはストップコード信号 S_P の信号パターンに等しくなることによるデータ信号 $D_A T A$ の読み取りエラーを生じるようなことはない。

このように本実施例ではデータ列長コード信号 D_L およびエラーコード信号 $E_R R$ を覆い隠し、これによりデータ信号 $D_A T A$ を誤ることなく読み取るようにしている。ここで、データ列長コード信号 D_L およびエラーコード信号 $E_R R$ を隣接して配列しているので、マスク信号をハイレベルにする開始時点 T_1 およびマスク信号をローレベルにする終了時点 T_2 をそれぞれ 1 回ずつ検出すればよく、このための回路は簡単な構成で済む。

- 69 -

なお、これらのデータ列長コード信号 D L およびエラーコード信号 E R R はストップコード信号 S P の直後に配列するばかりでなく、第 38 図 (a) に示すようにデータフレーム信号におけるスタートコード信号 S T の直後に挿入してもかまわない。この場合、第 38 図 (b) に示すようにスタートコード信号 S T を終了した時点 T 11 からマスク信号をハイレベルにし、この後データ列長コード信号 D L 並びにエラーコード信号 E R R のビット列長の計数終了時点 T 12 でマスク信号をローレベルにし、このマスク信号に基づいてデータ列長コード信号 D L およびエラーコード信号 E R R を覆い隠す。

また、マスク信号に基づいて覆い隠される信号としてデータ列長コード信号 D L およびエラーコード信号 E R R を例示したが、これに限らず、データフレーム信号について C R C チェック (循環冗長検査) を行うための符号誤りチェックコード信号 C R C を付加してもよい。この場合、第 39 図 (a) に示すようにデータ列長コード信号 D L 、エラーコード信号 E R R および符号誤りチェックコード信号 C R C を隣接して配列し、第 39 図 (b) に示すように時点 T 21 から時点 T 22 までの期間にマスク信号をハイレベルにし、このマスク信号に基づいてデータ列長コード信号 D L 、エラーコード信号 E R R および符号誤りチェックコード信号 C R C を覆い隠す。したがって、マスク信号に基づいて覆

- 70 -

い隠される信号の種類が増加しても、これらの信号を隣接して配列すれば、マスク信号を形成するための回路の構成は複雑化しない。

ところで、データフレーム信号のCRCチェックコードは送信側にて送信直前に付加され、受信側にて通信エラーを検出するために用いられる。しかしながら、ノードにてデータフレーム信号のデータフレームDATAのデータ内容を書き替えるに際し、何らかの原因でデータフレームDATAに誤り符号を生じても、この後該誤り符号を含むビット列に基づいてCRCチェックコードが形成され、このCRCチェックコードを含むデータフレーム信号が通信されることとなる。この場合、前記データフレーム信号を受信した受信側はCRCチェックを行っても、データフレームDATAの誤り符号を検出することはできない。

このように、送信側から受信側へ通信されるデータフレーム信号の通信エラーをCRCチェックコードに基づいて検出することはできても、送信側にて前記CRCチェックコードを形成する以前、例えばデータフレーム信号のデータ内容を書き替えている際に生じた誤り符号を検出することはできない。

そこで、次に示す実施例においては、通信されるリアルデータのうちの少くとも一部のデータをバイフェーズ符号に変換する変換手段と、前記少くとも一部のデータの1ビット毎に対応する前記バイフェーズ符

- 71 -

号を順次抽出する抽出手段と、この抽出手段によって抽出されたバイフェーズ符号の各値について排他的論理和を求める論理回路とを備え、この論理回路によって求められた排他的論理和に基づいて前記少なくとも一部のデータのエラーを検出する。

これによれば、少なくとも一部のデータをバイフェーズ符号に変換して通信するようにし、前記少なくとも一部のデータのエラーを検出するときには該データの1ビット毎に対応するバイフェーズ符号を順次抽出し、このバイフェーズ符号の各値の排他的論理和に基づいて該データのエラーを検出すればよい。

第40図はこのように構成した他の実施例を示している。

第40図において、メインコントローラ100におけるバイフェーズ符号化装置101はデータフレーム信号を送出するに際し、第41図(a)に示すように該データフレーム信号のデータフレームDATAのみをバイフェーズ符号に変換し、バイフェーズ符号のデータフレームDATAを含むデータフレーム信号を送出する。

このバイフェーズ符号は例えば第42図に示すように元のデータの1ビットによって示される2値を2ビットの信号によって示すものであり、ここでは元のデータ1ビットによって示される値1を値1からの値0に変化する2ビットのバイフェーズ符号により表すと

- 7 2 -

ともに、元のデータの1ビットによって示される値0を値0から値1に変化する2ビットのバイフェーズ符号により表している。したがって、元のデータの1ビットに対応するバイフェーズ符号の2ビットは値1と値0を組み合わせたものであり、これらの値の排他的論理和が必ず値1となる。

さて、バイフェーズ符号のデータフレームDATAを含むデータフレーム信号はメインコントローラ100から送出され、ノード10-1におけるシフトレジスタ回路31およびCRC検査回路32にそれぞれ加えられる。CRC検査回路32は第41図(a)に示すデータフレーム信号のCRCチェックコードに基づいてデータフレームDATAのCRCチェックを行い、データフレームDATAにエラーが無ければこの旨を示す信号を出力ラッチ回路33に加える。

一方、シフトレジスタ回路31はデータフレーム信号をスタートコードST(第41図(a)に示す)より順次入力し蓄積していく。この際、バイフェーズ復号化回路41はシフトレジスタ回路31内のデータフレームDATAの最後尾からアクチュエータ群2に与えられる各出力データを取り出す。これらの出力データはアクチュエータ群2の各アクチュエータに与えられるそれぞれの値1および値0毎に2ビットのバイフェーズ符号により表わされている。ここで、バイフェーズ復号化回路41はバイフェーズ符号の各出力データ

- 73 -

を順次復号化し、前記各アクチュエータに与えられるそれぞれの値 1 および値 0 を 1 ビット毎に示す各出力データビットを形成する。これらの出力データビットは出力ラッチ回路 33 に一旦ラッチされ、この後 CRC 検査回路 32 からのエラー無しを示す信号に応答し、出力ラッチ回路 33 から前記各アクチュエータにそれぞれ配送される。これらのアクチュエータは該各出力データビットに応答してそれぞれ作動する。

また、センサ群 1 の各センサからはそれぞれの入力データビットが 1 ビットずつ送出され、これらの入力データビットは 1 ビット毎に値 1 および値 0 を示す。バイフェーズ符号化回路 42 は該各入力データビットを入力し、これらの入力データビットを 1 ビット毎にバイフェーズ符号化して、2 ビット毎に値 1 および値 0 を示すそれぞれの入力データを形成する。バイフェーズ符号の該各入力データはシフトレジスタ回路 31 に入力され、ここでデータフレーム信号のスタートコード ST 直後からデータフレーム DATA にそれぞれ挿入される。

したがって、シフトレジスタ回路 31 内のデータフレーム DATA はバイフェーズ符号のままでデータ内容を書き替えられることとなる。

次に、特殊コード検出回路 34 はシフトレジスタ回路 31 内のスタートコード ST およびストップコード SP をそれぞれ検出しており、まずスタートコード S

- 7 4 -

Tを検出すると所定のタイミングで切替え信号を第1のマルチプレクサ35およびシフトレジスタ回路43に加え、後にストップコードSPを検出すると所定のタイミングで切替え信号を第2のマルチプレクサ36およびシフトレジスタ回路43に加える。第1のマルチプレクサ35は特殊コード検出回路34からのスタートコードSTに対応する切替え信号を入力すると、シフトレジスタ回路31からの平行の入力をシリアルに変換し、シリアルのデータフレーム信号つまりスタートコードST、データフレームDATA、ストップコードSPおよびCRCチェックコードを同順序で送出する。

CRC生成回路37は第1のマルチプレクサ35からのデータフレーム信号を入力すると、このデータフレーム信号のデータフレームDATAに基づいて新たなCRCチェックコードを生成し、この新たなCRCチェックコードを第2のマルチプレクサ36に加える。

一方、シフトレジスタ回路43は特殊コード検出回路34からのスタートコードSTに対応する切替え信号を入力してからストップコードSPに対応する切替え信号を入力するまで、第1のマルチプレクサ35からのデータフレーム信号をスタートコードSTより順次入力し蓄積していく。これにより、シフトレジスタ回路43にはデータフレーム信号のスタートコードSTよりストップコードSPまでが一旦蓄積されること

- 75 -

となる。そして、シフトレジスタ回路 43 は既知の各ビット列長を有するスタートコード S T およびストップコード S P を除いてデータフレーム D A T A を抽出し、まず、該データフレーム D A T A の頭から 2 ビットのバイフェーズ符号を排他的論理和回路 44 に加える。さらに、シフトレジスタ回路 43 はバイフェーズ符号のデータフレーム D A T A を 2 ビットずつ排他的論理和回路 44 に順次加えていく。排他的論理和回路 44 はバイフェーズ符号の 2 ビットずつを入力する毎に、2 ビットによって示される各値の排他的論理和を求め、この排他的論理和を示す信号をエラーコード生成回路 45 に加える。ここで、先に述べた様にバイフェーズ符号は値 1 と値 0 を組み合わせた 2 ビットで元のデータの値 1 および値 0 を表している。したがって、排他的論理和回路 44 はバイフェーズ符号にエラーが無ければ、バイフェーズ符号の 2 ビットずつを入力する毎に値 1 を示す信号を出力する。そして、バイフェーズ符号にエラーが有り、排他的論理和回路 44 に加えられるバイフェーズ符号の 2 ビットが値 1 を共に示していたり値 0 を共に示していたりする場合、排他的論理和回路 44 は値 0 を示す信号をエラーコード生成回路 45 に加える。

エラーコード生成回路 45 はシフトレジスタ回路 43 と同様に第 1 のマルチプレクサ 35 からのデータフレーム信号を入力しており、このデータフレーム信号

- 76 -

の入力に伴い、シフトレジスタ回路 43 から排他的論理和回路 44 を介しての信号を検出している。そして、この信号によって値 0 が示されていれば、つまりバイフェーズ符号のデータフレーム DATA にエラーがある場合、エラーコード生成回路 45 はデータフレーム信号にエラーを生じたことを示すエラー情報および計数値 0 を示すカウント情報を含むエラーコード ER を形成し、このエラーコード ER を第 2 のマルチプレクサ 36 に加える。また、シフトレジスタ回路 43 から排他的論理和回路 44 を介しての信号によって値 1 が示されていれば、つまりバイフェーズ符号のデータフレーム DATA にエラーが無い場合、エラーコード生成回路 45 は前記エラーコード ER を形成せず、よって第 2 のマルチプレクサ 36 には該エラーコード ER が加えられない。

次に、第 2 のマルチプレクサ 36 は特殊コード検出回路 33 からのストップコード SP に対応する切替え信号を入力するまでに第 1 のマルチプレクサ 35 からのデータフレーム信号をストップコード SP まで送出し、該切替え信号を入力すると CRC 生成回路 37 を選択して CRC 生成回路 37 からの新たな CRC チェックコードを送出する。ここに、既知のビット列長の CRC チェックコードを送出した後、第 2 のマルチプレクサ 36 はエラーコード生成回路 45 を選択する。したがって、第 1 のマルチプレクサ 35 から送出され

- 77 -

たデータフレーム信号のデータフレームDATAにエラーが無い場合、第2のマルチプレクサ36から送出されるデータフレーム信号は第2図の(a)に示す様にスタートコードST、データフレームDATA、ストップコードSTおよび新たなCRCチェックコードからなる。また、第1のマルチプレクサ35から送出されたデータフレーム信号のデータフレームDATAにエラーが有る場合、第2のマルチプレクサ36から送出されるデータフレーム信号は第41図(b)に示すように更にエラーコードERを付加してなる。

このため、ノード10-1より後段のノード10-2は第41図(a)に示すデータフレーム信号または第2図(b)に示すデータフレーム信号を受信することとなる。ここで、後段のノード10-2にて第41図(a)に示すデータフレーム信号が受信された場合、このノード10-2は前段のノード10-1と同様なデータ処理およびCRCチェックコード処理を行うとともに、バイフェーズ符号のデータフレームDATAについて2ビットずつの排他的論理和に基づきデータ処理中に生じたエラーを検出し、検出するとエラーコードERを作成する。

また、後段のノード10-2にて第41図(b)に示すデータフレーム信号が受信された場合、このノード10-2は前段のノード10-1と同様なデータ処理およびCRCチェックコード処理を行うとともに、前

- 78 -

記データフレーム信号に含まれるエラーコード E R をエラー生成回路 4 5 によって検出する。そして、エラー生成回路 4 5 は該エラーコード E R のカウント情報によって示される計数値 0 を 1 つ進めて、計数値 1 を示すカウント情報を形成し、このカウント情報を含むエラーコード E R を第 2 のマルチプレクサ 3 6 に送出する。故に、該ノード 1 0 - 2 から送信されるデータフレーム信号は第 2 図 (b) に示す構成であり、かつエラーコード E R のカウント情報によって計数値 1 を示す。

以下同様に、ノード 1 0 - 2 より後段の他の各ノード 1 0 - 3 ~ 1 0 - n は該ノード 1 0 - 2 と同じ処理を行う。このため、例えば最初のノード 1 0 - 1 から計数値 0 のカウント情報を含むエラーコード E R が送信されたとすると、後段の各ノード 1 0 - 2 ~ 1 0 - n にて前記カウント情報の計数値が 1 つずつ進められ、よって最後のノード 1 0 - n からメインコントローラ 1 0 0 に通信される該カウント情報によって示される計数値は n - 1 となる。この場合、メインコントローラ 1 0 0 は最後のノード 1 0 - n から受信したエラーコード E R のカウント情報によって示される計数値 n - 1 に基づき最初のノード 1 0 - 1 にてデータの処理中にエラーを生じたことを判定することができる。

このようにノードではデータフレーム信号に含まれるデータフレーム D A T A について C R C チェックを

- 79 -

行うばかりでなく、バイフェーズ符号のデータフレーム DATA についてデータ処理の後に頭から 2 ビットずつの各値の排他的論理和を順次求め、これらの論理和に基づいてデータフレーム DATA の符号誤りを検出するようにしている。このため、通信エラーばかりでなく、データ処理中に生じたエラーを検出することができる。また、ノードにてデータ処理中に生じたエラーを検出した場合は、該ノードからエラー情報およびカウント情報を示すエラーコード ER が送信され、後段の各ノードにて該エラーコード ER のカウント情報によって示される計数値を 1 つずつ進めるようにしている。このため、メインコントローラ 100 は該計数値に基づきいずれのノードにてデータ処理中にエラーを生じたかを判定することができる。

第 43 図は本発明に係るエラー検出方式の他の実施例を適用したノードを示している。この実施例のノードは第 40 図に示したノードからシフトレジスタ回路 43、排他的論理回路 44 およびエラーコード生成回路 45 を削除し、代わりにエラー検出回路 51 を付加して構成される。

第 43 図において、前段のメインコントローラまたはノードからのデータフレーム信号はエラー検出回路 51 におけるシフトレジスタ部 52、特殊コード検出部 53 およびエラーコード生成部 55 に入力される。特殊コード検出部 53 はデータフレーム信号に含まれ

- 80 -

るスタートコードSTおよびストップコードSPを検出しており、まずスタートコードSTを検出するとスタートコードSTに対応する検出信号をシフトレジスタ部52に加え、後にストップコードSPを検出するとストップコードSPに対応する検出信号をシフトレジスタ部52に加える。シフトレジスタ部52はデータフレーム信号をスタートコードSTから順次蓄積しており、特殊コード検出部53からの前記各検出信号の入力時点と、スタートコードSTおよびストップコードSPの既知の各ビット列長に基づいてバイフェーズ符号のデータフレームDATAを抽出し、このデータフレームDATAを頭から2ビットずつ排他的論理和部54に加える。排他的論理和部54はデータフレームDATAを2ビットずつ順次入力すると、2ビットによって示される2つの値の排他的論理和を順次求め、これらの論理和の全てが値1を示せば、つまりデータフレームDATAに符号誤りが無ければ、この旨を示す信号を出力ラッチ回路33に加える。出力ラッチ回路33はこの信号およびCRC検査回路32からのエラー無しを示す信号を共に入力したときにのみ、シフトレジスタ回路31からバイフェーズ復号化回路41を介しての各出力データビットをアクチュエータ群2に送出する。したがって、エラー検出回路51によって符号誤りが検出されず、かつCRC検査回路32によってエラーが検出されなかった場合に限り、出

- 81 -

カラッチ回路 33 にラッチされた各出力データビットがアクチュエータ群 2 に送出される。

また、エラー検出回路 51 における排他的論理和部 54 によって求められた前記各論理和のうちのいずれか 1 つでも値 0 を示せば、つまりデータフレーム DATA に符号誤りが有れば、排他的論理和部 54 はこの旨を示す信号をエラーコード生成部 55 に加える。エラーコード生成部 55 はこの信号を入力すると、データフレーム信号にエラーを生じたことを示すエラー情報および計数値 0 を示すカウント情報を含むエラーコード ER を形成し、このエラーコード ER を第 2 のマルチプレクサ 36 に加える。この場合、第 2 のマルチプレクサ 36 からは第 41 図 (b) に示す構成のデータフレーム信号が送出される。

一方、エラーコード生成部 55 はデータフレーム信号を入力しており、このデータフレーム信号から前段のノードにて形成されたエラーコード ER を検出している。ここで、前段のノードにて形成されたエラーコードを検出した場合、エラーコード生成部 55 は排他的論理和部 54 からの符号誤り有りを示す信号を入力しても当該ノードについてのエラーコードを生成せず、前段のノードからのエラーコード ER のカウント情報によって示される計数値を 1 つ進めて、このエラーコード ER を第 2 のマルチプレクサ 36 に加える。

このように受信したデータフレーム信号の符号誤り

- 82 -

がデータ処理前にエラー検出回路51によって検出される場合、例えば第5図に示すノード10-1にてデータ処理中にエラーを生じたとすると、このエラーは次段のノード10-2におけるエラー検出回路51によって検出され、このノード10-2からエラーコードERを付加したデータフレーム信号が送出される。このエラーコードERのカウント情報によって示される計数値はノード10-2にて値0を示しており、後段の他の各ノード10-3～10-nにて順次1つずつ進められるので、メインコントローラ100にて値n-2を示すこととなる。故に、メインコントローラ100はエラーコードERのカウント情報によって計数値n-2が示されていれば、最初のノード10-1にてエラーを生じたと判定する。また、受信したデータフレーム信号の符号誤りがデータ処理前にエラー検出回路51によって検出されるので、前段のノードにてデータ処理中に生じたエラーばかりでなく、前段のノードから当該ノードへのデータフレーム信号の通信中に生じたエラーも同時に検出することとなる。このため、CRCチェックとともに通信エラーを二重に検出することができ、より厳密な通信エラーのチェックをなしえる。

なお、上記2つの実施例ではデータフレーム信号に含まれるデータフレームDATAのみをバイフェーズ符号で通信しているが、これに限定されるものでなく、

- 83 -

データフレームDATAとともにスタートコードST、ストップコードSP、CRCチェックコードおよびエラーコードERをバイフェーズ符号で通信してもよい。この場合、データフレーム信号の最初から最後まで2ビットずつ抽出し、2ビットの各値の排他的論理和を順次求めることにより、これらの論理和に基づきデータフレーム信号の最初から最後までについて誤り符号を検出することができる。

産業上の利用可能性

以上説明したようにこの発明によれば、データ列長異常を確実に検出することができ、これにより装置の誤動作暴走等を確実に防止することができる。またデータ列長コードをマスク信号によって覆い隠される他の信号に隣接するように構成した場合は、マスク信号をハイレベルにする開始時点およびマスク信号をローレベルに戻す終了時点をそれぞれ一回で済ませることができ、マスク信号を形成するための回路を簡略化することができる。また、少なくとも一部のデータをバイフェーズ符号に変換して通信するように構成した場合、少なくとも1ビット毎に対応するバイフェーズ符号を順次抽出し、このバイフェーズ符号の各値の排他的論理和をとることにより、データのエラーを容易に検出することができる。また、この発明の直列制御装置およびその制御方法はプレス、工作機械、建設機械、

－ 8 4 －

船舶航空機等の各種機械の集中管理システムおよび無人搬送装置、無人倉庫等の集中管理システムに採用して好適である。

- 85 -

請 求 の 範 囲

1. 複数のノードを直列に接続するとともに、各ノードに1乃至複数の端末を接続し、各ノードは前段のノードからの信号に含まれるデータに自己のノードに接続される端末からの信号を付加するとともに自己のノードに接続される端末への信号を削除して後段のノード送出する直列制御装置において、

前記前段のノードからの信号は、該信号に含まれるデータの列長を示すデータ列長データを含み、

前記各ノードは、

前記前段のノードからの信号に含まれるデータのデータ列長を計数する計数手段と、

この計数手段の計数値と前記データ列長データとを比較し、この計数手段の計数値が前記データ列長データの示すデータ列長と一致しない場合はエラー信号を発生する比較手段と、

前記前段からの信号に含まれるデータ列長データを自己のノードから出力されるデータのデータ列長に対応するデータ列長データに変換し、この変換したデータ列長データを後段のノードに送出する信号に含めて送出するデータ列長データ変換手段と、

を具えた直列制御装置。

2. 前段のノードからの信号は、スタートコード、前段のノードから送出されるデータの列長を示すデータ

- 86 -

列長データ、前段のノードから送出されるデータ、ストップコードを順次配列したシリアル信号を含む請求の範囲第1項記載の列長制御装置。

3. 比較手段は、

スタートコードの検出により前段のノードからの信号に含まれるデータ列長データを読み込むことによりデータ列長を設定するデータ列長設定回路と、

このデータ列長設定回路に設定されたデータ列長と計数手段の出力とを比較する比較回路と

を具える請求の範囲第2項記載の直列制御装置。

4. データ列長データ変換手段は、前段からの信号に含まれるデータ列長データの示すデータ列長に、自己のノードで付加したデータのデータ列長を加算または自己のノードで削除したデータのデータ列長を減算して後段のノードに送出するデータ列長を形成する加減算手段を含む請求の範囲第1項記載の直列制御装置。

5. 前段のノードからの信号は、データ領域を有し、各ノードは、自己のノードに接続された端末からのデータを前記データ領域の前端または後端に付加する請求の範囲第1項記載の直列制御装置。

6. 前段のノードからの信号は、データ領域を有する

- 87 -

とともに該データ領域の前端または後端に自己のノードに接続された端末へのデータを含み、

各ノードは、自己のノードに接続された端末へのデータを前記データ領域の前端または後端から削除する請求の範囲第1項記載の直列制御装置。

7. 前段のノードからの信号は、データ領域を有するとともに該データ領域の前端または後端に自己のノードに接続された端末へのデータを含み、

各ノードは、自己のノードに接続された端末からのデータを前記データ領域の後端または前端に付加し、自己のノードに接続された端末へのデータを前記データ領域の前端または後端から削除する請求の範囲第1項記載の直列制御装置。

8. 前段のノードから送出されるデータ領域の各データはスタートコード、およびストップコードとの識別を容易にするためにそれぞれ複数ビットに符号化される請求の範囲第2項記載の直列制御装置。

9. 前段のノードから送出されるデータ領域の各データはスタートコード、およびストップコードとの識別を容易にするために所定数のビット毎に「0」が挿入される請求の範囲第2項記載の直列制御装置。

- 88 -

10. 比較手段からエラー信号が発生された場合は、このエラー信号発生を示すエラーコードを後段のノードに送出する信号に付加して送出するエラーコード付加手段を更に具えた請求の範囲第1項記載の直列制御装置。

11. 比較手段からエラー信号が発生された場合は自己のノードに接続された端末への信号の送出を禁止する手段

を更に具えた請求の範囲第1項記載の直列制御装置。

12. 前段のノードからの信号は、スタートコード、前段のノードから送出されるデータのデータ列長を示すデータ列長データ、前段のノードから送出されるデータ、ストップコード、前段のノードから送出されるデータのデータ誤りを検出するためのエラーチェックコード、前段からエラーコードが送出されている場合はこのエラーコードを順次配列したシリアル信号を含む請求の範囲第1項記載の直列制御装置。

13. 前段のノードから送出されるエラーチェックコードを検出することにより、前段のノードから送出されるデータのデータ誤りを検出し、データ誤りがある場合はエラー信号を発生するエラーチェックコード検査手段を更に具えた請求の範囲第12項記載の直列制

御装置。

14. 比較手段からエラー信号が発生されている場合、エラーチェックコード検査手段からエラー信号が発生されている場合、前段のノードからエラーコードが送出されている場合のいずれかの場合は、後段のノードに送出する信号にエラーコードを付加するエラーコード付加手段を更に具え請求の範囲第13項記載の直列制御装置。

15. 複数のノードはメインコントローラを含んで閉ループ状に接続される請求の範囲第1項記載の直列制御装置。

16. 複数のノードはメインコントローラを含んで開ループ状に接続される請求の範囲第1項記載の直列制御装置。

17. 端末はセンサまたはフクチュエータである請求の範囲第1項記載の直列制御装置。

18. 前段のノードからの信号は、入力データスタートコード、データ列長データ、入力データ、出力データスタートコード、出力データ、ストップコードを順次配列したシリアル信号を含み、前記入力データは端

- 90 -

末から入力されるデータに対応し、前記出力データは端末へ出力されるデータに対応し、前記データ列長データは前記入力データのデータ列長と前記出力データのデータ列長の和のデータ列長に対応する請求の範囲第1項記載の直列制御装置。

19. データ列長データ変換手段は、前段からの信号に含まれるデータ列長データの示すデータ列長に、自己のノードで入力データに付加したデータのデータ列長を加算するとともに自己のノードで出力データから削除したデータのデータ列長を減算して後段のノードに送出するデータ列長を形成する加減算手段を含む請求の範囲第18項記載の直列制御装置。

20. 前段のノードからの信号は、入力データスタートコード、入力データ、出力データスタートコード、データ列長データ、出力データ、ストップコードを順次配列したシリアル信号を含み、前記入力データは端末から入力されるデータに対応し、前記出力データは端末へ出力されるデータに対応し、前記データ列長データは前記出力データのデータ列長に対応する請求の範囲第1項記載の直列制御装置。

21. 前段のノードからの信号は、入力データスタートコード、入力データデータ列長データ、入力データ、

- 91 -

出力データスタートコード、出力データデータ列長データ、出力データ、ストップコードを順次配列したシリアル信号を含み、前記入力データは端末から入力されるデータに対応し、前記出力データは端末へ出力されるデータに対応し、前記入力データデータ列長データは入力データのデータ列長に対応し、前記出力データデータ列長データは出力データのデータ列長に対応する請求の範囲第1項記載の直列制御装置。

22. 比較手段は、

入力データスタートコードの検出により前段のノードからの信号に含まれる入力データデータ列長データを読み込むことにより入力データデータ列長を設定する第1のデータ列長設定回路と、

出力データスタートコードの検出により前段のノードからの信号に含まれる出力データ列長データを読み込むことにより出力データデータ列長を設定する第2のデータ列長設定回路と、

前記第1のデータ列長設定回路に設定された入力データデータ列長と第1の計数手段の計数値とを比較する第1の比較回路と、

前記第2のデータ列長設定回路に設定されたデータ列長と第2の計数手段の計数値とを比較する第2の比較回路と

を具える請求の範囲第21項記載の直列制御装置。

23. 直列接続された複数のノードをメインコントローラに接続するとともに、各ノードに1乃至複数の端末を接続し、各ノードは前段のノードからの信号に含まれるデータに自己のノードに接続される端末からの信号を付加するとともに自己のノードに接続される端末への信号を削除して後段のノードに送出する直列制御装置において、

前記メインコントローラから各ノードに対して各ノードから出力されるデータのデータ列長に対応するデータ列長データを配布する配布手段と、

前記各ノードに設けられ、前段のノードからの信号に含まれるデータのデータ列長を計数する計数手段と、

この計数手段の出力と前記配布手段によって配布されたデータ列長データとを比較し、この計数手段の計数値が前記データ列長データの示すデータ列長と一致しない場合はエラー信号を発生する比較手段と

を具えた直列制御装置。

24. 配布手段は、副フレームスタートコード、各ノードから出力されるデータ列長を表わす複数のデータ列長データ、副フレームストップコードを順次配列したシリアル信号を含む信号を副フレームとして各ノードに伝送する手段を含み、

前記のノードからの信号は、スタートコード、デー

- 93 -

タ、ストップコードを順次配列したシリアル信号を含む主フレームからなる請求の範囲第23項記載の直列制御装置。

25. 前段のノードから伝送された副フレームは、データ列長データ領域の前端に自己のノードに対応するデータ列長データを含み、

配布手段は、

各ノードに設けられ、副フレームのスタートコードの検出によりデータ列長データ領域の前端のデータ列長データを読み込むことによってデータ列長を設定するデータ列長設定回路と、

各ノードに設けられ、副フレームのデータ列長データ領域の前端のデータ列長データを削除して後段のノードに送出するデータ列長データ処理回路と

を具える請求の範囲第24項記載の直列制御装置。

26. 配布手段は、

各ノードに設けられ、副フレームのデータ列長データ領域から自己のノードに対応するデータ列長データを検出する検出手段と、

各ノードに設けられ、この検出手段によって検出されたデータ列長データを読み込むことによってデータ列長を設定するデータ列長設定手段と

を具える請求の範囲第24項記載の直列制御装置。

27. 検出手段は、

自己のノードに対応するフレーム数を設定するフレーム数設定回路と、

副フレームのフレーム数を計数するフレーム数計数回路と、

前記フレーム数設定手段の設定フレーム数と前記フレーム数計数手段の計数値とが一致したとき自己のデータ列長データとして検出する比較回路と

を具える請求の範囲第26項記載の直列制御装置。

28. 前段のノードからの信号は、入力データスタートコード、入力データ、出力データスタートコード、出力データ、ストップコードを順次配列したシリアル信号を含む主フレームからなり、前記入力データは端末から入力されるデータに対応し、前記出力データは端末へ出力されるデータに対応する請求の範囲第23項記載の直列制御装置。

29. 配布手段は、

各ノードの入力データのデータ列長と出力データのデータ列長の和のデータ列長を表わすデータ列長データを含む副フレームを各ノードに送出する手段と、

各ノードに設けられ、前記副フレームの中から自己

- 95 -

のノードに対応するデータ列長データを読み込むことによってデータ列長を設定するデータ列長設定手段と
を具える請求の範囲第28項記載の直列制御装置。

30. 配布手段は、

各ノードの出力データのデータ列長を表わすデータ列長データを含む副フレームを各ノードに送出する手段と、

各ノードに設けられ、前記副フレームの中から自己のノードに対応するデータ列長データを読み込むことによってデータ列長を設定するデータ列長設定手段と
を具える請求の範囲第28項記載の直列制御装置。

31. 配布手段は、

各ノードの入力データのデータ列長を表わす入力データデータ列長データおよび出力データのデータ列長を表わす出力データデータ列長データを含む副フレームを各ノードに送出する手段と、

各ノードに設けられ、前記副フレームの中から自己のノードに対応する入力データデータ列長データを読み込むことによって入力データデータ列長を設定する第1のデータ列長設定手段と、

各ノードに設けられ、前記副フレームの中から自己のノードに対応する出力データデータ列長データを読み込むことによって出力データデータ列長を設定する第

- 96 -

2 のデータ列長設定手段とを具える請求の範囲第 28 項記載の直列制御装置。

32. 複数のノードを直列に接続するとともに、各ノードに 1 乃至複数の端末を接続し、各ノードは前段のノードからの信号に含まれるデータに自己のノードに接続される端末からの信号を付加するとともに自己のノードに接続される端末への信号を削除して後段のノードに送出する直列制御装置において、

前記前段のノードからの信号は、スタートコード該信号に含まれるデータの列長を示すデータ列長データ、ストップコードを含み、

前記各ノードは、

前記スタートコードを検出するスタートコード検出手段と、

前記ストップコードを検出するストップコード検出手段と、

前記スタートコード検出手段によりスタートコードを検出してから前記データ列長データの示すデータ列長に達するまでの間前記スタートコード検出手段および前記ストップコード検出手段の検出動作を禁止する禁止手段

とを具えた直列制御装置。

33. データ信号および該データ信号の長さを示すデ

- 97 -

ータ列長コード信号を少くとも配列したデータフレーム信号を受信するに際し、マスク信号に基づいて少くとも前記データ列長コード信号を覆い隠す直列制御装置の制御方法において、

前記データ列長コード信号を前記マスク信号に基づいて覆い隠される他の信号に隣接して配列した直列制御装置の制御方法。

34. 通信されるシリアルデータのうちの少くとも一部のデータをバイフェーズ符号に変換する変換手段と、

前記少くとも一部のデータの1ビット毎に対応する前記バイフェーズ符号を順次抽出する抽出手段と、

この抽出手段によって抽出されたバイフェーズ符号の各値について排他的論理和を求める論理回路と

を備え、この論理回路によって求められた排他的論理和に基づいて前記少くとも一部のデータのエラーを検出する直列制御装置。

35. 直列制御装置は変換手段によって変換されたバイフェーズ符号のデータを中継するための1乃至複数の中継器を備え、

この中継器は抽出回路と論理回路とを少くとも備え、

前記抽出回路および前記論理回路によって得られた排他的論理和に基づいて前記データのエラーが検出された場合にエラーを示す情報および所定の計数値を示

- 98 -

すカウント情報を該データに付加して送信する手段と、

受信した前記データに付加されている前記エラー情報によってエラーが示されている場合に該データに付加されている前記カウント情報によって示される計数値を1つ進める手段と

をさらに備え、前記エラー情報および前記カウント情報により前記データのエラー経歴を示すようにした請求の範囲第34項記載の直列制御装置。

36. 中継器はバイフェーズ符号の排他的論理和に基づくデータのエラー検出を該データの処理後および処理前のうちの少くとも一方で行うことを特徴とする請求の範囲第34項記載の直列制御装置。

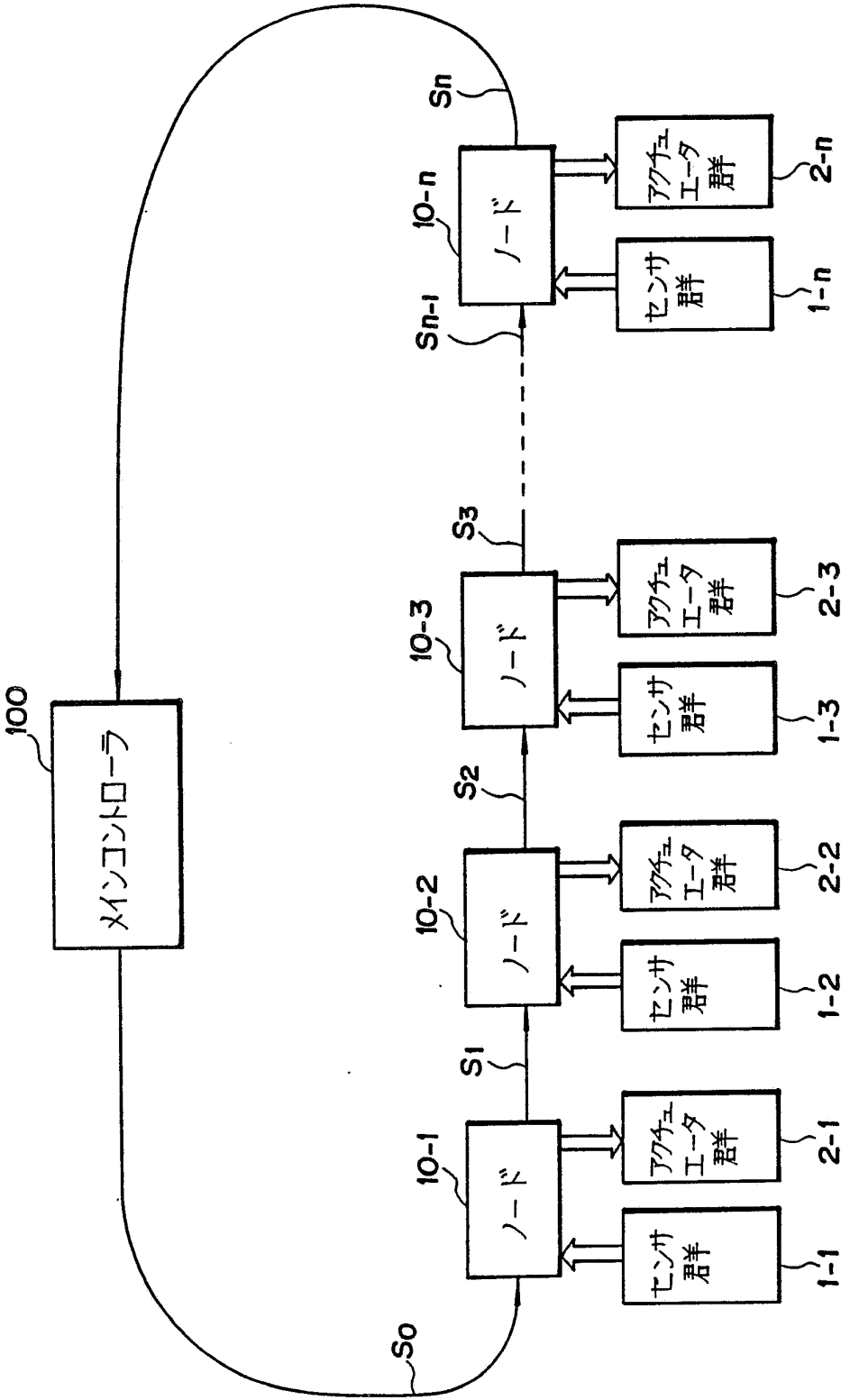
37. 直列接続された複数のノードをメインコントローラに接続するとともに、各ノードに1乃至複数の端末を接続した直列制御装置において、

各ノードは、

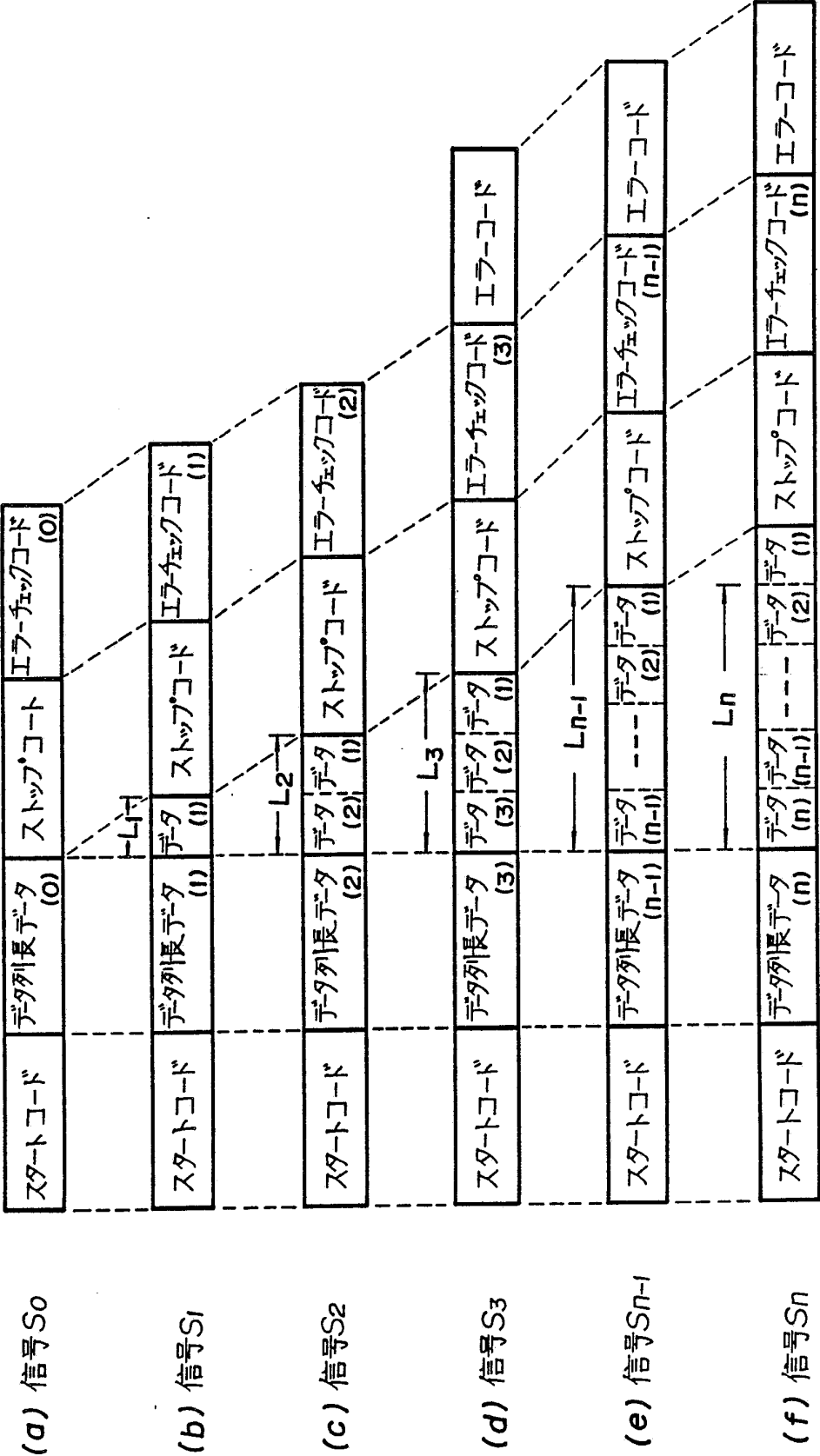
前段のノードからのデータ信号に含まれるエラーチェックコードにもとづきエラー発生を監視する手段と、

エラー発生を検出した場合、後段へのデータ信号にエラー信号を付加する手段と

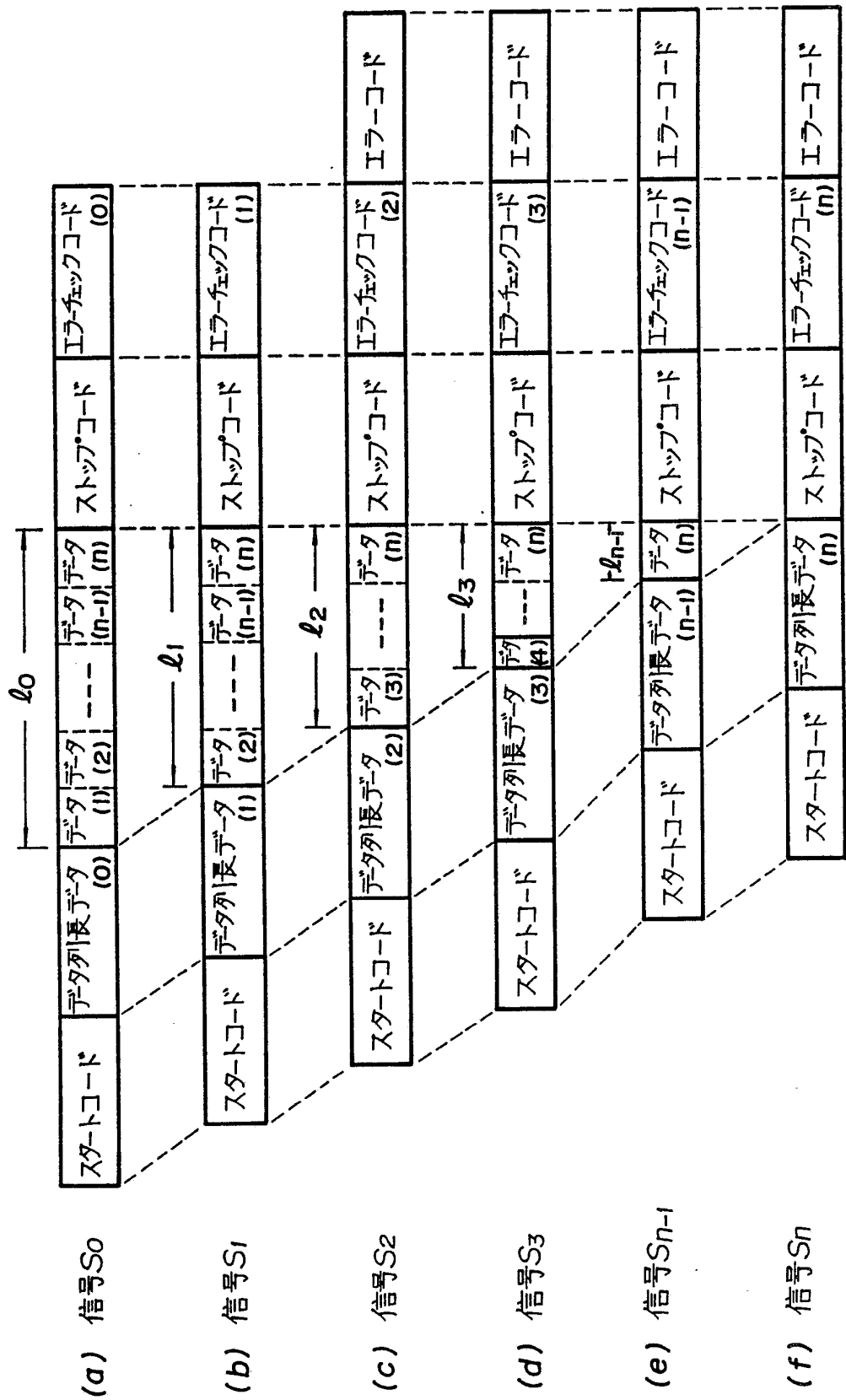
を具えた直列制御装置。



第 1 図

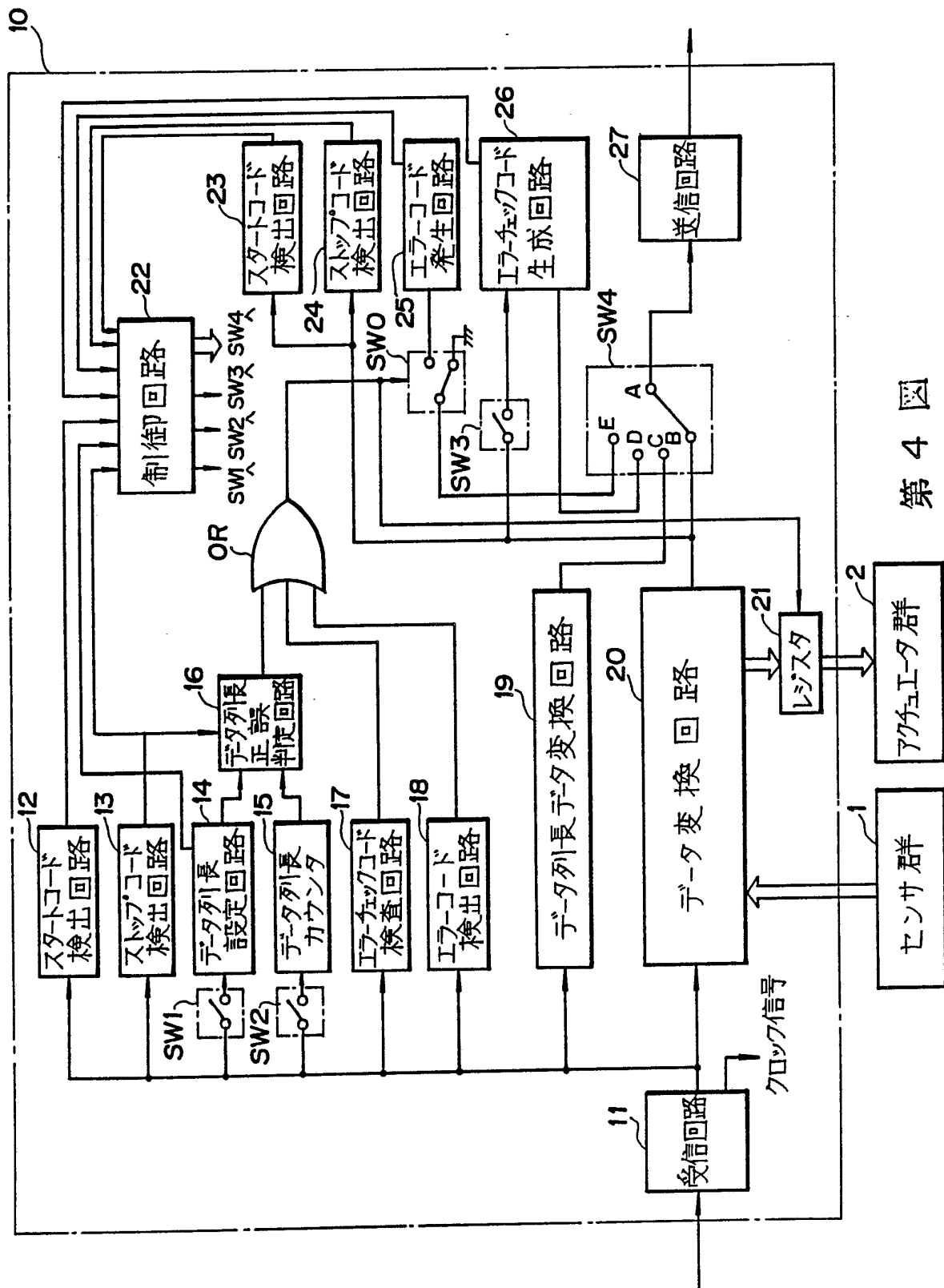


第 2 図

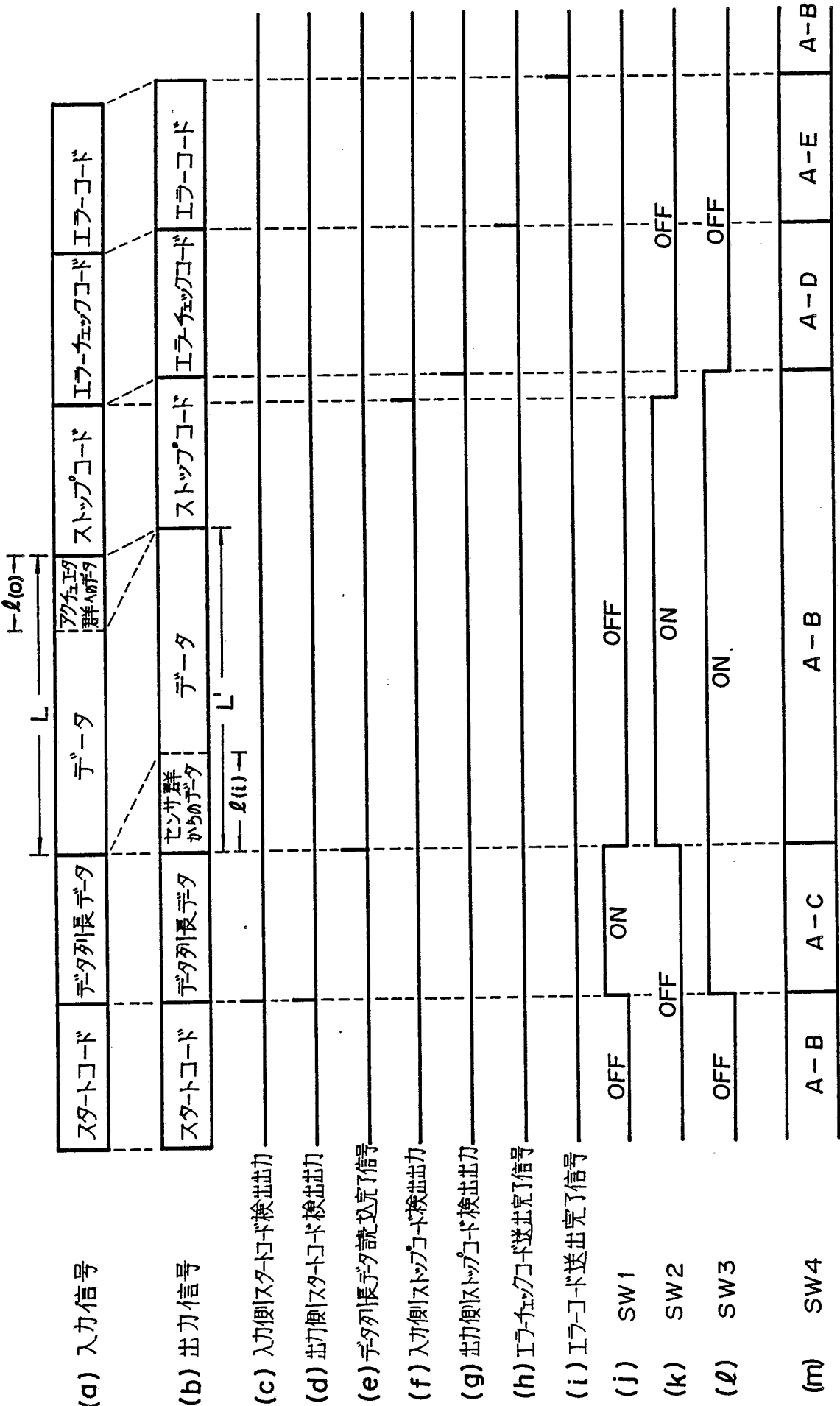


第 3 図

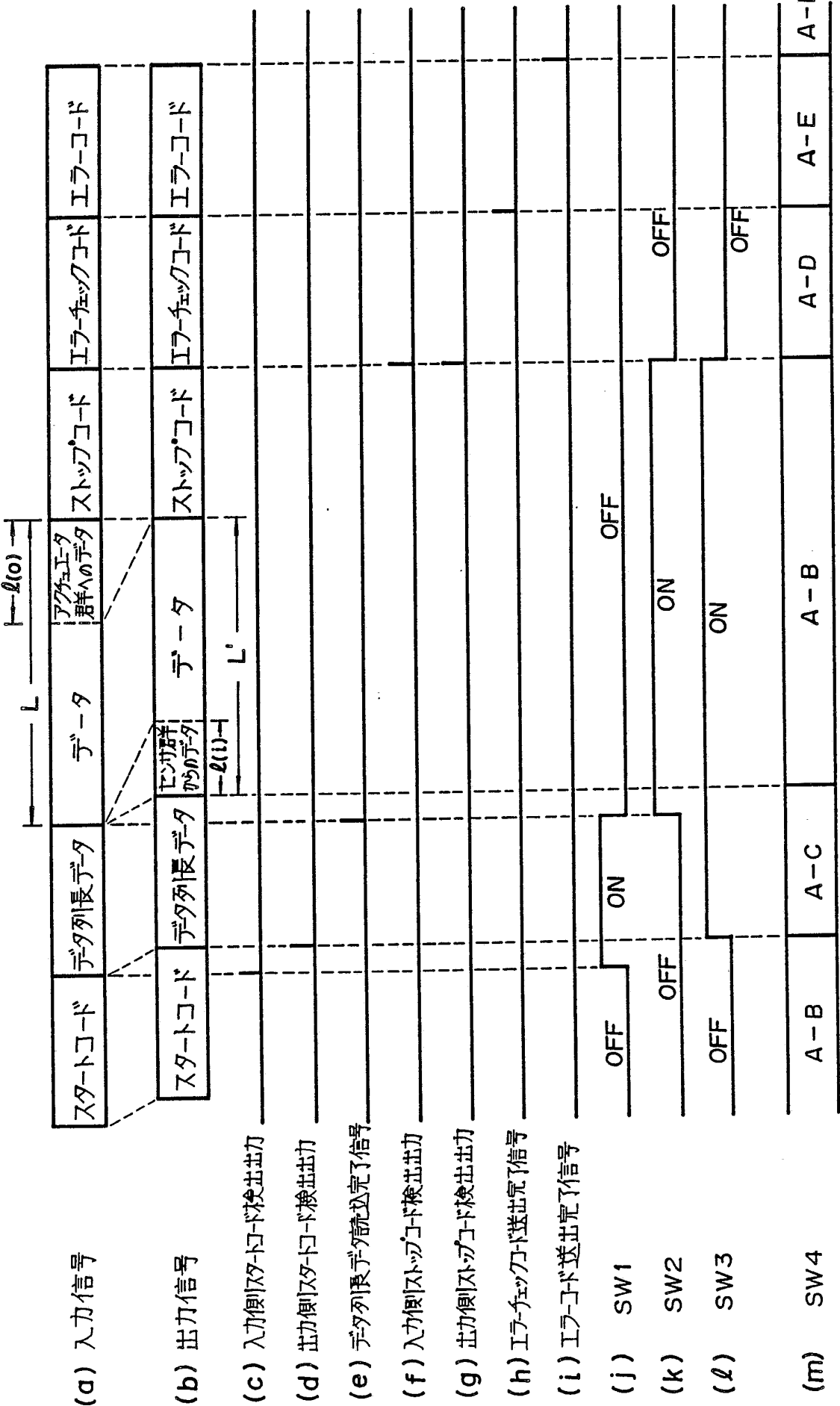
4/37



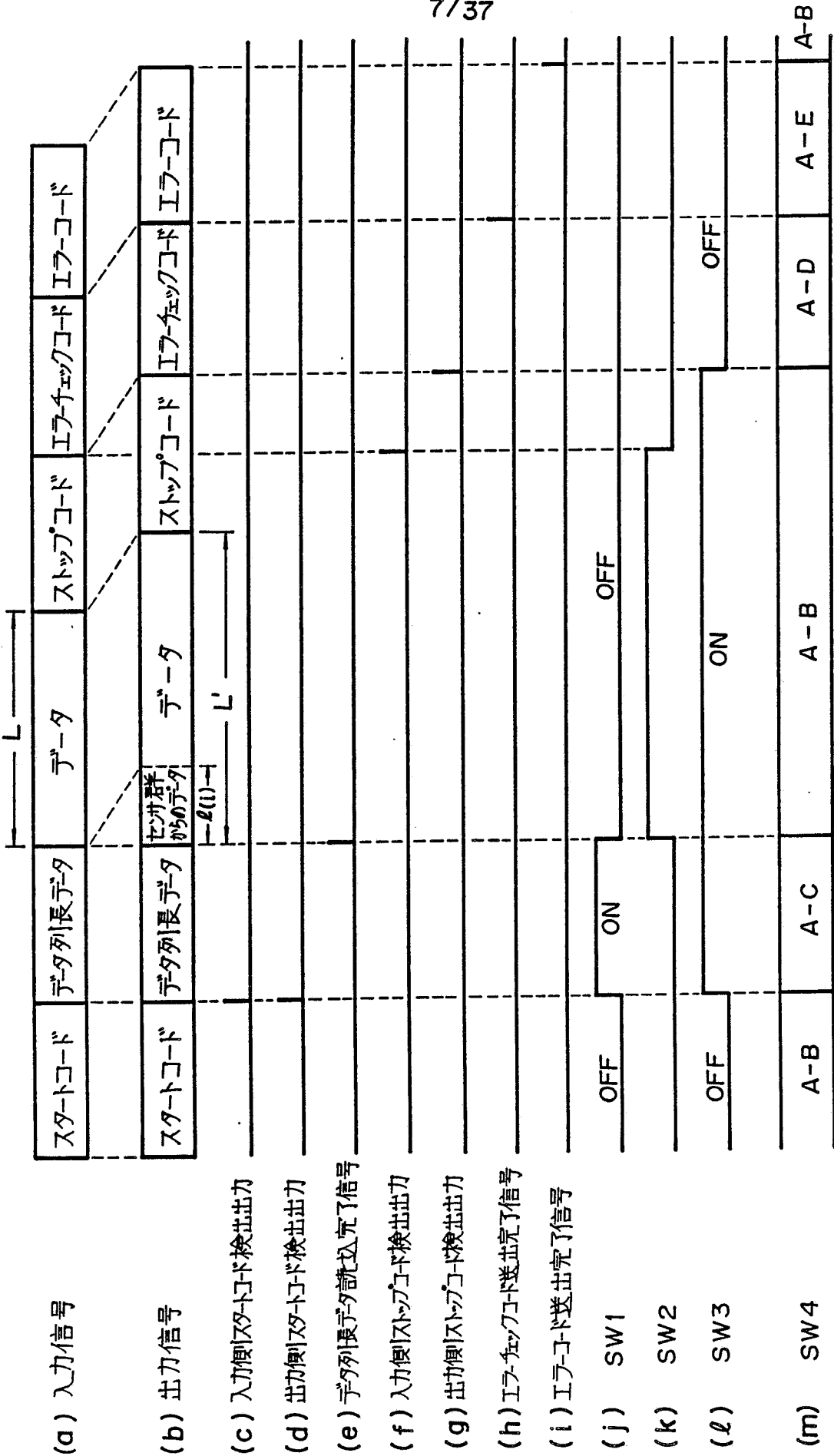
第 4 図



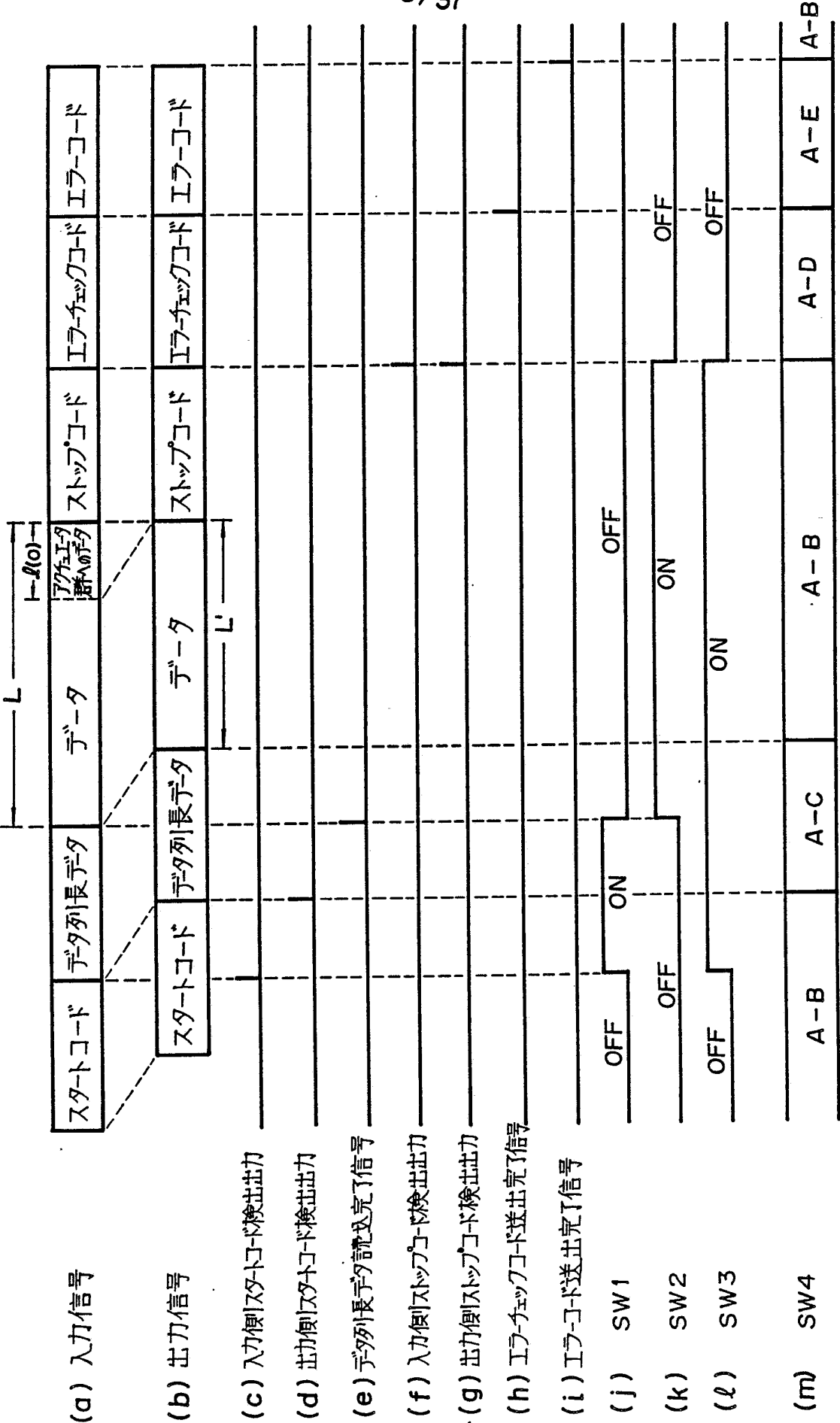
第 5 図

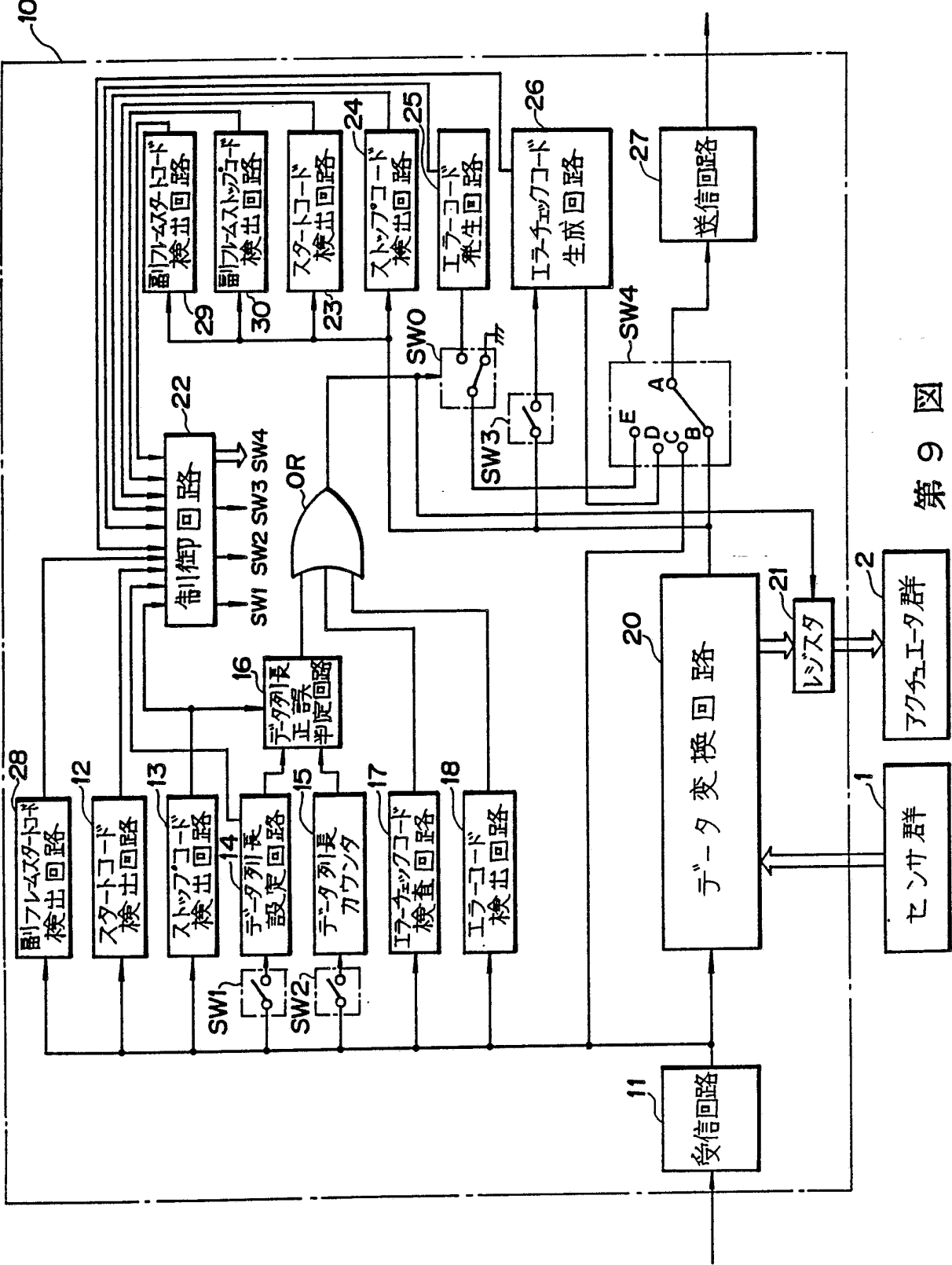


第 6 図

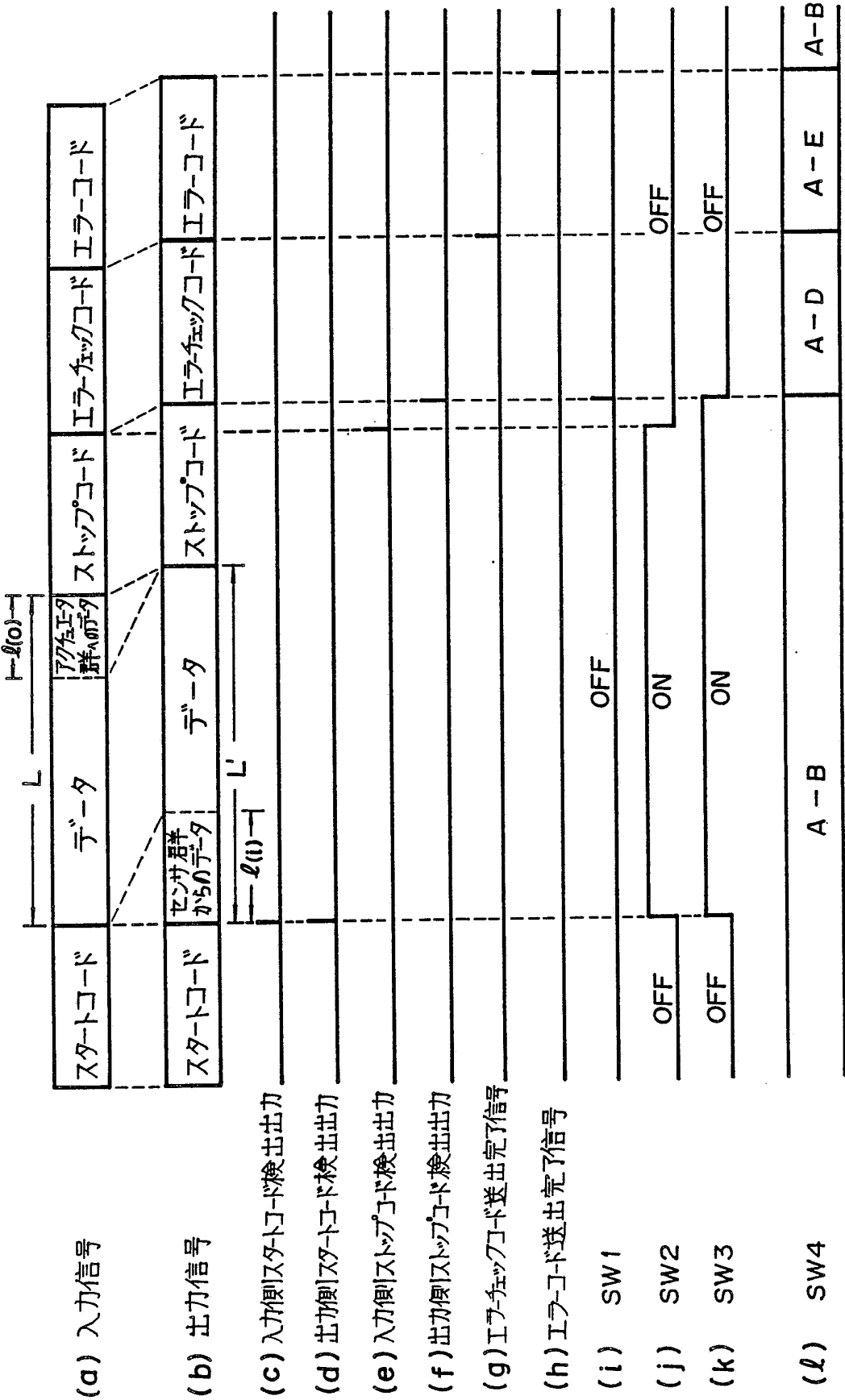


第 7 図

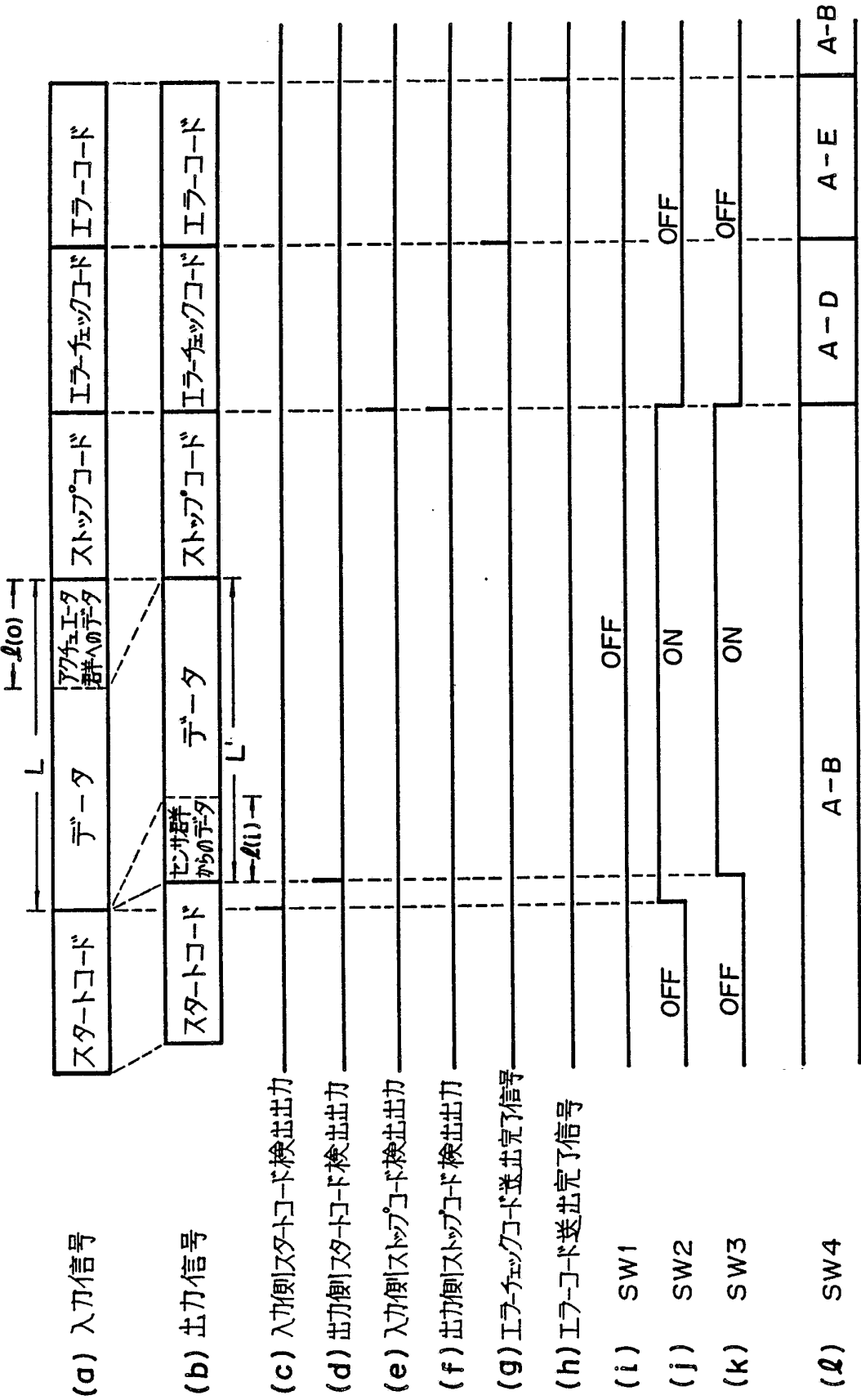




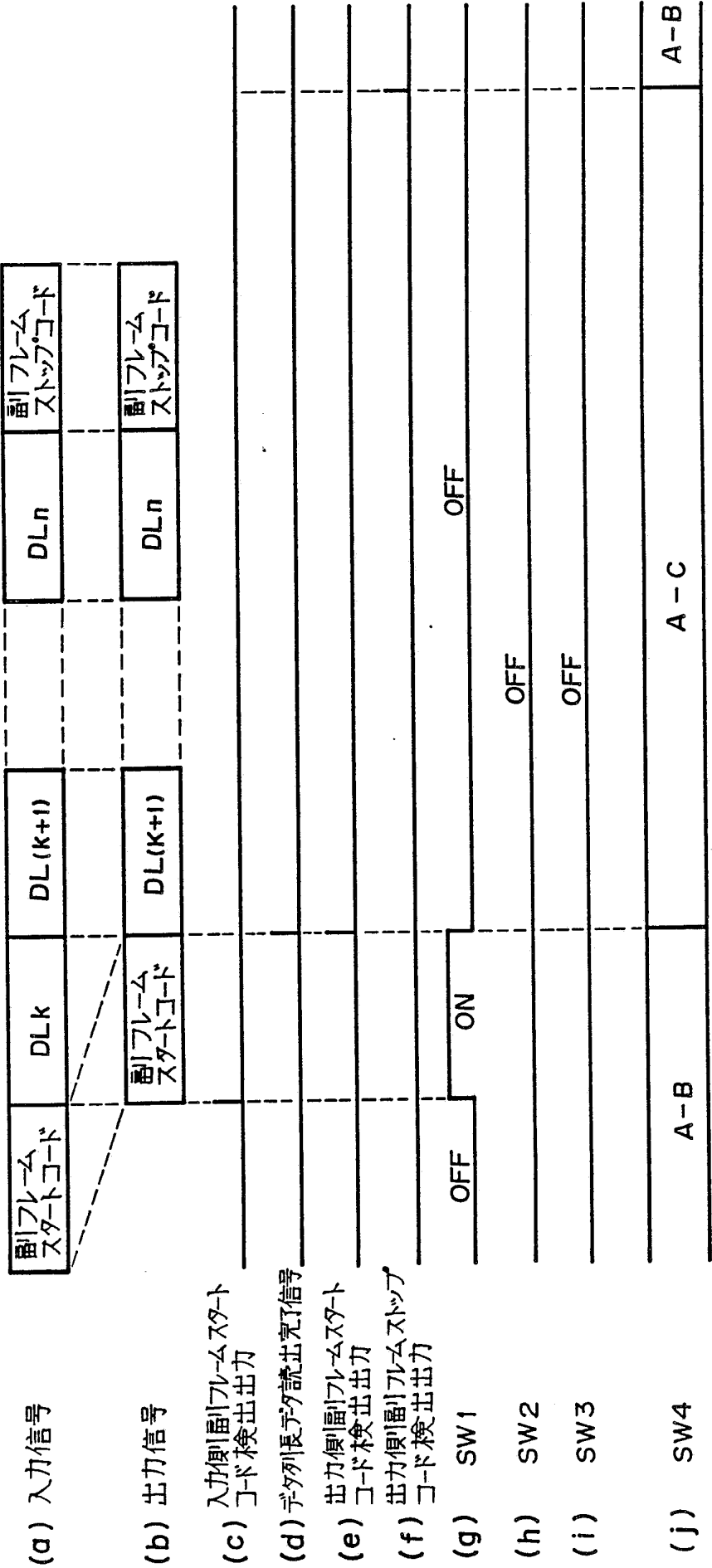
第 9 図



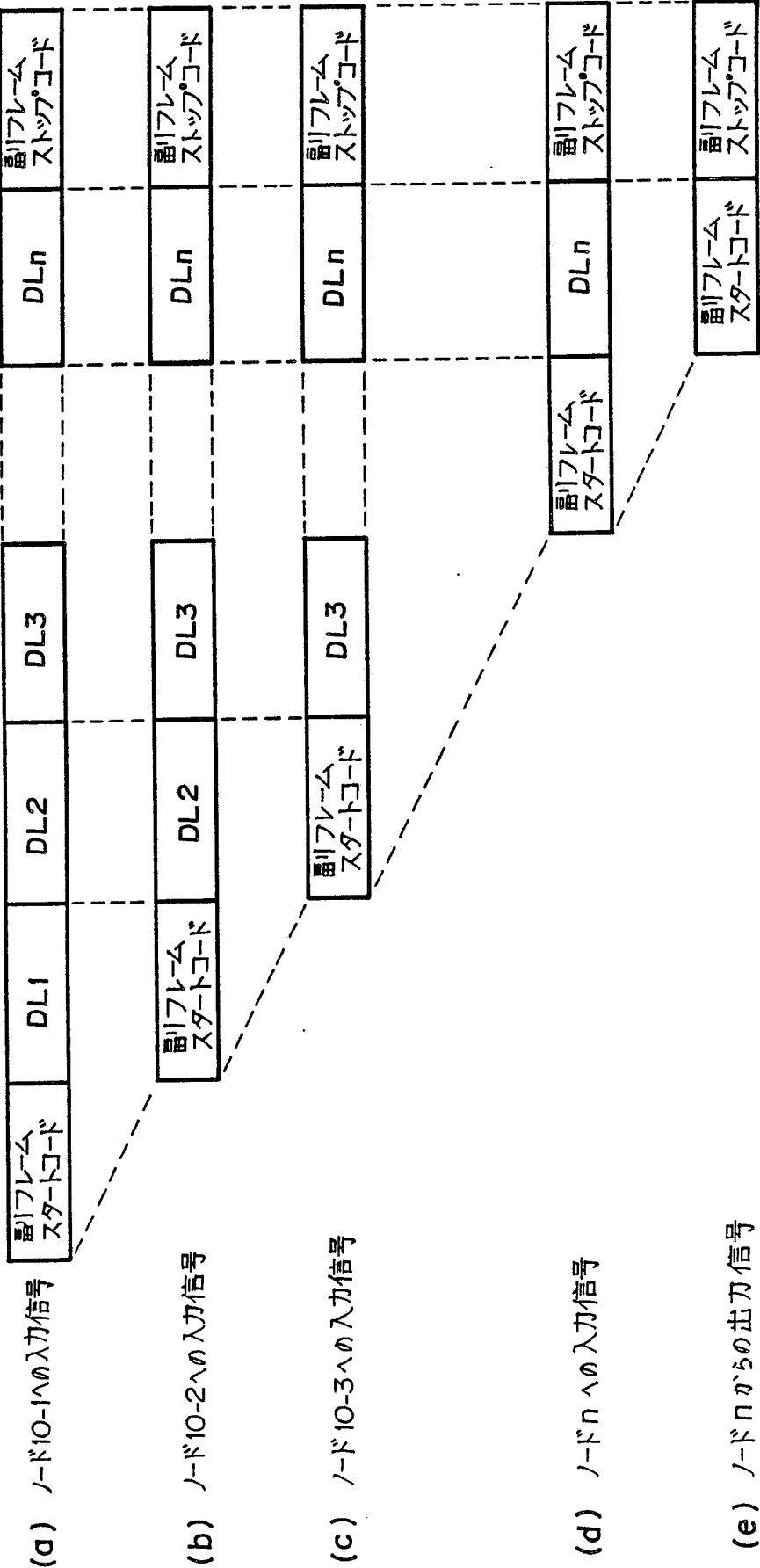
第 10 図



第 11 図

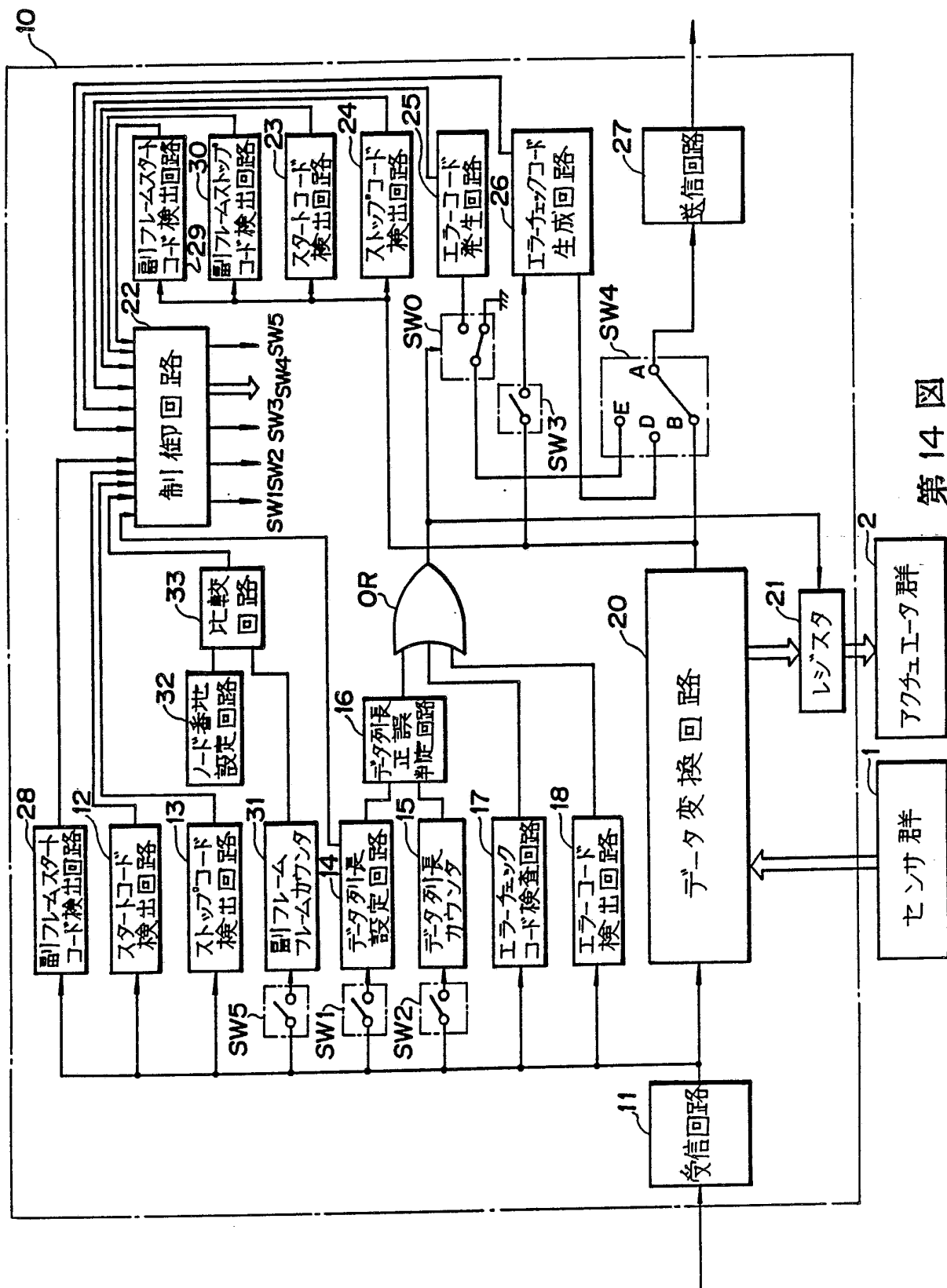


第 12 図



第13図

14/37



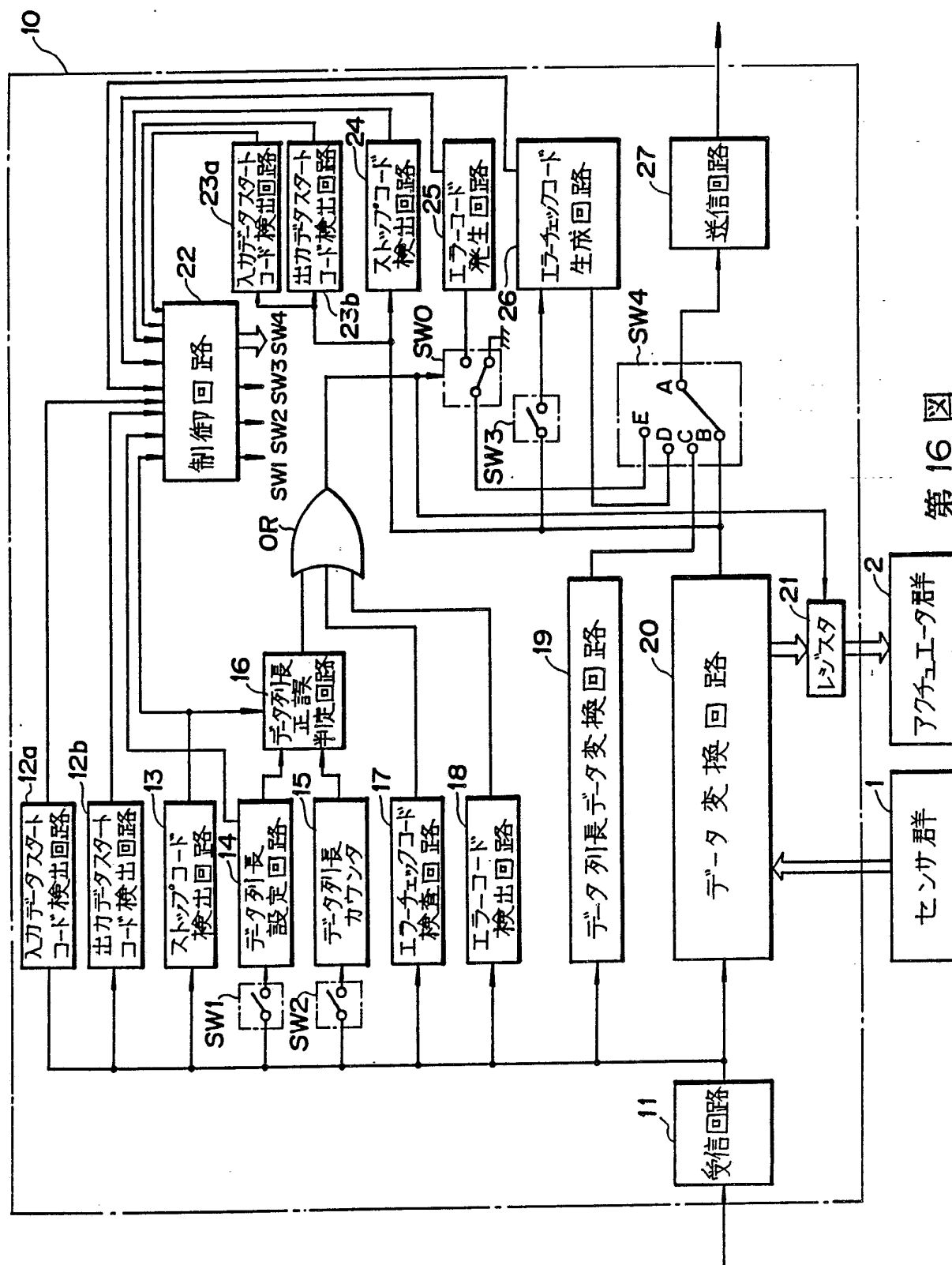
第 14 図

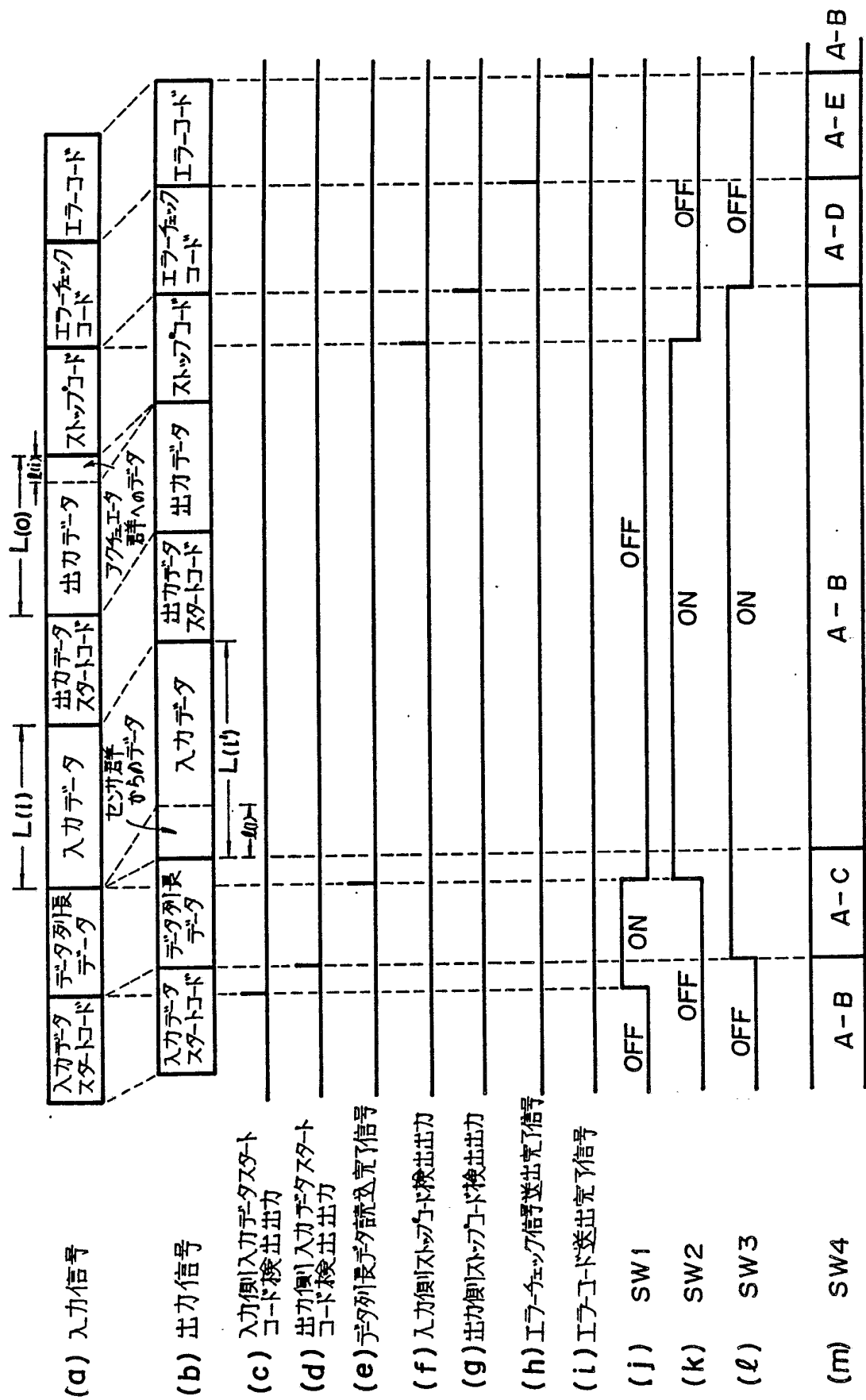
15/37

(a) 入力信号	副フレーム スタートコード	DL1	DL2	DL3	DLn	副フレーム ストップコード
(b) 出力信号	副フレーム スタートコード	DL1	DL2	DL3	DLn	副フレーム ストップコード
(c) 入力側副フレームスタート コード検出出力						
(d) データ列長データ読込完了信号						
(e) 出力側副フレームスタート コード検出出力						
(f) 出力側副フレームストップ コード検出出力						
(g) 比較回路の出力						
(h) SW 1	OFF	OFF	ON	OFF		
(i) SW 2			OFF			
(j) SW 3			OFF			
(k) SW 4						

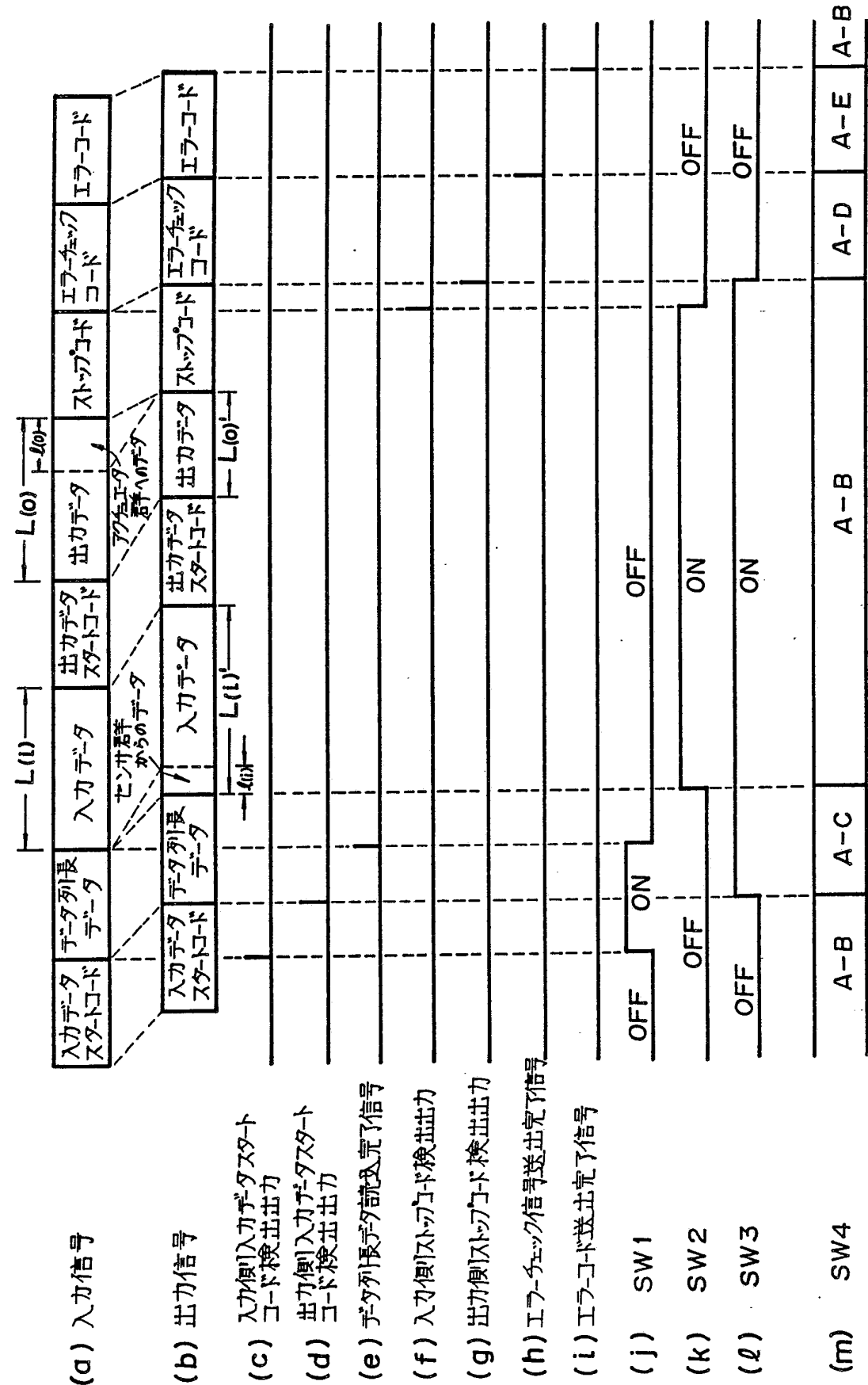
第 15 図

16 / 37

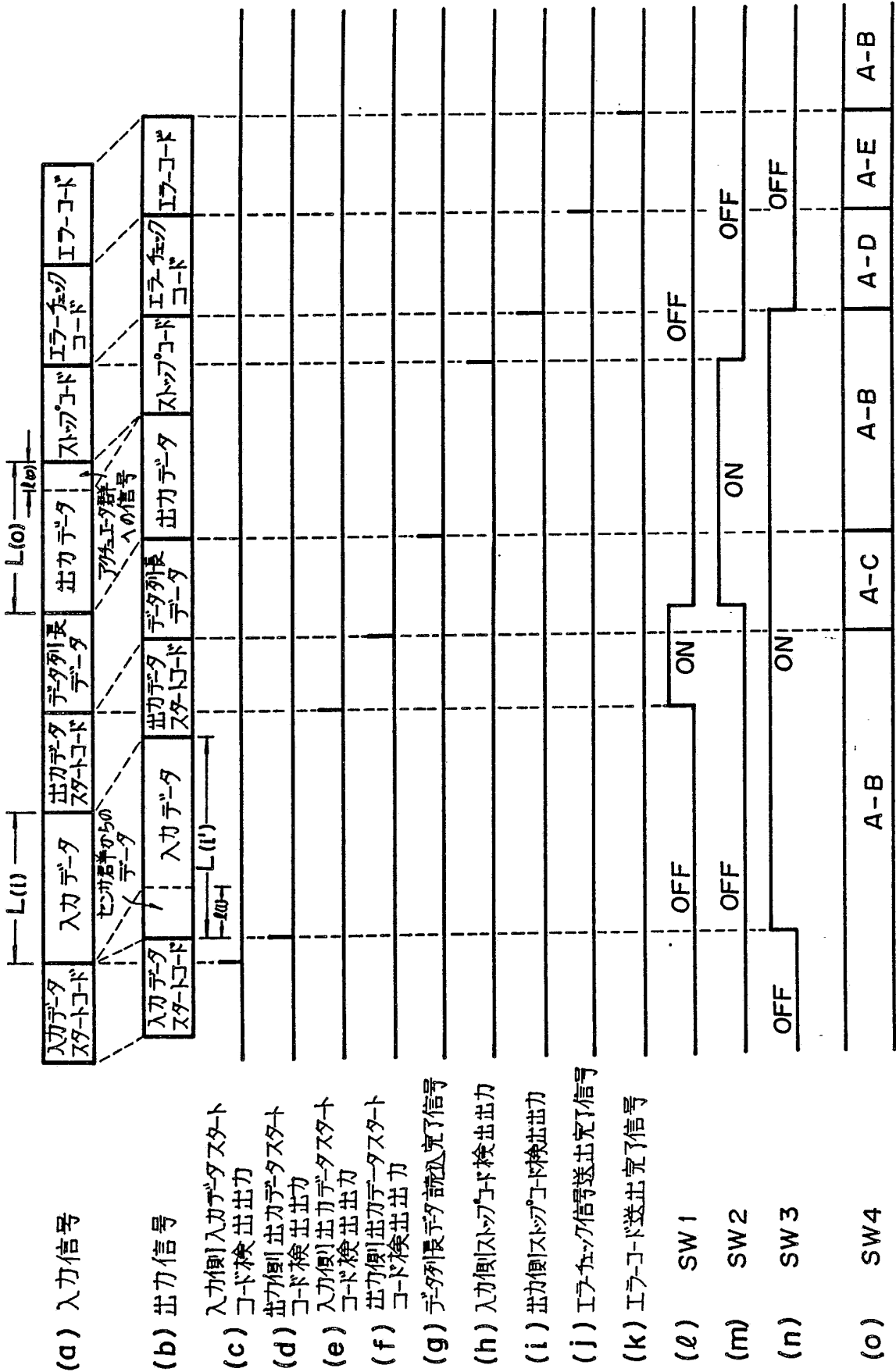




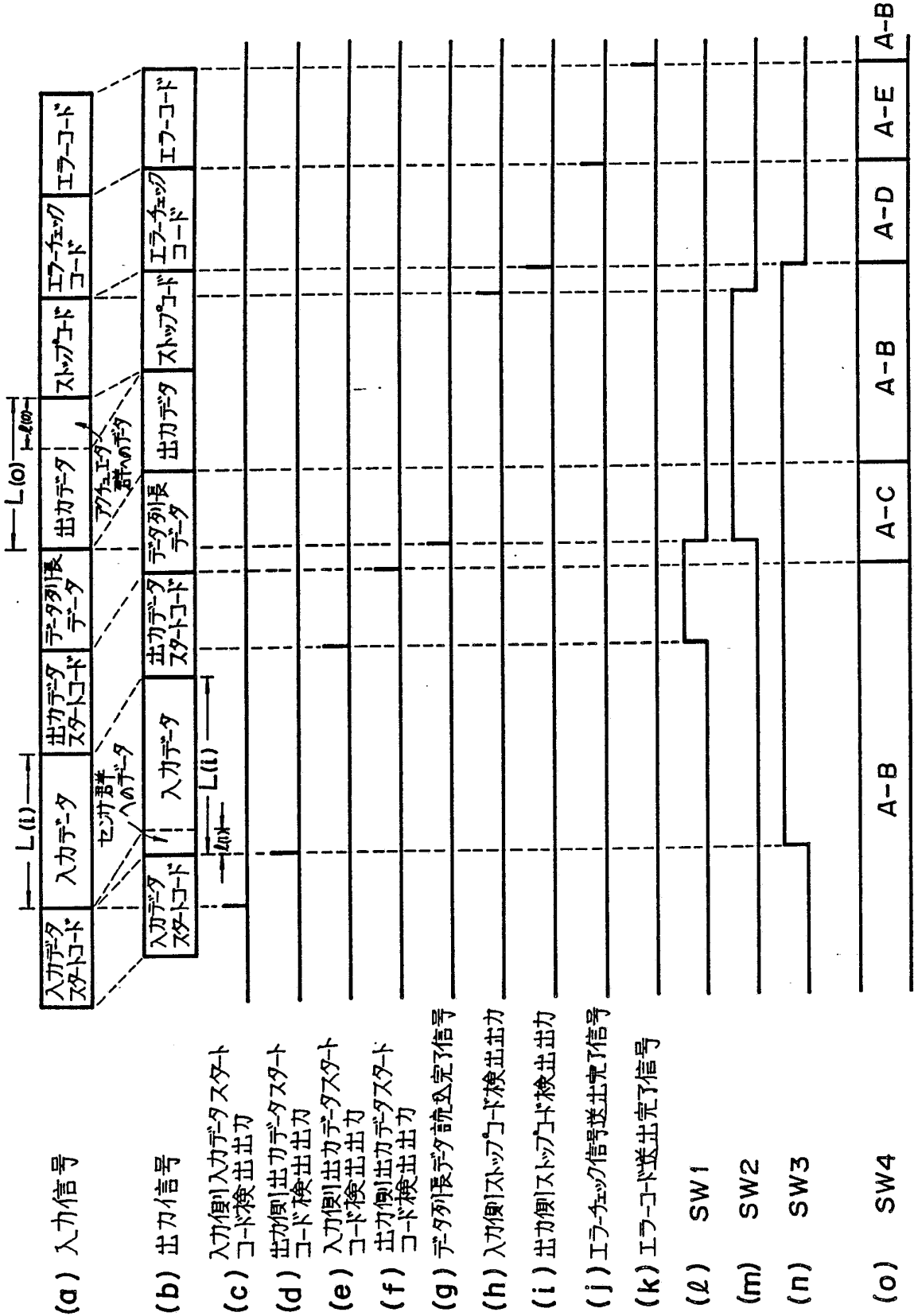
第 17 図



第 18 図

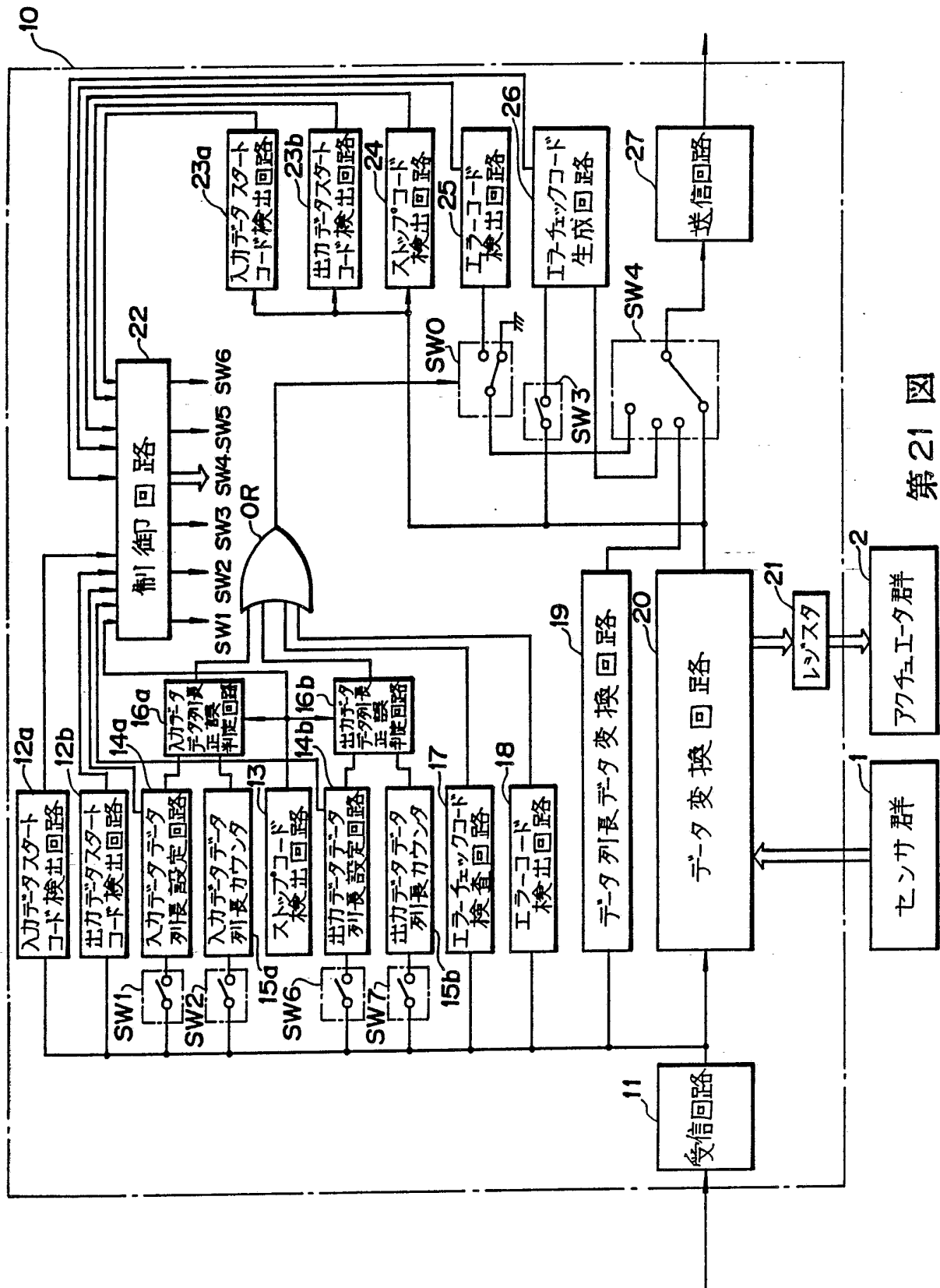


第 19 図



第 20 図

21/37

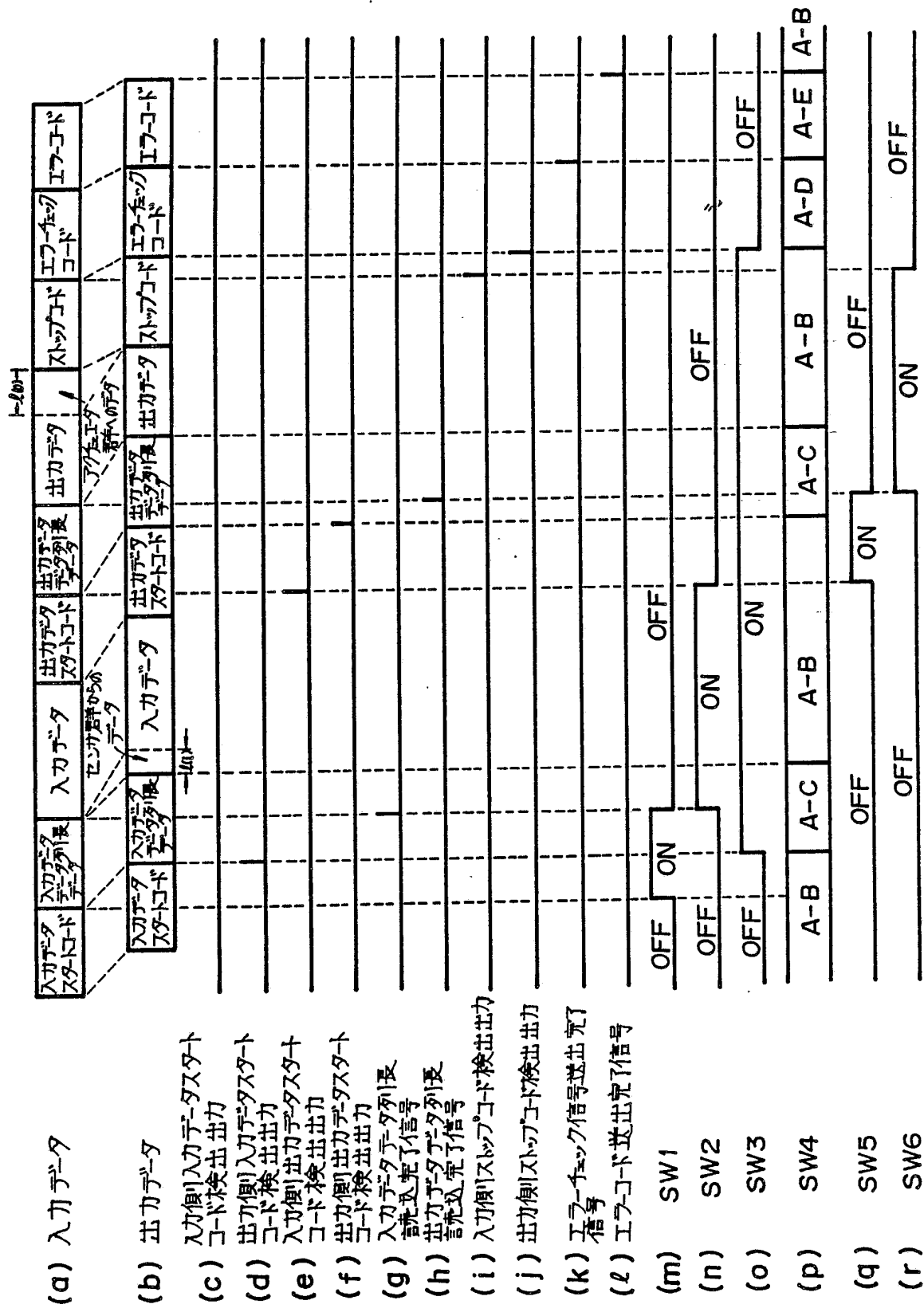


第21図

22/37

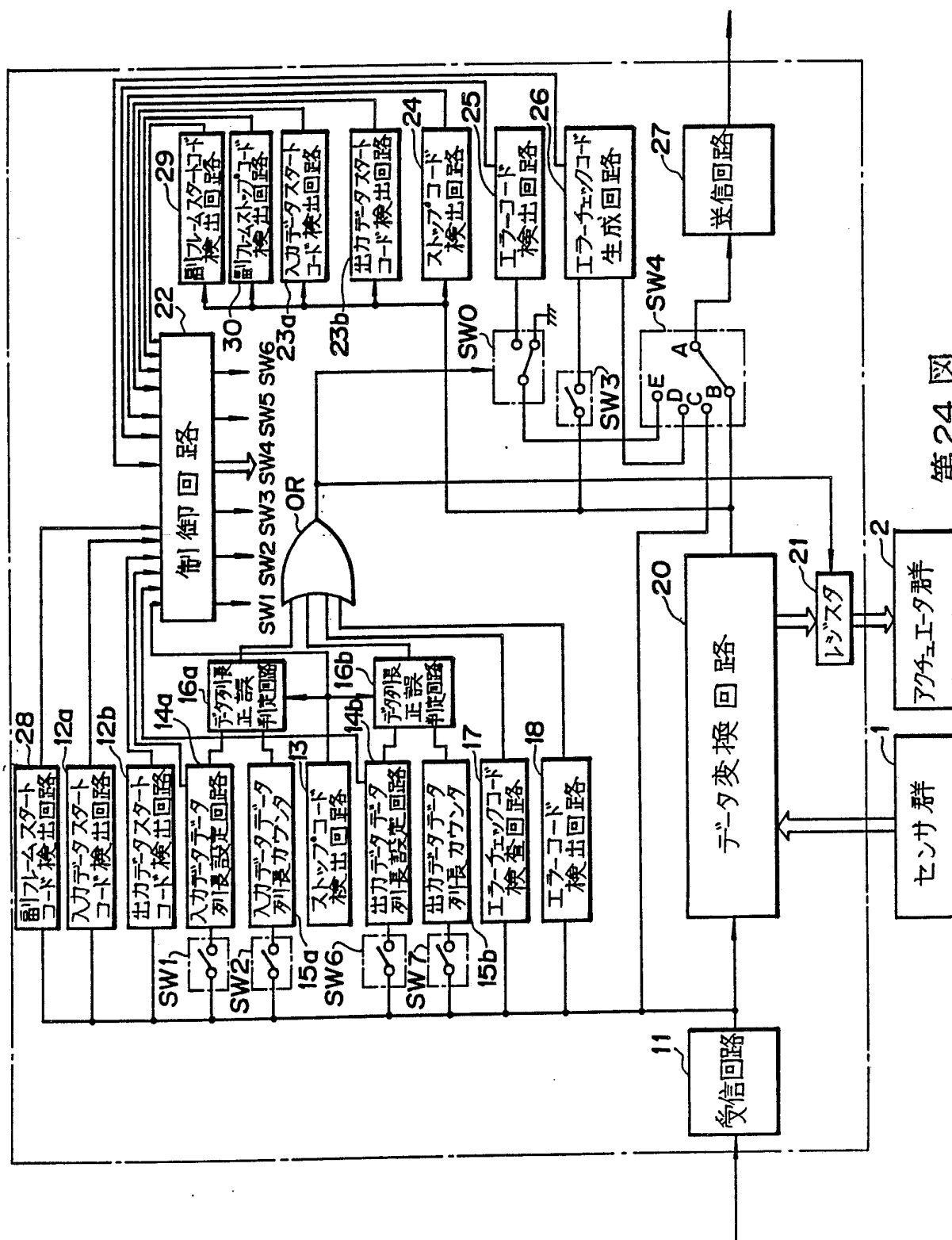
	デジタリク・システム										アナログ・システム			
	入力データ スタート	入力データ データ列長	入力データ	出力データ スタート	出力データ データ列長	出力データ	出力データ データ列長	出力データ	出力データ データ列長	出力データ	ストップコード	ストップコード	エラーコード	エラーコード
(a) 入力データ	入力データ スタート	入力データ データ列長	入力データ	出力データ スタート	出力データ データ列長	出力データ	出力データ データ列長	出力データ	出力データ データ列長	出力データ	ストップコード	ストップコード	エラーコード	エラーコード
(b) 出力データ	入力データ スタート	入力データ データ列長	入力データ	出力データ スタート	出力データ データ列長	出力データ	出力データ データ列長	出力データ	出力データ データ列長	出力データ	ストップコード	ストップコード	エラーコード	エラーコード
(c) 入力側入力データスタート コード検出力														
(d) 出力側入力データスタート コード検出力														
(e) 入力側出力データスタート コード検出力														
(f) 出力側出力データスタート コード検出力														
(g) 入力データデータ列長 検出完了信号														
(h) 出力データデータ列長 検出完了信号														
(i) 入力側ストップコード検出力														
(j) 出力側ストップコード検出力														
(k) エラーチェックコード送完了信号														
(l) エラーコード送完了信号														
(m) SW1	OFF	ON		OFF										
(n) SW2	OFF		ON					OFF						
(o) SW3	OFF			ON									OFF	
(p) SW4	A-B	A-C	A-B	A-B	A-C	A-C	A-B	A-B	A-C	A-B	A-B	A-D	A-E	A-B
(q) SW5	OFF			ON			OFF							
(r) SW6	OFF			ON			OFF			OFF				

第22図



第23図

24/37



第24図

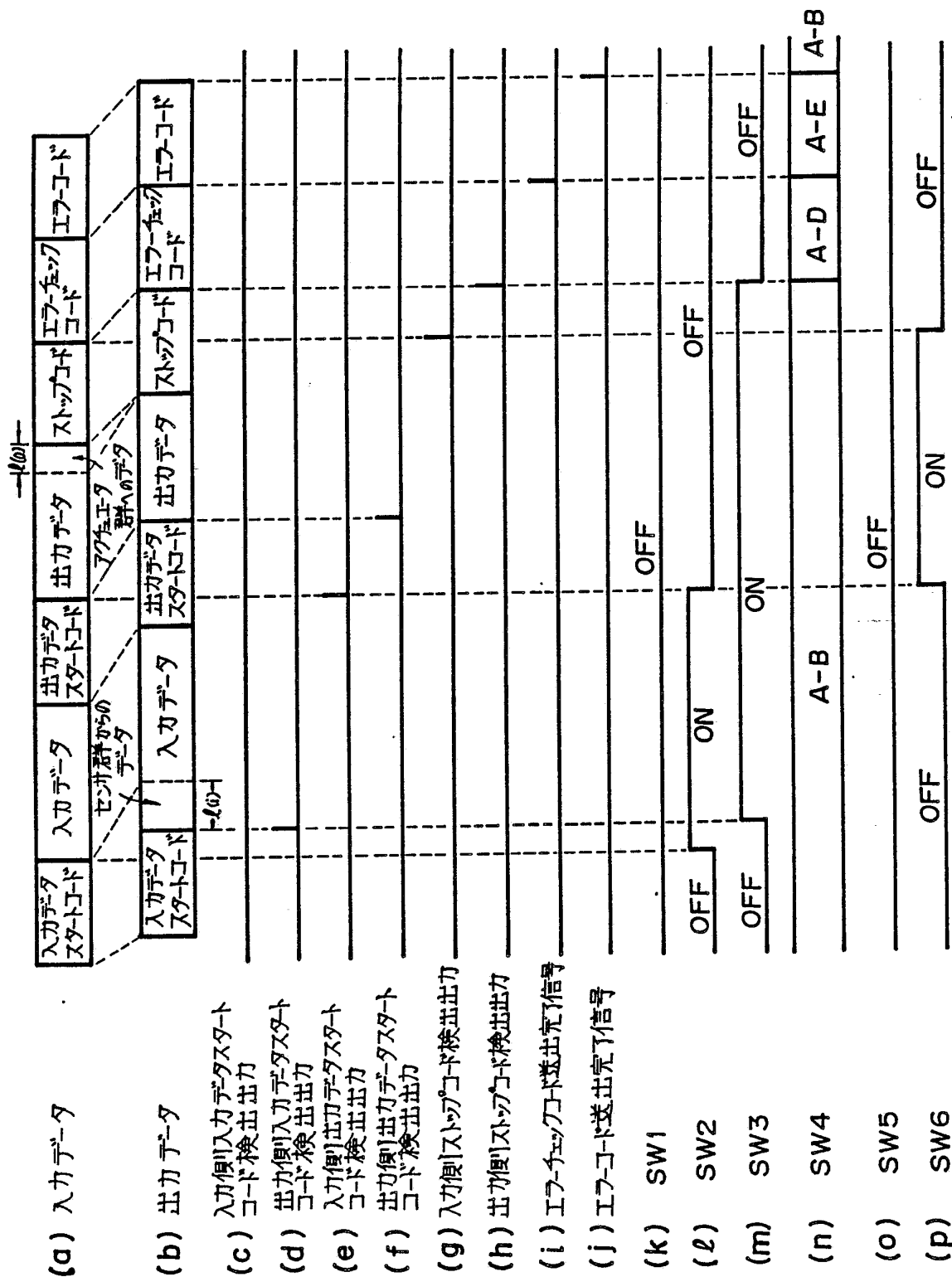


図 25 策

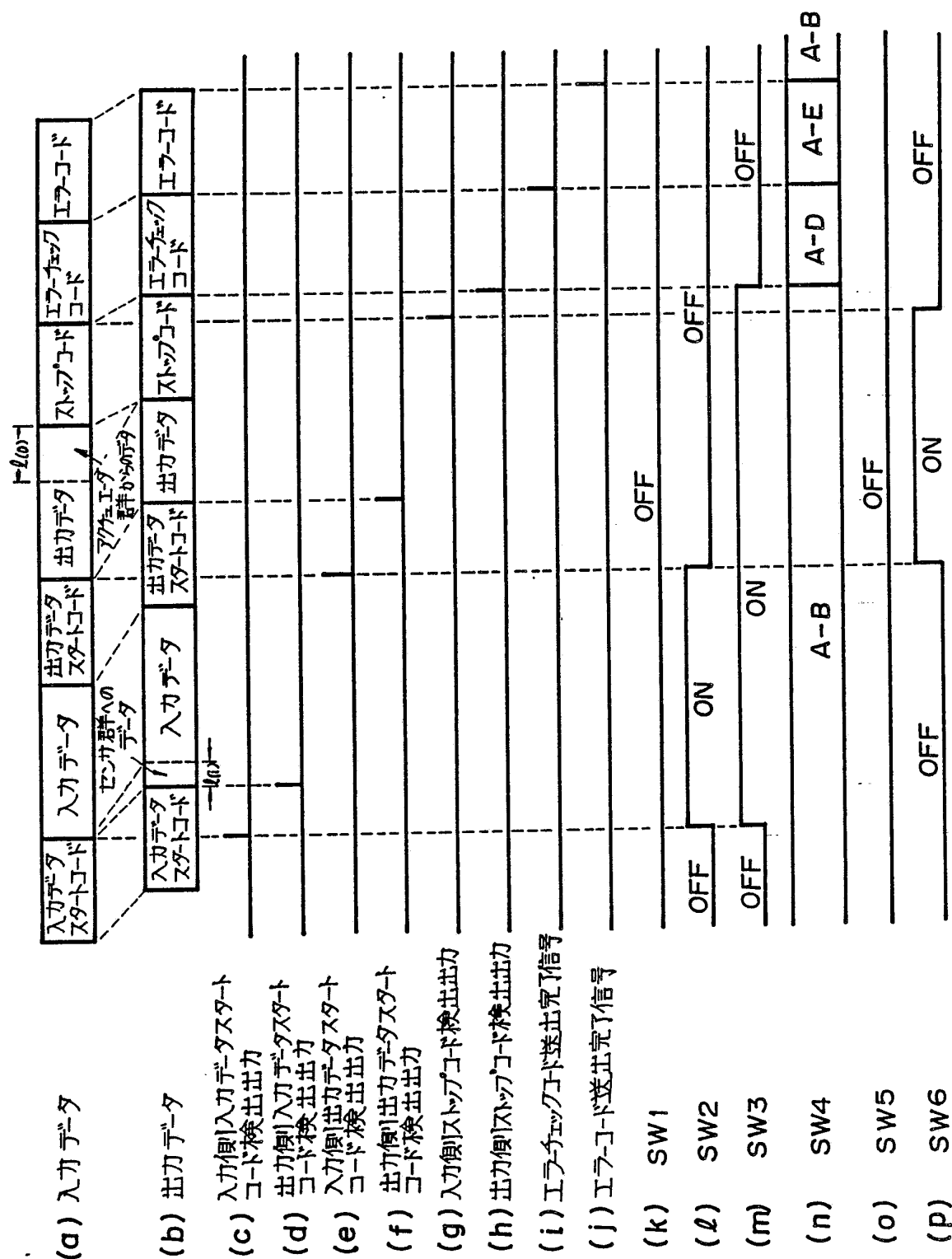
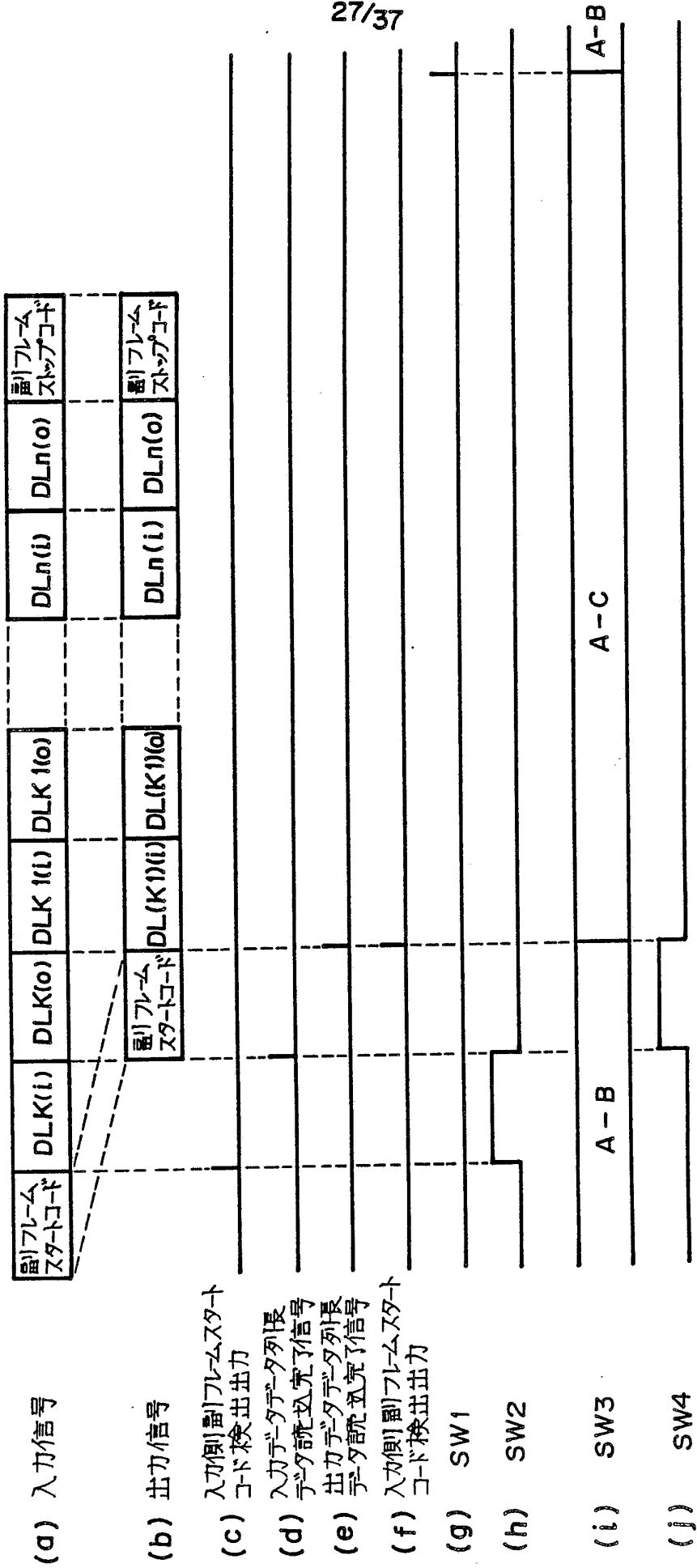


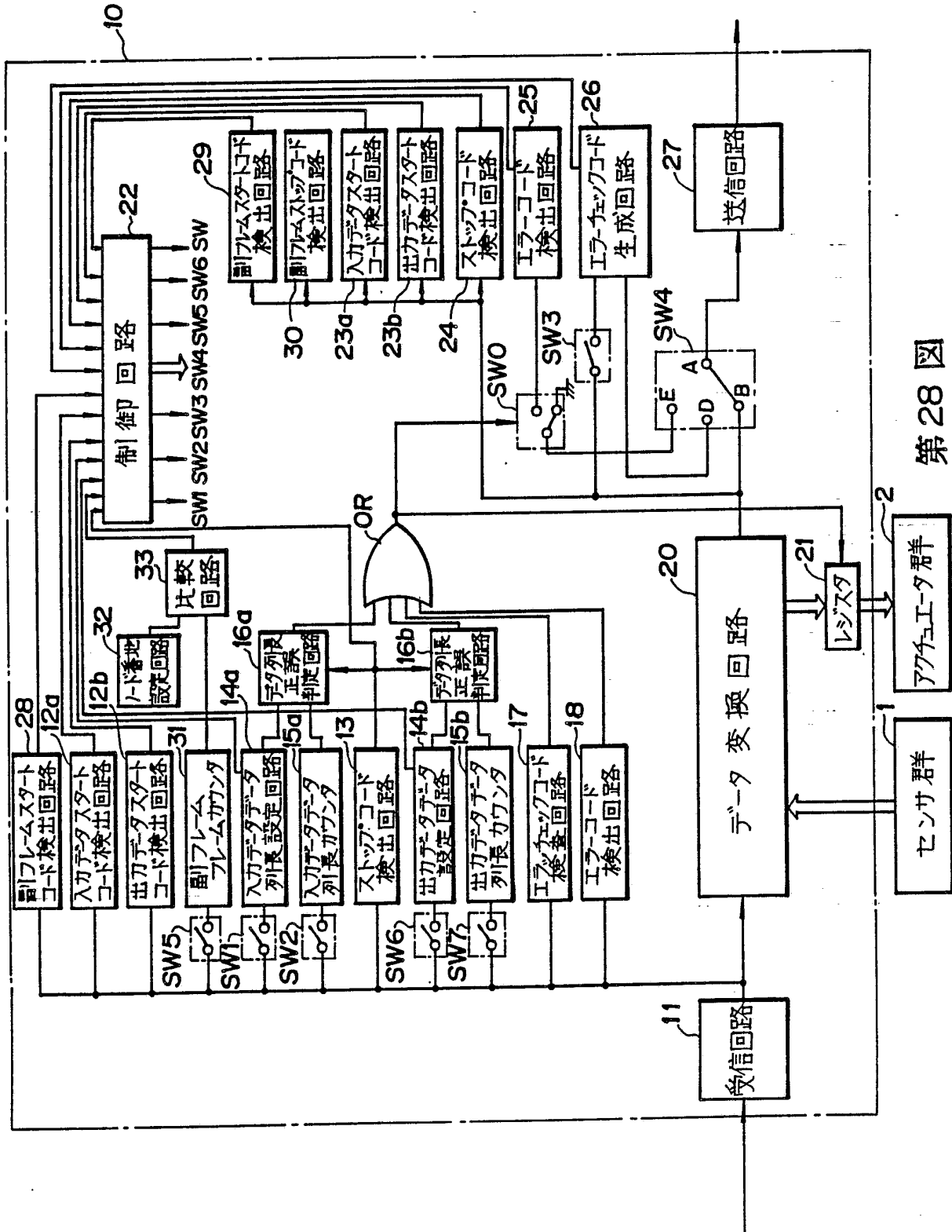
圖 26 葉

27/37

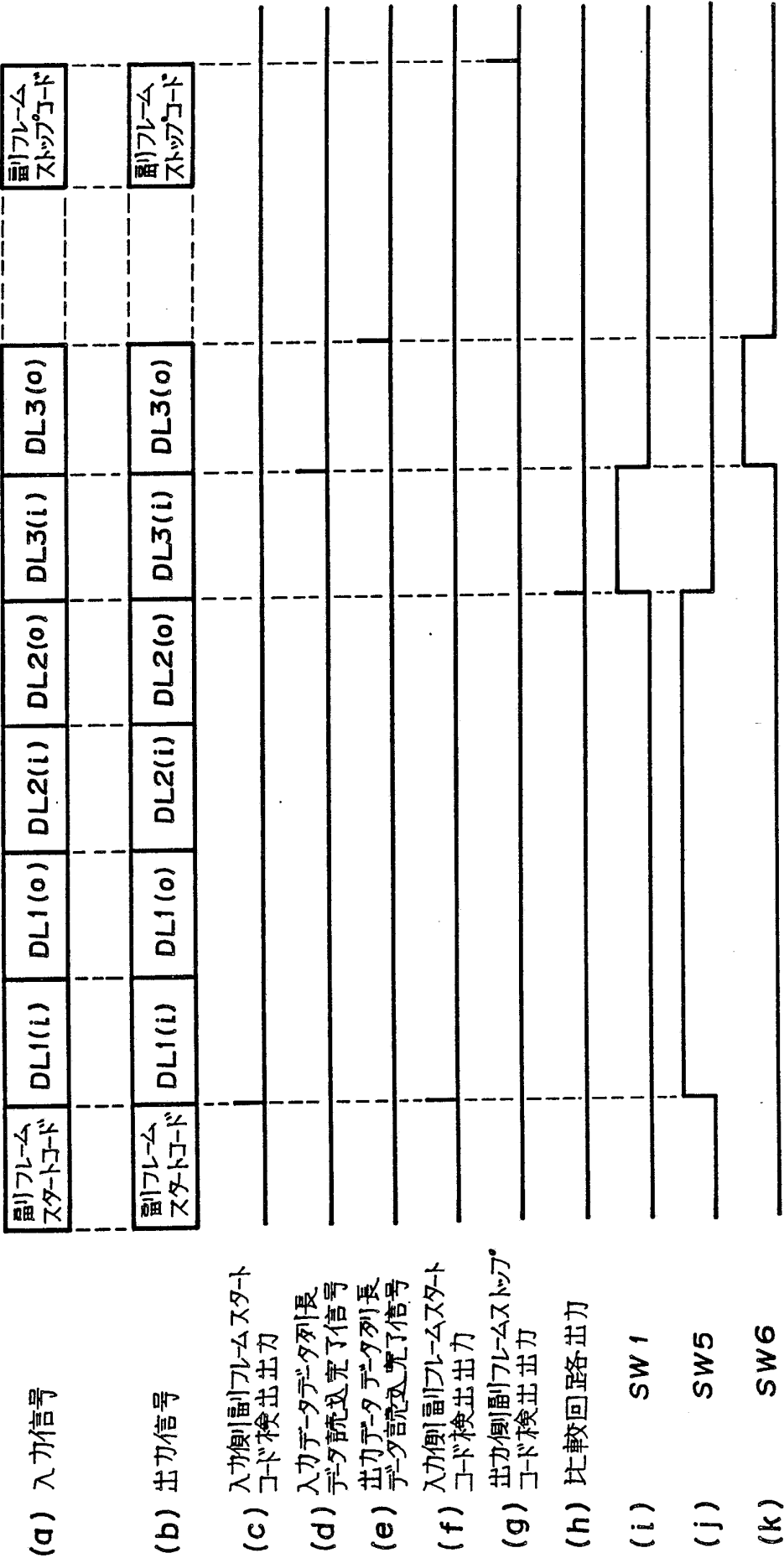


第 27 図

28/37



第28図



第 29 図

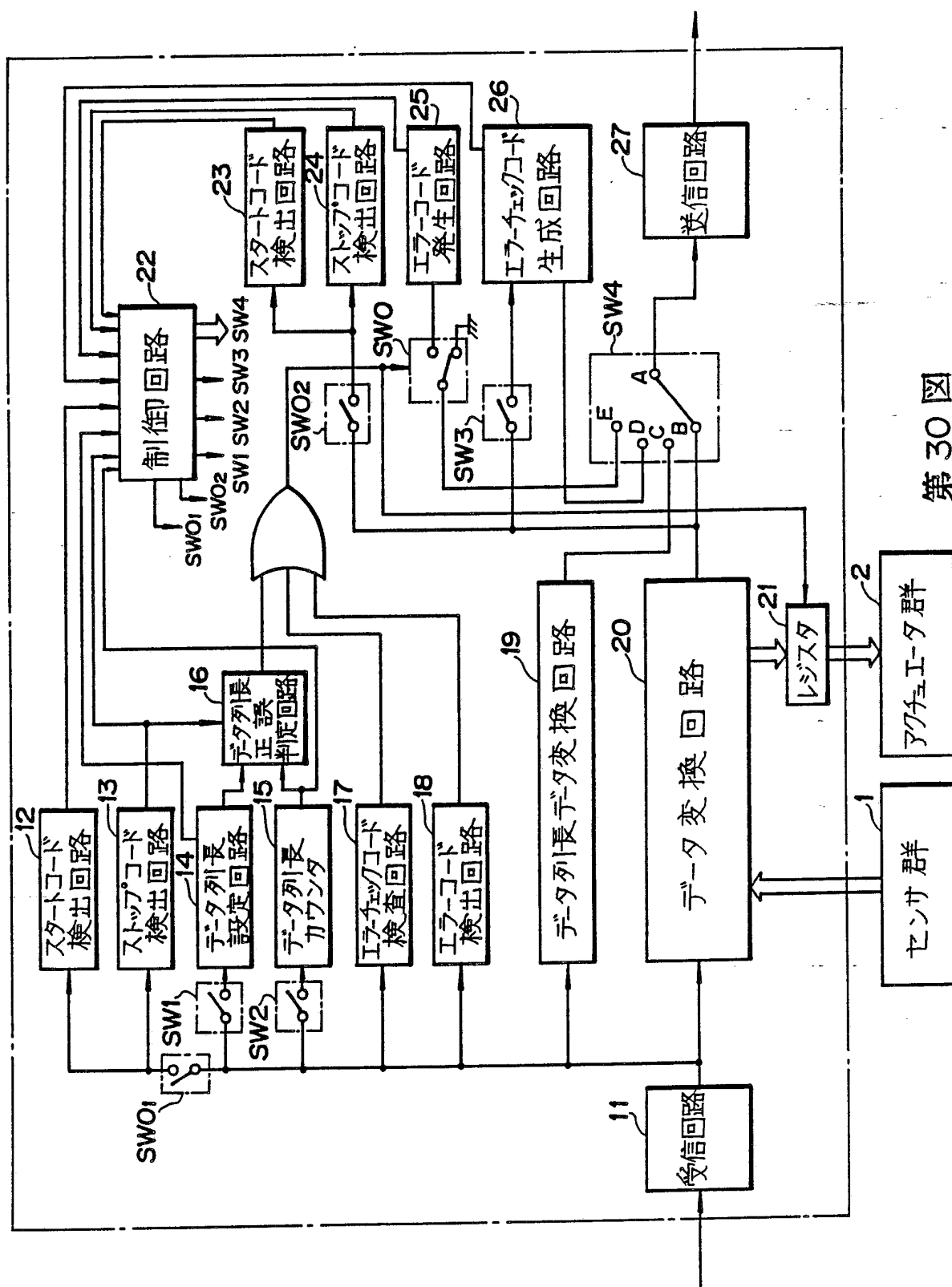
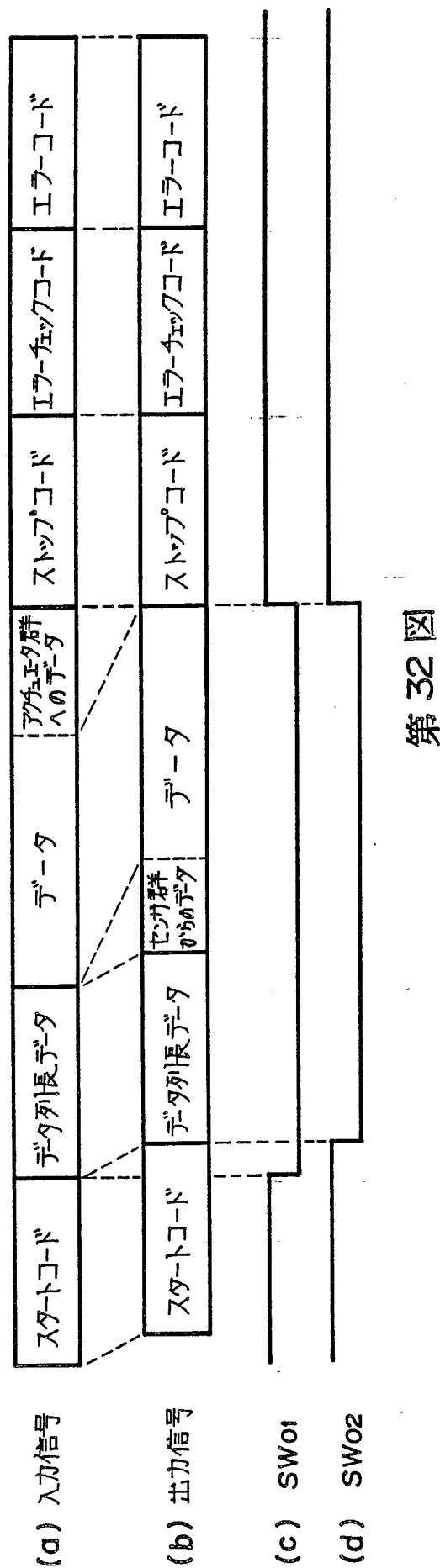
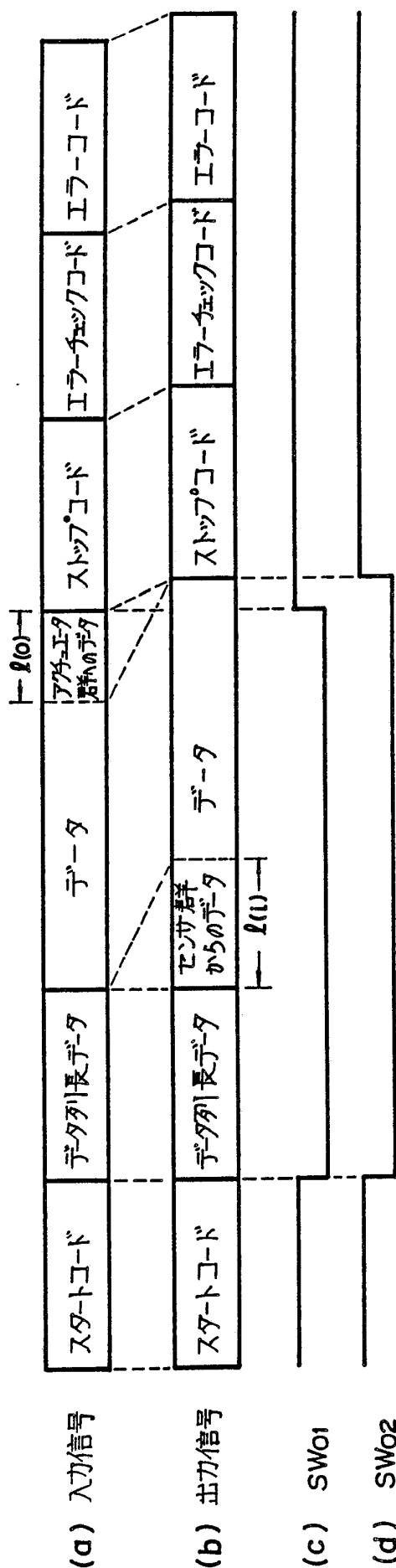
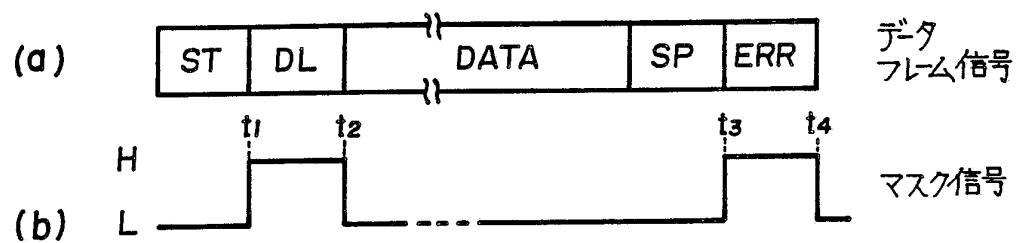


圖 30 策

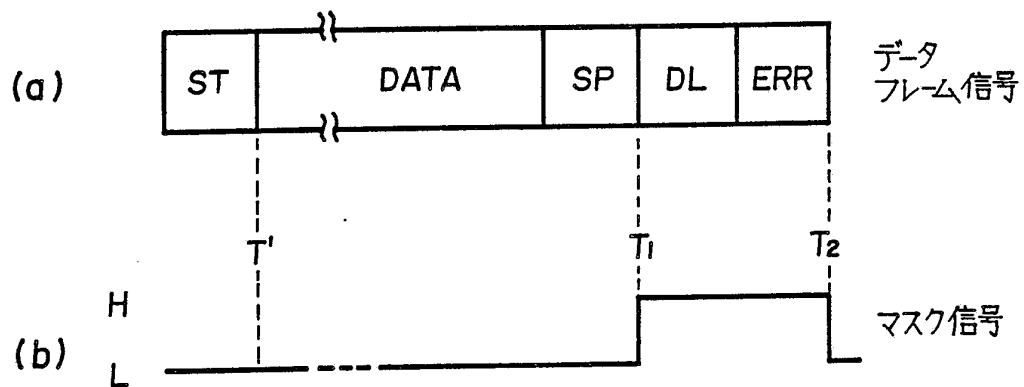
31/37



32/37

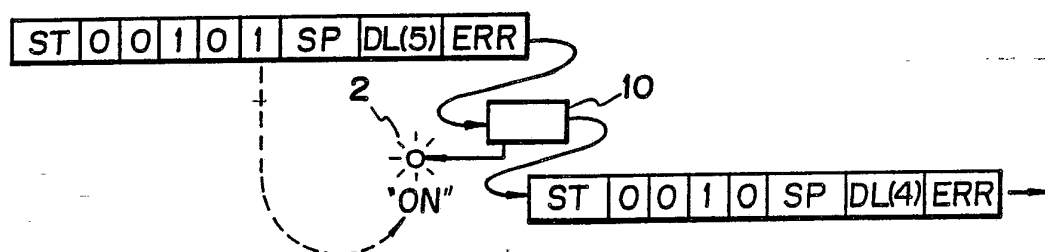


第 33 図

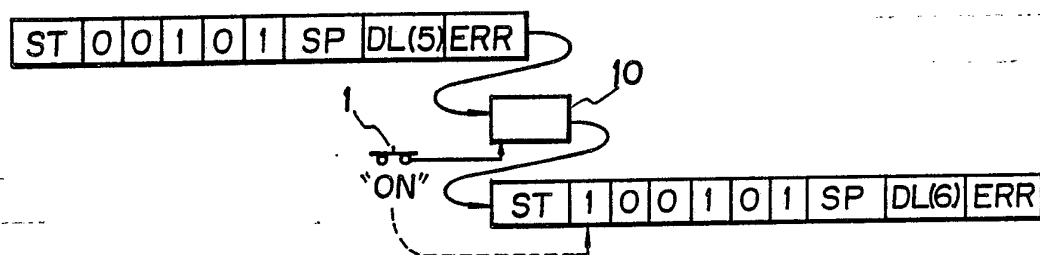


第 34 図

33/37

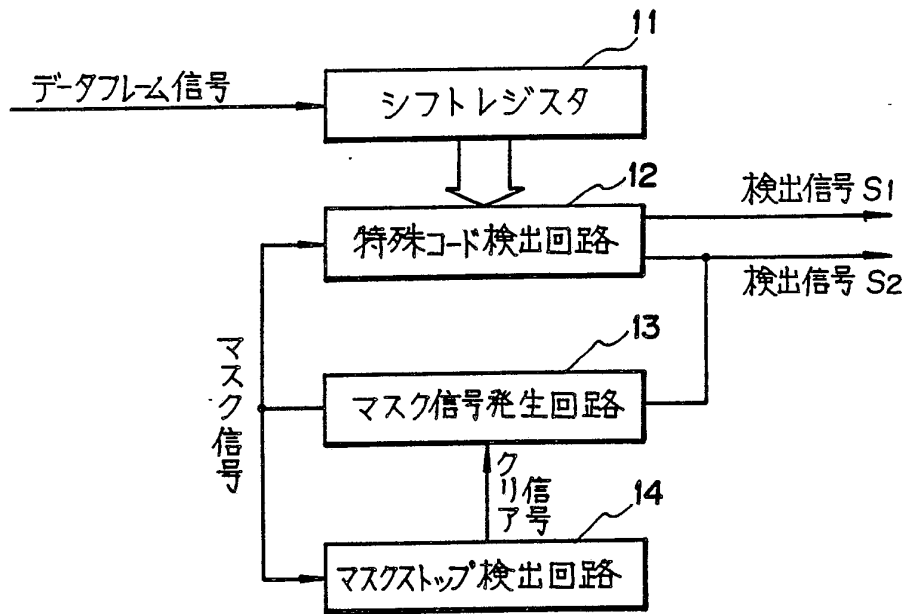


第 35 図

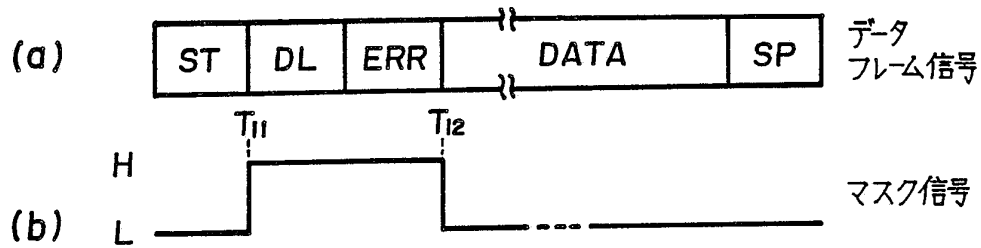


第 36 図

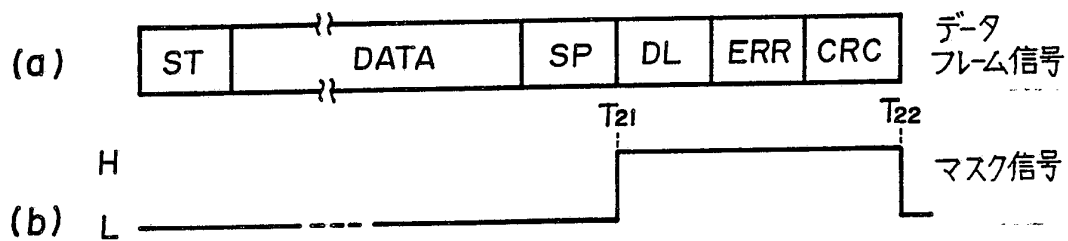
34/37



第 37 図



第 38 図



第 39 図

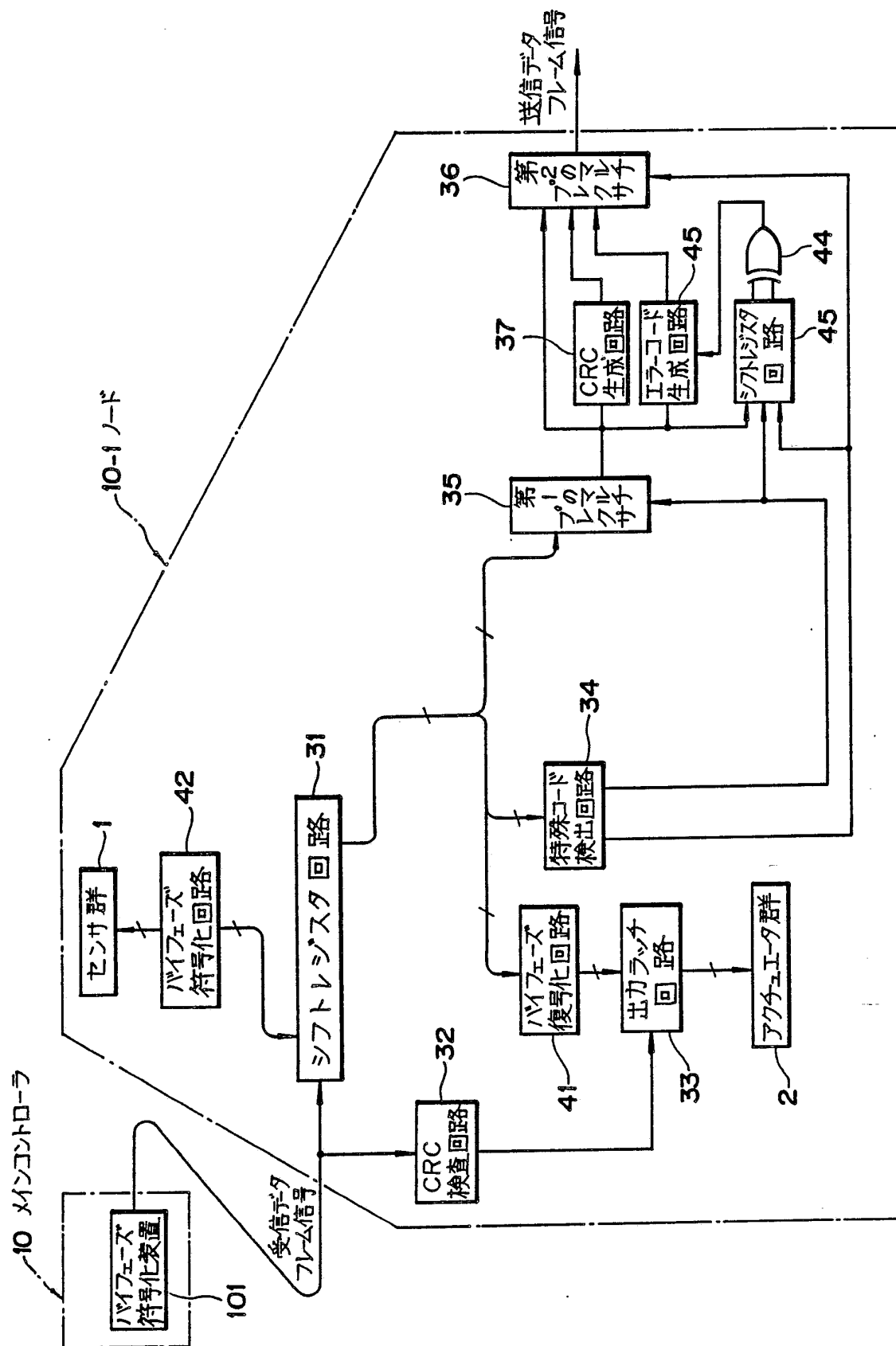
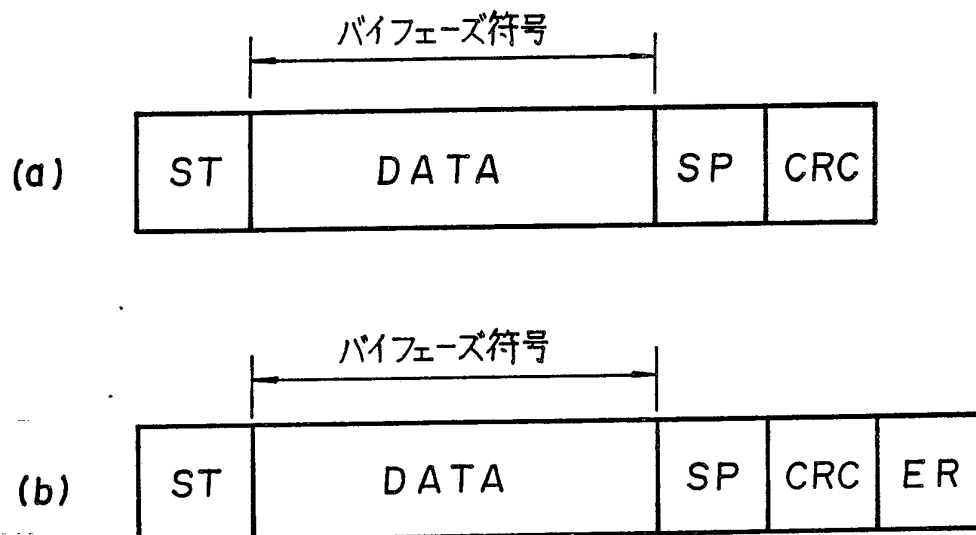
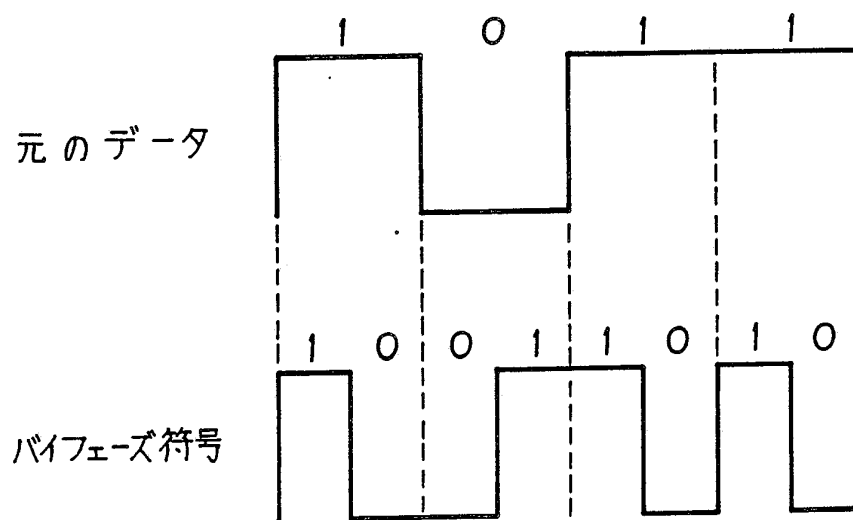


図 40 無

36/37

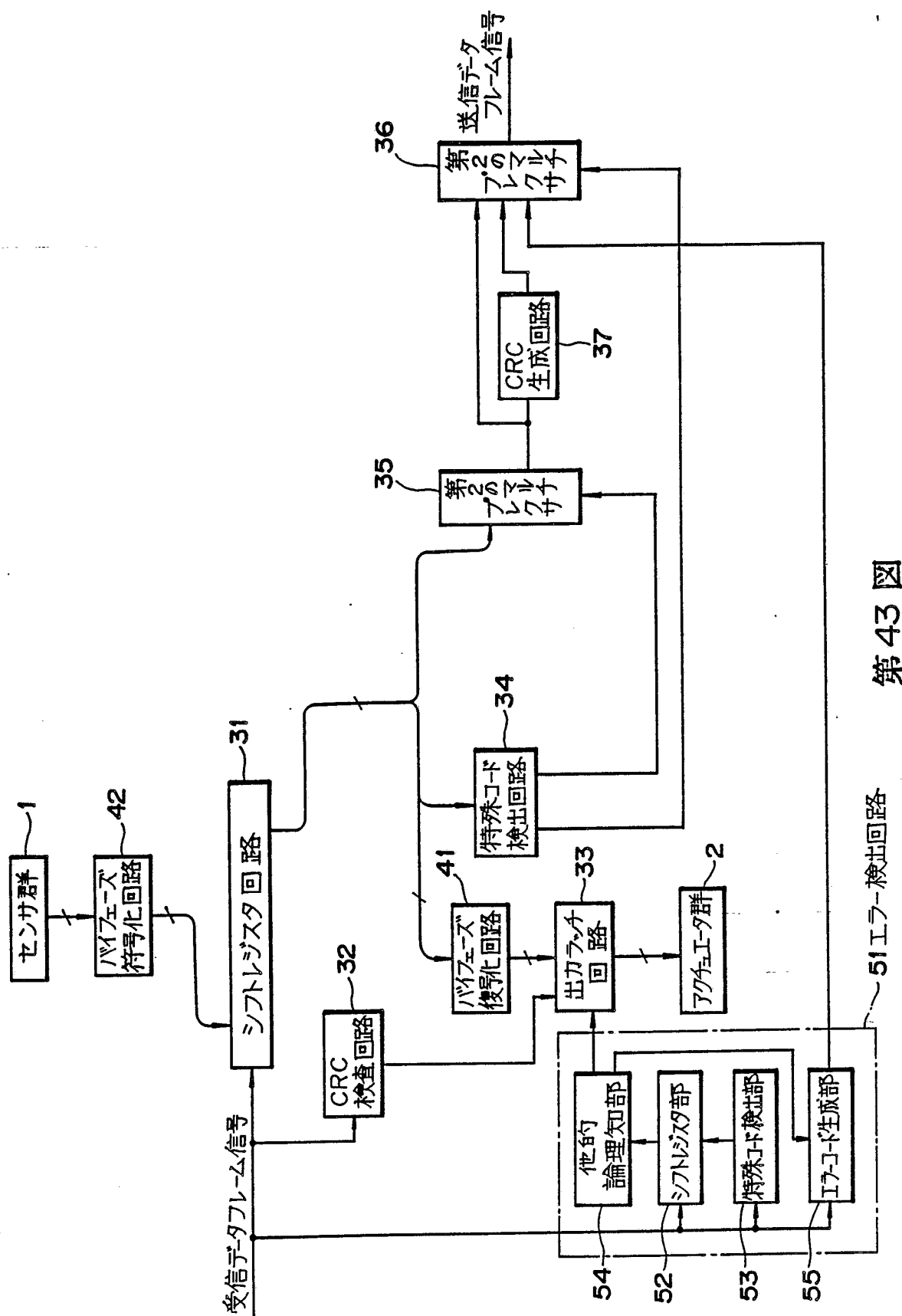


第41図



第42図

37/37



第43図

INTERNATIONAL SEARCH REPORT

International Application No PCT/JP89/00209

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl. ⁴ H04L11/00, G05B15/02		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
IPC	H04L1/00, 11/00, 13/00, 25/38, 25/49, H04Q9/00-9/16	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
Jitsuyo Shinan Koho		1978 - 1988
Kokai Jitsuyo Shinan Koho		1978 - 1988
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category *	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
Y	JP, A, 62-146042 (NEC Corporation) 30 June 1987 (30. 06. 87) Claim, page 2, upper left column, line 14 to upper right column, line 15, Figs. 2 to 7 (Family: none)	1-19, 23
Y	JP, A, 60-160740 (NEC Corporation) 22 August 1985 (22. 08. 85) Page 2, lower left column, line 3 to page 3, lower left column, line 12, Figs. 1, 2 (Family: none)	1-19, 23
Y	JP, A, 57-188159 (NEC Corporation) 19 November 1982 (19. 11. 82) Claim, page 2, lower left column, line 12 to page 3, upper left column, line 8, Figs. 4, 5 (Family: none)	1-19, 23
Y	JP, A, 61-77447 (Fujitsu Ltd.) 21 April 1986 (21. 04. 86)	10, 12-14, 35
* Special categories of cited documents: ¹⁰ "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report	
May 11, 1989 (11. 05. 89)	May 22, 1989 (22. 05. 89)	
International Searching Authority	Signature of Authorized Officer	
Japanese Patent Office		

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

	Claim, page 3, upper left column, line 16 to lower left column, line 20, Figs. 1 to 3 (Family: none)	
Y	JP, B2, 55-18087 (Hitachi, Ltd.) 16 May 1980 (16. 05. 80) Column 5, lines 5 to 35, Fig. 3(B) (Family: none)	11, 34-36
Y	JP, B2, 55-17538 (Hitachi, Ltd.) 12 May 1980 (12. 05. 80) Claim, column 2, line 37 to column 4, line 11, Figs. 1, 2 (Family: none)	16

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers, because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Y	JP, B2, 62-4026 (Mitsubishi Electric Corporation) 28 January 1987 (28. 01. 87) Column 2, lines 2 to 25, Fig. 1 (Family: none)	17
Y	JP, A, 58-73260 (Seikosha Co., Ltd.) 2 May 1983 (02. 05. 83) Page 2, upper right column, line 13 to page 3, upper right column, line 20, Figs. 1 to 7 & GB, A1, 2111271	18, 23
A	JP, A, 62-146042 (NEC Corporation) 30 June 1987 (30. 06. 87) (Family: none)	20-22, 24-33

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers, because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

A	JP, A, 60-160740 (NEC Corporation) 22 August 1985 (22. 08. 85) (Family: none)	20-22, 24-33
A	JP, A, 57-188159 (NEC Corporation) 19 November 1982 (19. 11. 82) (Family: none)	20-22, 24-33
A	JP, A, 58-73260 (Seikosha Co., Ltd.) 2 May 1983 (02. 05. 83) & GB, A1, 2111271	20-22, 28

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers, because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Y	JP, A, 58-5061 (Fujitsu Ltd.) 12 January 1983 (12. 01. 83) Claim, page 2, upper right column, line 11 to page 3, upper left column, line 15, Figs. 1, 2 (Family: none)	23
A	JP, A, 58-5061 (Fujitsu Ltd.) 12 January 1983 (12. 01. 83) (Family: none)	24-31
A	JP, A, 54-78939 (Toshiba Corp.) 23 June 1979 (23. 06. 79) (Family: none)	27

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Y	JP, A, 51-87905 (NEC Corporation) 31 July 1976 (31. 07. 76) Page 2, lower right column, line 6 to page 3, upper left column, line 9, Fig. 3 (Family: none)	34-36
Y	JP, A, 58-151154 (Hitachi, Ltd. and four others) 8 September 1983 (08. 09. 83) Page 2, upper right column, line 15 to lower left column, line 14, Figs. 2 to 4 (Family: none)	34-36
Y	JP, A, 61-224750 (Fujitsu Ltd.)	35

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers, because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

X	6 October 1986 (06. 10. 86) Claim, page 4, upper left column, line 16 to page 5, upper left column, line 9, Figs. 1 to 3 (Family: none) JP, A, 61-77447 (Fujitsu Ltd.) 21 April 1986 (21. 04. 86) Claim, page 3, upper left column, line 16 to lower left column, line 20, Figs. 1 to 3 (Family: none)	37
---	--	----

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers, because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

I. 発明の属する分野の分類			
国際特許分類 (IPC) Int. Cl⁴ H04L11/00, G05B15/02			
II. 国際調査を行った分野			
調 査 を 行 っ た 最 小 限 資 料			
分 類 体 系	分 類 記 号		
IPC	H04L1/00.11/00.13/00.25/38.25/49, H04Q9/00-9/16		
最小限資料以外の資料で調査を行ったもの			
日本国実用新案公報		1978-1988年	
日本国公開実用新案公報		1978-1988年	
III. 関連する技術に関する文献			
引用文献の カテゴリー※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		請求の範囲の番号
Y	JP, A. 62-146042 (日本電気株式会社) 30. 6月. 1987 (30. 06. 87) 特許請求の範囲, 第2頁左上欄第14行-右上欄第15行, 第2-7図 (ファミリーなし)		1-19.23
Y	JP, A. 60-160740 (日本電気株式会社) 22. 8月. 1985 (22. 08. 85) 第2頁左下欄第3行-第3頁左下欄第12行, 第1, 2 図 (ファミリーなし)		1-19.23
Y	JP, A. 57-188159 (日本電気株式会社) 19. 11月. 1982 (19. 11. 82) 特許請求の範囲, 第2頁左下欄第12行-第3頁左上欄 第8行, 第4, 5図 (ファミリーなし)		1-19.23
Y	JP, A. 61-77447 (富士通株式会社) 21. 4月. 1986 (21. 04. 86)		10.12-14. 35
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献			
IV. 認 証			
国際調査を完了した日 11. 05. 89		国際調査報告の発送日 22.05.89	
国際調査機関 日本国特許庁 (ISA/JP)		権限のある職員 特許庁審査官	5, K 8, 5, 2, 9 田 中 庸 介

第2ページから続く情報

(Ⅲ欄の続き)		
	特許請求の範囲，第3頁左上欄第16行－左下欄第20行，第1－3図（ファミリーなし）	
Y	JP, B2.55-18087 (株式会社 日立製作所) 16.5月.1980 (16.05.80) 第5欄第5行－第35行，第3図（B）（ファミリーなし）	11.34-36
Y	JP, B2.55-17538 (株式会社 日立製作所) 12.5月.1980 (12.05.80) 特許請求の範囲，第2欄第37行－第4欄第11行， 第1，2図（ファミリーなし）	16

V. ☐ 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. ☐ 請求の範囲_____は、国際調査をすることを要しない事項を内容とするものである。

2. ☐ 請求の範囲_____は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。

3. ☐ 請求の範囲_____は、従属請求の範囲でありかつPCT規則6.4(a)第2文の規定に従って起草されていない。

VI. ☐ 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. ☐ 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。

2. ☐ 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったため、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
請求の範囲_____

3. ☐ 追加して納付すべき手数料が指定した期間内に納付されなかったため、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
請求の範囲_____

4. ☐ 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

☐ 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。

☐ 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。

Ⅲ. 関連する技術に関する文献 (第2ページからの続き)		
引用文献の カテゴリ*	引用文献名及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, B2, 62-4026 (三菱電機株式会社) 28. 1月. 1987 (28. 01. 87) 第2欄第2行-第25行, 第1図 (ファミリーなし)	17
Y	JP, A, 58-73260 (株式会社 精工舎) 2. 5月. 1983 (02. 05. 83) 第2頁右上欄第13行-第3頁右上欄第20行, 第1-7図 & GB, A1, 2111271	18, 23
A	JP, A, 62-146042 (日本電気株式会社) 30. 6月. 1987 (30. 06. 87) (ファミリーなし)	20-22, 24-33
A	JP, A, 60-160740 (日本電気株式会社) 22. 8月. 1985 (22. 08. 85) (ファミリーなし)	20-22, 24-33
A	JP, A, 57-188159 (日本電気株式会社) 19. 11月. 1982 (19. 11. 82) (ファミリーなし)	20-22, 24-33
A	JP, A, 58-73260 (株式会社 精工舎) 2. 5月. 1983 (02. 05. 83) & GB, A1, 2111271	20-22, 28
Y	JP, A, 58-5061 (富士通株式会社) 12. 1月. 1983 (12. 01. 83) 特許請求の範囲, 第2頁右上欄第11行-第3頁左上欄 第15行, 第1, 2図 (ファミリーなし)	23
A	JP, A, 58-5061 (富士通株式会社) 12. 1月. 1983 (12. 01. 83) (ファミリーなし)	24-31
A	JP, A, 54-78939 (東京芝浦電気株式会社) 23. 6月. 1979 (23. 06. 79) (ファミリーなし)	27
Y	JP, A, 51-87905 (日本電気株式会社) 31. 7月. 1976 (31. 07. 76) 第2頁右下欄第6行-第3頁左上欄第9行, 第3図 (ファミリーなし)	34-36
Y	JP, A, 58-151154 (株式会社 日立製作所ほか4名) 8. 9月. 1983 (08. 09. 83) 第2頁右上欄第15行-左下欄第14行, 第2-4図 (ファミリーなし)	34-36
Y	JP, A, 61-224750 (富士通株式会社) 6. 10月. 1986 (06. 10. 86) 特許請求の範囲, 第4頁左上欄第16行-第5頁左上欄 第9行, 第1-3図 (ファミリーなし)	35

Ⅲ. 関連する技術に関する文献 (第2ページからの続き)		
引用文献の カテゴリー*	引用文献名及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP. A. 61-77447 (富士通株式会社) 21. 4月. 1986 (21. 04. 86) 特許請求の範囲, 第3頁左上欄第16行-左下欄第20行, 第1-3図 (ファミリーなし)	37