

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4298156号
(P4298156)

(45) 発行日 平成21年7月15日(2009.7.15)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int.Cl.	F 1
HO 1 J 1/316 (2006.01)	HO 1 J 1/30 E
HO 1 J 29/04 (2006.01)	HO 1 J 29/04
HO 1 J 31/12 (2006.01)	HO 1 J 31/12 C

請求項の数 16 (全 48 頁)

(21) 出願番号	特願2000-369010 (P2000-369010)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成12年12月4日 (2000.12.4)	(74) 代理人	100085006 弁理士 世良 和信
(65) 公開番号	特開2001-229809 (P2001-229809A)	(74) 代理人	100100549 弁理士 川口 嘉之
(43) 公開日	平成13年8月24日 (2001.8.24)	(74) 代理人	100106622 弁理士 和久田 純一
審査請求日	平成19年5月24日 (2007.5.24)	(72) 発明者	塙本 健夫 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社 内
(31) 優先権主張番号	特願平11-349421		
(32) 優先日	平成11年12月8日 (1999.12.8)		
(33) 優先権主張国	日本国 (JP)		
早期審査対象出願		審査官	村井 友和

最終頁に続く

(54) 【発明の名称】電子放出装置及び画像形成装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に配置された電子放出素子と、前記基板から離れて配置されたアノード電極と、を備える電子放出装置であって、

前記電子放出素子は、低電位電極に接続される第1の導電性膜、及び、前記低電位電極よりも高い電位が印加される高電位電極に接続される第2の導電性膜を有し、

絶縁層により形成された段差の下側に前記低電位電極が配置され、前記段差の上側に前記高電位電極が配置され、前記第1の導電性膜が前記低電位電極から前記絶縁層の側壁に沿って上側に伸び、前記第2の導電性膜が前記高電位電極から下側に伸びて、前記第1の導電性膜の端部と前記第2の導電性膜の端部とが、間隔をあけて、対向しており、

前記第1の導電性膜の端部と前記第2の導電性膜の端部とが対向する方向における、前記第2の導電性膜の長さが T_1 [nm]、

前記基板表面と実質的に平行な前記第1の導電性膜の表面から、前記第1の導電性膜の端部と前記第2の導電性膜の端部とが対向する方向に伸びる前記第1の導電性膜の長さが T_3 [nm]、

前記第2の導電性膜の仕事関数が w_k [eV]、

前記低電位電極と前記高電位電極間に印加される電圧が V_f [V]、である際に、

$$T_1 < A \times e \times p [B \times (V_f - w_k) / (V_f)]$$

$$A = -0.50 + 0.56 \times \log (T_3), B = 8.7$$

の条件を満たすことを特徴とする電子放出装置。

10

20

【請求項 2】

基板上に配置された電子放出素子と、前記基板から離れて配置されたアノード電極と、を備える電子放出装置であって、

前記電子放出素子は、低電位電極に接続される第1の導電性膜、及び、前記低電位電極よりも高い電位が印加される高電位電極に接続される第2の導電性膜を有し、

前記高電位電極を前記低電位電極よりも前記アノード電極の近くに配置せしめるために前記基板上に設けられた絶縁層の上に前記高電位電極が配置されており、

前記絶縁層の側壁上を前記第1の導電性膜が前記低電位電極から前記アノード電極側に向かって伸び、前記第2の導電性膜が前記高電位電極から前記基板側に向かって伸びて、前記第1の導電性膜の端部と前記第2の導電性膜の端部とが、間隔をあけて、対向しており、

前記第1の導電性膜の端部と前記第2の導電性膜の端部とが対向する方向における、前記第2の導電性膜の長さが T_1 [nm]、

前記基板表面と実質的に平行な前記第1の導電性膜の表面から、前記第1の導電性膜の端部と前記第2の導電性膜の端部とが対向する方向に伸びる前記第1の導電性膜の長さが T_3 [nm]、

前記第2の導電性膜の仕事関数が w_k [eV]、

前記低電位電極と前記高電位電極間に印加される電圧が V_f [V]、である際に、

$$T_1 < A \times \exp[B \times (V_f - w_k) / (V_f)]$$

$$A = -0.50 + 0.56 \times \log(T_3), B = 8.7$$

の条件を満たすことを特徴とする電子放出装置。

【請求項 3】

$T_1 (A \times \exp[B \times (V_f - w_k) / (V_f)]) / 2$ であることを特徴とする請求項1または2に記載の電子放出装置。

【請求項 4】

$T_1 = 10$ nm であることを特徴とする請求項1乃至3のいずれか一つに記載の電子放出装置。

【請求項 5】

前記絶縁層の側壁と、前記基板表面と、の成す角度が、45度以上100度以下であることを特徴とする請求項1乃至4のいずれか一つに記載の電子放出装置。

【請求項 6】

前記絶縁層の側壁と、前記基板表面と、の成す角度が、90度±10度以内であることを特徴とする請求項1乃至4のいずれか一つに記載の電子放出装置。

【請求項 7】

前記アノード電極が前記基板表面から H だけ離れた距離に配置され、

前記低電位電極に印加される電位と前記アノード電極に印加される電位との差が V_a [V] であり、

前記基板表面と実質的に平行な面内において、前記絶縁層の側壁と実質的に平行な方向を y 方向、前記 y 方向に直交する方向を x 方向とした場合に、

前記高電位電極の x 方向における長さを L_1 、

$$= 3.14, \text{とした時、}$$

L_1 が、 $H \times V_f / (\times V_a)$ で定義される特徴距離 X_s の 1.5 倍より大きいことを特徴とする請求項1乃至6のいずれか一つに記載の電子放出装置。

【請求項 8】

複数の電子放出素子が配置された第1の基板と、

アノード電極と画像形成部材とを有する第2の基板と、

前記電子放出素子に電圧を印加するための第1の電圧印加手段と、

前記アノード電極に電圧を印加するための第2の電圧印加手段と、を備える画像形成装置であって、

前記電子放出素子は、低電位電極に接続される第1の導電性膜、及び、前記低電位電極

10

20

30

40

50

よりも高い電位が印加される高電位電極に接続される第2の導電性膜を有し、

絶縁層により形成された段差の下側に前記低電位電極が配置され、前記段差の上側に前記高電位電極が配置され、前記第1の導電性膜が前記低電位電極から前記絶縁層の側壁に沿って上側に伸び、前記第2の導電性膜が前記高電位電極から下側に伸びて、前記第1の導電性膜の端部と前記第2の導電性膜の端部とが、間隔をあけて、対向しており、

前記第1の導電性膜の端部と前記第2の導電性膜の端部とが対向する方向における、前記第2の導電性膜の長さが T_1 [nm]、

前記基板表面と実質的に平行な前記第1の導電性膜の表面から、前記第1の導電性膜の端部と第2の導電性膜の端部とが対向する方向に伸びる前記第1の導電性膜の長さが T_3 [nm]、

10

前記第2の導電性膜の仕事関数が w_k [eV]、

前記低電位電極と前記高電位電極間に印加される電圧が V_f [V]、である際に、

$$T_1 < A \times \exp [B \times (V_f - w_k) / (V_f)]$$

$$A = -0.50 + 0.56 \times \log (T_3), B = 8.7$$

の条件を満たすことを特徴とする画像形成装置。

【請求項9】

複数の電子放出素子が配置された第1の基板と、

アノード電極と画像形成部材とを有する第2の基板と、

前記電子放出素子に電圧を印加するための第1の電圧印加手段と、

前記アノード電極に電圧を印加するための第2の電圧印加手段と、を備える画像形成装置であって、

20

前記電子放出素子は、低電位電極に接続される第1の導電性膜、及び、前記低電位電極よりも高い電位が印加される高電位電極に接続される第2の導電性膜を有し、

前記高電位電極を前記低電位電極よりも前記アノード電極の近くに配置せしめるために前記基板上に設けられた絶縁層の上に前記高電位電極が配置されており、

前記絶縁層の側壁上を前記第1の導電性膜が前記低電位電極から前記アノード電極側に向かって伸び、前記第2の導電性膜が前記高電位電極から前記基板側に向かって伸びて、前記第1の導電性膜の端部と前記第2の導電性膜の端部とが、間隔をあけて、対向しており、

前記第1の導電性膜の端部と前記第2の導電性膜の端部とが対向する方向における、前記第2の導電性膜の長さが T_1 [nm]、

30

前記基板表面と実質的に平行な前記第1の導電性膜の表面から、前記第1の導電性膜の端部と前記第2の導電性膜の端部とが対向する方向に伸びる前記第1の導電性膜の長さが T_3 [nm]、

前記第2の導電性膜の仕事関数が w_k [eV]、

前記低電位電極と前記高電位電極間に印加される電圧が V_f [V]、である際に、

$$T_1 < A \times \exp [B \times (V_f - w_k) / (V_f)]$$

$$A = -0.50 + 0.56 \times \log (T_3), B = 8.7$$

の条件を満たすことを特徴とする画像形成装置。

【請求項10】

40

$T_1 = (A \times \exp [B \times (V_f - w_k) / (V_f)]) / 2$ であることを特徴とする請求項8または9に記載の画像形成装置。

【請求項11】

$T_1 = 10 \text{ nm}$ であることを特徴とする請求項8乃至10のいずれか一つに記載の画像形成装置。

【請求項12】

前記絶縁層の側壁と、前記基板表面と、の成す角度が、45度以上100度以下であることを特徴とする請求項8乃至11のいずれか一つに記載の画像形成装置。

【請求項13】

前記絶縁層の側壁と、前記基板表面と、の成す角度が、90度±10度以内であること

50

を特徴とする請求項 8 乃至 11 のいずれか一つに記載の画像形成装置。

【請求項 14】

前記アノード電極が前記基板表面から H だけ離れた距離に配置され、

前記低電位電極に印加される電位と前記アノード電極に印加される電位との差が V_a [V] であり、

前記基板表面と実質的に平行な面内において、前記絶縁層の側壁と実質的に平行な方向を y 方向、前記 y 方向に直交する方向を x 方向とした場合に、

前記高電位電極の x 方向における長さを L_1 、

$= 3.14$ 、とした時、

L_1 が、 $H \times V_f / (\pi \times V_a)$ で定義される特徴距離 X_s の 1.5 倍より大きいことを特徴とする請求項 8 乃至 13 のいずれか一つに記載の画像形成装置。 10

【請求項 15】

前記高電位電極の厚みが 5 nm 以上 500 nm 以下であり、 T_1 が 28.5 nm 以上 523.5 nm 以下であることを特徴とする請求項 1 乃至 7 のいずれか一つに記載の電子放出装置。

【請求項 16】

前記高電位電極の厚みが 5 nm 以上 500 nm 以下であり、 T_1 が 28.5 nm 以上 523.5 nm 以下であることを特徴とする請求項 8 乃至 14 のいずれか一つに記載の画像形成装置。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、電子放出素子を用いた電子放出装置及び画像形成装置に関するものである。

【0002】

【従来の技術】

従来、電子放出装置及び画像形成装置に用いられる電子放出素子としては、大別して熱電子放出素子と冷陰極電子放出素子の 2 種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」という）、金属／絶縁層／金属型（以下、「MIM型」という）や表面伝導型等の電子放出素子がある。

【0003】

30

表面伝導型電子放出素子は、例えば、EP-A 1-660357号、EP-A 1-701265号、Okuda et al, “Electron Trajectory Analysis of Surface Conduction Electron Emitter Displays (SEEDs)”, SID 98 DIGEST, p. 185-188、EP-A-0716439号、特開平9-265897号公報、特開平10-055745号公報、などに開示されている。また、作製方法の簡易化のために、特開平1-105445号公報、特開平4-137328号公報、USP5,912,531号公報で示されているような垂直型の表面伝導型電子放出素子もある。

【0004】

40

従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜に、予め通電フォーミングと呼ばれる通電処理によって間隙を形成するのが一般的であった。

【0005】

さらに、場合によっては、真空中で有機ガスを導入し、通電を行う活性化と呼ばれる工程が行われることもある。活性化工程を行った場合には、導電性膜中に形成された間隙内およびその周辺の導電性膜上にカーボン膜が形成される。

【0006】

上記処理を施した表面伝導型電子放出素子は、導電性膜に電圧を印加し、素子に電流を流すことにより、電子放出部より電子を放出せしめるものである。

【0007】

従来、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が

50

C R T に替わって普及してきたが、自発光型でないため、バックライトを持たなければならぬ等の問題点があり、自発光型表示装置が望まれてきた。

【 0 0 0 8 】

自発光型表示装置としては、表面伝導型電子放出素子を多数配列した電子源と電子源より放出される電子によって、可視光を発光させる蛍光体とを組み合わせた表示装置である画像形成装置が挙げられる。

【 0 0 0 9 】

【発明が解決しようとする課題】

表面伝導型電子放出素子を用いた電子放出装置の一般的な例を図 2 6 (a)、図 2 6 (b)に示す。

10

【 0 0 1 0 】

図 2 6 (a)、図 2 6 (b)において、2 0 0 1 は基板、2 0 0 2 , 2 0 0 3 は電極、2 0 0 4 は導電性膜、2 0 0 6 は間隙、2 0 0 7 は素子の上方に配置されたアノード電極である。図 2 6 (a)は電子放出装置の断面模式図であり、図 2 6 (b)は、図 2 6 (a)の電子放出装置のアノード電極 2 0 0 7 に照射される電子のビーム形状を示している。

【 0 0 1 1 】

電子放出素子は、電極 2 0 0 2 , 2 0 0 3 間に駆動電圧 V_f を与えらることで、間隙 2 0 0 6 を電子がトンネリングし、その電子の一部が電子放出電流 I_e となりアノード電極 2 0 0 7 に照射され、残る電子が電極 2 0 0 2 , 2 0 0 3 間を流れる素子電流 I_f となる。 $I_e / I_f \times 100 [\%]$ を効率(電子放出効率)と呼ぶ。表面伝導型電子放出素子のようなナノメートルオーダーの間隙を置いて対向する導電性部材間のトンネル現象を利用した電子放出素子では、 I_f が非常に多くなる為、電子放出効率が低い。

20

【 0 0 1 2 】

一方、上記した電子放出素子を用いて画像形成装置を形成する場合には、アノード電極 2 0 0 7 に蛍光体を配置して、電子ビームを光に変換することにより、画像形成装置として使用される。しかし、近年、画像形成装置ではより高精細な表示が要求されている。したがって、高精細表示に必要な高精細な電子ビーム径を得る必要があった。さらに必要なのは、電子ビーム径が高精細表示に適した画素サイズでありながら、表示特性に必要な電子放出量を得ることである。そのために、電子放出効率を向上する事も要求される。

30

【 0 0 1 3 】

そこで、本発明は上記の従来技術の課題を解決するためになされたもので、その目的とするところは、電子放出効率を向上させると同時に電子ビーム径の高精細化を両立する高性能な電子放出装置及び画像形成装置を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的を達成するために成された本発明の電子放出装置は、
基板と、

前記基板の表面上に配置された第 1 の導電性部材と、前記第 1 の導電性部材上に配置された絶縁層と、前記絶縁層上に配置された第 2 の導電性部材と、からなる積層体を有する電子放出素子と、

40

前記基板表面から離れて配置されたアノード電極と、

前記第 1 の導電性部材に印加する電位よりも高い電位を前記第 2 の導電性部材に印加する第 1 の電圧印加手段と、

前記第 2 の導電性部材に印加する電位よりも高い電位を前記アノード電極に印加する第 2 の電圧印加手段と、

を備える電子放出装置であって、

前記基板表面と実質的に平行な方向における前記絶縁層の端面上にて、前記第 1 の導電性部材の端部と前記第 2 の導電性部材の端部とが、間隙を置いて、対向して配置されており、

前記第 1 の導電性部材の端部と前記第 2 の導電性部材の端部とが対向する方向における、

50

前記第2の導電性部材の長さがT1 [nm]、

前記基板表面と実質的に平行な前記第1の導電性部材の表面から、前記第1の導電性部材の端部と前記第2の導電性部材の端部とが対向する方向に伸びる前記第1の導電性部材の長さがT3 [nm]、

前記第2の導電性部材の仕事関数がw_k [eV]、

前記第1の導電性部材と前記第2の導電性部材間に印加される電圧がV_f [V]、である際に、

$$T1 < A \times \exp [B \times (V_f - w_k) / (V_f)]$$

$$A = -0.50 + 0.56 \times \log (T3), B = 8.7$$

の条件を満たすことを特徴とする。

10

【0015】

また、上記目的を達成するために成された本発明の画像形成装置は、

複数の電子放出素子が配置された第1の基板と、

アノード電極と画像形成部材とを有する第2の基板と、

前記電子放出素子に電圧を印加するための第1の電圧印加手段と、

前記アノード電極に電圧を印加するための第2の電圧印加手段と、

を備える画像形成装置であって、

前記電子放出素子は、前記基板の表面上に配置された第1の導電性部材と、前記第1の導電性部材上に配置された絶縁層と、前記絶縁層上に配置された第2の導電性部材と、からなる積層体を有しており、

20

前記第1の電圧印加手段は、前記第1の導電性部材に印加する電位よりも高い電位を前記第2の導電性部材に印加し、

前記第2の電圧印加手段は、前記第2の導電性部材に印加する電位よりも高い電位を前記アノード電極に印加し、

前記基板表面と実質的に平行な方向における前記絶縁層の端面上にて、前記第1の導電性部材の端部と第2の導電性部材の端部とが、間隙を置いて、対向して配置されており、

前記第1の導電性部材の端部と第2の導電性部材の端部とが対向する方向における、前記第2の導電性部材の長さがT1 [nm]、

前記基板表面と実質的に平行な前記第1の導電性部材の表面から、前記第1の導電性部材の端部と第2の導電性部材の端部とが対向する方向に伸びる前記第1の導電性部材の長さがT3 [nm]、

30

前記第2の導電性部材の仕事関数がw_k [eV]、

前記第1の導電性部材と第2の導電性部材間に印加される電圧がV_f [V]、である際に、

$$T1 < A \times \exp [B \times (V_f - w_k) / (V_f)]$$

$$A = -0.50 + 0.56 \times \log (T3), B = 8.7$$

の条件を満たすことを特徴とする。

【0016】

上記の条件を満たすことで、電子放出素子から放出される電子の散乱回数を低減することができ、さらに散乱のない電子を主成分とし利用できるので、電子放出効率を向上させると同時に電子ビーム径の高精細化を両立することができる。

40

【0017】

【発明の実施の形態】

以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定的な記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0018】

本実施の形態では、まず第1に電子放出効率の向上を行ない、かつ第2に電子ビーム径の高精細化を行なう。これらについて順次説明する。

50

【0019】

まず、従来の電子放出素子における電子の運動、及び本実施の形態による電子放出素子における電子の運動について説明をする。

【0020】

図26に示す様な平面型表面伝導型電子放出素子には、ナノメートルオーダーの間隙2006があり、この間隙を挟むように、高電位側の導電性部材（図26（b）の左側の導電性膜2004と電極2002）と、低電位側の導電性部材（図26（b）の右側の導電性膜2004と電極2003）と、が配置されている。

【0021】

この素子の電極2002、2003間に、電圧 V_f [V]を印加すると低電位側の導電性部材の先端（図26（b）の右側の導電性膜2004の先端）から対向する高電位側導電性部材に向かって電子がトンネルし、電子が高電位側導電性部材の先端（図26（b）の左側の導電性膜2004の先端）で等方的に散乱すると考えられている。10

【0022】

さらに、高電位側導電性部材の先端で散乱された電子の多くは高電位側導電性部材（図26（b）の左側の導電性膜2004および、あるいは電極2002）上で数回の弾性散乱（多重散乱）が繰り返され、間隙2006から特徴距離 X_s までの領域を越えた電子がアノード電極2007に到達する。

【0023】

ここで、特徴距離 X_s は、20

$$X_s = H \times V_f / (\dots \times V_a) \dots (1)$$

で与えられる。なお、 H は電子放出素子とアノード電極2007間の距離であり、 V_a はアノード電極2007への印加電圧である。

【0024】

例えば、 $V_a = 10$ [kV]、 $V_f = 15$ [V]、 $H = 2$ [mm]では、 $X_s = 0.95$ ~約1μm程度である。

【0025】

特徴距離 X_s は、高電位側導電性部材と真空中に形成された高電位側導電性部材と等しい電位面との交点から、間隙までの距離として理解されるものである。

【0026】

電子放出効率（以下、効率とする）は、電子が X_s を越えるまでの間に、多重散乱によって高電位側導電性部材に一部吸収されることによる電子数の減少に支配されている。30

【0027】

低電位側導電性部材の先端からトンネルした電子は、高電位側導電性部材の先端で等方散乱することにより、高電位電極の仕事関数（ w_k ）分のエネルギーを損失し、高電位側導電性部材上で再度散乱される。

【0028】

電子の散乱される割合の効率については明らかでないが、一回につき0.1から0.5程度、通常0.3程度と見積もられている。

【0029】

このような効率が1以下である散乱機構であることから、真空中に取り出される電子の量は散乱回数により、べき乗で減少していくことがわかる。40

【0030】

前記特徴距離 X_s を通過した後の電子は、アノード電極2007に印加された電圧（ V_a [V]）と素子の駆動電圧（ V_f [V]）とで形成された空間電位の影響を反映した電子軌道を描いてアノード電極2007に到達する。

【0031】

以下に、本実施の形態による電子放出素子の電子の運動と効率の向上について説明する。

【0032】

前述のようなメカニズムから、本発明では、電子放出効率を向上するために、電子の高電50

位側導電性部材上での散乱回数（落下の回数）を減少する構成とする。

【0033】

図1は本実施の形態の一例の電子放出素子の構成図である。図1(a)は平面図、図1(b)は図1(a)におけるA-A'線での断面図である。1は基板、2は低電位電極、3は絶縁層、4は高電位電極であり、5-1及び5-2は第1、第2の導電性膜、6は間隙である。

【0034】

間隙6を挟んで対向した第1の導電性膜5-1と第2の導電性膜5-2は、それぞれ電極2、4と接続される。第2の導電性膜5-2の一端は高電位電極4に接続され、第1の導電性膜5-1の一端は低電位電極2に接続されている。

10

【0035】

また、低電位電極2は、基板1の表面（正面）上に配置されている。このため、低電位電極2は、実質的に基板1の表面（正面）と平行な表面を有する。

【0036】

この素子を駆動して電子ビームを得る一般的な電子放出装置の配置例を図2に示す。ここで、7は素子の電極2、4間に駆動電圧(V_f [V])を印加するための電源(第1の電圧印加手段)である。8は、素子から放出された電子を引き上げて捕獲するためのアノード電極である。アノード電極8と電子放出素子との距離はHだけ隔てて配置されており、アノード電極8には、高圧電源(第2の電圧印加手段)9により、アノード電圧(V_a [V])が印加される。上記電圧 V_f は、低電位電極2に印加される電位と高電位電極4に印加される電位との差である。また、上記電圧 V_a は、低電位側の電極2に印加される電位とアノード電極8に印加される電位との差であり、アノード電極8に印加される電位は高電位電極4に印加される電位よりも高い。

20

【0037】

ここで、アノード電極8と電子放出素子との距離Hは、基板1とアノード電極8との間の距離と考えて実質的に問題がない。

【0038】

高電位電極4と低電位電極2の間に印加される駆動電圧を V_f [V]、そこに流れる電流は I_f [A]、アノード電極8に印加される電圧を V_a [V]、アノード電極8に電子が捕獲されて流れる電流は I_e [A]となり、効率は $= (I_e / I_f) \times 100$ [%]で示される。

30

【0039】

さらに、この配置において電子放出部を拡大したものが図3である。

【0040】

図3中、6は間隙、4は高電位電極、2は低電位電極、5-1は低電位電極2に接続する第1の導電性膜、5-2は高電位電極4に接続する第2の導電性膜である。

【0041】

本発明においては、高電位側の高電位電極4と第2の導電性膜5-2とを含めて「高電位側導電性部材」と呼ぶ。また、低電位側の低電位電極2と第1の導電性膜5-1とを含めて「低電位側導電性部材」と呼ぶ。

40

【0042】

したがって、高電位側の導電性部材と低電位側の導電性部材は、絶縁層3を間に挟んだ積層構造となっているといえる。そして、この積層体(高電位側導電性部材と絶縁層と低電位側導電性部材)は基板1の表面(正面)上に配置され、その積層方向が、基板1の表面に対して実質的に垂直に配置されている。

【0043】

このため、図3、図1に示すように、本発明の電子放出素子においては、基板1の表面と実質的に平行な方向に置ける絶縁層3の端面上にて、第1(低電位側)の導電性部材の端部(第1の導電性膜5-1の端部)と第2(高電位側)の導電性部材の端部(第2の導電性膜5-2の端部)とが、間隙6を置いて、対向して配置されている。

50

【0044】

この構造を換言すると、基板1の表面と実質的に平行な方向における絶縁層3の端面上に、第1(低電位側)の導電性部材の一端(第1の導電性膜5-1の一端)と第2(高電位側)の導電性部材の一端(第2の導電性膜5-2の一端)とが配置されており、そして、各々の先端が間隙6を置いて対向して配置されている。

【0045】

尚、詳しくは後述するが、上記「基板1の表面と実質的に平行な方向に置ける絶縁層3の端面」と、基板1の表面との成す角度は、45度以上100度以下が好ましく、さらには90度±10度以下であることが特に好ましい。

【0046】

そして、この間隙6において、後述するように、低電位側導電性部材先端から、高電位側導電性部材先端に向けて電子がトンネルし、その結果、電子が放出される。

【0047】

図3中、T1、T2、T3は、素子部の電位から決定される各々の長さであり、単なる電極厚さ、絶縁層厚さなどとは異なるものである。

【0048】

即ち、T1は間隙6の端から高電位側導電性部材の屈曲した部分までの距離、T2は低電位側第1の導電性膜5-1と高電位側第2の導電性膜5-2とが対向する方向(図3のZ方向)における間隙6の幅、T3は間隙6の端から低電位側導電性部材の屈曲した部分までの距離である。

10

【0049】

換言すると、T1は第1の導電性膜5-1と第2の導電性膜5-2とが、間隙6を介して対向する方向(図3のZ方向)における、第2の導電性膜5-2の長さである。T2は第1の導電性膜5-1と第2の導電性膜5-2とが対向する方向(図3のZ方向)における、第1の導電性膜5-1の長さである。

20

【0050】

換言すると、T1は絶縁層3の側面(基板1の表面と実質的に平行な方向に置ける絶縁層3の端面)において、第1の導電性部材の端部と第2の導電性部材の端部とが対向する方向における、第2の導電性部材の長さということができる。

【0051】

また、前述した様に、本発明の素子では、実質的に基板1の表面(正面)と平行な表面を低電位電極2が有するため、T3は基板1表面と実質的に平行な第1の導電性部材表面から、第1の導電性部材の端部と第2の導電性部材の端部とが絶縁層3の側面(基板1の表面と実質的に平行な方向に置ける絶縁層3の端面)において対向する方向に、伸びる第1の導電性部材の長さという事もできる。

30

【0052】

あるいは、同様に、本発明の素子では、実質的に基板1の表面(正面)と平行な表面を低電位電極2と低電位側導電性膜5-1とが有するため、T3は基板1表面と実質的に平行な低電位側導電性膜5-1表面から、第1の導電性膜5-1の端部と第2の導電性膜5-2の端部とが対向する方向に伸びる第1の導電性膜5-1の長さという事もできる。

40

【0053】

本発明は、第1に高効率を得るのに最も適した領域長を鋭意検討したものであり、そのために、主としてT1の長さを定めたものである。

【0054】

本実施の形態において、電極2、4間に駆動電圧Vf[V]を印加すると、従来の平面型電子放出素子と同様の放出機構で電子が放出される。すなわち、低電位側導電性部材の先端から、対向する高電位側導電性部材に向けて電子がトンネルし、高電位側導電性部材の先端部で等方的に散乱する。高電位側導電性部材の先端部から散乱された電子の多くは、弹性散乱を1回から数回にわたって高電位側導電性部材上で繰り返す。

【0055】

50

しかしながら、図3に示した垂直型と、図26で示した従来の平面型では、アノード電極8の電位と素子の電位で構成される空間電位の分布が異なる。そのため、図3に示す様に、高電位側導電性部材の先端部で等方的に散乱された電子のうちの一部は、再び高電位電極4で散乱することなく、高電位電極4の屈曲した端部の上方に到達し、そのままアノード電極8へと到達するものが現れる。

【0056】

このように、高電位側導電性部材上での散乱を抑制する事が、電子放出効率向上に重要なと/orなる。

【0057】

従来の平面型の場合、Okuda et al., "Electron Trajectory Analysis of Surface Conduction Electron Emitter Displays (SEEDs)", SID 98 DIGEST, p. 185-188などに開示されているように、電子放出効率は、散乱電子の到達分布と特徴距離 X_s または $X_s = \times X_s$ （ \times は係数で=0.67）とで決定される、と想定されている。

【0058】

また、散乱電子の到達分布は、電子の最大飛翔距離に關係し、そして、間隙6の幅D（図3ではT2と定義している）と、駆動電圧と仕事関数（本発明では高電位側導電性部材の仕事関数 w_k と定義している）とで決定される係数Cで正規化される。

【0059】

本発明の電子放出素子における効率には、電子の最大飛翔距離が關係している。ただし、前述のようにアノード電極8と素子の駆動電圧 V_f で構成される空間電位分布が平面型とは異なり、複雑となる。

【0060】

前記特徴距離 X_s 以下の領域内に高電位側導電性部材の屈曲した部分が構成されると、 X_s に依存せず、主としてT1の距離で効率が決定される。

【0061】

さらに、T1が、1回目の散乱（高電位側導電性部材の先端で散乱した後の1回目の散乱）までの最大飛翔距離未満となることで、散乱なしの電子（高電位側導電性部材の先端で散乱するだけで、それ以降の散乱を起こさない電子）が存在する。

【0062】

以上から、本発明では、垂直型での電子の挙動、特に散乱の挙動の詳細な検討を行った結果、高電位側導電性部材に用いた材料（第2の導電性膜材料）の仕事関数 w_k と駆動電圧 V_f の関数として、さらに、T1, T3の距離の関数、すなわち電子放出部近傍の形状を工夫する事により、効率を大幅に向上する電子放出素子を得た。

【0063】

以下、図4、図5を用いてより詳細に本発明の電子放出素子を説明する。図4(a)は、T1と効率の相関を示すグラフの一例であり、図4(b)は、図4(a)の電子放出効率を、電子の散乱回数別に示したグラフである。

【0064】

図4において横軸は、T1 [nm] であり対数表示となっている。縦軸は、図4(a)では効率である。図4(b)の縦軸は散乱回数別の効率である。

【0065】

図4(a)に示すように、効率は、T1が大きくなるにつれて急激に低下する第1の領域と、その後の効率低下が減少する第2の領域に別れている。これは、到達する電子の散乱回数と相関がある。

【0066】

第1の領域は、散乱なしの電子（高電位側導電性部材の先端で散乱するだけで、それ以降の散乱を起こさない電子）がアノード電極8に到達する電子の大半を占める領域であり、それ以降の第2の領域は、複数回の散乱を経た電子が大半を占める領域となっていると考

10

20

30

40

50

えられる。

【0067】

図4(b)に示す様に、散乱なしの電子(高電位側導電性部材の先端で散乱するだけで、それ以降の散乱を起こさない電子)の到達領域はT1maxで示され、図4(a)では1段めの効率低下曲線を=0へと外挿した点として表される。

【0068】

また、第1の領域と第2の領域との交点は、図4(b)においてT1max'で示され、この点は、主たる散乱回数が変わる変曲点であると考えられる。

【0069】

図5(a)に、Vf(素子の駆動電圧)およびwk(高電位側導電性部材の仕事関数)とT1maxとの関係をグラフで示した。横軸は線形表示、縦軸は対数表示である。駆動条件が決定されると、効率向上に効果の期待できる、すなわち、散乱なしの電子がアノード電極8に到達可能な形状が決定できることがわかる。

【0070】

図5(a)の横軸で表した(Vf-wk)/Vfの説明を図5(b)に示した。

【0071】

駆動条件をVfとすると、電子放出部(間隙6)近傍には、空間を等分するような電場が形成される。(Vf-wk)の等電位面は図5(b)太線で示した位置となり、この面が放出された電子をそれ以上低電位側には到達させない壁となっているといえる。

【0072】

T1の変化は、この等電位面の位置を変化させると共に、電場の方向と強さを変化させ、電子の軌道を変化させることになる。この電場が電子に大きな作用与えるのは、特徴距離Xsもしくは間隙幅T2の200倍程度と概算されている。

【0073】

本実施の形態においては、間隙幅T2は数nmから数十nmであり、T1を数十nmから数百nmに設定することで、ちょうど散乱電子の飛翔に大きく影響を与える領域になり、形状の効果が期待できる。

【0074】

また、図5(a)グラフ中には、T1maxのT3の依存性を示した。T1と同様にT3の形状も間隙周辺の電場を変化させる要因であることがわかる。

【0075】

ただし、T1は小さい程効率の向上に効果があるが、T3は大きい程効率の向上に効果があり、T3= でほぼ一定となるという違いがある。

【0076】

図5(a)のグラフから、T1maxに関して、

$$T1max = A \times exp [B \times (Vf - wk) / (Vf)] \dots (2)$$

$$A = -0.78 + 0.87 \times \log (T3)$$

$$B = 8.7$$

の式が導かれる。

【0077】

ここで、T1, T3は距離(単位はnm)、wkは高電位側導電性部材の仕事関数の値(単位はeV)、Vfは駆動電圧(単位はV)、AはT3の関数、Bは定数である。

【0078】

さらに、検討した結果、前述の主たる散乱回数が変化する変曲点T1max'は、(2)式のAの関数の係数の変化で近似できることもわかった。

【0079】

したがって、

$$T1max' = A' \times exp [B \times (Vf - wk) / (Vf)] \dots (2)'$$

$$A' = -0.50 + 0.56 \times \log (T3)$$

$$B = 8.7$$

10

20

30

40

50

の式が導かれる。

【0080】

これまで説明したように電子放出効率には、散乱に関わるパラメータとしてT1が重要であり、T1を(2)式、さらに好ましくは(2)'式の範囲に設定すれば、著しく効率向上の効果が得られることがわかり、本発明ではT1を(2)'式の範囲に限定した。

【0081】

さらに、図6に本発明による構成の電子放出素子の電子放出特性を従来の平面型電子放出素子と比較して示した。本発明による電位放出素子では、低いVa側で、効率の変化が大きく上昇している。したがって、本発明の構成を実現することで、より低いVaの駆動を可能することもできる。

10

【0082】

ここで、本発明による構造を作製するためには、電極2, 4及び絶縁層3の積層の膜厚の制御が重要である。特に、絶縁層3及び高電位電極4の膜厚の制御が必要となる。

【0083】

一方、本発明による構造では、数 μm 程度の微細な形状パターンを持たず、従ってパターン形成のための高価な製造装置が必要ではない。例えば、フォトリソグラフィー工程を使用する場合でも、より簡易な製法が選択できる。また、x方向及びy方向に対する位置合わせ精度も比較的ゆるく設定可能である。

【0084】

次に、本発明の電子放出素子による、電子ビーム径の高精細化について説明する。

20

【0085】

従来の平面型の電子放出素子の電子ビーム径については、SID98 Digest, Okuda, et alによると、

$$L_h = 4 \times K_h \times H \times (V_f / V_a) + L_0 \dots (3a)$$

$$L_w = 2 \times K_w \times H \times (V_f / V_a) \dots (3b)$$

以上の式で近似される。

【0086】

ここで、 L_h はy方向の電子ビーム径、 L_w はx方向の電子ビーム径であり、 L_0 はy方向の素子長である。また、 K_h 、 K_w は定数で、 K_h は0.8~0.9、 K_w は0.8~1.0であるとされている。

30

【0087】

また、 $V_a = 10\text{kV}$ 、 $H = 3\text{mm}$ においては、 L_h から 0.5mm 、 L_w から 0.25mm なるサイズが得られている。

【0088】

本発明の素子においては、T1を一定値より小さくする構成を提案するものであるから、アノード電極側から眺めた場合には、その距離は十分小さく、従来の平面型の素子と同様に、一般的に(3a)、(3b)式が適用できる。ただし、 K_h 、 K_w の係数に違いが見られ、特にx方向の電子ビーム径の係数である K_w の値が小さくなり、電子ビーム径の高精細化が実現される。

【0089】

40

図7に本発明による素子の散乱回数別の電子の最大到達位置を示した。

【0090】

電子は、高電位電極上に形成される曲がった空間電位の影響によりx方向に曲げられるが、高電位電極上で散乱が起こるとその方向が変わるために、電子ビームの到達位置は変化し、その広がりは扇状の内側となる。ただし、その強度分布は一様でなく、散乱回数が少ない程、扇状の外縁部に、またその中でもy方向の原点付近に偏っている傾向がある。

【0091】

一方、散乱のない電子（高電位側導電性部材の先端で散乱するだけで、それ以降の散乱を起こさない電子）は、放出時の方向性を保持したまま、駆動電圧とアノード電圧とで決定される空間電位によりその軌道が曲がるだけであるので、特定の軌跡をもった線状に到達

50

する。

【0092】

本発明による構成では、アノード電極に到達する電子の平均的な散乱回数を減少させることで、電子ビームの強度分布を扇状の外縁部に集中させることが可能となる。その結果、 x 方向、および y 方向の相対的な強度分布を変化させることができる。

【0093】

電子ビーム形状は、通常、ピーク強度に対する強度比が十分減衰した領域の長さで定義されるものであるから、強度分布が変わることで、電子ビーム形状も縮小させることができる。

【0094】

また、上記(2)式で定義したような、アノード電極に到達する電子の主成分を散乱なしの成分とする形状を選択すれば、さらに図7で示したごく狭い領域内に電子ビームを集めることができ、 K_w 、 K_h を減少させることができる。

【0095】

以上の本実施の形態で示すように、本発明は、散乱回数を低減し、散乱のない電子（高電位側導電性部材の先端で散乱するだけで、それ以降の散乱を起こさない電子）を主成分として利用することで、高い電子放出効率と高精細な電子ビーム径の収束の両立が可能である。

【0096】

さらに、好ましい T_1 の適用範囲について記す。

10

【0097】

前述した散乱回数の説明から、効率 η の点からは、 T_1 は理想的に 0 であることが要求される。しかしながら、 T_1 は電位を与えるための電極の役割を有す必要がある。したがって、最低限の厚さは必要となる。薄い場合には寄生抵抗となり、間隙部に係る電圧の減少となって現れ、さらに、耐熱性の低下により、素子劣化の要因にもなり得る。

【0098】

また、 T_1 が 0 に近づくと、間隙が絶縁層の側壁でなく、絶縁層の端部で、アノード電極方向に向かった開口で形成される場合があったが、この場合、効率、電子ビーム径とともに所望の結果が必ずしも得られず、素子間のばらつきが増大した。

【0099】

20

これは、間隙の方向に係るものであり、本実施の形態においては、間隙が絶縁層の側壁に垂直に開口していることが前記条件式の成立の際の用件ともいえる。

【0100】

したがって、本発明における実用的な T_1 は、少なくとも 10 nm 程度の長さが必要である。

【0101】

また、 T_1 を極端に薄くした場合、アノード電圧 V_a によっては、高電位側導電性部材の屈曲する部分までの側面での散乱は抑制されるが、一方、その後、高電位側導電性部材の上面部（アノード電極と対向する面）で散乱する成分も現れ、かえって効率 η が低くなり、ビーム径 L_w が広がることがわかった。

40

【0102】

上記の説明を図8(a)に示した。これは、効率が、高電位側導電性部材の屈曲する部分を散乱なしで通過する電子の方向成分に依存することを示している。

【0103】

すなわち、図8(b)に示すように、 T_1 がある程度の厚みをもった方が、アノード電極方向にむかう角度のうち低角度の成分を多重散乱によって抑制し、直接アノード電極方向に向かう成分を限定することにより、より高精細な電子ビームが可能となると考えられる。

【0104】

のことより、図4(a)のグラフで、 T_1 が薄くなっても、効率、電子ビーム径はそれ

50

ほど向上せず、それ以上の特性の向上は見られない。この特性に飽和が見られた領域は、アノード電圧 V_a の条件にもよるが、 $T_1 = T_{1\max}' / 2$ であるといえる。

【0105】

この領域を使用すれば、電子放出部の位置のばらつきに対する特性のばらつきを緩和させることもでき、均一化に有利である。

【0106】

したがって、本実施の形態における好ましい T_1 は、 $0 < T_1 < T_{1\max}'$ であり、さらに好ましいのは、 $0 < T_1 = T_{1\max}' / 2$ である。一方、実用的に決定されるのは、 $10\text{nm} \leq T_1 < T_{1\max}'$ であり、より好ましくは、 $10\text{nm} \leq T_1 = T_{1\max}' / 2$ である。

10

【0107】

さらに、本発明における(2)、(2)'式の成立するための必要な要件について追記する。

【0108】

図9に本発明の電子放出素子が傾斜をもった絶縁層の側壁に形成された場合について示した。また、図10に傾斜角度と効率および電子ビーム径の関係を示すグラフを示した。

【0109】

これまで、断面として、基板1平面に対し、垂直な断面を持つ絶縁層3の側面に形成される場合の電子放出素子について説明し、条件を決定した。しかし、素子の作製工程において、絶縁層3および高電位電極4の断面を、完全な垂直に形成することは難しく、一般には図9で示したように基板1表面(電極2表面)に対してある角度 θ を持って形成されるのが普通である。

20

【0110】

傾斜が存在する場合でも、 θ が90度に近い場合(90度±10度以内)は、図9(b)に示す様に、断面に対し平行な長さを T_1' 、 T_2' 、 T_3' と置き換えることで、前述(2)、(2)'の用件が実質的に成り立つ。

【0111】

また、図10には、いろいろな傾斜角度でのビーム径と効率を示した。傾斜角度 θ が45度未満では電子ビーム径 L_w が急激に減少するとともに、効率も減少する。また、 θ が100度よりも大きいと、電子ビーム径 L_w は大きくならないが、効率が急激に減少する。

30

【0112】

これは、傾斜角度 θ が45度未満では単なる長さの変化ではなく、傾斜自体が空間電位を変えてしまい、その特性が T_1 もしくは T_3 に依存せず、すなわち従来の平面型に近づくことを示している。また傾斜角度 θ が100度よりも大きいと、傾斜のために散乱回数がかえって増大してしまう。

【0113】

したがって、好ましい適用範囲は、傾斜角度45度以上100度以下であり、さらに好ましくは、90度±10度以内である。

【0114】

本発明においては、電子放出部近傍の形状が重要であることは説明したが、当然、電子軌道の及ぼす範囲としてさらに広範囲にわたる電位分布も重要である。それらのパラメータとして重要なものとしては、アノード電極からみたときの、電子放出部から高電位側導電性部材終端(x、y各方向)、電子放出部から低電位側導電性部材終端(x、y各方向)までの距離とその厚さ(z方向)がある。また、特に、x方向の距離は重要である。

40

【0115】

厚さが均一な場合には、電位領域のサイズの目安として、前述の特徴距離 X_s が、参考となる。すなわち、x、y方向とも特徴距離 X_s の1.5倍以上であれば、本実施の形態の効果を得るのに十分である。また、少なくとも、y方向には特徴距離 X_s の1.5倍以上、望ましくは5倍以上あれば、本実施の形態の適用範囲が若干ずれるが、高効率、電子ビーム

50

ム径の高精細の効果が得られる。

【0116】

x方向に対し、領域長に充分な長さが必要なのは、本実施の形態による構成が、x方向の電位分布の影響をより大きく受ける電位分布であるためである。

【0117】

厚さ方向に変化がある場合には、さらに注意が必要であるが、適宜、電子軌道を考慮して決定することで、本発明の効果を生かすことは十分可能である。

【0118】

以上のように、本発明の構成とした場合には、電子放出効率の向上が図られると共に、電子ビーム径の収束による高精細化を図ることができる。

10

【0119】

x方向の電子ビーム径の係数としては、K_wとして0.3~、y方向のビーム径の係数としては、K_hとして0.6~が可能である。

【0120】

以上述べた本発明の電子放出素子、並びにそれを用いた電子放出装置および画像形成装置について、更に好ましい実施形態および作成方法を挙げて詳述する。

【0121】

図11、図12は本発明による電子放出素子の一例を示す模式図、図11(a)は平面図、図11(b)は図11(a)のA-A'断面図、図12は図11の素子の電子放出部近傍を拡大して示した模式図である。図13、図14には、本発明の電子放出素子の製造方法の一例を示す。

20

【0122】

図11において、図1と同じ部材には、同じ番号を付記した。1は基板、2は低電位電極、3は絶縁層、4は高電位電極、5-1、5-2は第1、第2の導電性膜、6は間隙である。

【0123】

111は、第2の絶縁層であり、高電位電極4と低電位電極2をそれぞれx方向に伸びる配線、y方向に伸びる配線としてマトリクス状に形成した場合に、その交点の容量を低減するために積層される場合がある。

【0124】

30

図11に示すように、素子はy方向にL₀の長さを有している。また、x方向には、電子放出部(絶縁層3の側壁)から垂直方向に延長した高電位電極幅L₁、低電位電極幅L₂となっている。

【0125】

高電位電極幅L₁、低電位電極幅L₂は、前述のように本発明の効果を得るために、一定の長さ以上が必要である。

【0126】

例えば、駆動電圧V_f、アノード電圧V_a、素子-アノード電極間距離Hとした場合、その特徴距離X_s=(H×V_f)/(×V_a)であり、好ましくは特徴距離X_sの1.5倍以上の幅を持つ電極を用いることが必要である。

40

【0127】

基板1としては、その表面を十分に洗浄した、石英ガラス、Na等の不純物含有量を減少させKなどに一部置換したガラス、青板ガラス及びシリコン基板等にスパッタ法等によりSiO₂を積層した積層体、アルミナ等のセラミックスの絶縁性基板が挙げられる。

【0128】

低電位電極2は一般的に導電性を有しており、蒸着法、スパッタ法等の一般的真空成膜技術、フォトリソグラフィー技術により形成される。

【0129】

電極の材料は、例えば、Be、Mg、Ti、Zr、Hf、V、Nb、Ta、Mo、W、Al、Cu、Ni、Cr、Au、Pt、Pd等の金属、合金材料もしくは後述する導電性膜

50

5 と同一の材料から適宜選択される。前記低電位電極 2 の厚さとしては、数十 nm から数 mm の範囲で設定され、好ましくは数十 nm から数百 μ m の範囲で選択される。

【 0 1 3 0 】

絶縁層 3 は、スパッタ法等の一般的な真空成膜法、熱酸化法、陽極酸化法等で形成され、その厚さとしては、数 nm から数十 μ m の範囲で設定され、好ましくは数十 nm から数 μ m の範囲から選択される。望ましい材料としては SiO_2 、 SiN 、 Al_2O_3 、 CaF 、などの高電界に絶えられる耐圧の高い材料が望ましい。

【 0 1 3 1 】

高電位電極 4 は、低電位電極 2 と同一材料でも異種材料でも良く、好ましくは耐熱性材料が望ましい。またその厚さは、効果を得るために、間隙位置と共に重要なパラメータとなる。したがって、数 nm から数百 nm の範囲で設定される。また、後述の第 1、第 2 の導電性膜 5-1、5-2 と兼ねる場合もある。

10

【 0 1 3 2 】

第 1、第 2 の導電性膜 5-1、5-2 は、スパッタ法等の一般的な真空成膜法等で形成される。

【 0 1 3 3 】

第 1、第 2 の導電性膜 5-1、5-2 に用いる材料としては、 Pd 、 Ru 、 Ag 、 Au 、 Ti 、 In 、 Cu 、 Cr 、 Fe 、 Zn 、 Sn 、 Ta 、 W 、 Pt 等の金属、およびそれらの合金、 PdO 、 SnO_2 、 In_2O_3 、 PbO 、 Sb_2O_3 等の酸化物、 HfB_2 、 ZrB_2 、 LaB_6 、 CeB_6 、 YB_4 、 GdB_4 等の硼化物、 TiC 、 ZrC 、 HfC 、 TaC 、 SiC 、 WC 等の炭化物、 TiN 、 ZrN 、 HfN 等の窒化物、 Si 、 Ge 等の半導体、カーボン等である。その抵抗値は、 $10^3 \sim 10^7 \ \Omega$ のシート抵抗値を示す。

20

【 0 1 3 4 】

第 1、第 2 の導電性膜 5-1、5-2 に、間隙 6 を作製するには、例えば、“フォーミング処理”と呼ばれる手法が用いられる。“フォーミング処理”は、連続した導電性膜に電流を流すことで発生するジュール熱によって、連続した導電性膜の一部に間隙を形成する工程である。

【 0 1 3 5 】

後述の“活性化工程”を行わない場合には、導電性膜の仕事関数 (wk) が重要となる。

30

【 0 1 3 6 】

さらに、“フォーミング処理”を終えた素子に“活性化工程”を施すことにより、図 12 に示すように、間隙 6 内の絶縁層 3 上および導電性膜 5 上に、炭素を有する膜（カーボン膜）10 を形成する場合がある。

【 0 1 3 7 】

上記カーボン膜 10 は、例えばグラファイト（いわゆる HOPG 、 PG 、 GC を包含する。 HOPG はほぼ完全なグラファイトの結晶構造、 PG は結晶粒が 20 nm 程度で結晶構造がやや乱れたもの、 GC は結晶粒が 2 nm 程度になり結晶構造の乱れがさらに大きくなつたものを指す。）、非晶質炭素（アモルファス炭素及び、アモルファス炭素と前記グラファイトの微結晶の混合物を指す）を含む導電性の膜である。

40

【 0 1 3 8 】

本工程によりカーボン膜 10 を被覆した場合には、図 12 に示す第 1 の導電性膜 5-1 と第 2 の導電性膜 5-2 とが対向する方向におけるカーボン膜 10 の長さは、 T_1 及び T_3 に加算される。またカーボン膜 10 の膜厚は、比較的に薄い方が良く、数 nm から数十 nm 以下の範囲とするのが好ましい。

【 0 1 3 9 】

これにより、図 12 に示すように、上記活性化工程により、間隙 6 よりも狭い間隙 7 が形成される。この間隙 7 の長さが T_2 となる。

【 0 1 4 0 】

なお、ここでは、活性化工程で形成する膜 10 をカーボン膜としたが、本発明においては

50

、その他の導電性の材料からなる膜であってもよい。

【0141】

そして、活性化工程を行なった素子においては、前記第1の導電性膜5-1と電極2に加えて、第1の導電性膜5-1に接続したカーボン膜10を含めて低電位側導電性部材と呼ぶ。また同様に、活性化工程を行なった素子においては、前記第2の導電性膜5-2と電極4に加えて、第2の導電性膜5-2に接続したカーボン膜10を含めて高電位側導電性部材と呼ぶ。

【0142】

活性化工程で、間隙6付近およびその周辺部に導電性膜とは別の材料が形成された場合、その仕事関数 w_k は、本実施の形態のパラメータとなるため重要である。

10

【0143】

通常、高電位側導電性部材の仕事関数 w_k は、活性化工程を行なった素子の場合、炭素の仕事関数である、 $w_k = 5 \text{ eV}$ が適用される。活性化工程を行わなかった素子の場合には、高電位側の第2の導電性膜5-2の材料の仕事関数が適用される。

【0144】

次に図11に示した電子放出素子の製造工程について図13、図14を用いて説明する。

【0145】

(1) 絶縁性基板1の表面(第1の主面)上に低電位電極2の材料を堆積し、ホトリソグラフィー等による適当な方法で好ましい形状にエッチングを行い低電位電極2を形成する。
(図13(A))。

20

【0146】

(2) 第2の絶縁層となる層間絶縁層111の材料を堆積し、ホトリソグラフィー等による適当な方法で好ましい形状にエッチングし、低電位電極2を露出させ、層間絶縁層111を形成する(図13(B))。

【0147】

(3) 絶縁層3の材料、高電位電極4の材料を堆積し、ホトリソグラフィー等による適当な方法で好ましい形状にエッチングし、再び低電位電極2を露出させ、絶縁層3および高電位電極4を作製する(図13(C))。

【0148】

高電位電極4の形成手法としては、フォトレジストのスピンドルティング、マスクパターンの露光及び現像を行い、ウェットエッチングもしくはドライエッチングで絶縁層3及び高電位電極4の一部が取り除かれる。エッチング工程は平滑かつ垂直なエッチング面が望ましく、それぞれの電極及び絶縁層の材料に応じて、エッチング方法を選択すれば良い。

30

【0149】

(4) 次に、導電性膜5の材料を堆積し、ホトリソグラフィー等による適当な方法で好ましい形状にする(図13(D))。

【0150】

(5) さらに前述した“フォーミング処理”により、導電性膜の一部に間隙6を作製する(図13(E))。

【0151】

フォーミング工程の一例としては、低電位電極2と高電位電極4間にパルス発生器131で電圧を印加し、導電性膜5の一部に間隙6を作製する方法がある。このフォーミング工程により、図12などに示す様に、高電位電極4に電気的に接続されている第2の導電性膜5-2と、低電位電極2に電気的に接続されている第1の導電性膜5-1とに分離される。

40

【0152】

(6) さらに、活性化工程を行う。その一例を図14に示す。活性化工程は、例えば、炭素化合物のガスを含有する雰囲気下で、両極性のパルス電圧の印加を繰り返すことで行うことで、図12に示す様にカーボン膜10を形成する。カーボン膜10の形成領域は、各部材の大きさや、活性化工程において印加する電圧値によっても異なり、例えば図15に

50

示す様に、各導電性膜 5 - 1, 5 - 2 の大半を覆うように形成することもできる。

【0153】

上記炭素化合物の雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空装置 141 内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機材料 142 を導入することによっても得られる。

【0154】

このときの好ましい有機材料 142 のガス圧は、真空装置 141 の形状や、有機材料 142 の種類などにより異なるため場合に応じ適宜設定される。

【0155】

適当な有機材料 142 としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、ニトリル類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど $C_n H_{2n+2}$ で表される飽和炭化水素、エチレン、プロピレンなど $C_n H_{2n}$ 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、ベンゾニトリル、アセトニトリル、蟻酸、酢酸、ブロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機材料 142 から、炭素あるいは炭素化合物が素子上に堆積物としてカーボン膜 10 が積層、被覆される。

【0156】

この活性化工程を行うことで、図 12 に示す様に、導電性膜 5 - 1, 5 - 2 の間に形成された間隙 6 内の絶縁層 3 上および導電性膜 5 - 1, 5 - 2 上にカーボン膜 10 が形成される。そして同時に、間隙 6 よりも狭い間隙 7 が、カーボン膜 10 によって形成される。

【0157】

以上の工程により、本発明の電子放出素子が形成される。

【0158】

次に、本発明の電子放出素子の応用例について以下に述べる。電子放出素子を複数個基体上に配列し、例えば電子源あるいは画像形成装置が構成できる。

【0159】

電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動するはしご状配置のものがある。

【0160】

これとは別に、電子放出素子を x 方向及び y 方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、x 方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、y 方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。

【0161】

まず単純マトリクス配置について以下に詳述する。本発明の電子放出素子の特性を図 16 に示した。電子放出素子からの放出電子は、しきい値電圧 V_{th} 以上では、電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧 V_{th} 以下では、殆ど放出されない。

【0162】

この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、電子放出素子を選択して電子放出量を制御できる。

【0163】

以下この原理に基づき、本発明の電子放出素子を複数配して得られる電子源について、図

10

20

30

40

50

17を用いて説明する。図17において、171は電子源基体、172はx方向配線、173はy方向配線である。174は本発明の電子放出素子、175は結線である。

【0164】

m本のx方向配線172は、D×1, D×2, … D×mからなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は、適宜設計される。y方向配線173は、Dy1, Dy2, … Dy nのn本の配線よりなり、x方向配線172と同様に形成される。これらm本のx方向配線172とn本のy方向配線173との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している(m, nは、共に正の整数)。

【0165】

不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成されたSiO₂等で構成される。例えば、x方向配線172を形成した基体171の全面或は一部に所望の形状で形成され、特に、x方向配線172とy方向配線173の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。

【0166】

x方向配線172とy方向配線173は、それぞれ外部端子として引き出されている。また、電子放出素子174を構成する一対の電極(不図示)は、m本のx方向配線172とn本のy方向配線173と電気的に接続されている。

【0167】

配線172と配線173を構成する材料、結線175を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれ異なってもよい。これら材料は、例えば前述の電極の材料により適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極といふこともできる。

【0168】

x方向配線172には、x方向に配列した電子放出素子174の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、y方向配線173には、y方向に配列した放出素子174の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子174に印加される走査信号と変調信号の差電圧として供給される。

【0169】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0170】

このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図18を用いて説明する。

【0171】

図18は、画像形成装置の表示パネルの一例を示す模式図であり、171は電子放出素子を複数配した電子源基体、181は電子源基体171を固定したリアプレート、186はガラス基体183の内面に蛍光膜184とメタルバック185等が形成されたフェースプレートである。

【0172】

182は支持枠であり、該支持枠182には、リアプレート181、フェースプレート186がフリットガラス等を用いて接続されている。

【0173】

外囲器187は、例えば大気中、真空中あるいは、窒素中で、400～500度の温度範囲で10分以上焼成することで、封着して構成される。外囲器187は、上述の如く、フェースプレート186、支持枠182、リアプレート181で構成される。

【0174】

リアプレート181は主に電子源基体171の強度を補強する目的で設けられるため、電

10

20

30

40

50

子源基体 171 自体で十分な強度を持つ場合は別体のリアプレート 181 は不要とすることができる。即ち、基体 171 に直接支持枠 182 を封着し、フェースプレート 186、支持枠 182 及び基体 171 で外囲器 187 を構成しても良い。

【0175】

一方、フェースプレート 186、リアプレート 181 間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器 187 を構成することもできる。

【0176】

図 19 にフェースプレート 186 の例を示す。図 19 (a) は、ストライプ構造、(b) はマトリクス構造である。

10

【0177】

本発明における画像形成装置では、高精細表示が可能となるため、これらの配列の形態とピッチが選択できる。また、本発明の電子放出素子では、特に x 方向の電子ビーム径を小さくできることから、図 19 (a) で示したストライプ構造に対して有利な構成である。

【0178】

フェースプレート 186 はそれぞれ、蛍光体 192、黒色部材 191 で構成されている。黒色部材 191、蛍光体 192 の材料としては、一般的なものが使用可能である。

【0179】

ただし、一般的に、電子放出素子において電子ビームのビーム径を小さくした場合においても、蛍光体ではそれに加えて、さらに広がりのある光のビームとして変換される。したがって、高精細表示を目指す場合には、蛍光体としても、適宜、ビーム広がりを考慮して、材料および、膜厚を選択される必要がある。

20

【0180】

フェースプレート 186 とリアプレート 181 の間の距離は、支持枠 182、もしくは、スペーサー (不図示) により、一定の距離 H で保持される。平板型表示装置のための距離 H としては、一般に、数 μm ~ 数 mm が選択される。

【0181】

その距離 H は、前述 (3a)、(3b) 式で示されるように、電子放出素子からのビームが蛍光体へと到達する場合の到達位置、および電子ビーム径の関数であり、H が小さい程、高精細なビーム径が得られる。ただし、H が小さいと、真空を保持するのが難しくなるため、大きなサイズの画像形成装置には不向きとなる。

30

【0182】

一方、(3a)、(3b) 式は、 $V_a > > V_f$ の際の成立し、画像形成装置としては一般的に V_a は 1 kV 以上 30 kV 以下の値が選択される。

【0183】

しかし、H を小さくし、かつ、 V_a を高くすると、放電を起こし易くなるため、その作製方法に配慮が必要となる。したがって、本実施の形態において、好ましい範囲としては、H は 0.1 mm 以上 5 mm 以下、 V_a は 1 kV 以上 20 kV 以下が選択される。

【0184】

次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC 方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について図 20 を用いて説明する。

40

【0185】

図 20 において、201 は画像表示パネル、202 は走査回路、203 は制御回路、204 はシフトレジスタである。205 はラインメモリ、206 は同期信号分離回路、207 は変調信号発生器、 V_x および V_a は直流電圧源である。

【0186】

画像表示パネル 201 は、端子 $D_{0 \times 1}$ 乃至 $D_{0 \times m}$ 、端子 $D_{0 \times 1}$ 乃至 $D_{0 \times n}$ 、及び高圧端子 H_v を介して外部の電気回路と接続している。

【0187】

50

端子 $D_o \times 1$ 乃至 $D_o \times m$ には、画像表示パネル 201 内に設けられている電子源、即ち、 m 行 n 列の行列状にマトリクス配線された表面伝導型電子放出素子群を一行 (n 素子) ずつ順次駆動するための走査信号が印加される。

【0188】

端子 $D_o y 1$ 乃至 $D_o y n$ には、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御するための変調信号が印加される。

【0189】

高圧端子 Hv には、直流電圧源 V_a より、例えば $10k [V]$ の直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

10

【0190】

走査回路 202 について説明する。同回路は、内部に m 個のスイッチング素子を備えたものである (図中、 S_1 ないし S_m で模式的に示している)。

【0191】

各スイッチング素子は、直流電圧源 V_x の出力電圧もしくは $0 [V]$ (グランドレベル) のいずれか一方を選択し、画像表示パネル 201 の端子 $D_o \times 1$ 乃至 $D_o \times m$ と電気的に接続される。

【0192】

S_1 乃至 S_m の各スイッチング素子は、制御回路 203 が output する制御信号 $TSCAN$ に基づいて動作するものであり、例えば FET のようなスイッチング素子を組み合わせることにより構成することができる。

20

【0193】

直流電圧源 V_x は、本例の場合には表面伝導型電子放出素子の特性 (電子放出しきい値電圧) に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0194】

制御回路 203 は、外部より入力する画像信号に基づいて適切な表示が行なわれるよう各部の動作を整合させる機能を有する。制御回路 203 は、同期信号分離回路 206 から送られる同期信号 $TSYNC$ に基づいて、各部に対して $TSCAN$ および $TSFT$ および $TMRY$ の各制御信号を発生する。

30

【0195】

同期信号分離回路 206 は、外部から入力される $NTSC$ 方式のテレビ信号から同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離 (フィルター) 回路等を用いて構成できる。

【0196】

同期信号分離回路 206 により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上 $TSYNC$ 信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上 $DATA$ 信号と表した。該 $DATA$ 信号はシフトレジスタ 204 に入力される。

【0197】

シフトレジスタ 204 は、時系列的にシリアルに入力される前記 $DATA$ 信号を、画像の 1 ライン毎にシリアル / パラレル変換するためのもので、前記制御回路 203 より送られる制御信号 $TSFT$ に基づいて動作する (即ち、制御信号 $TSFT$ はシフトレジスタ 204 のシフトクロックであるということもできる。)。

40

【0198】

シリアル / パラレル変換された画像 1 ライン分 (電子放出素子 n 素子分の駆動データに相当) のデータは、 Id_1 乃至 Id_n の n 個の並列信号として前記シフトレジスタ 204 より出力される。

【0199】

ラインメモリ 205 は、画像 1 ライン分のデータを必要時間の間だけ記憶するための記憶

50

装置であり、制御回路 203 より送られる制御信号 T M R Y に従って適宜 I d 1 乃至 I d n の内容を記憶する。記憶された内容は、I d ' 1 乃至 I d ' n として出力され、変調信号発生器 207 に入力される。

【 0200 】

変調信号発生器 207 は、画像データ I d ' 1 乃至 I d ' n の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 D o y 1 乃至 D o y n を通じて画像表示パネル 201 内の表面伝導型電子放出素子に印加される。

【 0201 】

前述したように、本実施の形態の電子放出素子は放出電流 I e に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧 V t h があり、V t h 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。

【 0202 】

のことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V m を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 P w を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【 0203 】

したがって、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 207 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【 0204 】

パルス幅変調方式を実施するに際しては、変調信号発生器 207 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【 0205 】

シフトレジスタ 204 やラインメモリ 205 は、デジタル信号式のものをもアナログ信号式のものをも採用できる。画像信号のシリアル / パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【 0206 】

デジタル信号式を用いる場合には、同期信号分離回路 206 の出力信号 D A T A をデジタル信号化する必要があるが、これには同期信号分離回路 206 の出力部に A / D 変換器を設ければ良い。

【 0207 】

これに関連してラインメモリ 205 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器 207 に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 207 には、例えば D / A 変換回路を用い、必要に応じて增幅回路などを付加する。

【 0208 】

パルス幅変調方式の場合、変調信号発生器 207 には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合せた回路を用いる。

【 0209 】

必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧增幅するための増幅器を付加することもできる。

【 0210 】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器 207 には、例えばオペアン

10

20

30

40

50

プなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。

【0211】

パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0212】

このような構成をとり得る本実施の形態の画像形成装置（図18）においては、各電子放出素子に、容器外端子D_o × 1乃至D_o × m、D_o y 1乃至D_o y nを介して電圧を印加することにより、電子放出が生ずる。高圧端子H_vを介してメタルバック185、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜184に衝突し、発光が生じて画像が形成される。10

【0213】

ここで述べた画像形成装置の構成は、画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL, SECAM方式などの他、これよりも、多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0214】

本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。20

【0215】

【実施例】

以下、本発明の実施例を詳細に説明する。

【0216】

【実施例1】

図11、図13、図14、図15を用いて本実施例で作成した電子放出素を説明する。

【0217】

（工程1）

基板1に石英基板を用い、十分洗浄を行った後、低電位電極2としてスパッタ法により厚さ500nmのA1を堆積した。30

【0218】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト（AZ1500/クラリアント製）を用いてレジストパターンを形成した。

【0219】

次に、パターニングした前記フォトレジストをマスクとし、A1層をBC₃等の塩素系ガスを用いてドライエッチングして低電位電極2を形成した（図13（A））。

【0220】

（工程2）

r-fスパッタ法を用いて層間絶縁層111として厚さ500nmのSiO₂を堆積した。40

【0221】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト（AZ1500/クラリアント製）を用いてレジストパターンを形成した。次に、パターニングした前記フォトレジストをマスクとし、層間絶縁層111をフッ酸系のウエットエッチングを行い、低電位電極2上面で停止させた（図13（B））。

【0222】

層間絶縁層の幅は20μmとし、図11（a）のように素子部の周囲を囲むように形成した。層間絶縁層の断面は、緩やかな傾斜を持つようにし、後述する工程3の絶縁層3、および高電位電極4の層間絶縁層111の段差部による膜切れを防止した。50

【0223】

(工程3)

絶縁層3としてSiO₂を厚さ40nm、高電位電極4としてTaを厚さ5nmを堆積した。

【0224】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト(AZ1500/クラリオン製)を用いてレジストパターンを形成した。

【0225】

次に、パターニングした前記フォトレジストをマスクとし、高電位電極4及び絶縁層3をRIEによりエッチングした。エッチングガスにはCF₄ガスを選択した。

10

【0226】

またドライエッ칭時の他の条件は装置のサイズや構成、基板サイズで異なるが、本実施例では圧力2.7Pa、放電電力1000Wを用いた。このときの絶縁層3と低電位電極2とのエッ칭選択比が2倍以上あることを利用して低電位電極2でエッ칭を停止させた(図13(C))。

【0227】

ここまで工程で作製した電極幅は、図11に示す様に、L1=30μm、L2=30μmであった。また、y方向の低電位電極2の開口幅は、200μmとした。

【0228】

(工程4)

20

次に、フォトリソグラフィー技術を用いてフォトレジストに開口部を形成した。

【0229】

次に、導電性膜5として厚さ4nmのPd膜を堆積した。この後フォトレジストを剥離し、導電性膜5をリフトオフ法により素子の中央部に高電位電極4と低電位電極2にわたって形成した(図13(D))。図11における導電性膜5の長さL0は50μmとした。

【0230】

(工程5)

次に、フォーミング工程を行う。低電位電極2と高電位電極4との間に15Vのパルス電圧(ON時間:1msec/ OFF時間:9msec)を印加し、導電性膜を高電位側と低電位側に分離し、間隙6を形成した(図13(E))。

30

【0231】

間隙6の形成の終了判定は電極間の抵抗で行い、抵抗が10MΩとなった時点で電圧印加を終了した。

【0232】

(工程6)

次に、活性化工程を行った。上記工程5まで終えた素子を図14に示すような真空装置141に設置し、2×10⁻⁶Paに到達するまで十分に排気した。

30

【0233】

次に有機材料142としてBN(ベンゾニトリル)を1×10⁻⁴Paになるように真空装置141に導入し、有機ガス雰囲気中でパルス電圧を電極2,4間に印加した。パルス電圧は、ON電圧の極性が交互に現れる両極のパルス電圧を印加した。その結果、炭素を主成分とするカーボン膜10が厚さ2nmで堆積した(図14、図15)。前記活性化工程は、素子間に流れる電流Ifが飽和した時点で終了した。

40

【0234】

その後、再び2×10⁻⁶Paに到達するまで十分に排気後、素子部を約200℃で5時間加熱し、素子に付着した有機物を除去した。最終的に形成した、図15に示す間隙7の幅T2は5nmであることが電子顕微鏡観察から測定された。また、カーボン膜10は、第2の導電性膜5-2の屈曲した領域上も覆っていた。

【0235】

このようにして作製した本実施例の電子放出素子の上方にアノード電極8を、図2に示し

50

たように配置し、効率およびビーム径を測定した。

【0236】

素子には電極2, 4間に駆動電圧 $V_f = 15\text{ V}$ からなるパルス電圧を印加し、電極2, 4間に流れる素子電流 I_f と、電子放出電流 I_e を計測した。ビーム径は、P22蛍光体とメタルバック(A1膜)からなる蛍光板をアノード電極として使用し、素子から $H = 2\text{ m}$ 離れたA1膜に、 $V_a = 10\text{ kV}$ を印加し、そこでの発光強度分布を、CCDカメラで結像して測定した。測定されるビーム径は、ピーク強度の1/100の強度比とした。この測定で求めたビーム径は、蛍光体での光の広がりを含んだものであり、その広がりは電子のビーム径 + $40\text{ }\mu\text{m}$ と見積もり電子のビーム径を逆算した。

【0237】

本実施例では、効率 = 1.85% で、 $I_f = 1.5\text{ mA}$ 、 $I_e = 27.8\text{ }\mu\text{A}$ であった。

【0238】

また、測定されたビーム径は $L_w(\text{m}\text{e}\text{s}) = 120\text{ }\mu\text{m}$ 、 $L_h(\text{m}\text{e}\text{s}) = 240\text{ }\mu\text{m}$ であった。蛍光体の広がりのない電子のビーム径を概算すると $L_w = 90\text{ }\mu\text{m}$ 、 $L_h = 200\text{ }\mu\text{m}$ であり、さらに、(3a)、(3b)式から概算すると、 $K_w = 0.33$ 、 $K_h = 0.61$ である。

【0239】

本実施例では、間隙7は絶縁層のほぼ中央部に形成されたため、

$$\begin{aligned} T_1 &= (\text{絶縁層3の厚み}/2) + (\text{高電位電極4の厚み}) + (\text{第2の導電性膜5-2の厚み}) \\ &\quad + (\text{活性化工程によって第2の導電性膜5-2上に堆積したカーボン膜10の厚み}) \\ &\quad - (\text{間隙7の幅}/2) \\ &= 20 + 5 + 4 + 2 - 2.5 = 28.5\text{ nm} \end{aligned}$$

となる。

【0240】

また、

$$\begin{aligned} T_3 &= (\text{絶縁層3の厚み}/2) - (\text{第1の導電性膜5-1の厚み}) - (\text{活性化工程によって第1の導電性膜5-2上に堆積したカーボン膜10の厚み}) - (\text{間隙7の幅}/2) \\ &= 20 - 4 - 2 - 2.5 = 11.5\text{ nm} \end{aligned}$$

となる。

【0241】

(2) および(2)'式に上記 T_3 の値、カーボンの仕事関数 $w_k = 5\text{ eV}$ を代入すると、本発明における効果的な T_1 が算出でき、 $T_1 \text{ max} < 47\text{ nm}$ 、さらに $T_1 \text{ max}' < 31\text{ nm}$ となり、本発明の提案する形状範囲に存在していることがわかる。したがって、電子放出効率の高効率化と電子ビーム径の高精細化が実現されている。

【0242】

また本実施例では、(1)式より、 $X_s = 0.95\text{ }\mu\text{m}$ であり、高電位電極の幅 $L_1 = 30\text{ }\mu\text{m}$ 、低電位電極の幅 $L_2 = 30\text{ }\mu\text{m}$ と、 X_s の15倍よりも大きくなっている。本発明の適用範囲内にある。

【0243】

[実施例2]

図21を用いて本実施例で作成した電子放出素子を説明する。

【0244】

本実施例では、 T_1 を減少させるために、実施例1で用いた高電位電極4を省略し、第2の導電性膜5-2のみで高電位側導電性部材を構成している。

【0245】

作製方法は、実施例1の(工程3)において、高電位電極の堆積、加工の工程が省略される以外は、実施例1とほぼ同様である。

【0246】

本実施例において

10

20

30

40

50

$T_1 = (\text{絶縁層 } 3 \text{ の厚み} / 2) + (\text{第 } 2 \text{ の導電性膜 } 5 - 2 \text{ の厚み}) + (\text{活性化工程によって第 } 2 \text{ の導電性膜 } 5 - 2 \text{ 上に堆積したカーボン膜 } 10 \text{ の厚み}) - (\text{間隙 } 7 \text{ の幅} / 2)$
 $= 20 + 4 + 2 - 2.5 = 23.5 \text{ nm}$
 となっている。

【0247】

また、さらに、実施例1の素子において、間隙7の位置からの距離 T_1 を変えるために、高電位電極の厚さを10nmから500nmまで変化させて効率、ビーム径を測定した。

【0248】

これらの結果をまとめて、表1に示す。なお、 I_f は実施例1とほぼ同様であった。

【0249】

【表1】

10

T₁と効率およびビーム径

T ₁ (nm)	電極4の 厚み (nm)	効率 η (%)	ビーム径L _w (μ m)	ビーム径L _h (μ m)	
23.5	—	1.87	90	200	実施例2
28.5	5	1.85	90	200	
33.5	10	1.68	100	220	
73.5	50	0.6	120	250	
123.5	100	0.12	140	290	
523.5	500	0.08	150	290	
—	—	0.78	150	290	従来の平面型

20

この結果は、図4(a)のグラフと対応している。このことより、高電位領域の長さを減少させることは、効率の向上に効果があり、また、ビーム径の高精細化に効果があることがわかる。ただし、本実施例で示したように T_1 が小さくなるとその効果は飽和する傾向となる。

【0250】

[実施例3]

図22を用いて電子放出素子の実施例3を説明する。本実施例では、 T_3 を大きくし、効率向上に効果のある構成である。

30

【0251】

作製方法は、(工程1)と(工程3)が以下の(工程1')と(工程3')のように変更される以外は、実施例1と同様である。

【0252】

(工程1')

基板1に石英を用い、十分洗浄を行った後、スパッタ法により厚さ200nmのAl-Ta合金層及び厚さ500nmの高純度Taからなる金属層2'を堆積した。

【0253】

次に、ポジ型フォトレジスト(AZ1500/クラリアント社製)を用いてレジストパターンを形成した。

40

【0254】

次に、パターニングした前記フォトレジストをマスクとし、全圧4Paからなる C_{l2} ガスを用いてAl-Ta合金層及びTaからなる金属層を同時にドライエッチングした。

【0255】

(工程3')

次に厚さ40nmの絶縁層と厚さ5nmのTaからなる金属層を連続して堆積した。

【0256】

次に、パターニングした前記フォトレジストをマスクとし、Taからなる金属層、絶縁層、Taからなる金属層を CF_4 によるエッチングガスによってドライエッチングし、Al

50

- T a 合金層と T a からなる金属層とのエッチングガスによる選択比の違いを利用して A 1 - T a 合金層上で停止させた。これにより、A 1 - T a 合金層からなる第1の低電位電極2とT a からなる第2の低電位電極2'、絶縁層3、T a からなる高電位電極4の積層構造が形成された。

【0257】

以下実施例1と同様の工程により電子放出素子を作製した。

【0258】

実施例1と同様に、素子を $V_f = 15$ V で駆動し、素子から $H = 2$ mm 離れたアノード電極に、 $V_a = 10$ kV 印加して素子の評価を行った。

【0259】

本実施例では、効率 = 2.0% であり、測定されたビーム径は L_w (mess) = 140 μ m、 L_h (mess) = 260 μ m であった。

10

【0260】

蛍光体の広がりのない電子のビーム径を概算すると $L_w = 100$ μ m、 $L_h = 210$ μ m であり、さらに、(3a)、(3b)式から概算すると、 $K_w = 0.65$ 、 $K_h = 0.55$ である。

【0261】

本実施例では、T 1、T 3 は、

$$\begin{aligned} T_1 &= (\text{絶縁層3の厚み}/2) + (\text{高電位電極4の厚み}) + (\text{第2の導電性膜5-2の厚み}) + (\text{活性化工程によって第2の導電性膜5-2上に堆積したカーボン膜10の厚み}) \\ &\quad - (\text{間隙7の幅}/2) \\ &= 20 + 5 + 4 + 2 - 2.5 = 28.5 \text{ nm} \end{aligned}$$

となり、第1実施例と同じである。

20

【0262】

一方、

$$\begin{aligned} T_3 &= (T_a \text{ からなる第2の低電位電極2'の厚み}) + (\text{絶縁層3の厚み}/2) - (\text{第1の導電性膜5-1の厚み}) - (\text{活性化工程によって第1の導電性膜5-2上に堆積したカーボン膜10の厚み}) - (\text{間隙7の幅}/2) \\ &= 500 + 20 - 4 - 2 - 2.5 = 511.5 \text{ nm} \end{aligned}$$

となる。

30

【0263】

したがって、(2)'式に上記 T 3 の値、カーボンの仕事関数 $w_k = 5$ eV を代入すると、本発明における効果的な T 1 が算出でき、 $T_{1\max}' < 336$ nm となり、本発明の提案する形状範囲に存在していることがわかる。

【0264】

したがって、電子放出効率の高効率化と電子ビーム径の高精細化が実現されている。

【0265】

本実施例では、低電位電極を掘り込んだことで、同じ T 1 でもさらに実施例1よりも高効率となる。しかしながら、電子ビーム径は若干広がった。これは、T 3 を大きくすることで、前述の ($V_f - w_k$) の等電位面が高電位面から広がり、間隙から z 方向に下向きて放出する電子のうち散乱なし到達する電子が多くなることで効率が大きくなつたものと考えられるが、一方、そのための、電子の到達位置の分布が若干大きくなり、電子ビームが広がつたと考えられる。

40

【0266】

また、T 3 を大きくしたことで、実施例1に比較して多数の素子を作製したときの効率ばらつきが低減した。これは、素子作製の際には、間隙の位置は、絶縁層に対して必ずしも中央部にならない場合があり、その場合には、素子のばらつきとなつたが、T 3 を大きくしたことで、その相対的な位置のばらつきが小さくなつたためと考えられる。

【0267】

[実施例4]

50

図23を用いて電子放出素子の実施例4を説明する。

【0268】

本実施例では、T3の構造が若干異なる変形例であり、Taからなる第2の低電位電極2'の断面が、エッチングにより、逆テーパの形状をしている。

【0269】

この場合は、絶縁層3より上部、すなわち間隙7の周辺は、実施例3と同様である。

【0270】

実施例1と同様に、素子をVf=15Vで駆動し、素子からH=2mm離れたアノード電極に、Va=10kV印加して素子の評価を行った。

【0271】

本実施例では、効率=2.05%であり、Ifは実施例3と同様であった。

【0272】

また、測定されたビーム径はLw(meas)=140μm、Lh(meas)=260μmであった。蛍光体の広がりのない電子のビーム径を概算するとLw=100μm、Lh=210μmであり、さらに、(3a)、(3b)式から概算すると、Kw=0.65、Kh=0.55であった。

【0273】

本実施例では、実施例3に比べ、効率は若干であるが向上し、ビーム径は実施例3と同様であった。

【0274】

T3に関しては、逆テーパにすることで、若干であるが、効率向上の効果がある。これは、実施例3と同様に、(Vf-wk)の等電位面が高電位面から広がり、間隙からz方向に下向きで放出する電子のうち散乱なし到達する電子が多くなることで効率が大きくなつたものと考えられる。

【0275】

ただし、後述するように、間隙部および高電位電極の傾斜は、特性の劣化につながり本実施例とは大きく異なる。

【0276】

[実施例5]

本実施例では、間隙の作製方法が実施例1と異なっているが、素子の基本構造は図11に示したものと同一である。

【0277】

(工程1')

基板1に石英基板を用い、十分洗浄を行った後、低電位電極2の材料としてスパッタ法により厚さ500nmのTaを堆積した。

【0278】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト(AZ1500/クラリオント製)を用いてレジストパターンを形成した。

【0279】

次に、パターニングした前記フォトレジストをマスクとし、Ta層をCF₄ガスを用いてドライエッチングし低電位電極2を形成した。

【0280】

(工程2)は実施例1と同じである。

【0281】

(工程3')

絶縁層3の材料としてSiO₂を厚さ70nm、高電位電極4の材料としてTaを厚さ10nmを堆積した。

【0282】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト(AZ1500/クラリオント製)を用いてレジストパターンを形成した。

10

20

30

40

50

【0283】

次に、パターニングした前記フォトレジストをマスクとし、高電位電極4の材料、絶縁層3の材料、低電位電極2の一部をRIEによりエッティングした。エッティングガスにはCF₄ガスを選択した。またドライエッティング時の他の条件は装置のサイズや構成、基板サイズで異なるが、本実施例では圧力2.7Pa、放電電力1000Wを用いた。低電位電極2のエッティング深さは200nmとし、エッティング時間を制御して所望の厚さで停止させた。

【0284】

ここまで工程で作製した電極幅は、L1は30μm、L2=30μmであった。また、y方向の低電位電極の開口幅は、200μmとした。

10

【0285】

(工程4')

次に、フォトリソグラフィー技術を用いてフォトレジストに開口部を形成した。

【0286】

次に、導電性膜5として厚さ7nmのTa膜を堆積した。この後フォトレジストを剥離し、導電性膜5をリフトオフ法により素子の中央部に高電位電極と低電位電極にわたって形成した。素子長L0は50μmとした。

【0287】

(工程5')

次に、フォーミング工程を行う。低電位電極2と高電位電極4間に10Vから1V/secで波高値を20Vまで上昇させながら、パルス電圧(ON時間:5msec/OFF時間:15msec)を印加した。この工程により、導電性膜5は高電位側(第2の導電性膜5-2)と低電位側(第1の導電性膜5-1)に分離し、Ta膜に間隙6を形成した。

20

【0288】

間隙6の形成の判定は電極間の抵抗で行い、抵抗が10MΩとなった時点で電圧印加を終了した。

【0289】

(工程6)

実施例1で行った活性化工程は、本実施例では行わなかった。

30

【0290】

間隙6の幅はT2=8nmと電子顕微鏡観察から測定された。

【0291】

このようにして作製した実施例5による電子放出素子を、実施例1と同様に、効率およびビーム径を測定した。ただし、駆動電圧はVf=18Vとした。

【0292】

本実施例では、効率=2.1%であったが、If=0.5mAは他の実施例にくらべて小さく、したがって、電子放出電流Ie=10.5μAと若干小さくなつた。

【0293】

測定されたビーム径はLw(meas)=150μm、Lh(meas)=270μmであった。蛍光体の広がりのない電子のビーム径を概算するとLw=110μm、Lh=230μmであり、さらに、(3a)、(3b)式から概算すると、Kw=0.65、Kh=0.53である。

40

【0294】

本実施例では、間隙は絶縁層のほぼ中央部に形成されたため、

T1=(絶縁層3の厚み/2)+(高電位電極4の厚み)+(第2の導電性膜5-2の厚み)-(間隙6の幅/2)

=35+10+7-4=48nm

となる。

【0295】

また、

50

$T_3 = (\text{上記工程 } 3' \text{ において低電位電極 } 2 \text{ のエッティング深さ}) + (\text{絶縁層 } 3 \text{ の厚み} / 2) - (\text{第 } 1 \text{ の導電性膜 } 5-1 \text{ の厚み}) - (\text{間隙 } 6 \text{ の幅} / 2)$
 $= 200 + 35 - 7 - 4 = 229 \text{ nm}$
 となる。

【0296】

本実施例では、第2の導電性膜5-2が高電位側導電性部材の表面を構成しており、その仕事関数はTaの仕事関数となる。したがって、(2)'式に上記T3の値、駆動電圧Vf = 18V、Taの仕事関数Wk = 4.1eVを代入すると、本実施例における効果的なT1が算出でき、T1max' < 680nmとなり、本発明で規定する範囲に存在していることがわかる。

10

【0297】

したがって、電子放出効率の高効率化と電子ビーム径の高精細化が実現されていた。

【0298】

仕事関数Wkが低くなり、駆動電圧がVfが大きくなると、電子の最大飛翔距離が長くなるため、高効率のために許容されるT1max'は著しく大きくすることができる。ただし、電子ビーム径の広がりも大きくなるので、注意が必要である。

【0299】

本実施例において、異なる材質、異なる駆動条件でも、式(2)'が目安となり、本発明による形状が、高効率と高精細を実現する条件であることがわかる。

20

【0300】

[実施例6]

図9を用いて電子放出素子の実施例6を説明する。

【0301】

これまでの実施例では、高電位電極4と絶縁層3の断面はほぼ垂直であったが、本実施例では垂直から外れている。

【0302】

作製方法は、実施例1と同様であるが、ガス圧力、エッティングパワーなどのエッティング条件をかえ、さらに、エッティング方法をドライエッティングから、ウェットエッティングにかえて、さまざまな角度の素子を作製した。

【0303】

実施例1と同様に、素子をVf = 15Vで駆動し、素子からH = 2mm離れたアノード電極に、Va = 10kV印加して素子の評価を行った。

30

【0304】

【表2】

傾斜角度と効率およびビーム径

角度(°)	効率η(%)	ビーム径Lw(μm)	ビーム径Lh(μm)	
40	0.8	150	290	
55	0.9	120	280	
78	1.4	100	240	
85	1.85	90	200	
93	1.85	90	200	
122	0.5	95	220	
—	0.78	150	290	従来の平面型

40

この結果は、図10のグラフと対応している。

【0305】

のことより、傾斜角度は、本発明における効果と相関があり、90度±10度では、

50

その効果がかわらないが、角度が小さくなると平面型に近づき、また、逆テーパになると、電子ビーム径はそれほどかわらないが著しい効率の低下が現れる。

【0306】

また、従来の平面型と異なる効果を得るために、傾斜角度として、45度以上100度以下が目安となる。

【0307】

[実施例7]

図17～図20を用いて本発明の電子放出素子を複数配して得られる電子源および画像形成装置について説明する。適用する電子放出素子としては実施例1で作成した素子(図11)を使用した。

10

【0308】

画像形成装置では、複数配置したことに伴う素子の容量が増大すると、図17に示すマトリクス配線においては、パルス幅変調に伴う短いパルスを加えても容量成分によって波形がなまり、期待した階調が取れないなどの問題が生じる。

【0309】

このため本実施例では、実施例1に示したように電子放出部のすぐ脇に、図11の111に示す層間絶縁層を配し、電子放出部以外での容量性分の増加を低減する構造を採用している。

【0310】

また、層間絶縁層111はx方向の隣接素子の影響を少なくする役割も果たしている。

20

【0311】

本実施例による構成では、素子から放出された電子の軌道はこう電位側に偏り、アノード電極付近では、隣接素子の上部まで達している。したがって、隣接素子、特にx方向の隣接素子の影響は受けやすい構成である。

【0312】

本実施例による効果を得るために前述の通り、高電位電極のx方向の幅L1は、隣接電位の電子軌道の影響を受けないように、駆動状態において定義される特徴距離Xsの15倍より大きく設定している。さらに、層間絶縁層111を積層し、より高い位置に高電位を配置することで、隣接素子の低電位の影響はほとんどなくなる構成となっている。

【0313】

30

さらに、駆動時以外においても、層間絶縁層111が重要となる。

【0314】

例えば、前記した活性化工程中では、駆動時とほぼ同様の電圧が交互の極性で印加される。そのため、活性化工程においては、低電位電極2にも高電位がかかる状態となり、電子放出部からの電子が、素子周辺に飛来する可能性がある。この場合、層間絶縁層111を設けない場合には、低電位電極2の周囲に比較的高い電界が形成されることになる。その結果、低電位電極2の周囲に付着物等が配置され、隣接する素子間でのリーク電流の発生となったり、放電破壊のきっかけとなったりする恐れがある。

【0315】

層間絶縁層111を厚く配置することで、隣接する素子間の領域での高電界の形成が抑制され、安定した活性化が行われる。

40

【0316】

図17においてm本のx方向配線172はDx1, Dx2, ... Dx mからなり、厚さ約0.5μm、幅250μmのA1で構成されている。本実施例においては、低電位電極2がそれを代用している。さらに、低電位電極2の下部に別の材料からなる配線を配置することは、適宜設計されうる構成である。

【0317】

n本のy方向配線173はDy1, Dy2, ... Dy nのn本の配線よりなり、厚さ5nm、幅100μmのTaで構成されている。本実施例においては、図11に示す高電位電極4がこれらを代用している。

50

【0318】

m 本の x 方向配線172と n 本の y 方向配線173との間には、さらに $0.5\mu m$ の SiO_2 からなる層間絶縁層が設けられており、両者を電気的に分離している。

【0319】

層間絶縁層は、 x 方向配線172と y 方向配線173の交差部の電位差に耐え得るように、本実施例では1素子当たりの素子容量が $1pF$ 以下、素子耐圧 $25V$ になるように層間絶縁層の厚さが決められた。さらに、高電位電極の上部、特に層間絶縁層を配す領域のみに別の材料からなる配線を配置することは、適宜設計されうる構成である。

【0320】

x 方向配線172と y 方向配線173は、それぞれ外部端子として引き出されている。

10

【0321】

x 方向配線172には、 x 方向に配列した本発明の電子放出素子174の各行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。

【0322】

一方、 y 方向配線173には、 y 方向に配列した本発明の電子放出素子174の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。

【0323】

各電子放出素子174に印加される駆動電圧は、当該素子174に印加される走査信号と変調信号の差電圧として供給される。本実施例においては y 方向配線は高電位、 x 方向配線は低電位になるように接続された。本実施例に所望の電位構造が得られる構成となる。

20

【0324】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0325】

このような単純マトリクス配置の電子源を用いて構成した画像形成装置について図18を用いて説明する。図18は、ガラス基板材料としてソーダライムガラスを用いた画像形成装置としての表示パネルを示す図である。

【0326】

図18において、171は電子放出素子を複数配した電子源基体、181は電子源基体171を固定したリアプレート、186はガラス基体183の内面に蛍光膜184とメタルバック185等が形成されたフェースプレートである。

30

【0327】

182は、支持枠であり該支持枠182には、リアプレート181、フェースプレート186がフリットガラス等を用いて接続されている。

【0328】

外囲器187は、真空中で、450度の温度範囲で10分焼成することで、封着して構成される。

【0329】

本件のパネルには図19(a)であるストライプ構造を使用した。

【0330】

40

ブラックストライプ(黒色部材191)の材料としては、本実施例では通常用いられている黒鉛を主成分とする材料用いた。蛍光体192としては、P22を使用した。

【0331】

図18において蛍光膜184の内面側には、メタルバック185が設けられた。

【0332】

メタルバック185は、蛍光膜作製後、蛍光膜184の内面側表面の平滑化処理(通常、「フィルミング」と呼ばれる。)を行い、その後A1を真空蒸着等を用いて堆積させることで作られた。

【0333】

フェースプレート186には、更に蛍光膜184の導電性を高めるため、通常メタルバッ

50

ク 1 8 5 の内面側に導電性カーボンからなる電極（不図示）を設けた。

【 0 3 3 4 】

前述の封着を行う際には、蛍光膜 1 8 4 の位置と電子放出素子 1 7 4 とを対応させる必要がある。本実施例における画像形成装置の場合、電子放出素子 1 7 4 と蛍光膜 1 8 4 は、 x 方向に位置ずれしているため、駆動条件におけるこの位置ずれを考慮して、位置合わせを行った。

【 0 3 3 5 】

本実施例では、電子源と蛍光膜 1 8 4 の距離 H は 2 mm とし、駆動条件は、 $V_f = 15 V$ 、 $V_a = 10 kV$ とした。そして、電子源から電子の射出方向に 1 5 0 μm シフトした位置に対応する位置に蛍光体を配置した。

10

【 0 3 3 6 】

本実施例における、1 画素のサイズは、 x 方向 1 5 0 μm 、 y 方向 2 5 0 μm となっている。

【 0 3 3 7 】

次に、このようにして構成した表示パネルに、NTSC 方式のテレビ信号に基づいたテレビジョン表示を行うための、駆動回路の構成例について、図 2 0 を用いて説明する。

【 0 3 3 8 】

走査回路 2 0 2 について説明する。同回路は、内部に m 個のスイッチング素子を備えたもの（図中、 S_1 ないし S_m で模式的に示している）ある。各スイッチング素子は、直流電圧源 V_x の出力電圧もしくは 0 [V] (グランドレベル) のいずれか一方を選択し、表示パネル 2 0 1 の端子 $D_{x 1}$ 乃至 $D_{x m}$ と電気的に接続される。

20

【 0 3 3 9 】

S_1 乃至 S_m の各スイッチング素子は、制御回路 2 0 3 が output する制御信号 T S C A N に基づいて動作するものであり、例えば F E T のようなスイッチング素子を組み合わせることにより構成することができる。

【 0 3 4 0 】

直流電圧源 V_x は、本例の場合には本発明の電子電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

30

【 0 3 4 1 】

制御回路 2 0 3 は、外部より入力する画像信号に基づいて適切な表示が行なわれるよう各部の動作を整合させる機能を有する。制御回路 2 0 3 は、同期信号分離回路 2 0 6 より送られる同期信号 T S Y N C に基づいて、各部に対して T S C A N および T S F T および T M R Y の各制御信号を発生する。

【 0 3 4 2 】

同期信号分離回路 2 0 6 は、外部から入力される NTSC 方式のテレビ信号から同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。

【 0 3 4 3 】

同期信号分離回路 2 0 6 により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上 T S Y N C 信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上 D A T A 信号と表した。該 D A T A 信号はシフトレジスタ 2 0 4 に入力される。

40

【 0 3 4 4 】

シフトレジスタ 2 0 4 は、時系列的にシリアルに入力される前記 D A T A 信号を、画像の 1 ライン毎にシリアル / パラレル変換するためのもので、前記制御回路 2 0 3 より送られる制御信号 T S F T に基づいて動作する（即ち、制御信号 T S F T は、シフトレジスタ 2 0 4 のシフトクロックであるということもできる。）。

【 0 3 4 5 】

シリアル / パラレル変換された画像 1 ライン分（電子放出素子 N 素子分の駆動データに相

50

当)のデータは、 I_d_1 乃至 I_d_n のN個の並列信号として前記シフトレジスタ204より出力される。

【0346】

ラインメモリ205は、画像1ライン分のデータを必要時間の間だけ記憶するための記憶装置であり、制御回路203より送られる制御信号TMRYに従って適宜 I_d_1 乃至 I_d_n の内容を記憶する。記憶された内容は、 $I_d'_1$ 乃至 $I_d'_n$ として出力され、変調信号発生器207に入力される。

【0347】

変調信号発生器207は、画像データ $I_d'_1$ 乃至 $I_d'_n$ の各々に応じて電子放出素子の各々を適切に駆動変調するための信号源であり、その出力信号は、端子Doy1乃至Doynを通じて表示パネル201内の電子放出素子に印加される。

10

【0348】

前述したように、電子放出素子は放出電流 I_e に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧 V_{th} があり、 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値 V_{th} 以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。

【0349】

このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。

20

【0350】

その際、パルスの波高値 V_m を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【0351】

したがって、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器207として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0352】

30

パルス幅変調方式を実施するに際しては、変調信号発生器207として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0353】

シフトレジスタ204やラインメモリ205は、デジタル信号式を用いた。

【0354】

本実施例では、変調信号発生器207には、例えばD/A変換回路を用い、必要に応じて增幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器207には、例えば高速の発振器および発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合せた回路を用いた。

40

【0355】

ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL, SECAM方式など他、これよりも、多数の走査線からなるTV信号(例えば、MUSE方式をはじめとする高品位TV)方式をも採用できる。

【0356】

さらに、本実施例の素子の V_a 依存性を測定したところ、図6に示すグラフとなった。

【0357】

50

のことから、本実施例の素子では、 $V_a = 5 \sim 6 \text{ kV}$ で使用しても、十分な効率が得られることがわかった。また、電子ビーム径は x 方向に約30%、 y 方向には約20%程広がったが、放出位置はほとんどかわらず、同様の構成で使用可能なことがわかった。

【0358】

V_a を低くできると、高圧電源の負担を低くすることができ、また、パネル内の放電の確率も下げることができ、パネル作製の低コスト化と、パネルの長寿命化が図れるという別の効果も期待できる。

【0359】

【実施例8】

さらに、実施例7の類似の構成である別の画像形成装置の実施例を示す。本実施例では、
10 作製方法は、実施例7とほぼ同じで、電子源と蛍光体との距離をかえて画像形成装置を作製した。

【0360】

本実施例では、距離 H を $2 \text{ mm} \sim 5 \text{ mm}$ と変化させた。そのために、支持枠182の高さを変化させて外囲器を作製した。また、電子源と蛍光体184との間の位置ずれ量は適宜変更した。

【0361】

本実施例の画像形成装置をとした場合には、実施例7の $H = 4 \text{ mm}$ までは若干コントラストが低下したが、実用可能な範囲であった。

【0362】

$V_f = 15 \text{ V}$ 、 $V_a = 10 \text{ kV}$ で駆動したときの効率と電子ビーム径を結果を表3に示す。
20

【0363】

【表3】

$V_f = 15 \text{ [V]}$ 、 $V_a = 10 \text{ [kV]}$ で駆動した時の
効率および電子ビーム径

H (mm)	効率 η (%)	ビーム径 L_w (μm)	ビーム径 L_h (μm)
2	1. 85	90	200
3	1. 72	120	320
4	1. 0	160	420
5	0. 3	240	520

$H = 4 \text{ mm}$ までは、効率の低下はそれほど大きくない。これは、本素子は $H = 2 \text{ mm}$ の条件では、十分に効率の高い条件であり、 $H = 4 \text{ mm}$ までは散乱なしの成分がアノード電極に到達する条件であったことがわかる。 $H = 5 \text{ mm}$ にすると、効率が急激に低下し、表示性能に不十分となった。
30

【0364】

また、本実施例の蛍光体画素ピッチは、 x 方向 $150 \mu\text{m}$ 、 y 方向 $250 \mu\text{m}$ のストライプ構造であり、 x 方向には若干電子ビームがけられる程度であったが、 y 方向には電子ビームが蛍光体から外れていることがわかる。したがって、コントラストが低下したものと考えられる。

【0365】

次に、 x 方向はそのままとし、 y 方向は電子ビームの広がりにあわせて蛍光体および電子源の y 方向ピッチを変化させたところ、 $H = 4 \text{ mm}$ まではコントラストも良好な画像形成装置となった。

【0366】

10

20

30

40

50

本実施例で示すように、本発明の電子ビーム径の高精細化は、 x 方向に対して顕著であり、その電子ビーム形状が円形というより橢円あるいは線状になるため、画像形成装置を構成する場合、蛍光体の長手方向を素子の長手方向とあわせ、ストライプ構造の蛍光体を使用することが適している。

【0367】

[実施例9]

本実施例では、電子源の構成の変形例を示す。本実施例の電子源を構成する1素子の領域を図24に示す。また、この電子源を用いたカラー画像形成装置についての電子源と蛍光体の配置例を図25に示した。

【0368】

まず、本実施例の電子源の作製方法を説明する。

【0369】

(工程1)

基板1に石英基板を用い、十分洗浄を行った後、低電位電極2としてスパッタ法により厚さ2 μm のAl、続いて500nmのTaを堆積した。

【0370】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト(AZ1500/クラリアント製)を用いてレジストパターンを形成した。

【0371】

次に、パターニングした前記フォトレジストをマスクとし、Al層をBC₃等の塩素系ガスを用いてドライエッティングし、配線を兼ねる低電位電極2を形成した。

【0372】

(工程2)

RFスパッタ法を用いて層間絶縁層111材料として厚さ1 μm のSiO₂を堆積した。

【0373】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト(AZ1500/クラリアント製)を用いてレジストパターンを形成した。

【0374】

次に、パターニングした前記フォトレジストをマスクとし、SiO₂層をフッ酸系のウエットエッティングを行い、低電位電極2上面で停止させ、層間絶縁層111を形成した。

【0375】

層間絶縁層111の断面は、緩やかな傾斜を持つようにし、後述工程3の絶縁層3、および高電位電極4の層間絶縁層111の段差部による膜切れを防止した。

【0376】

(工程3)

絶縁層3の材料としてSiO₂層を厚さ50nm、高電位電極4材料としてTa層を厚さ20nmを堆積した。

【0377】

次に、フォトリソグラフィー工程で、ポジ型フォトレジスト(AZ1500/クラリアント製)を用いてレジストパターンを形成した。

【0378】

次に、パターニングした前記フォトレジストをマスクとし、SiO₂層、Ta層、低電位電極2の一部をRIEによりエッティングした。エッティングガスにはCF₄ガスを選択した。またドライエッティング時の他の条件は装置のサイズや構成、基板サイズで異なるが、本実施例では圧力2.7Pa、放電電力1000Wを用いた。このときの低電位電極2の掘り込みは200nmとした。形状は、図24のようである。

【0379】

ここまで工程で作製した電極幅は、L1は15 μm 、L2=18 μm であった。また、y方向の低電位電極の幅は、250 μm とした。

【0380】

10

20

30

40

50

(工程4)

さらに、高電位電極4の上に、配線241として、密着マスクを用いてA1を真空蒸着法で、1μm厚で堆積した。

【0381】

(工程5)

次に、フォトリソグラフィー技術を用いてフォトレジストに18μm×80μmの開口部を形成した。

【0382】

次に、導電性膜として厚さ5nmのPt-Pd膜を上記開口部に堆積した。この後フォトレジストを剥離し、導電性膜をリフトオフ法により高電位電極と低電位電極にわたって形成した。素子長L0=80μmとした。

10

【0383】

こうして、間隙はまだ形成されていない、電子源のマトリクス基板が形成される。

【0384】

(工程6)

実施例7と同様に表示パネルを作製する。

【0385】

電子放出素子（間隙は作製されていない）を複数配した電子源を有するリアプレートと、ガラス基体の内面に蛍光膜とメタルバック等が形成されたフェースプレートとの間に支持枠を配置し、フリットガラス等を用いて封着して表示パネル（気密容器）を形成した。

20

【0386】

図25に、本実施例のパネルに使用した蛍光膜を示す模式図を示した。

【0387】

本実施例の蛍光膜の場合は、x方向に80μmの幅のRGBの蛍光体によるストライプ構造と、各蛍光体の間に10μmのブラックストライプで構成されている。

【0388】

本実施例でも、実施例7と同様に電子源と蛍光膜の距離Hは2mmとし、駆動条件は、Vf=15V、Va=10kVとし、そのための電子源からの電子の射出方向に150μmシフトした位置に対応する位置に蛍光体を配置しするように位置あわせした。

30

【0389】

(工程7)

次に、フォーミング工程を行う。

【0390】

x方向配線（低電位電極2）を1行ずつ選択して、素子に15Vのパルス電圧（ON時間：1ms / OFF時間：9ms）を印加して、導電性膜を高電位側（第2の導電性膜5-2）と低電位側（第1の導電性膜5-1）に分離し、Pt-Pd膜に間隙6を形成した。

【0391】

間隙6の形成の判定は電極間の抵抗で行い、抵抗が10MΩとなった時点で電圧印加を終了した。

40

【0392】

(工程8)

次に、活性化工程を行った。

【0393】

表示パネル（気密容器）を排気管（不図示）を介して排気装置に接続し、 2×10^{-6} Paに到達するまで十分に排気した。

【0394】

次に有機材料としてBN（ベンゾニトリル）を別の排気管（不図示）から 1×10^{-4} Paになるように気密容器内に導入し、有機ガス雰囲気中で各素子に電圧を印加した。

【0395】

50

パルスはフォーミング工程と同様であるが、ON電圧の極性が交互に代る両極性のパルス電圧を印加した。その結果、炭素を主成分とするカーボン膜を堆積した。

【0396】

前記活性化工程は、素子間に流れる電流 I_f が飽和した時点で終了した。

【0397】

その後、再び 2×10^{-6} Pa に到達するまで十分に排気後、気密容器全体を約 250 度で 8 時間加熱した。

【0398】

その後、排気管(不図示)を封止して、ゲッタ処理等おこない、外囲器内の真空を保持した。

10

【0399】

このようにして、画像形成装置を作製し、 $V_f = 15$ V、 $V_a = 10$ kV の条件で実施例 7 と同様に、NTSC 方式のテレビ信号に基づいたテレビジョン表示を行った。

【0400】

本実施例における電子源の 1 素子での特性を測定したところ、効率 = 1.8 % であり、 $V_f = 15$ V では、素子長 $80 \mu m$ 、 $I_e = 50 \mu A$ であって、1 素子あたりで十分な電子放出量が確保できた。

【0401】

また、電子ビーム径は、 $L_w = 90 \mu m$ 、 $L_h = 230 \mu m$ であり、y 方向は十分 1 画素の広がりに収まっている。一方、x 方向には、蛍光体サイズ $80 \mu m$ よりその広がりが大きいが、実際の電子ビームのすその強度は大きくないため、したがって、蛍光体間に配した $10 \mu m$ のブラックストライプがコントラストの向上に有効となっている。

20

【0402】

本実施例における、1 画素のサイズは、x 方向 $90 \mu m$ 、y 方向 $270 \mu m$ となっている。そのために、実施例 1 と異なり、高電位電極、低電位電極の x 方向の幅は、本発明で示した最低限である特徴距離 X_s の 15 倍となるように設定した。

【0403】

本実施例における素子でも、x 方向の電子ビーム径を小さくするために、x 方向にストライプ構造がある蛍光膜をもつフェースプレートと組み合わせることで、高精細な構造をとることができることがわかる。

30

【0404】

さらに、x、y 方向には、膜厚の厚い配線を配して、配線抵抗を極力減らすようにした。また、層間絶縁層により、配線交点での容量の低減等も考慮した。

【0405】

以上の考慮をしても、本発明による構成で電子放出効率の高効率化と電子ビーム径の高精細化が実現され、高精細な画素配置が十分可能であった。

【0406】

本実施例の構成では、パターンの位置合わせの許容度が非常に緩くなっている。

【0407】

y 方向には、素子長 $L_0 = 80 \mu m$ に対し、低電位電極の長さ $250 \mu m$ であり、数 μm から数十 μm の位置ずれに関しても許容可能である。

40

【0408】

また、x 方向には、第 1、第 2 の導電性膜 5-1, 5-2 の長さ $18 \mu m$ とし、中央部を素子部とする設計では、第 1、第 2 の導電性膜 5-1, 5-2 は、高電位電極 4 及び低電位電極 2 に接していればよく、隣の画素に非接触であればよいから、 $\pm 9 \mu m$ の位置ずれは許容できる設計となっている。

【0409】

本実施例の構成では、高電位電極 4 は薄くそのために寄生抵抗成分を有する構成となるが、配線 241 が素子部と平行に接続されているために、素子部には均等に電圧が印加され、表示性能への影響が最低限に抑えられている。

50

【0410】

また、配線241は、画像形成装置とした場合の配線抵抗を低減しており、画素数が多くなった場合にも、寄生抵抗による中央部での画像コントラストの低下等の問題を防いだ構成となっている。

【0411】

したがって、本実施例の画像形成装置により、高精細のカラー画像の形成が実現できた。

【0412】

【発明の効果】

以上説明したように、本発明は、電子放出素子の電子放出効率の高効率化と電子ビーム径の高精細化が実現できる。

10

【0413】

また、画像形成装置においては、画素サイズを大きくすることなく、必要な電子放出量が確保できるために、より高精細な画像形成装置が実現できる。

【図面の簡単な説明】

【図1】本発明による基本的な電子放出素子の一例を示す図である。

【図2】本発明による電子放出素子の代表的な配置の斜視図である。

【図3】図1における電子放出部を拡大した断面図である。

【図4】本発明による効率向上を説明するグラフである。

【図5】本発明による効率向上を説明するグラフ及び図である。

【図6】本発明による効率向上を説明するグラフである。

20

【図7】本発明によるビームの高精細化を説明する図である。

【図8】本発明によるT1依存性の一例を示す図である。

【図9】本発明における素子の傾斜角度を説明する図である。

【図10】本発明における素子の傾斜角度を説明するグラフである。

【図11】本発明による電子放出素子を示す図である。

【図12】本発明による電子放出素子を示す図である。

【図13】本発明による電子放出素子の製造方法を示す図である。

【図14】本発明による電子放出素子の活性化工程の製造方法を示す図である。

【図15】本発明による電子放出素子を示す図である。

30

【図16】本発明の電子放出素子のV-I特性を示すグラフである。

【図17】本発明の電子源のマトリクス構成を示す図である。

【図18】画像形成装置の表示パネルの概略構成図である。

【図19】蛍光体の実施例を示す図である。

【図20】画像形成装置の駆動回路の概略構成図である。

【図21】本発明による電子放出素子の実施例2を示す図である。

【図22】本発明による電子放出素子の実施例3を示す図である。

【図23】本発明による電子放出素子の実施例4を示す図である。

【図24】本発明による電子源の実施例9を示す図である。

【図25】本発明による電子源と蛍光体の実施例9を示す配置図である。

【図26】従来の平面型表面伝導型電子放出素子を示す図である。

40

【符号の説明】

1 絶縁性基板

2 低電位電極

3 絶縁層

4 高電位電極

5 - 1 第1の導電性膜

5 - 2 第2の導電性膜

6 間隙

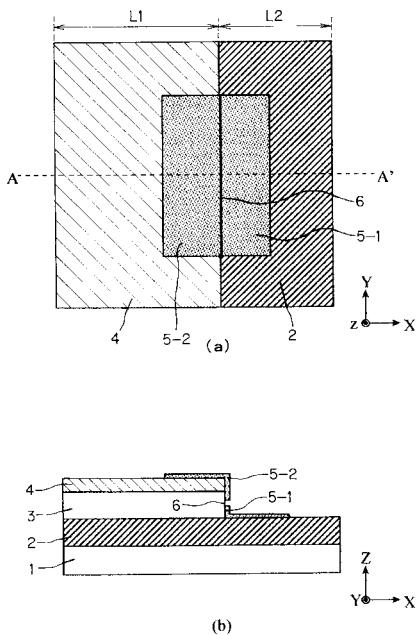
7 間隙

8 アノード電極

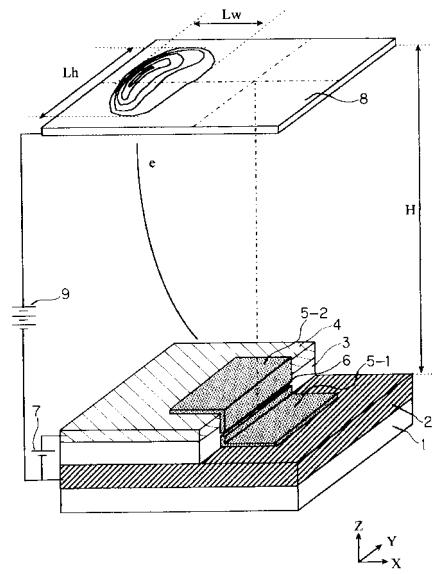
50

1 0	カーボン膜	
1 1 1	層間絶縁層	
1 3 1	パルス発生器	
1 4 1	真空装置	
1 4 2	有機材料	
1 7 1	電子源基体	
1 7 2	x 方向配線	
1 7 3	y 方向配線	
1 7 4	電子放出素子	
1 7 5	結線	10
1 8 1	リアプレート	
1 8 2	支持枠	
1 8 3	ガラス基体	
1 8 4	蛍光膜	
1 8 5	メタルバック	
1 8 6	フェースプレート	
1 8 7	外囲器	
1 9 1	黒色部材	
1 9 2	蛍光体	
2 0 1	画像表示パネル	20
2 0 2	走査回路	
2 0 3	制御回路	
2 0 4	シフトレジスタ	
2 0 5	ラインメモリ	
2 0 6	同期信号分離回路	
2 0 7	変調信号発生器	

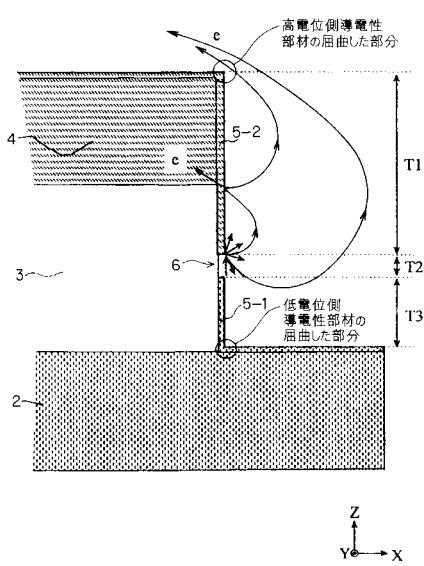
【図1】



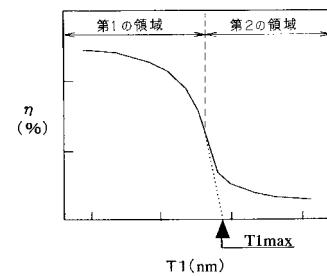
【図2】



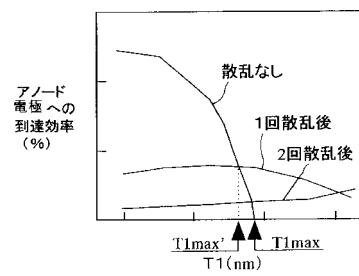
【図3】



【図4】

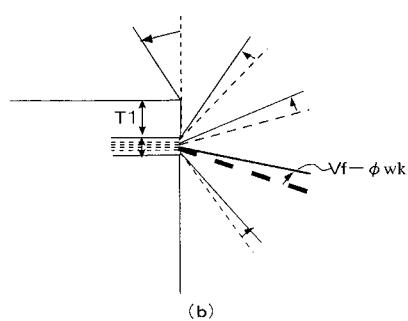
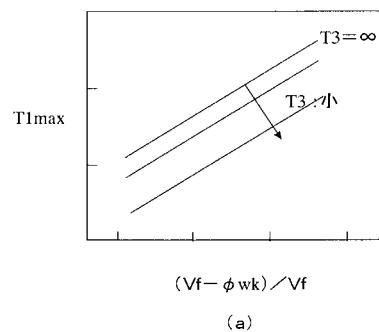


(a)

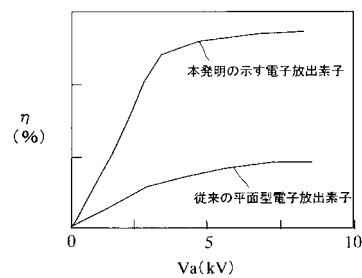


(b)

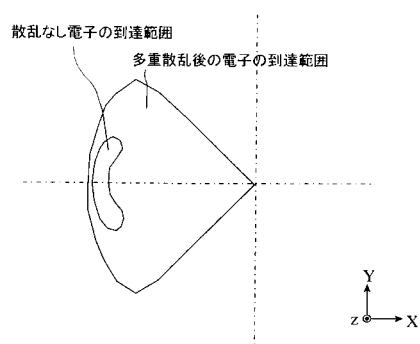
【図5】



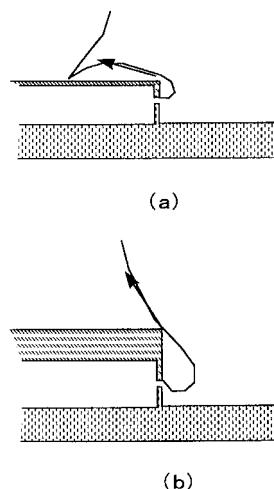
【図6】



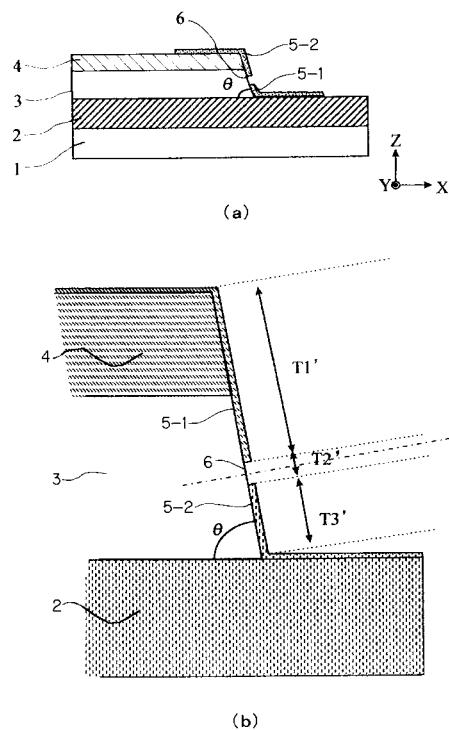
【図7】



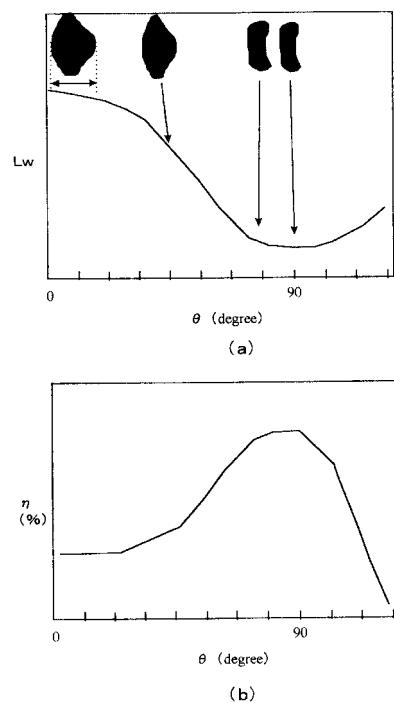
【図8】



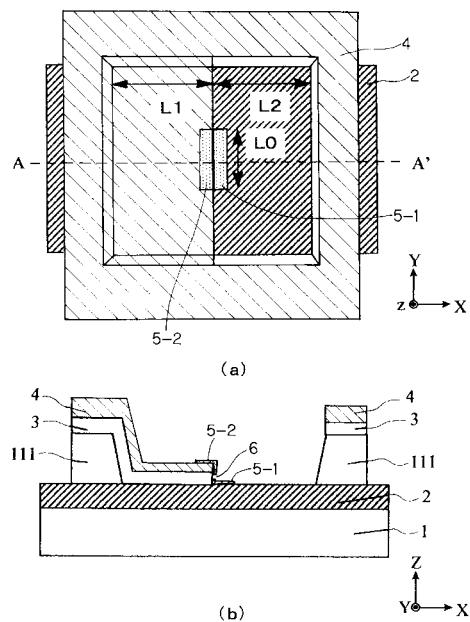
【図9】



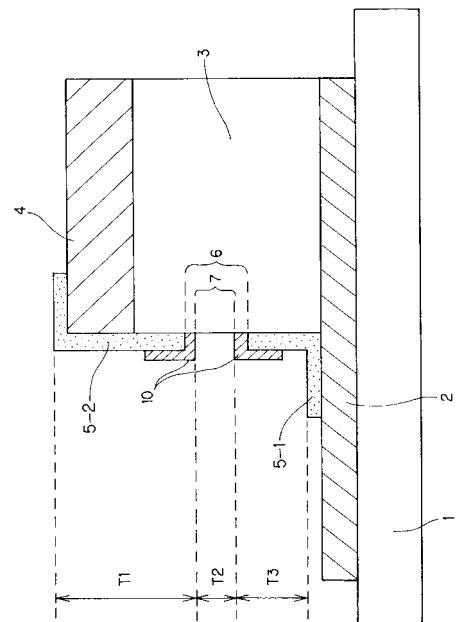
【図10】



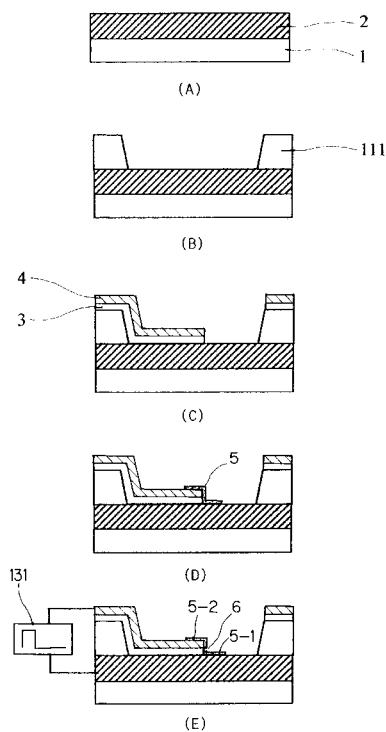
【図11】



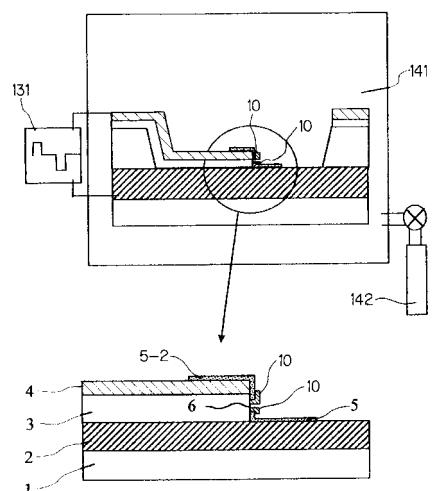
【図12】



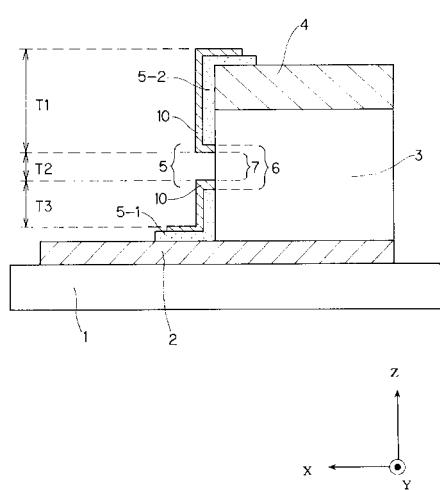
【図13】



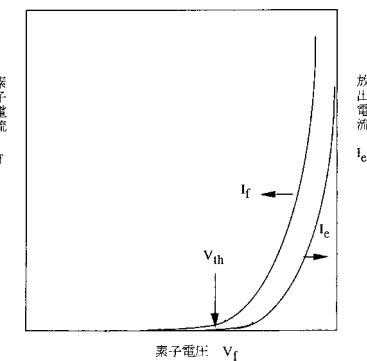
【図14】



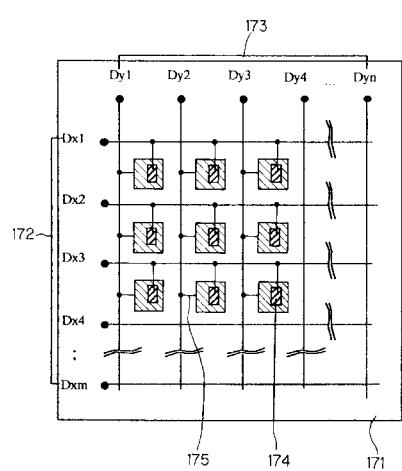
【図15】



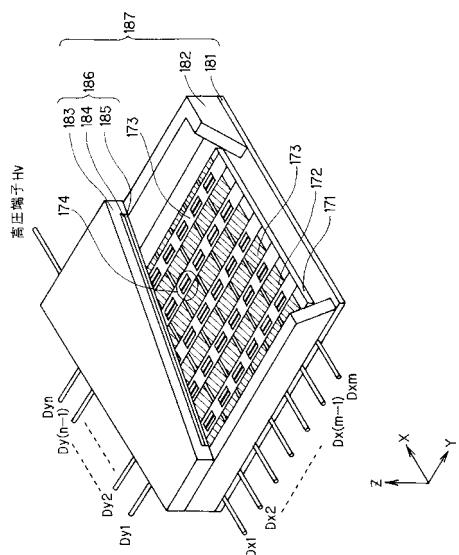
【図16】



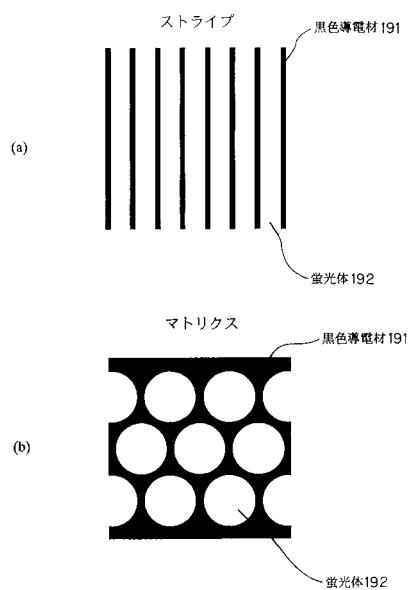
【図17】



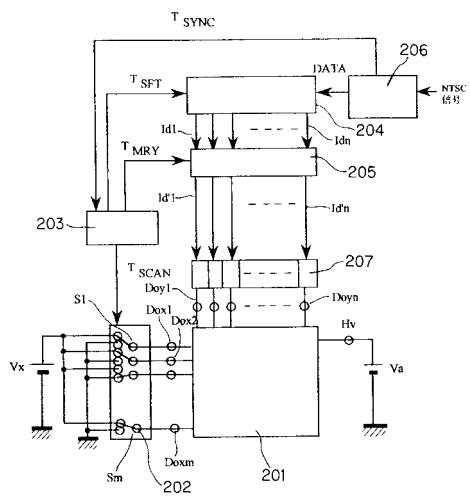
【図18】



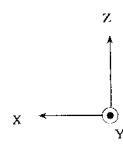
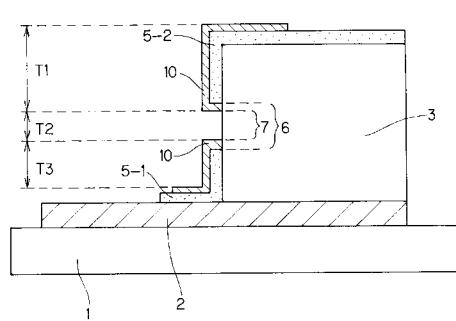
【図19】



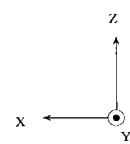
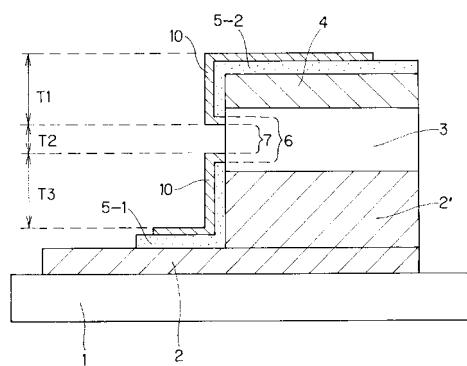
【図20】



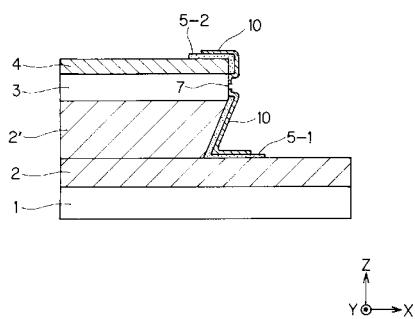
【図21】



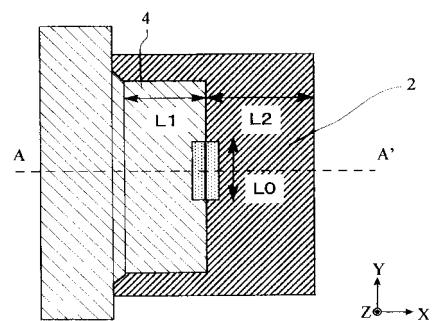
【図22】



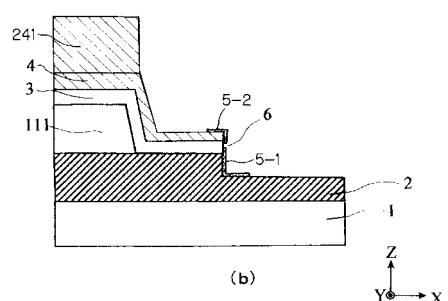
【図23】



【図24】

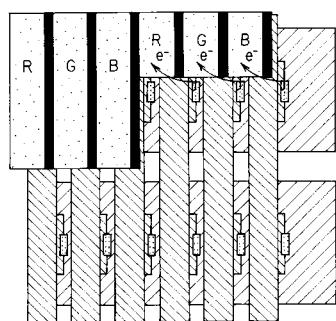


(a)

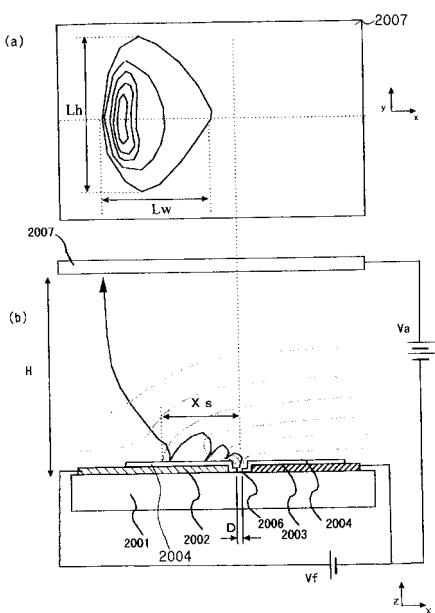


(b)

【図25】



【図26】



フロントページの続き

(56)参考文献 特開平08-273524(JP,A)
特開平04-133239(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01J 1/30

H01J 31/12