



(12) 发明专利

(10) 授权公告号 CN 102754203 B

(45) 授权公告日 2015. 07. 01

(21) 申请号 201080063511. 8

(22) 申请日 2010. 12. 09

(30) 优先权数据

12/705, 021 2010. 02. 12 US

(85) PCT国际申请进入国家阶段日

2012. 08. 10

(86) PCT国际申请的申请数据

PCT/US2010/059662 2010. 12. 09

(87) PCT国际申请的公布数据

W02011/100021 EN 2011. 08. 18

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 M·瓦鲁格斯

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘偶

(51) Int. Cl.

H01L 23/48(2006. 01)

H01L 21/60(2006. 01)

(56) 对比文件

CN 101194361 A, 2008. 06. 04,

US 2005/0104217 A1, 2005. 05. 19,

US 2005/0103636 A1, 2005. 05. 19,

审查员 温菊红

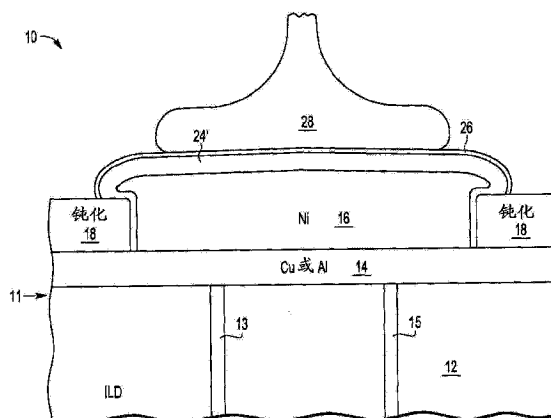
权利要求书1页 说明书6页 附图4页

(54) 发明名称

在具有多层焊盘上金属化的接合焊盘及形成方法

(57) 摘要

一种半导体装置结构(10)具有半导体管芯(11),所述半导体管芯具有接合焊盘(14)以及围绕所述接合焊盘的一部分的钝化层(18)。在所述内侧部分上沉积镍层(16)。在所述钝化层和所述镍层的侧壁之间存在空间,并且该空间延伸到所述接合焊盘。钌层(24')在所述镍层上方并且填充所述空间。所述空间最初非常小(20)但是被通过各向同性蚀刻而加宽(20')使得在沉积所述钌层时,空间(20)足够大使得钌的沉积能够填充所述空间(20')。填充所述空间导致这样的结构,其中钌接触所述镍层、所述钝化层和所述接合焊盘。



1. 一种用于在具有接合焊盘的半导体管芯上形成焊盘上金属化 OPM 的方法, 其中所述接合焊盘具有被钝化层围绕的内侧部分, 所述方法包括:

在所述接合焊盘上沉积镍层, 其中所述镍层和所述钝化层之间缺乏粘合导致所述镍层与所述钝化层之间的向下到所述接合焊盘的空间;

对所述镍层应用对镍具有选择性的各向同性蚀刻剂以将所述镍层和所述钝化层之间的向下到所述接合焊盘的所述空间加宽; 以及

在所述镍层上并在所述空间中沉积钯层以便在所述空间中与所述接合焊盘、所述钝化层、和所述镍层接触。

2. 如权利要求 1 所述的方法, 还包括在所述钯层上沉积金层。

3. 如权利要求 2 所述的方法, 还包括在所述金层上形成球接合件。

4. 如权利要求 1 所述的方法, 还包括在所述钯层上形成球接合件。

5. 如权利要求 1 所述的方法, 其中所述应用各向同性蚀刻剂包括应用对所述钝化层和所述接合焊盘选择性的蚀刻镍的湿法蚀刻剂。

6. 如权利要求 1 所述的方法, 其中所述接合焊盘包括由铝和铜构成的组中的一种。

7. 如权利要求 1 所述的方法, 其中所述钝化层包括氮化物和聚酰亚胺。

8. 如权利要求 1 所述的方法, 其中所述沉积镍层还特征在于所述镍层延伸到所述钝化层的高度之上。

9. 根据权利要求 8 的方法, 其中所述沉积镍层的步骤特征还在于所述镍层延伸在所述钝化层的一部分的上方。

10. 根据权利要求 1 的方法, 其中:

所述半导体管芯还包括第二接合焊盘;

所述钝化层围绕所述第二接合焊盘的内侧部分;

所述沉积镍层的步骤包括在所述第二接合焊盘上沉积第二镍层;

所述对镍层应用各向同性蚀刻剂的步骤另外将所述第二镍层和所述钝化层之间的向下到所述第二接合焊盘的空间加宽; 以及

所述沉积钯层的步骤包括在所述第二镍层上沉积另外的钯层;

所述接合焊盘与所述第二接合焊盘相邻; 以及

在所述第二接合焊盘处所述第二镍层和所述钝化层之间的空间与所述接合焊盘处所述镍层和所述钝化层之间的空间之间最近的距离不大于四微米。

在具有多层焊盘上金属化的接合焊盘及形成方法

技术领域

[0001] 本发明总的来说涉及集成电路,更具体地,涉及具有金属接触的半导体的制造。

背景技术

[0002] 半导体通常使用金属接合焊盘来进行到下面的电路的电连接。选择用于接合焊盘的金属已经是铝并且继续是铝,这是因为其可靠的沉积和图案化特性。然而,与其它金属诸如铜相比,铝具有相对高的电阻率。然而,已知裸铜接合焊盘易于受腐蚀的影响并且一般与诸如传统的导线接合的配线工艺不相符。已经提出了具有铝帽盖的铜接合焊盘以克服这些困难。替代利用这样的具有覆层的铜接合焊盘的是,由两种或更多种金属(诸如,铝、金、镍、钯)及其合金形成接合焊盘。然而,许多导线接合结构将通不过高温可靠性测试。例如,许多常规的导线接合结构在经受诸如 150 摄氏度以及以上的温度几百小时时将呈现出故障,诸如,界面空洞以及与下面的所连接的电路物理分离。高温环境常常存在于用于汽车应用的集成电路应用中,并且在这样的应用中,扩展的可靠性是极其重要的。这样的故障的一个来源是由于在接合焊盘内不同金属的边界处发生的金属间反应。在不同金属之间的界面处自然形成的金属间化合物响应于高温环境而继续形成。从而,随着时间推移,接合焊盘中金属间化合物的区域将扩展。这些区域表示其中形成空洞的区域。随着接合焊盘结构中空洞数目增加,接合焊盘结构易于与下面的焊盘连接分离,产生电故障。因此,需要改善的尺寸紧凑的并且在暴露于高温时可靠年限延长的接合焊盘。

发明内容

[0003] 本发明因而致力于解决现有技术的至少一方面的技术问题。

[0004] 根据一个方面的实施例,本发明提出一种半导体装置结构,包括:半导体管芯,其具有第一接合焊盘和围绕所述第一接合焊盘的内侧部分的钝化层;第一镍层,其在所述第一接合焊盘的内侧部分上,其中所述第一镍层具有侧壁,其中所述钝化层和所述侧壁之间的第一空间延伸到所述第一接合焊盘;以及第一钯层,其在所述第一镍层上方并且填充所述第一空间,从而所述第一钯层在所述第一空间中与所述第一镍层、在所述第一空间中与所述第一接合焊盘、以及在所述第一空间中与所述钝化层接触。

[0005] 根据另一方面的实施例,本发明提出一种用于在具有接合焊盘的半导体管芯上形成焊盘上金属化(OPM)的方法,其中所述接合焊盘具有被钝化层围绕的内侧部分,所述方法包括:在所述接合焊盘上沉积镍层,其中所述镍层和所述钝化层之间缺乏粘合导致所述镍层与所述钝化层之间的向下到所述接合焊盘的空间;对所述镍层应用对镍具有选择性的各向同性蚀刻剂以将所述镍层和所述钝化层之间的向下到所述接合焊盘的所述空间加宽;以及在所述镍层上并在所述空间中沉积钯层以便在所述空间中与所述接合焊盘、所述钝化层、和所述镍层接触。

[0006] 根据再一方面的实施例,本发明提出一种制造半导体装置结构的方法,所述半导体装置结构包括围绕有钝化层的接合焊盘,所述方法包括:在所述接合焊盘上沉积镍层,在

所述钝化层和所述镍层的侧壁之间留下空间；加宽所述空间以形成加宽的空间；以及以钯填充所述加宽的空间。

[0007] 因而，本发明提供了改善的接合焊盘结构和形成该接合焊盘结构的方法。提供了增加的在高温操作时接合焊盘可靠性，同时，实现多个接合焊盘所需的面积被显著减少。

附图说明

[0008] 通过示例的方式示出了本发明，并且本发明并不受附图的限制，在附图中，相同的附图标记指示类似的元件。

[0009] 图 1-6 以截面图形式示出了根据本发明的接合焊盘结构以及用于形成该结构的工艺；以及

[0010] 图 7 以截面图形式示出了根据本发明的多个接合结构的紧凑集成。

[0011] 本领域技术人员将理解，附图中的元件出于简化和清楚的目的而示出，并且并不必然按比例绘制。例如，附图中某些元件的尺度可以相对于其它元件夸大以帮助改善对本发明实施例的理解。

具体实施方式

[0012] 图 1 中所示的是半导体装置结构 10 的截面图，该半导体装置结构将使与由延长的在高的操作温度的操作导致的金属间化合物相关联的可靠性问题最小化。图案化的半导体管芯 (die) 11 通常具有层级间电介质 (ILD) 12、上面的导电层 14、和图案化的钝化层 18。图案化的钝化层 18 是绝缘的保护性材料，并且具有暴露导电层 14 的开口。在一种形式中，导电层 14 是铜或铝。导电通路或通孔 (via) 13 和 15 形成在 ILD 12 内，并将导电层 14 电连接到 ILD 12 下面的电路（未示出）。在一个实施例中，通过图案化并蚀刻 ILD 12 来形成通孔 13 和 15。通孔 13 和 15 填充有导电材料诸如铜。应当理解，可以实现任何数目的导电通孔，并且为了方便起见已经示出了每接合焊盘两个。

[0013] 导电层 14 的形成取决于使用何种金属。如果选择铜，则在一种形式中，通过电镀形成铜。在另一种形式中，可以实现铜的无电镀。如果使用铝，则采用铝的物理汽相沉积 (PVD) 来形成导电层 14。沉积钝化层 18，并且对于钝化层 18 使用常规的钝化材料。使用掩模并去除钝化层 18 的暴露的部分以露出导电层 14。导电层 14 的这些部分可以被称作导电层 14 的内侧部分，其中导电层 14 的在钝化层 18 下面的部分是导电层 14 的外侧部分。在该形式中，半导体管芯 11 准备好用于进一步工艺处理来生成接合焊盘结构，以形成半导体装置结构 10。在导电层 14 上优选通过无电镀形成镍层 16。由于无电镀是常规的，因此将不进行无电镀的详细讨论。在另一形式中，镍层 16 可以被电镀到导电层 14 上。镍层 16 以保形的方式形成，并且在采用无电镀时其具有凹的上表面。镍层 16 具有与导电层 14 直接接触的平的底表面。取决于工艺方法，在导电层 14 和镍层 16 之间可以存在中间层（未示出）。这样的中间层可以作为粘接层、扩散阻挡物或替代层。镍层 16 通常在钝化层 18 和镍层 16 的界面处呈现出粘接问题。结果，在镍厚度生长超出特定厚度（例如，一微米之上）时，在热处理之后和 / 或在应力条件下，沿钝化层 18 和镍层 16 的侧壁存在空间 20。镍层 16 和钝化层 18 之间的分离导致若干问题，由于半导体装置结构 10 的后续的工艺过程将允许化学物质和水气接触空间 20 内暴露的金属表面并腐蚀金属，这导致形成空洞并且装置

缺乏可靠性。例如,镀化学物质含酸和添加剂,诸如,氯化物和硫化物,其将腐蚀空间 20 内暴露的金属。在工艺过程完成之后,空间 20 易于被暴露于水气,其将腐蚀水气接触的任何金属。

[0014] 图 2 中所示的是半导体装置结构 10 的进一步工艺过程,其中钝化层 18 和镍层 16 之间的空间 20 被增加或加宽。常规的湿法蚀刻化学是用于该目的的一种方法。由于湿法蚀刻将从镍层 16 的所有暴露表面去除材料,因此镍层 16 的高度和镍层 16 的侧面轮廓由于镍层 16 的一部分材料的去除而被修改。该湿法蚀刻是一种利用各向同性蚀刻剂在各向同性蚀刻,并且从空间 20 去除暴露的镍以形成修改的空间 20'。在该湿法蚀刻之后继以清洗步骤,以从半导体装置结构 10 冲洗残余物。该湿法蚀刻将空间 20' 的大小从小的开口增加到宽到足以允许在后续步骤中形成导电材料的大小。在该湿法蚀刻之前,空间 20 的宽度不是大到足以能够在空间 20 内形成材料以填充该空间 20 的。在空间 20 的某些部分中,由于镍和钝化材料的粘接不能,开口可以呈现为与镍层 16 和钝化层 18 之间的缝隙差不多。然而,图 2 中执行的湿法蚀刻加宽了该缝隙。

[0015] 图 3 中所示的是半导体装置结构 10 的进一步工艺过程的截面图,其中在一个实施例中通过无电镀形成钯的导电层 24。在镍的所有暴露的表面上形成钯。在另一形式中,通过电镀形成钯。导电层 24 的形成是保形的,并且填充如图 2 中所示被加宽的空间 20'。结果,镍层 16 在所有表面上被金属围绕。钯呈现出比镍好得多的对钝化层 18 的粘接质量。此外,退火进一步改善钯对钝化层 18 的粘接性。结果,所形成的导电层 24 从镍层 16 延伸并且形成与钝化层 18 的粘接接触。在镍层 16 和钝化层 18 之间不存在开口或空间。因此,在这一点上,在工艺过程中,镍层 16 和导电层 14 在所有表面上被保护免受上覆的化学物质和任何水分的影响,以防止这些层被腐蚀。

[0016] 图 4 中所示的是半导体装置结构 10 的进一步工艺过程的截面图,其中在钝化层 18 的顶表面上,钯的导电层 24 的顶表面厚度进一步增加以提供增加的保护和改善对钝化层 18 的粘接。另外,实现钯的无电镀以增加导电层 24 的厚度,如图 4 中所示,以形成修改的钯的导电层 24'。

[0017] 图 5 中所示的是半导体装置结构 10 的另外的进一步工艺过程的截面图,其中在修改的导电层 24' 的暴露的表面上形成薄的金属层 26。在一种形式中,金属层 26 是金 (Au)。薄的金属层 26 优选通过无电镀或浸镀形成。在另一形式中,通过电镀形成该薄的金属层 26。在使用金作为金属层 26 时,如果使用金球接合件,则半导体装置结构 10 的顶表面是相同的。金具有相对低的电阻率,呈现出良好的对钯的粘接质量,并且耐腐蚀。修改的导电层 24' 中使用的钯有助于吸收与后续的用于形成到金属层 26 的接触的导线接合工艺过程相关联的力。所镀的钯具有相对粗糙的表面,并因此上覆的金属层 26 提供了较平整的表面以用于后续的工艺过程。镍层 16 具有许多优点。镍呈现出良好的对铜或铝的粘接性,并且允许任一材料用在导电层 14 中。镍还是一种良好的扩散阻挡材料并因此保护半导体管芯 11 内的任何下面的电路。镍是相对容易无电镀的,并且就金属间反应而言,是一种良好的与铜或铝接触的金属。

[0018] 图 6 中所示的是半导体装置结构 10 的进一步工艺过程的截面图。通过常规的作为压力和温度的组合的热超声接合来形成在顶部附接有引线的球接合件 28。在一种形式中,球接合件 28 由金或铜形成。可以使用其它导电结构替代球接合件 28。尤其是,可以使

用常规的针脚式接合 (stitch bond), 或者, 可以与薄的金属层 26 粘接接触地形成导电球或凸块。

[0019] 图 7 中所示的是具有以非常尺寸高效的布局实现的多个焊盘上金属化 (OPM) 31、32 和 33 的半导体装置结构 30 的截面图。半导体装置结构 30 具有层级间电介质 (ILD) 35, 在其上放置多个接合焊盘, 诸如接合焊盘 36、接合焊盘 44 和接合焊盘 52。结合利用上述的工艺过程, 每一接合焊盘之间的距离可以是可靠地短的。出于与图 1-6 比较的目的, 接合焊盘 36 与导电层 14 类似。接合焊盘 36、44 和 52 上面的分别是镍层 38、镍层 46 和镍层 54。镍层 38 与图 1-6 的镍层 16 类似。镍层 38、46 和 54 上面的分别是钯层 40、48 和 56。钯层 40 与图 4-6 的修改的导电层 24' 类似。钯层 40、48 和 56 上面的分别是金层 42、金层 50 和金层 58。金层 42 与图 5 和 6 的金属层 26 类似。钝化层 60 将焊盘上金属化 31、32 和 33 中的每一个电隔离并分离。连接接合焊盘 36 到下面的电路 (未示出) 的是导电通孔 37 和 39。连接接合焊盘 44 到下面的电路 (未示出) 的是导电通孔 41 和 43。连接接合焊盘 52 到下面的电路 (未示出) 的是导电通孔 51 和 53。应当理解, 可以实现任何数目的导电通孔, 并且为了方便起见, 已经示出了每接合焊盘仅两个通孔。

[0020] 距离 L1 是接合焊盘节距 (pitch), 并且表示两个接合焊盘中心之间的距离。为了使装置小型化, 期望该距离尽可能小, 同时仍使相邻的焊盘上金属化 (OPM) 结构可靠。距离 L2 是接合焊盘 36 和 44 的上表面处钯层 40 和 48 的侧面之间的距离。距离 L2 非常接近两个相邻的钝化开口之间的距离。焊盘上金属化 (OPM) 之间的最小分离距离是距离 L3, 期望 L3 是小的以形成较小的管芯并节省费用。然而, 分离距离不可以太近, 否则将存在泄漏电流不可接受的增加或者将发生焊盘上金属化结构的桥接 (电短路)。在一种形式中, 距离 L3 不大于四微米。镍层 38 的高度为 H1, 而钝化层 60 的高度为 H2。

[0021] 在常规的半导体管芯中, 距离 L1 相当大。这意味着距离 L3 也是大的, 这允许已知的接合焊盘结构使用在插入的钝化的上方明显延伸的帽盖材料来保护下面的材料免受腐蚀。

[0022] 利用在此说明的方法, 通过消除对在其间的钝化上的焊盘上金属化 (OPM) 结构的延展的覆盖的需要, 可以显著降低距离 L1 并仍保持接合焊盘的可靠性。因此, 使得在各种工艺步骤期间接合焊盘金属不暴露于腐蚀性环境。尤其是, 可以至少使距离 L1 为常规的距离的一半, 并且就腐蚀效应而言, 提供良好的接合焊盘可靠性。

[0023] L3 部分地由 H1 和 H2 的值限定。然而, 如果 L3 距离太近, 在两个相邻的结构之间将存在显著的泄漏电流。与常规的结构相反, 在钝化层 60 的一部分上覆盖层 40 和层 48 并不必须象那些常规结构那样以保持可靠性。因此, 在此提供的结构的一个显著优点是在使距离 L1 较小时提供可靠的接合焊盘。

[0024] 至此应当理解, 已经提供了一种改善的接合焊盘结构和形成该接合焊盘结构的方法。提供了增加的在高温操作时接合焊盘可靠性, 同时, 实现多个接合焊盘所需的面积被显著减少。

[0025] 在一种形式中, 在此提供了一种半导体装置结构, 其包括具有第一接合焊盘和围绕该第一接合焊盘的内侧部分的半导体管芯。第一镍层处于第一接合焊盘的内侧部分上, 其中所述第一镍层具有侧壁。所述侧壁和所述钝化层之间的第一空间延伸到所述第一接合焊盘。第一钯层处于所述第一镍层上方, 并填充所述第一空间, 从而所述第一钯层在所述第

一空间中与所述第一镍层、在所述第一空间中与所述第一接合焊盘、以及在所述第一空间中与所述钝化层接触。在一种形式中,所述第一接合焊盘是包括铝和铜的材料组中的一种。在另一形式中,所述半导体装置结构具有在所述钽层上方的金层。在另一形式中,所述半导体装置结构具有在所述金层上的球接合件。在又一形式中,所述半导体装置结构还具有在所述钽层上的球接合件。在另一形式中,所述半导体管芯具有第二接合焊盘,其中所述钝化层围绕所述第二接合焊盘的内侧部分。所述半导体装置结构还具有在所述第二接合焊盘的内侧部分上的第二镍层,其中所述第二镍层具有侧壁。所述第二镍层的所述侧壁和所述钝化层之间的第二空间延伸到所述第二接合焊盘。第二钽层处于所述第二镍层上方,并填充所述第二空间,从而所述第二钽层在所述第二空间中与所述第二镍层、在所述第二空间中与所述第二接合焊盘、以及在所述第二空间中与所述钝化层接触。所述第一接合焊盘与所述第二接合焊盘相邻,其中从所述第一接合焊盘处的所述第一空间到所述第二接合焊盘处的第二空间最近的距离不大于四微米。

[0026] 在另一形式中,提供了一种用于在具有接合焊盘的半导体管芯上形成焊盘上金属化(OPM)的方法,其中所述接合焊盘具有被钝化层围绕的内侧部分。在所述接合焊盘上沉积镍层。对所述镍层应用各向同性蚀刻剂,以将所述镍层和所述钝化层之间的向下到所述接合焊盘的空间加宽。在所述镍层上并在所述空间中沉积钽层,以便使其在所述空间中与所述接合焊盘、所述钝化层、和所述镍层接触。

[0027] 在另一形式中,在所述钽层上沉积金层。在另一形式中,在所述金层上形成球接合件。在又一形式中,在所述钽层上形成球接合件。在另一形式中,通过应用对所述钝化层和所述接合焊盘选择性的蚀刻镍的湿法蚀刻剂而应用各向同性蚀刻剂。在另一形式中,所述第一接合焊盘是包括铝和铜的材料组中的一种。在另一形式中,所述钝化层是氮化物和聚酰亚胺。在又一形式中,通过使所述镍层延伸到所述钝化层的高度之上来沉积所述镍层。在另一形式中,所述镍层的沉积使得所述镍层延伸到所述钝化层的一部分上。在另一形式中,所述半导体管芯还包括第二接合焊盘。所述钝化层围绕所述第二接合焊盘的内侧部分。在所述第二接合焊盘上沉积第二镍层。各向同性蚀刻另外将所述第二镍层和所述钝化层之间的向下到所述第二接合焊盘的空间加宽。在所述另外的镍层上沉积另外的钽层。所述接合焊盘与所述另外的接合焊盘相邻。在一种形式中,在所述另外的接合焊盘处所述第二镍层和所述钝化层之间的空间与所述接合焊盘处所述镍层和所述钝化层之间的空间之间最近的距离不大于四微米。

[0028] 在另一形式中,提供了一种制造半导体装置结构的方法,所述半导体装置结构包括围绕有钝化层的接合焊盘。在所述接合焊盘上沉积镍层,在所述钝化层和所述镍层的侧壁之间留下空间。所述空间被加宽以形成加宽的空间。所述加宽的空间填充有钽。在另一形式中,在所述镍层上形成球接合件。在又一形式中,所述加宽包括执行所述镍层的各向同性蚀刻。在又一形式中,通过在所述镍层上方沉积钽来实现填充所述加宽的空间

[0029] 在前述的描述中,已经参考特定实施例描述了本发明。然而,本领域普通技术人员将理解,可以进行各种修改和改变而不偏离如下面的权利要求中提出的本发明的范围。例如,可以实现任何数目的到下面的电路的通孔接触。在暴露的上表面处可以使用各种类型的接触,诸如,导电凸块、导线、导电球等,来形成到所述接合焊盘的电接触。钝化层 18 的高度可以小于或大于镍层 16 的高度。尽管基于钝化层 18 比镍层 16 短还是不短,所得到的层

将具有不同的形状,但是在利用导电材料填充增加的空间之前蚀刻镍层 16 和钝化层 18 之间的分离距离的方法保持相同。因此,说明书和附图被认为是说明性的而不是限制性的,并且意图将所有这样的修改包括在本发明的范围内。

[0030] 上面已经就特定实施例说明益处、其它优点、以及对问题的解决方案。然而,所述益处、优点、对问题的解决方案,以及任何可能导致任何益处、优点、或解决方案出现或变得更加明显的要素,不应被认为是任何或所有权利要求的关键的、必须的或实质性的特征或要素。如在此所使用的,术语“包括”、“包含”或其任何其它变型意图覆盖非排他性的包含,从而使得包括一系列要素的工艺流程、方法、产品或装置并不仅仅包括那些要素,而是可以包括并未明确列出的或对于这样的工艺流程、方法、产品或装置固有的其它要素。

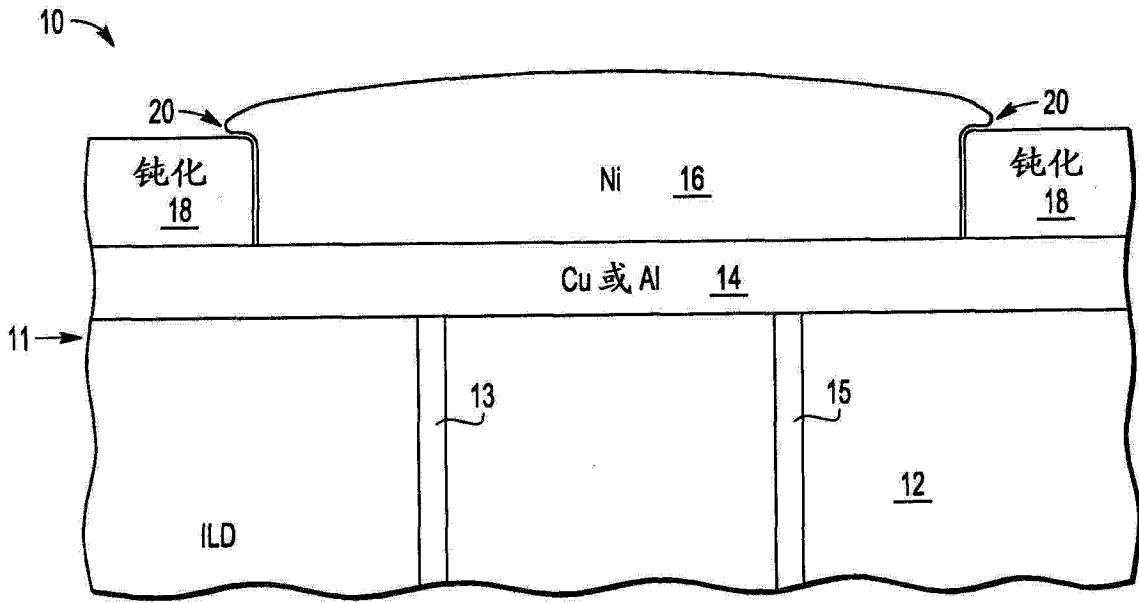


图 1

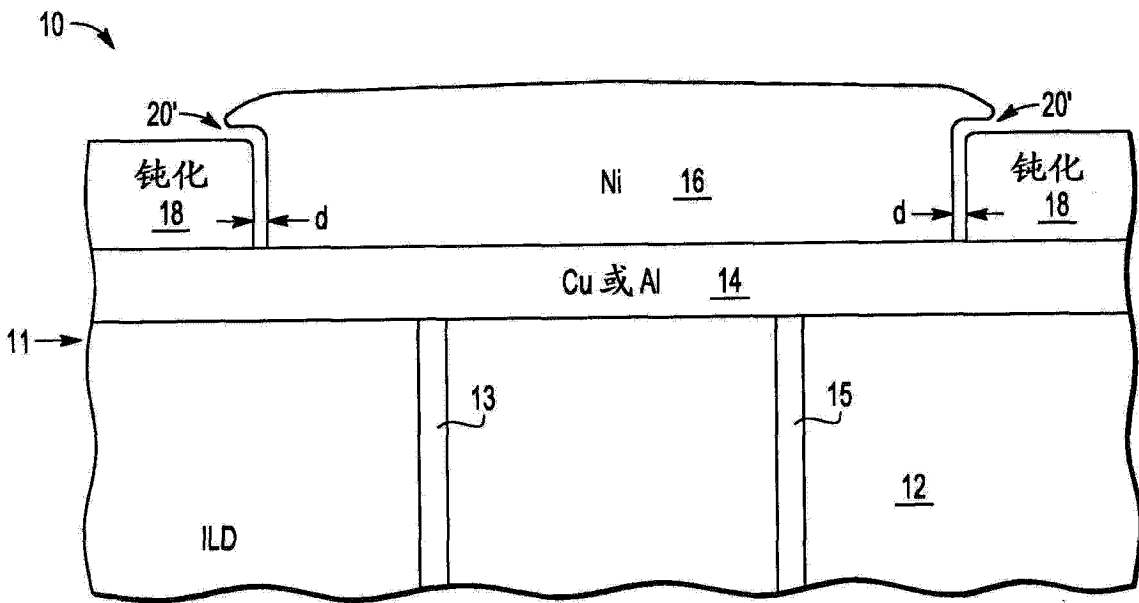


图 2

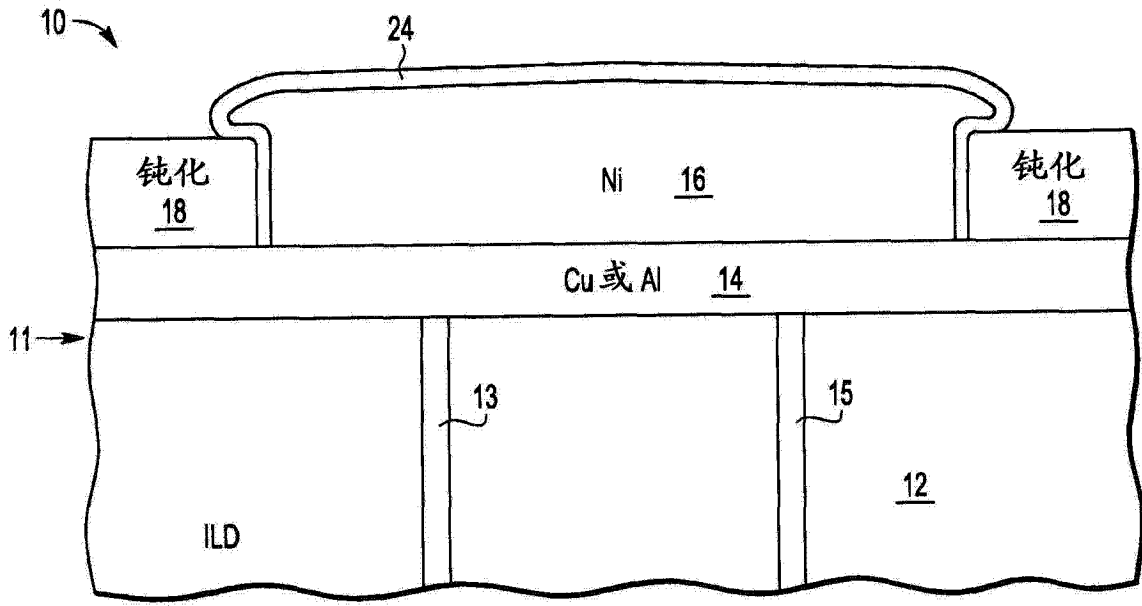


图 3

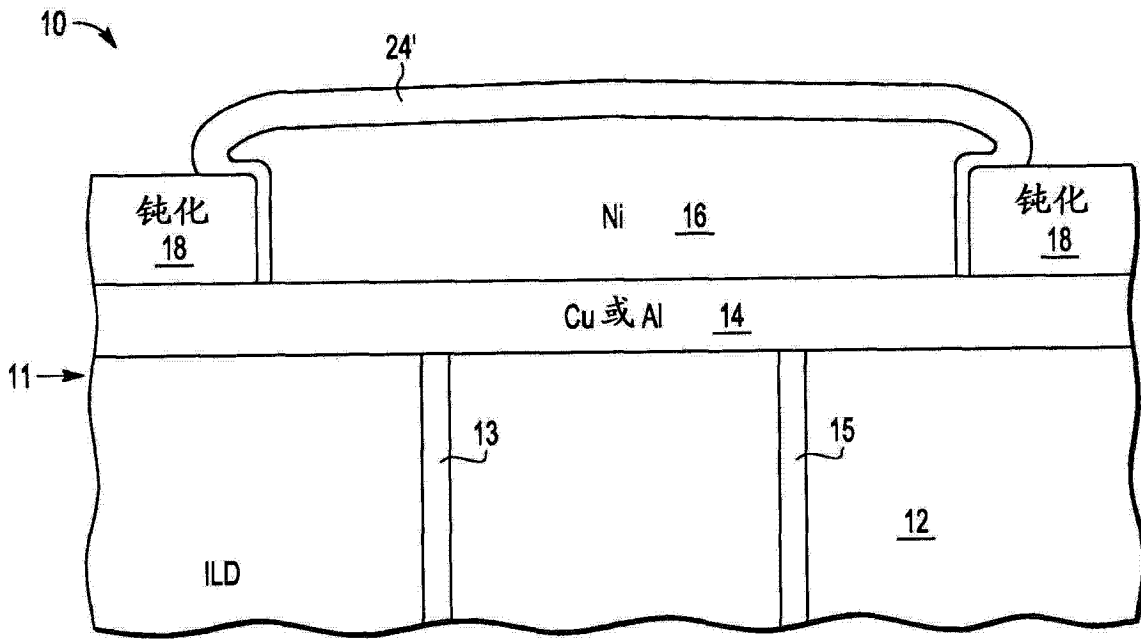


图 4

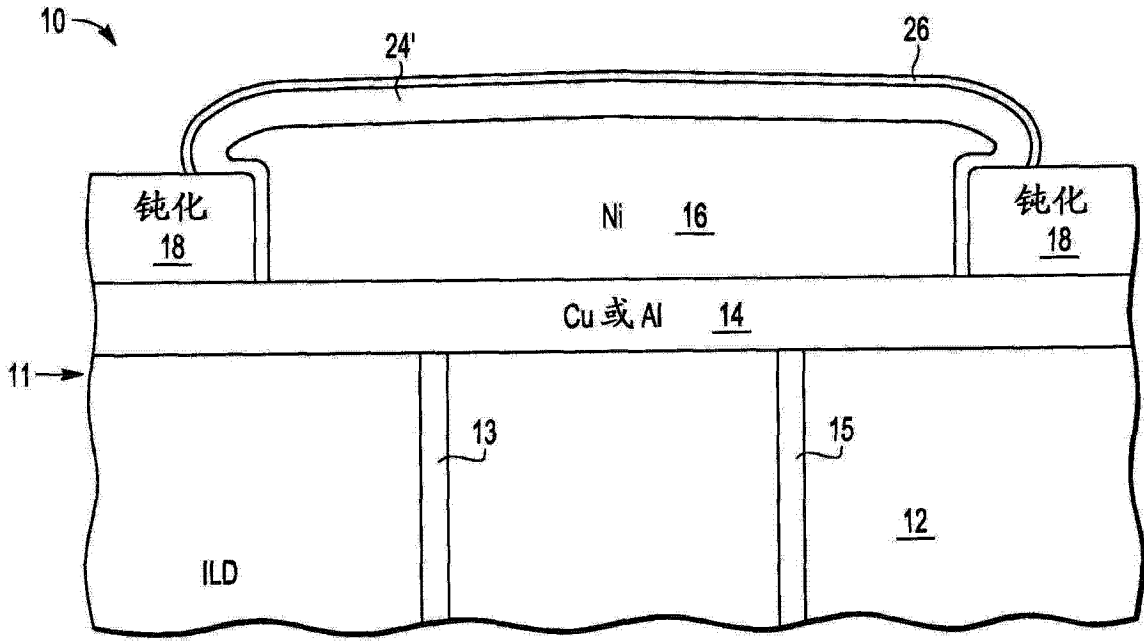


图 5

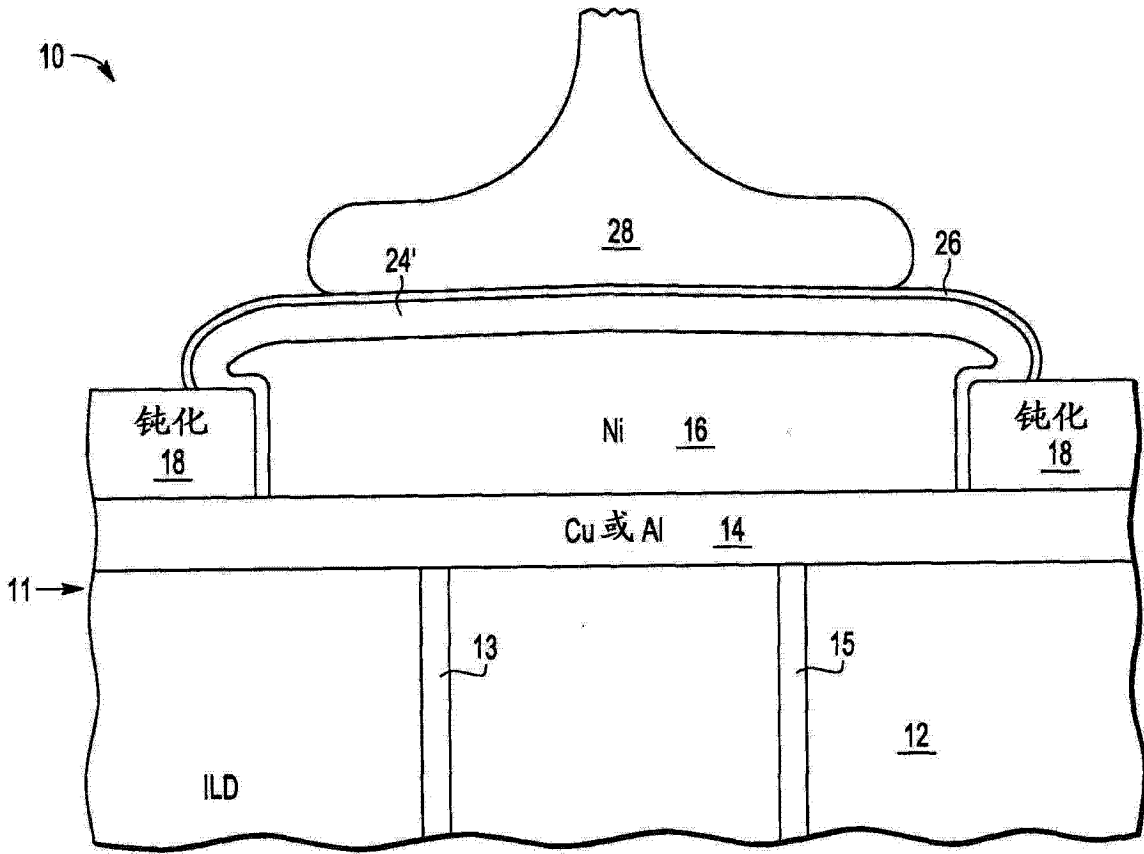


图 6

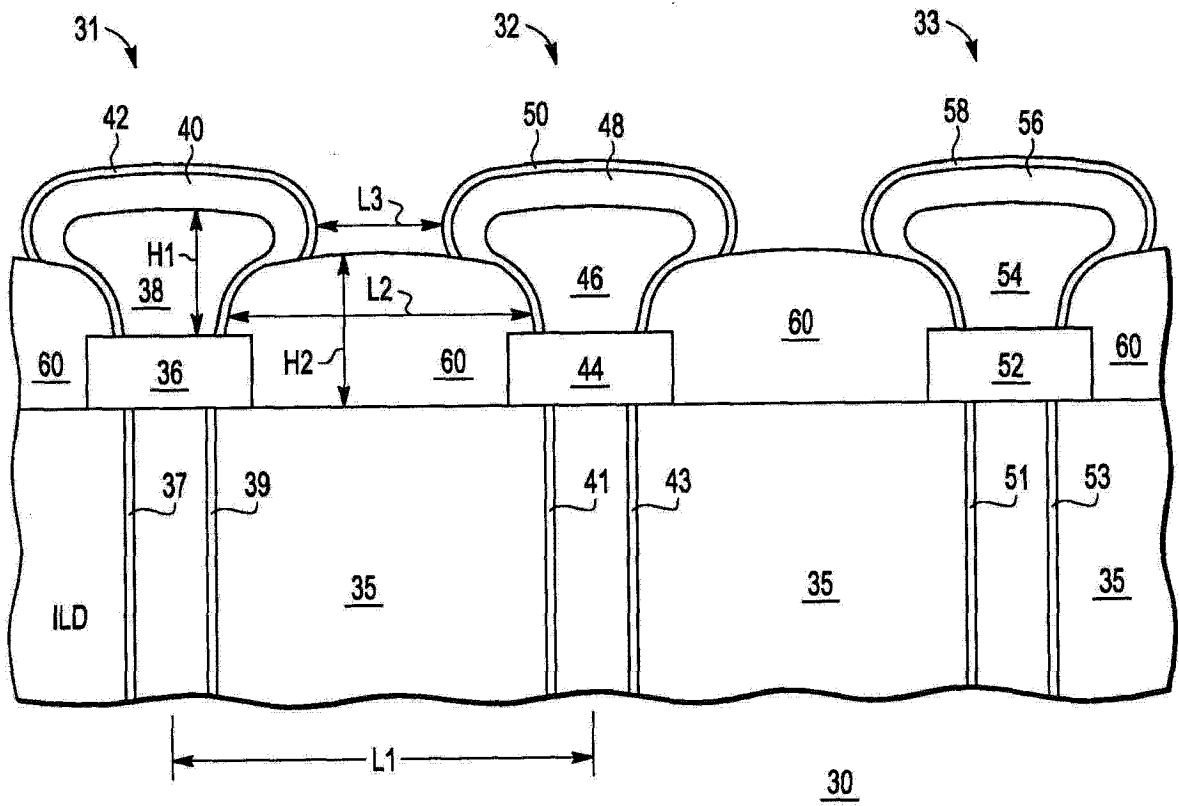


图 7