



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년10월28일

(11) 등록번호 10-1667909

(24) 등록일자 2016년10월14일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0098601

(22) 출원일자 2009년10월16일

심사청구일자 2014년10월14일

(65) 공개번호 10-2010-0045920

(43) 공개일자 2010년05월04일

(30) 우선권주장

JP-P-2008-274634 2008년10월24일 일본(JP)

(56) 선행기술조사문현

US20080128689 A1*

KR1020070023103 A*

KR1020070106445 A*

KR1020010104667 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이사 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

수자와 히데오미

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가이사 한도오따이 에네루기 켄큐쇼 나이

사사가와 신야

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가이사 한도오따이 에네루기 켄큐쇼 나이

(뒷면에 계속)

(74) 대리인

이화의, 김홍두

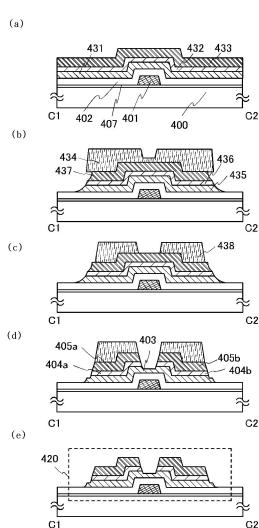
전체 청구항 수 : 총 16 항

심사관 : 류정현

(54) 발명의 명칭 반도체장치의 제조방법

(57) 요약

노광 마스크수를 삭감함으로써 포토리소그래피 단계를 간략화하여, 산화물 반도체를 갖는 반도체장치를 저비용으로 생산성 좋게 제조하는 것을 과제의 한가지로 한다. 채널 에치 구조의 역스태거형 박막 트랜지스터를 갖는 반도체장치의 제조방법에 있어서, 투과한 빛이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 마스크층을 사용해서 산화물 반도체막 및 도전막의 에칭단계를 행한다. 에칭단계에 있어서, 제1에칭단계는, 에칭액에 의한 웨트에칭을 사용하고, 제2에칭단계는 에칭 가스에 의한 드라이에칭을 사용한다.

대 표 도 - 도1

(72) 발명자

무라오카 타이가

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이사 한도오파이 에네루기 켄큐쇼 나이

이토 순이치

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이사 한도오파이 에네루기 켄큐쇼 나이

호소바 미유키

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이사 한도오파이 에네루기 켄큐쇼 나이

명세서

청구범위

청구항 1

반도체장치의 제조방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;

아르곤을 포함한 분위기에서 상기 게이트 절연층에 역 스퍼터링 처리를 행하는 단계;

상기 역 스퍼터링 처리를 행한 후, 상기 게이트 전극층 위에 산화물 반도체막을 형성하는 단계;

상기 게이트 전극층 위에 도전막을 형성하는 단계;

상기 게이트 절연층, 상기 산화물 반도체막 및 상기 도전막 위에 제1 마스크층을 형성하는 단계;

상기 산화물 반도체막과 상기 도전막에 상기 제1 마스크층을 사용한 제1 에칭처리를 행하여 산화물 반도체층과 도전층을 형성하는 단계;

상기 제1 마스크층을 애싱해서 제2 마스크층을 형성하는 단계;

상기 산화물 반도체층과 상기 도전층에 상기 제2 마스크층을 사용한 제2 에칭처리를 행하여 오목부를 갖는 산화물 반도체층, 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

상기 오목부를 갖는 산화물 반도체층에 산소 라디칼 처리를 행하는 단계를 포함하고,

상기 제1 마스크층은 노광 마스크를 사용해서 형성되고,

상기 제1 에칭처리는 에칭액을 이용하는 웨트에칭에 의해 행해지고,

상기 제2 에칭처리는 에칭 가스를 이용하는 드라이에칭에 의해 행해지고,

상기 오목부를 갖는 산화물 반도체층은, 상기 소스 전극층 또는 상기 드레인 전극층과 중첩하는 영역보다 얇은 두께의 영역을 포함하고,

상기 산소 라디칼 처리는 산소를 포함하는 N_2 분위기에서 행해지는, 반도체장치의 제조방법.

청구항 2

반도체장치의 제조방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;

아르곤을 포함한 분위기에서 상기 게이트 절연층에 역 스퍼터링 처리를 행하는 단계;

상기 역 스퍼터링 처리를 행한 후, 상기 게이트 전극층 위에 제1 산화물 반도체막 및 제2 산화물 반도체막을 형성하는 단계;

상기 게이트 전극층 위에 도전막을 형성하는 단계;

상기 게이트 절연층, 상기 제1 산화물 반도체막, 상기 제2 산화물 반도체막 및 상기 도전막 위에 제1 마스크층을 형성하는 단계;

상기 제1 산화물 반도체막, 상기 제2 산화물 반도체막 및 상기 도전막에 상기 제1 마스크층을 사용한 제1 에칭처리를 행하여 제1 산화물 반도체층, 제2 산화물 반도체층 및 도전층을 형성하는 단계;

상기 제1 마스크층을 애싱해서 제2 마스크층을 형성하는 단계;

상기 제1 산화물 반도체층, 상기 제2 산화물 반도체층 및 상기 도전층에 상기 제2 마스크층을 사용한 제2 에칭처리를 행하여 오목부를 갖는 산화물 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성

하는 단계; 및

상기 오목부를 갖는 산화물 반도체층에 산소 라디칼 처리를 행하는 단계를 포함하고,

상기 제1 마스크층은 노광 마스크를 사용해서 형성되고,

상기 제1 에칭처리는 에칭액을 이용하는 웨트에칭에 의해 행해지고,

상기 제2 에칭처리는 에칭 가스를 이용하는 드라이에칭에 의해 행해지고,

상기 오목부를 갖는 산화물 반도체층은, 상기 소스 전극층 또는 상기 드레인 전극층과 중첩하는 영역보다 얇은 두께의 영역을 포함하고,

상기 산소 라디칼 처리는 산소를 포함하는 N₂ 분위기에서 행해지는, 반도체장치의 제조방법.

청구항 3

반도체장치의 제조방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;

분위기에 포함된 가스의 플라즈마를 발생시키기 위해 상기 기판에 전압을 인가하는 단계;

상기 게이트 절연층의 표면을 개질하기 위해 상기 게이트 절연층의 상기 표면을 상기 플라즈마에 노출시키는 단계;

노출시킨 후, 상기 게이트 전극층 위에 산화물 반도체막을 형성하는 단계;

상기 게이트 전극층 위에 도전막을 형성하는 단계;

상기 게이트 절연층, 상기 산화물 반도체막 및 상기 도전막 위에 제1 마스크층을 형성하는 단계;

상기 산화물 반도체막과 상기 도전막에 상기 제1 마스크층을 사용한 제1 에칭처리를 행하여 산화물 반도체층과 도전층을 형성하는 단계;

상기 제1 마스크층을 애성해서 제2 마스크층을 형성하는 단계;

상기 산화물 반도체층과 상기 도전층에 상기 제2 마스크층을 사용한 제2 에칭처리를 행하여 오목부를 갖는 산화물 반도체층, 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

상기 오목부를 갖는 산화물 반도체층에 산소 라디칼 처리를 행하는 단계를 포함하고,

상기 가스는 아르곤을 포함하고,

상기 제1 마스크층은 노광 마스크를 사용해서 형성되고,

상기 제1 에칭처리는 에칭액을 이용하는 웨트에칭에 의해 행해지고,

상기 제2 에칭처리는 에칭 가스를 이용하는 드라이에칭에 의해 행해지고,

상기 오목부를 갖는 산화물 반도체층은, 상기 소스 전극층 또는 상기 드레인 전극층과 중첩하는 영역보다 얇은 두께의 영역을 포함하고,

상기 산소 라디칼 처리는 산소를 포함하는 N₂ 분위기에서 행해지는, 반도체장치의 제조방법.

청구항 4

반도체장치의 제조방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;

분위기에 포함된 가스의 플라즈마를 발생시키기 위해 상기 기판에 전압을 인가하는 단계;

상기 게이트 절연층의 표면을 개질하기 위해 상기 게이트 절연층의 상기 표면을 상기 플라즈마에 노출시키는 단

계;

노출시킨 후, 상기 게이트 전극층 위에 제1 산화물 반도체막과 제2 산화물 반도체막을 형성하는 단계;

상기 게이트 전극층 위에 도전막을 형성하는 단계;

상기 게이트 절연층, 상기 제1 산화물 반도체막, 상기 제2 산화물 반도체막 및 상기 도전막 위에 제1 마스크층을 형성하는 단계;

상기 제1 산화물 반도체막, 상기 제2 산화물 반도체막 및 상기 도전막에 상기 제1 마스크층을 사용한 제1 에칭 처리를 행하여 제1 산화물 반도체층, 제2 산화물 반도체층 및 도전층을 형성하는 단계;

상기 제1 마스크층을 애싱해서 제2 마스크층을 형성하는 단계;

상기 제1 산화물 반도체층, 상기 제2 산화물 반도체층 및 상기 도전층에 상기 제2 마스크층을 사용한 제2 에칭 처리를 행하여 오목부를 갖는 산화물 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

상기 오목부를 갖는 산화물 반도체층에 산소 라디칼 처리를 행하는 단계를 포함하고,

상기 가스는 아르곤을 포함하고,

상기 제1 마스크층은 노광 마스크를 사용해서 형성되고,

상기 제1 에칭처리는 에칭액을 이용하는 웨트에칭에 의해 행해지고,

상기 제2 에칭처리는 에칭 가스를 이용하는 드라이에칭에 의해 행해지고,

상기 오목부를 갖는 산화물 반도체층은, 상기 소스 전극층 또는 상기 드레인 전극층과 중첩하는 영역보다 얇은 두께의 영역을 포함하고,

상기 산소 라디칼 처리는 산소를 포함하는 N_2 분위기에서 행해지는, 반도체장치의 제조방법.

청구항 5

반도체장치의 제조방법에 있어서,

기판 위에, Ti를 포함한 제1층과 Cu를 포함한 제2층을 포함하는 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에, 상기 제2층을 덮는 질화 실리콘층과 제1 산화실리콘층을 포함하는 게이트 절연층을 형성하는 단계;

상기 게이트 전극층 위에 산화물 반도체막을 형성하는 단계;

상기 게이트 전극층 위에 도전막을 형성하는 단계;

상기 게이트 절연층, 상기 산화물 반도체막 및 상기 도전막 위에 제1 마스크층을 형성하는 단계;

상기 산화물 반도체막 및 상기 도전막에 상기 제1 마스크층을 사용한 제1 에칭처리를 행하여 산화물 반도체층 및 도전층을 형성하는 단계;

상기 제1 마스크층을 애싱해서 제2 마스크층을 형성하는 단계;

상기 산화물 반도체층 및 상기 도전층에 상기 제2 마스크층을 사용한 제2 에칭처리를 행하여 오목부를 갖는 산화물 반도체층, 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

상기 오목부를 갖는 산화물 반도체층에 산소 라디칼 처리를 행하는 단계를 포함하고,

상기 제1 마스크층은 노광 마스크를 사용해서 형성되고,

상기 제1 에칭처리는 에칭액을 이용하는 웨트에칭에 의해 행해지고,

상기 제2 에칭처리는 에칭 가스를 이용하는 드라이에칭에 의해 행해지고,

상기 오목부를 갖는 산화물 반도체층은, 상기 소스 전극층 또는 상기 드레인 전극층과 중첩하는 영역보다 얇은 두께의 영역을 포함하고,

상기 산소 라디칼 처리는 산소를 포함하는 N₂ 분위기에서 행해지는, 반도체장치의 제조방법.

청구항 6

반도체장치의 제조방법에 있어서,

기판 위에, Ti를 포함한 제1층과 Cu를 포함한 제2층을 포함하는 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에, 상기 제2층을 덮는 질화 실리콘층과 제1 산화실리콘층을 포함하는 게이트 절연층을 형성하는 단계;

상기 게이트 전극층 위에 제1 산화물 반도체막 및 제2 산화물 반도체막을 형성하는 단계;

상기 게이트 전극층 위에 도전막을 형성하는 단계;

상기 게이트 절연층, 상기 제1 산화물 반도체막, 상기 제2 산화물 반도체막 및 상기 도전막 위에 제1 마스크층을 형성하는 단계;

상기 제1 산화물 반도체막, 상기 제2 산화물 반도체막 및 상기 도전막에 상기 제1 마스크층을 사용한 제1 에칭 처리를 행하여 제1 산화물 반도체층, 제2 산화물 반도체층 및 도전층을 형성하는 단계;

상기 제1 마스크층을 애성해서 제2 마스크층을 형성하는 단계;

상기 제1 산화물 반도체층, 상기 제2 산화물 반도체층 및 상기 도전층에 상기 제2 마스크층을 사용한 제2 에칭 처리를 행하여 오목부를 갖는 산화물 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

상기 오목부를 갖는 산화물 반도체층에 산소 라디칼 처리를 행하는 단계를 포함하고,

상기 제1 마스크층은 노광 마스크를 사용해서 형성되고,

상기 제1 에칭처리는 에칭액을 이용하는 웨트에칭에 의해 행해지고,

상기 제2 에칭처리는 에칭 가스를 이용하는 드라이에칭에 의해 행해지고,

상기 오목부를 갖는 산화물 반도체층은, 상기 소스 전극층 또는 상기 드레인 전극층과 중첩하는 영역보다 얇은 두께의 영역을 포함하고,

상기 산소 라디칼 처리는 산소를 포함하는 N₂ 분위기에서 행해지는, 반도체장치의 제조방법.

청구항 7

제 1항, 제 3항 또는 제 5항 중 어느 한 항에 있어서,

상기 산화물 반도체막은, 인듐, 갈륨 및 아연을 포함하는, 반도체장치의 제조방법.

청구항 8

제 2항, 제 4항 또는 제 6항 중 어느 한 항에 있어서,

상기 제1 산화물 반도체막 및 상기 제2 산화물 반도체막 각각은, 인듐, 갈륨 및 아연을 포함하는, 반도체장치의 제조방법.

청구항 9

제 2항, 제 4항 또는 제 6항 중 어느 한 항에 있어서,

상기 제1 산화물 반도체막의 전기 전도도가 상기 제2 산화물 반도체막보다 낮은, 반도체장치의 제조방법.

청구항 10

제 1항 내지 제 6항 중 어느 한 항에 있어서,

상기 에칭 가스는 염소를 포함하는, 반도체장치의 제조방법.

청구항 11

제 10항에 있어서,
상기 애칭 가스는 산소를 더 포함하는, 반도체장치의 제조방법.

청구항 12

제 1항 내지 제 6항 중 어느 한 항에 있어서,
상기 애칭액은 인산, 초산 및 질산의 혼합액을 포함하는, 반도체장치의 제조방법.

청구항 13

제 1항 내지 제 6항 중 어느 한 항에 있어서,
상기 노광 마스크는 하프톤 마스크 또는 그레이톤 마스크인, 반도체장치의 제조방법.

청구항 14

제 1항 또는 제 2항에 있어서,
상기 아르곤을 포함한 분위기는 산소를 더 포함하는, 반도체장치의 제조방법.

청구항 15

제 3항 또는 제 4항에 있어서,
상기 가스는 산소를 더 포함하는, 반도체장치의 제조방법.

청구항 16

제 5항 또는 제 6항에 있어서,
상기 제1층은 상기 제2층 위에 적층되는, 반도체장치의 제조방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 산화물 반도체를 사용하는 반도체장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 액정표시장치로 대표되는 것과 같이, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는, 아모퍼스 실리콘, 다결정 실리콘에 의해 제조되고 있다. 아모퍼스 실리콘을 사용한 박막 트랜지스터는, 전계효과 이동도가 낮지만 유리 기판의 대면적화에 대 할 수 있고, 한편, 결정 실리콘을 사용한 박막 트랜지스터는 전계효과 이동도가 높지만, 레이저 어닐 등의 결정화 공정이 필요해서, 유리 기판의 대면적화에는 반드시 적응하지 않는다고 하는 특성을 갖고 있다.

[0003] 이에 대하여, 산화물 반도체를 사용해서 박막 트랜지스터를 제조하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체막으로서 산화 아연, In-Ga-Zn-O계 산화물 반도체를 사용해서 박막 트랜지스터를 제조하여, 화상표시장치의 스위칭 소자 등에 사용하는 기술이 특허문현 1 및 특허문현 2에 개시되어 있다.

[0004] [선행기술 문헌]

[0005] [특허문현]

[0006] [특허문현 1] 일본국 특개 2007-123861호 공보

[0007] [특허문현 2] 일본국 특개 2007-96055호 공보

발명의 내용

해결 하고자하는 과제

[0008] 산화물 반도체에 채널 형성 영역을 설치하는 박막 트랜지스터는, 아모퍼스 실리콘을 사용한 박막 트랜지스터보다도 높은 전계효과 이동도가 얻어지고 있다. 산화물 반도체막은 스파터링법 등에 의해 300°C 이하의 온도에서 막형성이 가능해서, 산화물 반도체를 사용한 박막 트랜지스터는 다결정 실리콘을 사용한 박막 트랜지스터보다도 제조공정이 간단하다.

[0009] 이러한 산화물 반도체를 사용해서 유리 기판, 플라스틱 기판 등 위에 박막 트랜지스터를 형성하여, 액정 디스플레이, 일렉트로루미네센스 디스플레이 또는 전자 페이퍼 등에의 응용이 기대되고 있다.

[0010] 또한, 박막 트랜지스터의 제조에는, 다수의 노광 마스크(포토마스크라고도 한다)를 사용하여, 포토리소그래피 공정에 의해 적층구조를 형성하는 방법이 사용된다. 그러나, 포토리소그래피 공정은, 다수의 공정을 포함하는 공정으로, 제조 비용이나 수율, 생산성 등에 크게 영향을 미치는 요인의 한가지이다. 그중에서도 설계나 제조비용이 높은 노광 마스크수의 삽감은 큰 과제이다.

[0011] 전술한 문제를 감안하여, 노광 마스크수를 삽감함으로써 포토리소그래피 공정을 간략화하여, 반도체장치를 저비용으로 생산성 좋게 제조하는 것을 과제의 한가지로 한다.

과제 해결수단

[0012] 역스테거형 박막 트랜지스터를 갖는 반도체장치의 제조방법에 있어서, 투과한 빛이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 마스크층을 사용해서 에칭공정을 행한다.

[0013] 다계조 마스크를 사용해서 형성한 마스크층은 복수의 막두께를 갖는 형상이 되고, 에칭을 행함으로써 다시 형상을 변형할 수 있으므로, 다른 패턴으로 가공하는 복수의 에칭공정에서 사용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 마스크층을 형성할 수 있다. 따라서, 노광 마스크수를 삽감할 수 있고, 대응하는 포토리소그래피 공정도 삽감할 수 있기 때문에, 제조공정의 간략화가

가능해진다.

[0014] 역스태거형 박막 트랜지스터의 제조공정에 있어서는, 반도체막, 및 도전막을 섬 형상으로 가공하는 에 칭공정(제1 에칭공정)과, 도전막과 반도체막을 소스 전극층, 드레인 전극층, 및 오목부를 갖는 반도체층으로 에 칭 가공하는 에칭공정(제2 에칭공정)을 행한다. 이 제1 에칭공정을 에칭액에 의한 웨트에칭을 사용해서 행하고, 또한 제2 에칭공정을 에칭 가스에 의한 드라이에칭을 사용해서 행한다.

[0015] 에칭액으로서는, 인산과 초산과 질산을 섞은 용액이나, 암모니아 과산화수소를 사용할 수 있다.

[0016] 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면, Cl_2 , BCl_3 , $SiCl_4$ 등)가 바람직하다. 더구나 상기 가스에 산소나 희가스(예를 들면, Ar 등)를 첨가한 에칭 가스를 사용해도 된다.

[0017] 본 명세서중에서 사용하는 산화물 반도체는, $InMO_3(ZnO)_{m>0}$ 으로 표기되는 박막을 형성하고, 그 박막을 반도체층으로서 사용한 박막 트랜지스터를 제조한다. 이때, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)에서 선택된 한가지 금속 원소 또는 복수의 금속 원소를 표시한다. 예를 들면, M으로서, Ga의 경우가 있는 것 이외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 기타의 천이금속 원소, 또는 이 천이금속의 산화물이 포함되어 있는 일이 있다. 본 명세서에 있어서는 이 박막을 In-Ga-Zn-O계 비단결정 막으로도 부른다.

[0018] In-Ga-Zn-O계 비단결정막의 결정 구조는, 스퍼터링법으로 성막한 후, 200°C~500°C, 대표적으로는 300~400°C에서 10분~100분의 가열처리를 행하고 있기 때문에, 아모퍼스 구조가 XRD(X선해석)의 분석에서는 관찰된다. 또한, 박막 트랜지스터의 전기 특성도 게이트 전압±20V에 있어서, 온오프비가 10^9 이상, 이동도가 10 이상의 것을 제조할 수 있다.

[0019] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층, 산화물 반도체막, 및 도전막을 적층하고, 게이트 절연층, 산화물 반도체막, 및 도전막 위에 제1 마스크층을 형성하고, 제1 마스크층을 사용해서 산화물 반도체막, 및 도전막을 제1 에칭공정에 의해 에칭하여, 산화물 반도체층, 및 도전층을 형성하고, 제1 마스크층을 애싱해서 제2 마스크층을 형성하고, 제2 마스크층을 사용해서 산화물 반도체층, 및 도전층을 제2 에칭공정에 의해 에칭하여, 오목부를 갖는 산화물 반도체층, 소스 전극층 및 드레인 전극층을 형성하고, 제1 마스크층은 투과한 빛이 복수의 강도가 되는 노광 마스크를 사용해서 형성하고, 제1 에칭공정은, 에칭액에 의한 웨트에칭을 사용하고, 제2 에칭공정은, 에칭 가스에 의한 드라이에칭을 사용하고, 오목부를 갖는 산화물 반도체층에 있어서, 소스 전극층 및 드레인 전극층과 중첩하는 영역의 막두께보다 얇은 막두께의 영역을 갖는다.

[0020] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층, 제1 산화물 반도체막, 제2 산화물 반도체막, 및 도전막을 적층하고, 게이트 절연층, 제1 산화물 반도체막, 제2 산화물 반도체막, 및 도전막 위에 제1 마스크층을 형성하고, 제1 마스크층을 사용해서 제1 산화물 반도체막, 제2 산화물 반도체막, 및 도전막을 제1 에칭공정에 의해 에칭하여, 제1 산화물 반도체층, 제2 산화물 반도체층, 및 도전층을 형성하고, 제1 마스크층을 애싱해서 제2마스크층을 형성하고, 제2 마스크층을 사용해서 제1 산화물 반도체층, 제2 산화물 반도체층, 및 도전층을 제2 에칭공정에 의해 에칭하여, 오목부를 갖는 산화물 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하고, 제1 마스크층은 투과한 빛이 복수의 강도가 되는 노광 마스크를 사용해서 형성하고, 제1 에칭공정은, 에칭액에 의한 웨트에칭을 사용하고, 제2 에칭공정은, 에칭 가스에 의한 드라이에칭을 사용하고, 오목부를 갖는 산화물 반도체층에 있어서, 소스 영역 및 드레인 영역과 중첩하는 영역의 막두께보다 얇은 막두께의 영역을 갖는다.

[0021] 본 명세서에서 개시하는 반도체장치의 제조방법은, 상기 과제의 적어도 한가지를 해결한다.

[0022] 또한, 박막 트랜지스터의 소스 영역 및 드레인 영역으로서 사용하는 제2 산화물 반도체막은, 채널 형성 영역으로서 사용하는 제1 산화물 반도체막의 막두께보다도 얇고, 또한, 보다 높은 도전율(전기전도도)을 갖는 것이 바람직하다.

[0023] 제2 산화물 반도체막은, n형의 도전형을 표시하고, 소스 영역 및 드레인 영역으로서 기능한다.

[0024] 또한, 제1 산화물 반도체막은 비정질 구조를 갖고, 제2 산화물 반도체막은 비정질 구조 중에 결정립(나

노 크리스탈)을 포함하는 경우가 있다. 이 제2 산화물 반도체막 중의 결정립(나노 크리스탈)은 직경 1nm~10nm, 대표적으로는 2nm~4nm 정도이다.

[0025] 소스 영역 및 드레인 영역(n+층)으로서 사용하는 제2 산화물 반도체막으로서 In-Ga-Zn-O계 비단결정막을 사용할 수 있다.

[0026] 박막 트랜지스터를 덮고, 또한 채널 형성 영역을 포함하는 산화물 반도체층에 접하는 절연막을 형성해도 된다.

[0027] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동회로 보호용의 보호회로를 동일기판 위에 설치하는 것이 바람직하다. 보호회로는, 산화물 반도체를 사용한 비선형 소자를 사용해서 구성하는 것이 바람직하다.

[0028] 또한, 제1, 제2로서 붙이는 서수사는 편의상 사용하는 것이며, 공정순 또는 적층순을 표시하는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 표시하는 것은 아니다.

[0029] 또한, 구동회로를 갖는 표시장치로서는, 액정표시장치 이외에, 발광소자를 사용한 발광 표시장치나, 전기영동 표시소자를 사용한 전자 페이퍼로도 불리는 표시장치를 들 수 있다.

[0030] 발광소자를 사용한 발광 표시장치에 있어서는, 화소부에 복수의 박막 트랜지스터를 갖고, 화소부에 있어서도 어떤 박막 트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선, 또는 드레인 배선을 접속시키는 개소를 갖고 있다. 또한, 발광소자를 사용한 발광 표시장치의 구동회로에 있어서는, 박막 트랜지스터의 게이트 전극과 그 박막 트랜지스터의 소스 배선, 또는 드레인 배선을 접속시키는 개소를 갖고 있다.

[0031] 이때, 본 명세서 중에 있어서 반도체장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기광학장치, 반도체회로 및 전자기기는 모두 반도체장치이다.

효과

[0032] 노광 마스크수를 삭감함으로써 포토리소그래피 공정을 간략화하고, 신뢰성이 있는 반도체장치를 저비용에서 생산성 좋게 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0033] 실시형태에 대해서, 도면을 사용해서 상세하게 설명한다. 단, 이하의 설명에 한정되지 않고, 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 이하에 나타낸 실시형태의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에서 설명하는 구성에 있어서, 동일 부분 또는 동일 기능을 갖는 부분에는 동일한 부호를 다른 도면 사이에서 공통으로 사용하고, 그것의 반복 설명은 생략한다.

[0034] (실시형태 1)

[0035] 본 실시형태의 반도체장치의 제조방법을 도 1 및 도 2를 사용하여 설명한다.

[0036] 도 2a는 본 실시형태의 반도체장치가 갖는 박막 트랜지스터(420)의 평면도이고, 도 2b는 도 2a의 선 C1-C2에 있어서의 단면도이다. 박막 트랜지스터(420)는 역스태거형의 박막 트랜지스터이며, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 영역 또는 드레인 영역으로서 기능하는 n+층(404a, 404b), 소스 전극층 또는 드레인 전극층 405a, 405b를 포함한다.

[0037] 도 1a 내지 도 1e는 박막 트랜지스터(420)의 제조공정을 나타낸 단면도에 해당한다.

[0038] 도 1a에 있어서, 하지막이 되는 절연막(407)이 설치된 기판(400) 위에 게이트 전극층(401)을 설치한다. 절연막(407)은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있으며, 질화 규소막, 산화 규소막, 질화산화 규소막, 또는 산화질화 규소막으로부터 선택된 1 또는 복수의 막에 의한 적층구조에 의해 형성할 수 있다. 본 실시형태에서는, 절연막(407)으로서, 산화 규소막(막두께 100nm)을 사용한다. 게이트 전극층

(401)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이것들을 주성분으로 하는 합금재료를 사용하여, 단층으로 또는 적층해서 형성할 수 있다.

[0039] 예를 들면, 게이트 전극층(401)의 2층의 적층구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티타늄층 또는 질화 탄탈층을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층구조로서는, 텉스텐층 또는 질화 텉스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금과, 질화 티타늄층 또는 티타늄층을 적층한 적층으로 하는 것이 바람직하다.

[0040] 게이트 전극층(401) 위에 게이트 절연층(402), 제1 산화물 반도체막(431), 제2 산화물 반도체막(432), 및 도전막(433)을 순차적으로 적층한다.

[0041] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층 또는 질화산화 실리콘층을 단층으로 또는 적층해서 형성 할 수 있다. 또한, 게이트 절연층(402)으로서, 유기 실란 가스를 사용한 CVD법에 의해 산화 실리콘층을 형성하는 것도 가능하다. 유기 실란 가스로서는, 규산 에틸(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸 실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0042] 이때, 제1 산화물 반도체막(431)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연층(402)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역스퍼터란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 사용해서 전압을 인가해서 기판에 플라즈마를 형성해서 표면을 개질하는 방법이다. 이때, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 수소, N_2O 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 Cl_2 , CF_4 등을 첨가한 분위기에서 행해도 된다.

[0043] 또한, 제2 산화물 반도체막(432)과 도전막(433)의 접촉 영역은 플라즈마처리에 의해 개질되어 있는 것이 바람직하다. 본 실시형태에서는, 도전막(433)을 형성 하기 전에, 제2 산화물 반도체막(432)(본 실시형태에서는 In-Ga-Zn-O계 비단결정 막)에 아르곤 분위기 하에서 플라즈마처리를 행한다.

[0044] 플라즈마처리는, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 수소, N_2O 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 Cl_2 , CF_4 등을 첨가한 분위기에서 행해도 된다.

[0045] 본 실시형태에서는, 제1 산화물 반도체막(431) 및 제2 산화물 반도체막(432)으로서 In-Ga-Zn-O계 비단결정 막을 사용한다. 제1 산화물 반도체막(431)과 제2 산화물 반도체막(432)은 다른 성막 조건에서 형성되고, 제2 산화물 반도체막(432)쪽이 보다 도전율이 높고 저저항의 산화물 반도체막이다. 예를 들면, 제2 산화물 반도체막(432)으로서, 스퍼터링법에서의 아르곤 가스유량을 40sccm이라고 하는 조건에서 얻어지는 산화물 반도체막으로 형성한다. 제2 산화물 반도체막(432)은, n형의 도전형을 갖고, 활성화에너지(ΔE)가 0.01eV 이상 0.1eV 이하이다. 이때, 본 실시형태에서는, 제2 산화물 반도체막(432)은, In-Ga-Zn-O계 비단결정 막이며, 적어도 아모퍼스 성분을 포함하고 있는 것으로 한다. 제2 산화물 반도체막(432)은 비정질 구조 내부에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 제2 산화물 반도체막(432) 중의 결정립(나노 크리스탈)은 직경 1nm~10nm, 대표적으로는 2nm~4nm 정도이다.

[0046] n+층이 되는 제2 산화물 반도체막(432)을 설치함으로써, 금속층인 도전막(433)과, 채널 형성 영역이 되는 제1 산화물 반도체막(431)의 접속에 있어서 양호한 접합이 얻어지고, 쇼트키 접합과 비교해서 열에 대하여도 안정 동작이 가능해 진다. 또한, 채널의 캐리어를 공급하거나(소스측), 또는 채널의 캐리어를 안정하게 흡수하거나(드레인측), 또는 저항성분을 배선과의 계면에 만들지 않기 위해서도 적극적으로 n+층을 설치하면 효과적이다. 또한 저저항화에 의해, 높은 드레인 전압에서도 양호한 이동도를 유지할 수 있다.

[0047] 게이트 절연층(402), 제1 산화물 반도체막(431), 제2 산화물 반도체막(432), 도전막(433)을 대기에 접촉시키지 않고 연속적으로 형성할 수 있다. 대기에 접촉시키지 않고 연속 성막함으로써, 대기성분이나 대기중에 부유하는 오염 불순물 원소에 계면이 오염되는 않아 각 적층을 형성 할 수 있으므로, 박막 트랜지스터 특성의 격차를 저감할 수 있다.

- [0048] 게이트 절연층(402), 제1 산화물 반도체막(431), 제2 산화물 반도체막(432), 도전막(433) 위에 마스크(434)를 형성한다.
- [0049] 본 실시형태에서는, 마스크(434)를 형성하기 위해서 고계조 마스크를 사용한 노광을 행하는 예를 나타낸다. 마스크(434)를 형성하기 위해 레지스트를 형성한다. 레지스트는, 포지티브형 레지스트 또는 네가티브형 레지스트를 사용할 수 있다. 여기에서는, 포지티브형 레지스트를 사용해서 나타낸다.
- [0050] 다음에, 노광 마스크로서 다계조 마스크(59)를 사용하여, 레지스트에 빛을 조사하여, 레지스트를 노광한다.
- [0051] 여기에서, 다계조 마스크(59)를 사용한 노광에 대해서, 도 30을 사용하여 설명한다.
- [0052] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3개의 노광 레벨을 행하는 것이 가능한 마스크로서, 투과한 빛이 복수의 강도가 되는 노광 마스크이다. 한번의 노광 및 현상 공정에 의해, 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 형성하는 것이 가능하다. 이 때문에, 다계조 마스크를 사용함으로써, 노광 마스크의 매수를 약간하는 것이 가능하다.
- [0053] 다계조 마스크의 대표예로서는, 도 30a에 도시된 것과 같은 그레이톤 마스크(59a), 도 30c에 도시된 것과 같은 하프톤 마스크(59b)가 있다.
- [0054] 도 30a에 도시된 것과 같이, 그레이톤 마스크(59a)는, 투광성 기판(63) 및 그 위에 형성되는 차광부(64)와 회절격자(65)로 구성된다. 차광부(64)에 있어서는, 빛의 투과율이 0%이다. 한편, 회절격자(65)는 슬릿, 도트, 메쉬 등의 광투과부의 간격을, 노광에 사용하는 빛의 해상도 한계 이하의 간격으로 함으로써, 빛의 투과율을 제어할 수 있다. 이때, 회절격자(65)는, 주기적인 슬릿, 도트, 메쉬, 또는 비주기적인 슬릿, 도트 메쉬 어느쪽도 사용할 수 있다.
- [0055] 투광성 기판(63)으로서는, 석영 등의 투광성 기판을 사용할 수 있다. 차광부(64) 및 회절격자(65)는, 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용해서 형성할 수 있다.
- [0056] 그레이톤 마스크(59a)에 노광 광을 조사했을 경우, 도 30b에 도시된 것과 같이 차광부(64)에 있어서는, 광투과율(66)은 0%이며, 차광부(64) 및 회절격자(65)가 설치되지 않는 영역에서는 광투과율(66)은 100%이다. 또한, 회절격자(65)에 있어서는, 10~70%의 범위에서 조정가능하다. 회절격자(65)에 있어서의 빛의 투과율의 조정은, 회절격자의 슬릿, 도트, 또는 메쉬의 간격 및 편치의 조정에 의해 가능하다.
- [0057] 도 30c에 도시된 것과 같이, 하프톤 마스크(59b)는, 투광성 기판(63) 및 그 위에 형성되는 반투과부(67)와 차광부(68)로 구성된다. 반투과부(67)는, MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용할 수 있다. 차광부(68)는, 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용해서 형성할 수 있다.
- [0058] 하프톤 마스크(59b)에 노광 광을 조사했을 경우, 도 30d 도시된 것과 같이, 차광부(68)에 있어서는, 광투과율(69)은 0%이며, 차광부(68) 및 반투과부(67)가 설치되지 않는 영역에서는 광투과율(69)은 100%이다. 또한, 반투과부(67)에 있어서는, 10~70%의 범위에서 조정가능하다. 반투과부(67)에 있어서의 빛의 투과율의 조정은, 반투과부(67)의 재료의 선택에 의해 가능하다.
- [0059] 다계조 마스크를 사용해서 노광한 후, 현상함으로써, 도 1b에 도시된 것과 같이 막두께가 다른 영역을 갖는 마스크(434)를 형성할 수 있다.
- [0060] 다음에, 마스크(434)를 사용해서 제1 에칭공정을 행하여, 제1 산화물 반도체막(431), 제2 산화물 반도체막(432), 도전막(433)을 에칭하여 섬 형상으로 가공한다. 이 결과, 제1 산화물 반도체층(435), 제2 산화물 반도체층 436, 도전층(437)을 형성할 수 있다(도 1b 참조).
- [0061] 본 실시형태에서는, 이 제1 에칭공정을 에칭액에 의한 웨트에칭을 사용해서 행한다.
- [0062] 에칭액으로서는, 인산과 초산과 질산을 섞은 용액, 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2) 등을 사용할 수 있다. 또한, IT007N(간토화학사제)을 사용해도 된다.
- [0063] 원하는 가공 형상으로 에칭할 수 있도록, 도전막(433)의 재료에 맞춰서 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적당하게 조절한다.
- [0064] 예를 들면, 도전막(433)으로서 알루미늄 막, 또는 알루미늄 합금막을 사용하는 경우에는, 인산과 초산과 질산을 섞은 용액을 사용한 웨트에칭을 행할 수 있다. 또한, 도전막(433)으로서 티타늄 막을 사용할 경우,

예칭액으로서 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2)를 사용한 웨트에칭을 행할 수 있다.

[0065] 예를 들면, 도전막(433)으로서 알루미늄 막, 또는 알루미늄 합금막을 사용할 경우, 제1 예칭공정의 예칭액으로서 인산과 초산과 질산을 섞은 용액을 사용하여, 제1 산화물 반도체막(431), 제2 산화물 반도체막(432), 도전막(433)을 예칭 가공하면 된다.

[0066] 제1 예칭공정에 있어서 도전막과 산화물 반도체막을 다른 예칭액으로 예칭해도 된다. 예를 들면, 도전막(433)으로서 티타늄 막을 사용할 경우, 제1 예칭공정의 예칭액으로서 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2)를 사용해서 도전막(433)을 예칭하고, 인산과 초산과 질산을 섞은 용액을 사용해서 제1 산화물 반도체막(431), 제2 산화물 반도체막(432)을 예칭 가공해도 된다.

[0067] 제1 산화물 반도체막(431), 제2 산화물 반도체막(432), 도전막(433)을 제1 예칭공정으로 웨트에칭하면, 제1 산화물 반도체막(431), 제2 산화물 반도체막(432), 도전막(433)은 등방적으로 예칭되기 때문에, 마스크(434)의 단부와, 제1 산화물 반도체층(435), 제2 산화물 반도체층(436), 도전층(437)의 단부는 일치하지 않고 보다 후퇴하여, 그 단부는 곡률을 갖는 형상이 된다.

[0068] 또한, 제1 산화물 반도체층(435), 제2 산화물 반도체층(436), 도전층(437)의 단부는, 예칭 조건이나, 산화물 반도체 및 도전성 재료에 의해, 예칭 레이트가 다르기 때문, 각각 다른 곡률이나 불연속인 단부 형상을 갖는 경우도 있다.

[0069] 또한, 웨트에칭후의 예칭액은 예칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 예칭액의 폐액을 정제하여, 포함되는 재료를 재이용해도 된다. 해당 예칭후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수해서 재이용함으로써, 자원을 유효하게 활용하여 저비용화할 수 있다.

[0070] 다음에, 마스크(434)를 예상한다. 이 결과, 마스크의 면적이 축소하고, 두께가 얇아진다. 이때, 막두께가 얇은 영역의 마스크의 레지스트(레이트 전극층(401)의 일부와 중첩하는 영역)는 제거되어, 분리된 마스크(438)를 형성할 수 있다(도 1c 참조).

[0071] 마스크(438)를 사용해서 제1 산화물 반도체층(435), 제2 산화물 반도체층(436), 도전층(437)을 제2 예칭공정에 의해 예칭하여, 반도체층(403), n+층(404a, 404b), 소스 전극층 또는 드레인 전극층 405a, 405b를 형성한다(도 1d 참조). 이때, 반도체층(403)은 일부만 예칭되어, 홈부(오목부)를 갖는 반도체층이 되고, 또한 단부에 있어서도, 일부 예칭되어 노출된 형상이 된다.

[0072] 본 실시형태에서는, 이 제2 예칭공정을 예칭 가스에 의한 드라이에칭을 사용해서 행한다.

[0073] 예칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면, 염소(Cl₂), 염화붕소(BCl₃), 염화규소(SiCl₄), 사염화탄소(CCl₄) 등)가 바람직하다. 염소를 함유하는 가스를 사용해서 예칭을 행함으로써, 염소를 함유하지 않는 가스를 사용할 경우와 비교하여, 예칭의 면내 격차를 저감할 수 있기 때문이다.

[0074] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면, 사불화탄소(CF₄), 불화유황(SF₆), 불화질소(NF₃), 틀리풀로오로메탄(CHF₃) 등), 브롬화 수소(HBr), 산소(O₂), 이것들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희ガ스를 첨가한 가스 등을 사용할 수 있다.

[0075] 드라이에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 예칭법을 사용할 수 있다. 원하는 가공 형상으로 예칭할 수 있도록, 예칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극온도 등)을 적당하게 조절한다.

[0076] 본 실시형태에서는, ICP 예칭법에 의해, Cl₂와 O₂를 사용하고, 예칭 조건은, 코일형의 전극에 인가되는 전력량 1500W, 기판측의 전극에 인가되는 전력량 200W, 압력 1.5Pa, 기판온도 -10°C에서 행한다.

[0077] 또한, ICP 예칭법에 의해, 예칭 가스로서 Cl₂(유량 100sccm)를 사용하고, 예칭 조건은, 코일형의 전극에 인가되는 전력량 2000W, 기판측의 전극에 인가되는 전력량 600W, 압력 1.5Pa, 기판온도 -10°C에서 행해도 된다.

[0078] 또한, 예칭 처리중, 플라즈마의 발광 강도를 측정하고, 산화물 반도체막 중의 각 원자에 대응하는 파장을 모니터함으로써 예칭의 종점(엔드 포인트라고도 한다)을 판단하면 된다. 이 방법을 사용하면, 산화물 반도체

막의 에칭량을 더욱 정확하게 제어할 수 있다.

[0079] 염소계 가스(Cl_2)에 산소 가스(O_2)(바람직하게는 에칭 가스 중의 산소 가스의 함유량을 15체적% 이상)를

첨가해서 에칭을 행하면, 게이트 절연층(402)에 산화질화 규소막을 사용할 경우, 제1 산화물 반도체층(435), 제2 산화물 반도체층(436)에 사용되는 In-Ga-Zn-O계 비단결정 막과의 선택비를 높게 할 수 있으므로, 보다 제1 산화물 반도체막(431), 제2 산화물 반도체막(432)만을 선택적으로 에칭하는 것이 가능해져, 게이트 절연층(402)에의 대미지를 충분하게 저감할 수 있기 때문이다.

[0080] 마찬가지로 제1 산화물 반도체층(435), 제2 산화물 반도체층(436), 도전층(437)을 제2 에칭공정으로 드라이에칭하면, 제1 산화물 반도체층(435), 제2 산화물 반도체층(436), 도전층(437)은 이방적으로 에칭되기 때문에, 마스크(438)의 단부와, 반도체층(403)의 오목부 및 단부, n+층(404a, 404b), 소스 전극층 또는 드레인 전극층 405a, 405b의 단부는 일치하여, 연속적인 형상이 된다.

[0081] 또한, 반도체층(403)의 단부, n+층(404a, 404b), 소스 전극층 또는 드레인 전극층 405a, 405b의 단부는, 에칭 조건이나, 산화물 반도체 및 도전성 재료에 의해, 에칭 레이트가 다르기 때문에, 각각 다른 테이퍼 모서리나 불연속인 단부 형상을 갖는 경우도 있다.

[0082] 이후, 마스크(438)를 제거한다.

[0083] 또한, 소스 전극층 또는 드레인 전극층 405a, 405b의 재료로서, 반도체층(403)보다 에칭 레이트가 높은 재료를 사용하는 것이 바람직하다. 이것은, 에칭에 의해, 소스 전극층 또는 드레인 전극층 405a, 405b와 반도체층(403)을 1회로 에칭할 경우, 반도체층(403)의 에칭 레이트를 소스 전극층 또는 드레인 전극층 405a, 405b의 에칭 레이트보다 작게 하는 것에 의해, 반도체층(403)이 과도하게 에칭되는 것을 억제할 수 있기 때문이다. 그 결과, 반도체층(403)의 소실을 억제하는 것이 가능해 진다.

[0084] 그 후에 200°C ~ 600°C, 대표적으로는 300°C ~ 500°C의 열처리를 행하면 된다. 여기에서는, 질소 분위기 하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 반도체층(403), n+층(404a, 404b)을 구성하는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열이 행해진다. 이 열처리(광 어닐 등도 포함한다)는, 반도체층(403), n+층(404a, 404b) 중에 있어서의 캐리어의 이동을 저해하는 왜곡을 해방할 수 있다는 점에서 중요하다. 이때, 상기한 열처리를 행하는 타이밍은, 제1 산화물 반도체막(431), 제2 산화물 반도체막(432)의 형성후이면 특별하게 한정되지 않는다.

[0085] 또한, 노출되어 있는 반도체층(403)의 오목부에 대하여 산소 라디칼 처리를 행해도 된다. 산소 라디칼 처리를 행함으로써 반도체층(403)을 채널 형성 영역으로 하는 박막 트랜지스터를 노멀리 오프로 할 수 있다. 또한, 라디칼 처리를 행함으로써, 반도체층(403)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는, O_2 , N_2O , 산소를 포함하는 N_2 , He, Ar 등의 분위기 하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl_2 , CF_4 을 첨가한 분위기 하에서 행해도 된다. 이때, 라디칼 처리는, 기판측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다.

[0086] 이상의 공정에서, 도 1e에 나타낸 역스태거형의 박막 트랜지스터(420)를 제조할 수 있다.

[0087] 본 실시형태와 같이, 다계조 마스크에 의해 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 절감할 수 있기 때문에, 공정 간략화, 저비용화가 도모된다. 따라서, 신뢰성이 있는 반도체장치를 저비용으로 생산성 좋게 제조할 수 있다.

[0088] (실시형태 2)

[0089] 여기에서는, 실시형태 1에 있어서, 소스 전극층 및 드레인 전극층과 반도체층이 접하는 구성의 박막 트랜지스터를 갖는 반도체장치의 예를 도 3 및 도 4에 나타낸다.

[0090] 도 4a는 본 실시형태의 반도체장치가 갖는 박막 트랜지스터(460)의 평면도이며, 도 4b는 도 4a의 선 D1-D2에 있어서의 단면도이다. 박막 트랜지스터(460)는 역스태거형의 박막 트랜지스터이며, 게이트 전극층(451), 게이트 절연층(452), 반도체층(453), 소스 전극층 또는 드레인 전극층 455a, 455b를 포함한다.

[0091] 도 3a 내지 도 3e는 박막 트랜지스터(460)의 제조공정을 나타낸 단면도에 해당한다.

[0092] 도 3a에 있어서, 하지막이 되는 절연막(457)이 설치된 기판(450) 위에 게이트 전극층(451)을 설치한다.

본 실시형태에서는, 절연막(457)으로서, 산화 규소막(막두께 100nm)을 사용한다. 게이트 전극층(451) 위에 게이트 절연층(452), 산화물 반도체막(481) 및 도전막(483)을 순차적으로 적층한다.

[0093] 산화물 반도체막(481)과 도전막(483)의 접촉 영역은 플라즈마처리에 의해 개질되어 있는 것이 바람직하다. 본 실시형태에서는, 도전막(483)을 형성하기 전에, 산화물 반도체막(481)(본 실시형태에서는 In-Ga-Zn-O계 비단결정 막)에 아르곤 분위기 하에서 플라즈마 처리를 행한다.

[0094] 플라즈마 처리는, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 수소, N₂O 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 Cl₂, CF₄ 등을 첨가한 분위기에서 행해도 된다.

[0095] 게이트 절연층(452), 산화물 반도체막(481), 도전막(483)을 대기애 접촉시키지 않고 연속적으로 형성할 수 있다. 대기애 접촉시키지 않고 연속 성막함으로써, 대기성분이나 대기중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 격차를 저감할 수 있다.

[0096] 게이트 절연층(452), 산화물 반도체막(481), 도전막(483) 위에 마스크(484)를 형성한다.

[0097] 본 실시형태에서는, 마스크(484)를 형성하기 위해 다계조(고계조) 마스크를 사용한 노광을 행하는 예를 나타낸다. 마스크(484)는 실시형태 1의 마스크(434)와 마찬가지로 형성할 수 있다.

[0098] 투과한 빛이 복수의 강도가 되는 다계조 마스크를 사용해서 노광한 후, 현상함으로써, 도 3b에 도시된 것과 같이 막두께가 다른 영역을 갖는 마스크(484)를 형성할 수 있다. 다계조 마스크를 사용함으로써, 노광 마스크의 매수를 삭감하는 것이 가능하다.

[0099] 다음에, 마스크(484)를 사용해서 제1 에칭공정을 행하여, 산화물 반도체막(481), 도전막(483)을 에칭하여 섬 형상으로 가공한다. 이 결과, 산화물 반도체층(485), 도전층(487)을 형성할 수 있다(도 3b 참조).

[0100] 본 실시형태에서는, 이 제1 에칭공정을 에칭액에 의한 웨트에칭을 사용해서 행한다.

[0101] 에칭액으로서는, 인산과 초산과 질산을 섞은 용액, 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2) 등을 사용할 수 있다. 또한, IT007N(간토화학사제)을 사용해도 된다.

[0102] 원하는 가공 형상으로 에 할 수 있도록, 도전막(483)의 재료에 맞춰서 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적당하게 조절한다.

[0103] 예를 들면, 도전막(483)으로서 알루미늄 막, 또는 알루미늄 합금막을 사용하는 경우에는, 인산과 초산과 질산을 섞은 용액을 사용한 웨트에칭을 행할 수 있다. 또한, 도전막(483)으로서 티타늄 막을 사용할 경우, 에칭액으로서 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2)를 사용한 웨트에칭을 행할 수 있다.

[0104] 예를 들면, 도전막(483)으로서 알루미늄 막, 또는 알루미늄 합금막을 사용할 경우, 제1 에칭공정의 에칭액으로서 인산과 초산과 질산을 섞은 용액을 사용하여, 산화물 반도체막(481), 도전막(483), 산화물 반도체층(485), 도전층(487)을 에칭 가공하면 된다.

[0105] 제1 에칭공정에 있어서 도전막과 산화물 반도체막을 다른 에칭액으로 에칭해도 된다.

[0106] 예를 들면, 도전막(483)으로서 티타늄 막을 사용할 경우, 제1 에칭공정의 에칭액으로서 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2)를 사용해서 도전막(483)을 에칭하고, 인산과 초산과 질산을 섞은 용액을 사용해서 산화물 반도체막(481)을 에칭 가공해도 된다.

[0107] 산화물 반도체막(481), 도전막(483)을 제1 에칭공정으로 웨트에칭하면, 산화물 반도체막(481), 도전막(483)은 등방적으로 에칭되기 때문에, 마스크(484)의 단부와, 산화물 반도체층(485), 도전층(487)의 단부는 일치하지 않고 보다 후퇴하여, 그 단부는 곡률을 갖는 형상이 된다.

[0108] 또한, 산화물 반도체층(485), 도전층(487)의 단부는, 에칭 조건이나, 산화물 반도체 및 도전성 재료에 의해, 에칭 레이트가 다른 때문에, 각각 다른 곡률이나 불연속인 단부 형상을 갖는 경우도 있다.

[0109] 또한, 웨트에칭후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액을 정제하여, 포함되는 재료를 재이용해도 된다. 해당 에칭후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수해서 재이용함으로써, 자원을 유효하게 활용해 저비용화할 수 있다.

[0110] 다음에, 마스크(484)를 애싱한다. 이 결과, 마스크의 면적이 축소하고, 두께가 얇아진다. 이때, 막두께

가 얇은 영역의 마스크의 레지스트(케이트 전극층(451)의 일부와 중첩하는 영역)는 제거되어, 분리된 마스크(488)를 형성할 수 있다(도 3c 참조).

[0111] 마스크(488)를 사용해서 산화물 반도체층(485), 도전층(487)을 제2 에칭공정에 의해 에칭하여, 반도체층(483), 소스 전극층 또는 드레인 전극층 485a, 485b를 형성한다(도 3d 참조). 이때, 반도체층(453)은 일부만 에칭되어, 홈부(오목부)를 갖는 반도체층이 되고, 또한 단부에 있어서도, 일부 에칭되어 노출된 형상이 된다.

[0112] 본 실시형태에서는, 이 제2 에칭공정을 에칭 가스에 의한 드라이에칭을 사용해서 행한다.

[0113] 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면, 염소(Cl₂), 염화붕소(BCl₃), 염화규소(SiCl₄), 사염화탄소(CCl₄) 등)가 바람직하다. 염소를 함유하는 가스를 사용해서 에칭을 행함으로써, 염소를 함유하지 않는 가스를 사용하는 경우와 비교하여, 에칭의 면내 격차를 저감 할 수 있기 때문이다.

[0114] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면, 사불화탄소(CF₄), 불화유황(SF₆), 불화질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화수소(HBr), 산소(O₂), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.

[0115] 드라이에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극온도 등)을 적당하게 조절한다.

[0116] 본 실시형태에서는, ICP 에칭법에 의해, Cl₂와 O₂를 사용하고, 에칭 조건은, 코일형의 전극에 인가되는 전력량 1500W, 기판측의 전극에 인가되는 전력량 200W, 압력 1.5Pa, 기관온도 -10°C에서 행한다.

[0117] 염소계 가스(Cl₂)에 산소 가스(O₂)(바람직하게는 15% 이상)를 첨가해서 에칭을 행하면, 케이트 절연층(452)에 산화질화 규소막을 사용할 경우, 산화물 반도체층(485)에 사용되는 In-Ga-Zn-O계 비단결정 막과의 선택비를 높게 할 수 있으므로, 보다 산화물 반도체막(481)만을 선택적으로 에칭하는 것이 가능해 진다.

[0118] 산화물 반도체층(485), 도전층(487)을 제2 에칭공정으로 드라이에칭하면, 산화물 반도체층(485), 도전층(487)은 이방적으로 에칭되기 때문에, 마스크(488)의 단부와, 반도체층(453)의 오목부, 소스 전극층 또는 드레인 전극층 485a, 485b의 단부는 일치하여, 연속적인 형상이 된다.

[0119] 또한, 반도체층(453), 소스 전극층 또는 드레인 전극층 485a, 485b의 단부는, 에칭 조건이나, 산화물 반도체 및 도전성 재료에 의해, 에칭 레이트가 다르기 때문에, 각각 다른 테이퍼 모서리나 불연속인 단부 형상을 갖는 경우도 있다.

[0120] 이후, 마스크(488)를 제거한다.

[0121] 이상의 공정에서, 도 3e에 나타낸 역스태거형의 박막 트랜지스터(460)를 제조할 수 있다.

[0122] 본 실시형태와 같이, 다계조 마스크에 의해 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 절감할 수 있기 위해서, 공정 간략화, 저비용화를 도모할 수 있다. 따라서, 신뢰성이 있는 반도체장치를 저비용으로 생산성 좋게 제조할 수 있다.

[0123] (실시형태 3)

[0124] 본 실시형태에서는, 박막 트랜지스터를 포함하는 표시장치의 제조공정에 대해서, 도 5 내지 도 12를 사용하여 설명한다.

[0125] 도 5a에 있어서, 투광성을 갖는 기판(100)에는 코닝사의 #7059 글래스나 #1737 글래스 등으로 대표되는 바륨 보로실리케이트 유리나 알루미노보로실리케이트 유리등의 유리 기판을 사용할 수 있다.

[0126] 다음에, 도전층을 기판(100) 전체면에 형성한 후, 제1 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 배선 및 전극(케이트 전극층(101)을 포함하는 케이트 배선, 용량배선(108), 및 제1 단자(121))을 형성한다. 이때 적어도 케이트 전극층(101)의 단부에 테이퍼 형상이 형성되도록 에칭한다. 이 단계에서의 단면도를 도 5a에 나타냈다. 또한, 이 단계에서의 평면도가 도 7에 해당한

다.

[0127] 게이트 전극층(101)을 포함하는 게이트 배선과 용량배선(108), 단자부의 제1 단자(121)는, 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 전술한 원소를 성분으로 하는 합금이나, 전술한 원소를 조합한 합금막, 또는 전술한 원소를 성분으로 하는 질화물로 형성하는 것이 바람직하다. 또한, 알루미늄(Al)이나 구리(Cu) 등의 저저항 도전성 재료로 형성하는 경우에는, Al 단체로는 내열성이 뒤떨어지고, 또한 부식하기 쉬운 등의 문제점이 있어 상기 내열성 도전성 재료와 조합해서 형성한다.

[0128] 다음에, 게이트 전극층(101) 위에 게이트 절연층(102)을 전체면에 성막한다. 게이트 절연층(102)은 스퍼터링법 등을 사용하고, 막두께를 50~250nm로 한다.

[0129] 예를 들면, 게이트 절연층(102)으로서 스퍼터링법에 의해 산화 실리콘 막을 사용하고, 100nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 이러한 산화 실리콘 막에 한정되는 것은 아니며, 산화 질화 실리콘 막, 질화 실리콘 막, 산화 알루미늄 막, 산화 탄탈 막 등의 다른 절연막을 사용하고, 이를 재료로 이루어지는 단층 또는 적층 구조로서 형성해도 된다.

[0130] 이때, 산화물 반도체막을 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연층의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 이때, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 수소, N₂O 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 Cl₂, CF₄ 등을 첨가한 분위기에서 행해도 된다.

[0131] 다음에, 게이트 절연층(102) 위에, 제1 산화물 반도체막(109)(본 실시형태에서는 제1 In-Ga-Zn-O계 비단결정 막)을 성막한다. 플라즈마 처리후, 대기애 노출되지 않고 제1 In-Ga-Zn-O계 비단결정 막을 성막하는 것은, 게이트 절연층과 반도체막의 계면에 먼지나 수분을 부착시키지 않는 점에서 유용하다. 여기에서는, 직경 8 인치의 In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟(In₂O₃:Ga₂O₃:ZnO=1:1:1)을 사용하고, 기판과 타겟 사이의 거리를 170mm, 압력을 0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 또는 산소 분위기 하에서 성막한다. 이때, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막두께 분포도 균일하게 되기 때문에 바람직하다. 제1 In-Ga-Zn-O계 비단결정 막의 막두께는, 5nm~200nm로 한다. 본 실시형태에서는 제1 In-Ga-Zn-O계 비단결정 막의 막두께는, 100nm로 한다.

[0132] 다음에, 대기애 노출시키지 않고, 제2 산화물 반도체막(111)(본 실시형태에서는 제2 In-Ga-Zn-O계 비단결정 막)을 스퍼터링법으로 성막한다. 여기에서는, In₂O₃:Ga₂O₃:ZnO=1:1:1로 하는 타겟을 사용하고, 성막 조건은, 압력을 0.4Pa로 하고, 전력을 500W로 하고, 성막 온도를 실온으로 하고, 아르곤 가스유량 40sccm을 도입해서 스퍼터 성막을 행한다. In₂O₃:Ga₂O₃:ZnO=1:1:1로 한 타겟을 의도적으로 사용하고 있는 것에 상관없이, 성막 직후에서 크기 1nm~10nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정 막이 형성되는 일이 있다. 이때, 타겟의 성분비, 성막 압력(0.1Pa~2.0Pa), 전력(250W~3000W: 8인치Ψ), 온도(실온~100°C), 반응성 스퍼터의 성막 조건 등을 적당하게 조절함으로써 결정립의 유무와, 결정립의 밀도와, 직경 사이즈는, 1nm~10nm의 범위에서 조절될 수 있다고 할 수가 있다. 제2 In-Ga-Zn-O계 비단결정 막의 막두께는, 5nm~20nm로 한다. 물론, 막중에 결정립이 포함되는 경우, 포함되는 결정립의 사이즈가 막두께를 넘는 크기면 안된다. 본 실시형태에서는 제2 In-Ga-Zn-O계 비단결정 막의 막두께는, 5nm로 한다.

[0133] 제1 In-Ga-Zn-O계 비단결정 막은, 제2 In-Ga-Zn-O계 비단결정 막의 성막 조건과 다르게 한다. 예를 들면, 제2 In-Ga-Zn-O계 비단결정 막의 성막 조건에 있어서의 산소 가스유량과 아르곤 가스유량의 비보다도 제1 In-Ga-Zn-O계 비단결정 막의 성막 조건에 있어서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 제2 In-Ga-Zn-O계 비단결정 막의 성막 조건은, 희가스(아르곤, 또는 헬륨 등) 분위기 하(또는 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 제1 In-Ga-Zn-O계 비단결정 막의 성막 조건은, 산소 분위기 하(또는 산소 가스 유량이 아르곤 가스 유량과 같거나 또는 그 이상)로 한다.

[0134] 제2 In-Ga-Zn-O계 비단결정 막의 성막은, 먼저 역스퍼터를 행한 챔버와 동일 챔버를 사용해도 되고, 먼저 역스퍼터를 행한 챔버와 다른 챔버에서 성막해도 된다.

[0135] 스퍼터링법에는 스퍼터용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과, DC 스퍼터링법이 있으며, 펄스식으로 바이어스를 주는 펄스 DC 스퍼터링법도 더 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에

사용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 사용된다.

[0136] 또한, 재료의 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 성막하는 것도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

[0137] 또한, 챔버 내부에 자석기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터 장치나, 글로우 방전을 사용하지 않고 마이크로파를 사용해서 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터 장치가 있다.

[0138] 또한, 스퍼터링법을 사용하는 성막 방법으로서, 성막중에 타겟 물질과 스퍼터 가스 성분을 화학반응시키고 이들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막중에 기판에도 전압을 거는 바이어스 스퍼터링법도 있다.

[0139] 다음에, 제1 산화물 반도체막(109) 및 제2 산화물 반도체막(111) 위에 금속재료로 이루어진 도전막(132)을 스퍼터링법이나 진공증착법으로 형성한다. 이 단계에서의 단면도를 도 5b에 나타냈다.

[0140] 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 전술한 원소를 성분으로 하는 합금이나, 전술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200°C~600°C의 열처리를 행할 경우에는, 이 열처리에 견디는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체로는 내열성이 떨어지고, 또한 부식하기 쉬운 것 등의 문제점이 있어서 내열성 도전성 재료와 조합해서 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)으로부터 선택된 원소, 또는 전술한 원소를 성분으로 하는 합금이나, 전술한 원소를 조합한 합금막, 또는 전술한 원소를 성분으로 하는 질화물로 형성한다.

[0141] 여기에서는, 도전막(132)으로서 티타늄 막의 단층 구조로 한다. 또한, 도전막(132)은, 2층 구조로 해도 되고, 알루미늄 막 위에 티타늄 막을 적층해도 된다. 또한, 도전막(132)으로서 Ti막과, 그 Ti막 위에 중첩하여 Nd를 포함하는 알루미늄(Al-Nd) 막을 적층하고, 다시 그 위에 Ti막을 성막하는 3층 구조로 해도 된다. 도전막(132)은, 실리콘을 포함하는 알루미늄 막의 단층 구조로 해도 된다.

[0142] 다음에, 제2 포토리소그래피 공정을 행하여, 레지스트 마스크인 마스크(133)를 형성한다. 본 실시형태에서는, 마스크(133)를 형성하기 위해서 다계조(고계조) 마스크를 사용한 노광을 행하는 예를 나타낸다. 마스크(133)는 실시형태 1의 마스크(434)와 마찬가지로 형성할 수 있다.

[0143] 투과한 빛이 복수의 강도가 되는 다계조 마스크를 사용해서 노광한 후, 현상함으로써, 도 5c에 도시된 것과 같이 막두께의 다른 영역을 갖는 마스크(133)를 형성할 수 있다. 다계조 마스크를 사용함으로써, 노광 마스크의 매수를 삭감하는 것이 가능하다.

[0144] 다음에, 마스크133을 사용해서 제1 에칭공정을 행하여, 제1 In-Ga-Zn-O계 비단결정 막인 제1 산화물 반도체막(109), 제2 In-Ga-Zn-O계 비단결정 막인 제2 산화물 반도체막(111), 도전막(132)을 에칭하여 섶 형상으로 가공한다. 이 결과, 제1 산화물 반도체층(134), 제2 산화물 반도체층(135), 도전층(136)을 형성할 수 있다(도 5c 참조). 이때, 이 단계에서의 평면도가 도 8에 해당한다.

[0145] 본 실시형태에서는, 이 제1 에칭공정을 에칭액에 의한 웨트에칭을 사용해서 행한다.

[0146] 에칭액으로서는, 인산과 초산과 질산을 섞은 용액, 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2) 등을 사용할 수 있다.

[0147] 원하는 가공 형상으로 에칭할 수 있도록, 도전막(132)의 재료에 맞춰서 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적당하게 조절한다.

[0148] 예를 들면, 도전막(132)으로서 알루미늄 막, 또는 알루미늄 합금막을 사용하는 경우에는, 인산과 초산과 질산을 섞은 용액을 사용한 웨트에칭을 행할 수 있다. 또한, 도전막 132로서 티타늄 막을 사용할 경우, 에칭 액으로서 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2)를 사용한 웨트에칭을 행할 수 있다.

[0149] 예를 들면, 도전막(132)으로서 알루미늄 막, 또는 알루미늄 합금막을 사용하는 경우, 제1 에칭공정의 에칭액으로서 인산과 초산과 질산을 섞은 용액을 사용하여, 제1 산화물 반도체막(109), 제2 산화물 반도체막(111), 도전막(132), 제1 산화물 반도체층(134), 제2 산화물 반도체층(135), 도전층(136)을 에칭 가공하면 된다.

- [0150] 제1 에칭공정에 있어서 도전막과 산화물 반도체막을 다른 에칭액으로 에칭해도 된다.
- [0151] 예를 들면, 도전막(132)으로서 티타늄 막을 사용할 경우, 제1 에칭공정의 에칭액으로서 암모니아 과산화수소(과산화 수소:암모니아:물=5:2:2)를 사용해서 도전막(132)을 에칭하고, 인산과 초산과 질산을 섞은 용액을 사용해서 제1 산화물 반도체막(109), 제2 산화물 반도체막(111)을 에칭 가공해도 된다.
- [0152] 제1 산화물 반도체막(109), 제2 산화물 반도체막(111), 도전막(132)을 제1 에칭공정으로 웨트에칭하면, 제1 산화물 반도체막(109), 제2 산화물 반도체막(111), 도전막(132)은 등방적으로 에칭되기 때문에, 마스크(133)의 단부와, 제1 산화물 반도체층(134), 제2 산화물 반도체층(135), 도전층(136)의 단부는 일치하지 않고 보다 후퇴하고, 그것의 단부는 곡률을 갖는 형상이 된다.
- [0153] 또한, 웨트에칭후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액을 정제하여, 포함되는 재료를 재이용해도 된다. 해당 에칭후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수해서 재이용함으로써, 자원을 유효하게 활용해 저비용화할 수 있다.
- [0154] 다음에, 마스크(133)를 애싱한다. 이 결과, 마스크의 면적이 축소하고, 두께가 얇아진다. 이때, 막두께가 얇은 영역의 마스크의 레지스트(게이트 전극층(101)의 일부와 중첩하는 영역)는 제거되어, 분리된 마스크(131)를 형성할 수 있다(도 6a 참조).
- [0155] 마스크(131)를 사용해서 제1 산화물 반도체층(134), 제2 산화물 반도체층(135), 도전층(136)을 제2 에칭공정에 의해 에칭하여, 반도체층(103), 소스 영역 및 드레인 영역인 n+층(104a, 104b), 소스 전극층 또는 드레인 전극층 105a, 105b를 형성한다. 이때, 반도체층(103)은 일부만이 에칭되어, 흄부(오목부)를 갖는 반도체층이 되고, 또한 단부에 있어서도, 일부 에칭되어 노출된 형상이 된다.
- [0156] 본 실시형태에서는, 이 제2 에칭공정을 에칭 가스에 의한 드라이에칭을 사용해서 행한다.
- [0157] 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면, 염소(Cl₂), 염화붕소(BCl₃), 염화규소(SiCl₄), 사염화탄소(CCl₄) 등)가 바람직하다. 염소를 함유하는 가스를 사용해서 에칭을 행함으로써, 염소를 함유하지 않는 가스를 사용하는 경우와 비교하여, 에칭의 면내 격차를 저감할 수 있기 때문이다.
- [0158] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면, 사불화탄소(CF₄), 불화유황(SF₆), 불화질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화수소(HBr), 산소(O₂), 이들 가스에 헬륨(He)이나 아르곤(Ar)등의 희ガ스를 첨가한 가스 등을 사용할 수 있다.
- [0159] 드라이에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극온도 등)을 적당하게 조절한다.
- [0160] 본 실시형태에서는, ICP 에칭법에 의해, Cl₂와 O₂를 사용하고, 에칭 조건은, 코일형의 전극에 인가되는 전력량 1500W, 기판측의 전극에 인가되는 전력량 200W, 압력 1.5Pa, 기판온도 -10°C에서 행한다.
- [0161] 염소계 가스(Cl₂)에 산소 가스(O₂)(바람직하다는 15% 이상)를 첨가해서 에칭을 행하면, 게이트 절연층(102)에 산화질화 규소막을 사용하는 경우, 제1 산화물 반도체층(134), 제2 산화물 반도체층(135)에 사용되는 In-Ga-Zn-O계 비단결정 막과의 선택비를 높게 할 수 있으므로, 보다 산화물 반도체막(481)만을 선택적으로 에칭하는 것이 가능해 진다.
- [0162] 제1 산화물 반도체층(134), 제2 산화물 반도체층(135), 도전층(136)을 제2 에칭공정으로 드라이에칭하면, 제1 산화물 반도체층(134), 제2 산화물 반도체층(135), 도전층(136)은 이방적으로 에칭되기 때문에, 마스크(131)의 단부와, 반도체층(103)의 오목부, n+층(104a, 104b), 소스 전극층 또는 드레인 전극층 105a, 105b의 단부는 일치하여, 연속적인 형상이 된다.
- [0163] 다음에, 200°C~600°C, 대표적으로는 300°C~500°C의 열처리를 행하는 것이 바람직하다. 여기에서는 로에 넣어, 질소 분위기 하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 In-Ga-Zn-O계 비단결정 막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 왜곡이 해방되기 때문에, 여기에서의 열처리(광 어닐도 포함한다)는 중요하다. 이때, 열처리를 행하는 타이밍은, 제2 In-Ga-Zn-O계 비단결정 막

의 성막후이면 특별하게 한정되지 않고, 예를 들면, 화소전극 형성후에 행해도 된다.

[0164] 더구나, 노출하고 있는 반도체층(103)의 채널 형성 영역에, 산소 라디칼 처리를 행해도 된다. 산소 라디칼 처리를 행함으로써 박막 트랜지스터를 노멀리 오프로 할 수 있다. 또한, 라디칼 처리를 행함으로써, 반도체층(103)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는 O_2 , N_2O , 바람직하게는 산소를 포함하는 N_2 , He , Ar 분위기 하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl_2 , CF_4 을 첨가한 분위기 하에서 행해도 된다. 이때, 라디칼 처리는, 무바이어스에서 행하는 것이 바람직하다.

[0165] 이상의 공정에서 반도체층(103)을 채널 형성 영역으로 하는 박막 트랜지스터(170)를 제조할 수 있다. 이 단계에서의 단면도를 도 6a에 나타냈다. 이때, 이 단계에서의 평면도가 도 9에 해당한다.

[0166] 또한, 제2 에칭공정에 있어서, 반도체층(103)과 같은 재료인 단자층(124), n^+ 층(104a, 104b)과 같은 재료인 단자(123), 소스 전극층 또는 드레인 전극층 105a, 105b와 같은 재료인 제2 단자(122)를 단자부에 남긴다. 이때, 제2 단자(122)는 소스 배선(소스 전극층 또는 드레인 전극층 105a, 105b를 포함하는 소스 배선)과 전기적으로 접속되어 있다.

[0167] 다계조 마스크에 의해 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 절감할 수 있기 때문에, 공정 간략화, 저비용화를 도모할 수 있다.

[0168] 다음에, 마스크(131)를 제거하고, 박막 트랜지스터(170)를 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)은 스퍼터링법 등을 사용해서 얻어지는 질화 실리콘 막, 산화 실리콘 막, 산화질화 실리콘 막, 산화 알루미늄 막, 산화 탄탈 막 등을 사용할 수 있다.

[0169] 다음에, 제3 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 게이트 절연층(102), 및 보호 절연층(107)의 에칭에 의해 드레인 전극층(105b)에 이르는 콘택홀(125)을 형성한다. 또한, 여기에서의 에칭에 의해 제2 단자(122)에 이르는 콘택홀(127), 제1 단자 121에 이르는 콘택홀(126)도 형성한다. 이 단계에서의 단면도를 도 6b에 나타낸다.

[0170] 다음에, 레지스트 마스크를 제거한 후, 투명 도전막을 성막한다. 투명 도전막의 재료로서는, 산화인듐(In_2O_3)이나 산화인듐 산화주석 합금($In_2O_3-SnO_2$, ITO로 약기한다) 등을 스퍼터링법이나 진공증착법 등을 사용해서 형성한다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔류물이 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화인듐 산화아연 합금(In_2O_3-ZnO)을 사용해도 된다.

[0171] 다음에, 제4 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소전극층(110)을 형성한다.

[0172] 또한, 이 제4 포토리소그래피 공정에 있어서, 용량부에 있어서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로 하여, 용량배선(108)과 화소전극층(110)으로 저장용량이 형성된다.

[0173] 또한, 이 제4 포토리소그래피 공정에 있어서, 제1 단자 및 제2 단자를 레지스트 마스크로 덮어 단자부에 형성된 투명도전막(128, 129)을 남긴다. 투명도전막(128, 129)은 FPC과의 접속에 사용되는 전극 또는 배선이 된다. 제1 단자(121) 위에 형성된 투명도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속용의 단자전극이 된다. 제2 단자(122) 위에 형성된 투명도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속용의 단자전극이다.

[0174] 다음에, 레지스트 마스크를 제거하고, 이 단계에서의 단면도를 도 6c에 나타낸다. 이때, 이 단계에서의 평면도가 도 10에 해당한다.

[0175] 또한, 도 11a, 도 11b는, 이 단계에서의 게이트 배선 단자부의 평면도 및 단면도를 각각 도시하고 있다. 도 11a는 도 11b 중의 E1-E2선에 따른 단면도에 해당한다. 도 11a에 있어서, 보호 절연막(154) 위에 형성되는 투명도전막(155)은, 입력 단자로서 기능하는 접속용의 단자전극이다. 또한, 도 11a에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 제1 단자(151)와, 소스 배선과 같은 재료로 형성되는 접속 전극층(153)이 게이트 절연층(152), 반도체층(157) 및 n^+ 층(158)을 개체하여 중첩되어, 투명도전막(155)과 도통시키고 있다. 이때, 도 6c에 도시한 투명도전막(128)과 제1 단자(121)가 접촉하고 있는 부분이, 도 11a의 투명도전막(155)과 제1 단자(151)가 접촉하고 있는 부분에 대응하고 있다.

[0176] 도 11c, 및 도 11d는, 도 6c에 나타낸 소스 배선 단자부와는 다른 소스 배선 단자부의 평면도 및 단면

도를 각각 도시하고 있다. 또한, 도 11c는 도 11d 중의 F1-F2선에 따른 단면도에 해당한다. 도 11c에 있어서, 보호 절연막(154) 위에 형성되는 투명도전막(155)은, 입력 단자로서 기능하는 접속용의 단자전극이다. 또한, 도 11c에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 전극층(1560이, 소스 배선과 전기적으로 접속되는 제2 단자(150)의 아래쪽에 게이트 절연층(152)을 거쳐 중첩된다. 전극층(156)은 제2 단자(150)와는 전기적으로 접속하고 있지 않고, 전극층(156)을 제2 단자(150)와 다른 전위, 예를 들면, 플로팅, GND, 0V 등으로 설정하면, 노이즈 대책을 위한 용량 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제2 단자(150)는, 보호 절연막(154)을 거쳐 투명도전막(155)과 전기적으로 접속하고 있다.

[0177] 게이트 배선, 소스 배선, 및 용량배선은 화소 밀도에 따라 복수개 설치되는 것이다. 또한, 단자부에 있어서는, 게이트 배선과 동 전위의 제1 단자, 소스 배선과 동 전위의 제2 단자, 용량배선과 동 전위의 제3 단자 등이 복수 나란하게 배치된다. 각각의 단자의 수는, 각각 임의의 수로 설치하면 되는 것으로 하고, 실시자가 적당하게 결정하면 된다.

[0178] 이렇게 해서 4회의 포트리소그래피 공정에 의해, 4매의 포토마스크를 사용하여, 보텀 게이트형의 n채널 형 박막 트랜지스터인 박막 트랜지스터(170)를 갖는 화소 박막 트랜지스터부, 저장용량을 완성시킬 수 있다. 그리고, 이것들을 개개의 화소에 대응해서 매트릭스 모양으로 배치해서 화소부를 구성함으로써 액티브 매트릭스형의 표시장치를 제조하는 위한 한쪽의 기판으로 할 수 있다. 본 명세서에서는 편의상 이러한 기판을 액티브 매트릭스 기판으로 부른다.

[0179] 액티브 매트릭스형의 액정표시장치를 제조할 경우에는, 액티브 매트릭스 기판과, 대향전극이 설치된 대향기판 사이에 액정층을 설치하고, 액티브 매트릭스 기판과 대향기판을 고정한다. 이때, 대향기판에 설치된 대향전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 설치하고, 공통 전극과 전기적으로 접속하는 제4 단자를 단자부에 설치한다. 이 제4 단자는, 공통 전극을 고정 전위, 예를 들면, GND, 0V 등으로 설정하기 위한 단자이다.

[0180] 또한, 도 10의 화소 구성에 한정되지 않고, 도 10과는 다른 평면도의 예를 도 12에 나타낸다. 도 12에서는 용량배선을 설치하지 않고, 화소전극을 인접하는 화소의 게이트 배선과 보호 절연막 및 게이트 절연층을 거쳐 중첩하여 저장용량을 형성하는 예이며, 이 경우, 용량배선 및 용량배선과 접속하는 제3 단자는 생략할 수 있다. 이때, 도 12에 있어서, 도 10과 같은 부분에는 동일한 부호를 사용하여 설명한다.

[0181] 액티브 매트릭스형의 액정표시장치에 있어서는, 매트릭스 모양으로 배치된 화소전극을 구동함으로써, 화면 위에 표시 패턴이 형성된다. 상세하게는, 선택된 화소전극과 이 화소전극에 대응하는 대향전극 사이에 전압이 인가됨으로써, 화소전극과 대향전극 사이에 배치된 액정층의 광학변조가 행해지고, 이 광학변조가 표시 패턴으로서 관찰자에게 인식된다.

[0182] 액정표시장치의 동영상 표시에 있어서, 액정분자 자체의 응답이 느리기 때문에, 잔상이 생기거나, 또는 동영상의 블러가 생긴다고 하는 문제가 있다. 액정표시장치의 동영상 특성을 개선하기 위해서, 전체면 흑색 표시를 1프레임 걸러 행하는, 소위, 흑 삽입이라고 불리는 구동기술이 있다.

[0183] 또한, 일반적인 수직주기를 1.5배 이상(바람직하게는 2배 이상)으로 함으로써 동영상 특성을 개선하는, 소위, 배속구동이라고 불리는 구동기술도 있다.

[0184] 또한, 액정표시장치의 동영상 특성을 개선하기 위해, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용해서 면광원을 구성하고, 면광원을 구성하고 있는 각 광원을 독립하여 1프레임 기간 내에서 간헐 점등 구동하는 구동기술도 있다. 면광원으로서, 3종류 이상의 LED를 사용해도 되고, 백색 발광의 LED를 사용해도 된다. 독립하여 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학변조의 전환 타이밍에 맞춰서 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동기술은, LED를 부분적으로 소등할 수 있으므로, 특히 1 화면 차지하는 검은 표시 영역의 비율이 많은 영상표시의 경우에는, 소비 전력의 저감 효과를 꾀할 수 있다.

[0185] 이들 구동기술을 조합함으로써, 액정표시장치의 동영상 특성 등의 표시 특성을 종래보다도 개선할 수 있다.

[0186] 본 실시형태에서 얻어지는 n채널형의 트랜지스터는, In-Ga-Zn-O계 비단결정 막을 채널 형성 영역에 사용하고 있어, 양호한 동특성을 갖기 때문에, 이들 구동기술을 조합할 수 있다.

[0187] 또한, 발광 표시장치를 제조하는 경우, 유기발광소자의 한쪽의 전극(캐소드라고도 부른다)은, 저전원 전위, 예를 들면, GND, 0V 등에 설치하기 위해서, 단자부에, 캐소드를 저전원 전위, 예를 들면, GND, 0V 등으로

설정하기 위한 제4 단자가 설치된다. 또한, 발광 표시장치를 제조할 경우에는, 소스 배선, 및 게이트 배선에 덧붙여 전원공급선을 설치한다. 따라서, 단자부에는, 전원공급선과 전기적으로 접속하는 제5 단자를 설치한다.

[0188] 본 실시형태와 같이, 산화물 반도체를 사용한 박막 트랜지스터로 형성함으로써, 제조 비용을 저감할 수 있다.

[0189] 본 실시형태와 같이, 다계조 마스크에 의해 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 절감할 수 있기 때문에, 공정 간략화, 저비용화를 도모할 수 있다. 따라서, 신뢰성이 있는 반도체장치를 저비용으로 생산성 좋게 제조할 수 있다.

[0190] 본 실시형태는, 다른 실시형태에 기재한 구성과 적당하게 조합하고 실시하는 것이 가능하다.

[0191] (실시형태 4)

[0192] 본 실시형태에서는, 반도체장치의 일례인 표시장치에 있어서, 동일기판 위에 적어도 구동회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 제조하는 예에 대해서 이하에서 설명한다.

[0193] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 3에 따라 형성한다. 또한, 실시형태 1 내지 3에 나타낸 박막 트랜지스터는 n채널형 TFT이기 때문에, 구동회로 중, n채널형 TFT로 구성 할 수 있다. 구동회로의 일부를 화소부의 박막 트랜지스터와 동일기판 위에 형성한다.

[0194] 반도체장치의 일례인 액티브 매트릭스형 액정표시장치의 블록도의 일례를 도 14a에 나타낸다. 도 14a에 나타낸 표시장치는, 기판(5300) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5301)와, 각 화소를 선택하는 주사선 구동회로(5302)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동회로(5303)를 갖는다.

[0195] 화소부(5301)는, 신호선 구동회로(5303)로부터 열방향으로 신장해서 배치된 복수의 신호선 S1~Sm(미도시)에 의하여 신호선 구동회로(5303)와 접속되어, 주사선 구동회로(5302)로부터 행방향으로 신장해서 배치된 복수의 주사선 G1~Gn(미도시)에 의해 주사선 구동회로(5302)와 접속되고, 신호선 S1~Sm과 주사선 G1~Gn에 대응해서 매트릭스 모양으로 배치된 복수의 화소(미도시)를 갖는다. 그리고, 각 화소는, 신호선 Sj(신호선 S1~Sm 중 어느 한개), 주사선 Gi(주사선 G1~Gn 중 어느 한 개)와 접속된다.

[0196] 또한, 실시형태 1 내지 3에 나타낸 박막 트랜지스터는, n채널형 TFT이며, n채널형 TFT로 구성하는 신호선 구동회로에 대해서 도 15를 사용하여 설명한다.

[0197] 도 15에 나타낸 신호선 구동회로는, 드라이버 IC(5601), 스위치 군(5602_1~5602_M), 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선 5621_1~5621_M을 갖는다. 스위치 군(5602_1~5602_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 갖는다.

[0198] 드라이버 IC(5601)은 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선 5621_1~5621_M에 접속된다. 그리고, 스위치 군(5602_1~5602_M) 각각은, 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 스위치 군(5602_1~5602_M) 각각에 대응한 배선 5621_1~5621_M에 접속된다. 그리고, 배선 5621_1~5621_M 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐서, 3개의 신호선에 접속된다. 예를 들면, J열째의 배선 5621_J 배선 5621_1~배선 5621_M 중 어느 한개)은, 스위치 군 5602_J가 갖는 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐서, 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 접속된다.

[0199] 이때, 제1 배선(5611), 제2 배선(5612), 제3 배선(5613)에는, 각각 신호가 입력된다.

[0200] 이때, 드라이버 IC(5601)은, 단결정 기판 위에 형성되어 있는 것이 바람직하다. 더구나, 스위치 군(5602_1~5602_M)은, 화소부와 동일기판 위에 형성되어 있는 것이 바람직하다. 따라서, 드라이버 IC(5601)과 스위치 군(5602_1~5602_M)은 FPC 등을 거쳐 접속하면 된다.

[0201] 다음에, 도 15에 나타낸 신호선 구동회로의 동작에 대해서, 도 16의 타이밍 차트를 참조해서 설명한다. 이때, 도 16의 타이밍 차트는, i행째의 주사선 Gi가 선택되고 있을 경우의 타이밍 차트를 나타내고 있다. 더구나, i행째의 주사선 Gi의 선택 기간은, 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3으로 분할되어 있다. 더구나, 도 15의 신호선 구동회로는, 다른 행의 주사선이 선택되어 있는 경우에도 도 16

과 같은 동작을 한다.

[0202] 이때, 도 16의 타이밍 차트는, J열째의 배선 5621_J가 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐, 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 접속되는 경우에 대해 나타내고 있다.

[0203] 이때, 도 16의 타이밍 차트는, i행째의 주사선 Gi가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온·오프의 타이밍 5703a, 제2 박막 트랜지스터(5603b)의 온·오프의 타이밍 5703b, 제3 박막 트랜지스터(5603c)의 온·오프의 타이밍 5703c 및 J열째의 배선 5621_J에 입력되는 신호 5721_J를 나타내고 있다.

[0204] 이때, 배선 5621_1~배선 5621_M에는 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3에 있어서, 각각 다른 비디오 신호가 입력된다. 예를 들면, 제1 서브 선택 기간 T1에 있어서 배선 5621_J에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제2 서브 선택 기간 T2에 있어서 배선 5621_J에 입력되는 비디오 신호는 신호선 Sj에 입력되고, 제3 서브 선택 기간 T3에 있어서 배선 5621_J에 입력되는 비디오 신호는 신호선 Sj+1에 입력된다. 더구나, 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3에 있어서, 배선 5621_J에 입력되는 비디오 신호를 각각 Data_j-1, Data_j, Data_j+1으로 한다.

[0205] 도 16에 도시된 것과 같이 제1 서브 선택 기간 T1에 있어서 제1 박막 트랜지스터(5603a)가 온하고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j-1이, 제1 박막 트랜지스터(5603a)를 거쳐서 신호선 Sj-1에 입력된다. 제2 서브 선택 기간 T2에서는, 제2 박막 트랜지스터(5603b)가 온하고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j가, 제2 박막 트랜지스터(5603b)를 거쳐서 신호선 Sj에 입력된다. 제3 서브 선택 기간 T3에서는, 제3 박막 트랜지스터(5603c)가 온하고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j+1이, 제3 박막 트랜지스터(5603c)를 거쳐서 신호선 Sj+1에 입력된다.

[0206] 이상의 것으로부터, 도 15의 신호선 구동회로는, 1 케이트 선택 기간을 3개로 분할함으로써, 1 케이트 선택 기간 동안에 1개의 배선 5621로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 15의 신호선 구동회로는, 드라이버 IC(5601)가 형성되는 기판과, 화소부가 형성되어 있는 기판의 접속수를 신호선의 수에 비해 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 15의 신호선 구동회로는, 신뢰성, 수율 등을 향상 시킬 수 있다.

[0207] 이때, 도 15와 같이, 1 케이트 선택 기간을 복수의 서브 선택 기간으로 분할하고, 복수의 서브 선택 기간 각각에 있어서, 어떤 1개의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있으면, 박막 트랜지스터의 배치나 수, 구동방법 등을 한정되지 않는다.

[0208] 예를 들면, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우에는, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 된다. 단, 1 케이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 케이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.

[0209] 다른 예로서, 도 17의 타이밍 차트에 도시된 것과 같이, 1개의 선택 기간을 프리차지 기간 Tp, 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2, 제3 선택 기간 T3으로 분할해도 된다. 더구나, 도 17의 타이밍 차트는, i행째의 주사선 Gi가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온·오프의 타이밍(5803a), 제2 박막 트랜지스터(5603b)의 온·오프의 타이밍(5803b), 제3 박막 트랜지스터(5603c)의 온·오프의 타이밍(5803c) 및 J열째의 배선(5621_J)에 입력되는 신호(5821_J)를 나타내고 있다. 도 17에 도시된 것과 같이, 프리차지 기간 Tp에 있어서 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 온한다. 이 때, 배선 5621_J에 입력되는 프리차지 전압 Vp가 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐서 각각 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 입력된다. 제1 서브 선택 기간 T1에 있어서 제1 박막 트랜지스터(5603a)가 온하고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j-1이, 제1 박막 트랜지스터(5603a)를 거쳐서 신호선 Sj-1에 입력된다. 제2 서브 선택 기간 T2에서는, 제2 박막 트랜지스터(5603b)가 온하고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j가, 제2 박막 트랜지스터(5603b)를 거쳐서 신호선 Sj에 입력된다. 제3 서브 선택 기간 T3에서는, 제3 박막 트랜지스터(5603c)가 온하고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프한다. 이때, 배선 5621_J에 입력되

는 Data_j+1이, 제3 박막 트랜지스터(5603c)를 거쳐서 신호선 Sj+1에 입력된다.

[0210] 이상의 것으로부터, 도 17의 타이밍 차트를 적용한 도 15의 신호선 구동회로는, 서브 선택 기간 이전에 프리챠지 선택 기간을 설치함으로써, 신호선을 프리챠지할 수 있기 때문에, 화소에의 비디오 신호의 기록을 고속으로 행할 수 있다. 이때, 도 17에 있어서, 도 16과 같은 것에 관해서는 공통의 부호를 사용해서 나타내고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0211] 또한, 주사선 구동회로의 구성에 관하여 설명한다. 주사선 구동회로는, 시프트 레지스터, 버퍼를 갖고 있다. 또한, 경우에 따라서는 레벨 시프터를 갖고 있어도 된다. 주사선 구동회로에 있어서, 시프트 레지스터에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택신호가 생성된다. 생성된 선택신호는 버퍼에 있어서 완충 증폭되어, 대응하는 주사선에 공급된다. 주사선에는, 1 라인분의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 그리고, 1 라인분의 화소의 트랜지스터를 일제히 ON으로 하지 않으면 안되므로, 버퍼는 큰 전류를 흘려보내는 것이 가능한 것이 사용된다.

[0212] 주사선 구동회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대해서 도 18 및 도 19를 사용하여 설명한다.

[0213] 도 18에 시프트 레지스터의 회로 구성을 나타낸다. 도 18에 나타낸 시프트 레지스터는, 플립플롭 5701_1~5701_n이라고 하는 복수의 플립플롭으로 구성된다. 또한, 제1 클록 신호, 제2 클록 신호, 스타트 펄스 신호, 리셋트 신호가 입력되어서 동작한다.

[0214] 도 18의 시프트 레지스터의 접속 관계에 관하여 설명한다. 도 18의 시프트 레지스터는, I단째의 플립플롭(5701_i)(플립플롭 5701_1~5701_n 중 어느 한개)은, 도 19에 나타낸 제1 배선(5501)이 제7 배선(5717_i-1)에 접속되고, 도 19에 나타낸 제2 배선(5502)이 제7 배선(5717_i+1)에 접속되고, 도 19에 나타낸 제3 배선(5503)이 제7 배선(5717_i)에 접속되고, 도 19에 나타낸 제6 배선(5506)이 제5 배선(5715)에 접속된다.

[0215] 또한, 도 19에 나타낸 제4 배선(5504)이 홀수단째의 플립플롭에서는 제2 배선(5712)에 접속되고, 짝수 단째의 플립플롭에서는 제3 배선(5713)에 접속되고, 도 19에 나타낸 제5 배선(5505)이 제4 배선(5714)에 접속된다.

[0216] 단, 1단째의 플립플롭(5701_1)의 도 19에 나타낸 제1 배선(5501)은 제1 배선(5711)에 접속되고, n단째의 플립플롭(5701_n)의 도 19에 나타낸 제2 배선(5502)은 제6 배선(5716)에 접속된다.

[0217] 이때, 제1 배선(5711), 제2 배선(5712), 제3 배선(5713), 제6 배선(5716)을, 각각 제1 신호선, 제2 신호선, 제3 신호선, 제4 신호선이라고 불러도 된다. 더구나, 제4 배선(5714), 제5 배선(5715)을, 각각 제1 전원선, 제2 전원선이라고 불러도 된다.

[0218] 다음에, 도 18에 나타낸 플립플롭의 상세에 대해서, 도 19에 나타낸다. 도 19에 나타낸 플립플롭은, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)를 갖는다. 이때, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)는, n채널형 트랜지스터이며, 게이트 · 소스간 전압(Vgs)이 임계전압(Vth)을 상회했을 때 도통상태가 되는 것으로 한다.

[0219] 다음에, 도 19에 나타낸 플립플롭의 접속 구성을 대해서, 이하에 나타낸다.

[0220] 제1 박막 트랜지스터(5571)의 제1 전극(소스 전극 및 드레인 전극의 한쪽)이 제4 배선(5504)에 접속되고, 제1 박막 트랜지스터(5571)의 제2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 제3 배선(5503)에 접속된다.

[0221] 제2 박막 트랜지스터(5572)의 제1 전극이 제6 배선(5506)에 접속되고, 제2 박막 트랜지스터(5572)의 제2 전극이 제3 배선(5503)에 접속된다.

[0222] 제3 박막 트랜지스터(5573)의 제1 전극이 제5 배선(5505)에 접속되고, 제3 박막 트랜지스터(5573)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제3 박막 트랜지스터(5573)의 게이트 전극이 제5 배선(5505)에 접속된다.

[0223] 제4 박막 트랜지스터(5574)의 제1 전극이 제6 배선(5506)에 접속되고, 제4 박막 트랜지스터(5574)의 제

2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제4 박막 트랜지스터(5574)의 게이트 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.

[0224] 제5 박막 트랜지스터(5575)의 제1 전극이 제5 배선(5505)에 접속되고, 제5 박막 트랜지스터(5575)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제5 박막 트랜지스터(5575)의 게이트 전극이 제1 배선(5501)에 접속된다.

[0225] 제6 박막 트랜지스터(5576)의 제1 전극이 제6 배선(5506)에 접속되고, 제6 박막 트랜지스터(5576)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제6 박막 트랜지스터(5576)의 게이트 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.

[0226] 제7 박막 트랜지스터(5577)의 제1 전극이 제6 배선(5506)에 접속되고, 제7 박막 트랜지스터(5577)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제7 박막 트랜지스터(5577)의 게이트 전극이 제2 배선(5502)에 접속된다. 제8 박막 트랜지스터(5578)의 제1 전극이 제6 배선(5506)에 접속되고, 제8 박막 트랜지스터(5578)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제8 박막 트랜지스터(5578)의 게이트 전극이 제1 배선(5501)에 접속된다.

[0227] 이때, 제1 박막 트랜지스터(5571)의 게이트 전극, 제4 박막 트랜지스터(5574)의 게이트 전극, 제5 박막 트랜지스터(5575)의 제2 전극, 제6 박막 트랜지스터(5576)의 제2 전극 및 제7 박막 트랜지스터(5577)의 제2 전극의 접속 개소를 노드(5543)로 한다. 더구나, 제2 박막 트랜지스터(5572)의 게이트 전극, 제3 박막 트랜지스터(5573)의 제2 전극, 제4 박막 트랜지스터(5574)의 제2 전극, 제6 박막 트랜지스터(5576)의 게이트 전극 및 제8 박막 트랜지스터(5578)의 제2 전극의 접속 개소를 노드(5544)로 한다.

[0228] 이때, 제1 배선(5501), 제2 배선(5502), 제3 배선(5503) 및 제4 배선(5504)을, 각각 제1 신호선, 제2 신호선, 제3 신호선, 제4 신호선으로 불러도 된다. 더구나, 제5 배선(5505)을 제1 전원선, 제6 배선(5506)을 제2 전원선으로 불러도 된다.

[0229] 또한, 신호선 구동회로 및 주사선 구동회로를 실시형태 1에 나타낸 n채널형 TFT만으로 제조하는 것도 가능하다. 실시형태 1에 나타낸 n채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동회로의 구동주파수를 높게 하는 것이 가능해 진다. 또한, 실시형태 1에 나타낸 n채널형 TFT는 In-Ga-Zn-O계 비단결정 막인 소스 영역 또는 드레인 영역에 의해 기생 용량이 저감되기 때문에, 주파수 특성(f 특성이라고 불린다)이 높다. 예를 들면, 실시형태 1에 나타낸 n채널형 TFT를 사용한 주사선 구동회로는, 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높게 하는 것, 또는, 흑화면 삽입을 실현하는 것 등도 실현 할 수 있다.

[0230] 더구나, 주사선 구동회로의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동회로를 배치하는 것 등에 의해, 한층 더 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동회로를 배치하는 경우에는, 짹수행의 주사선을 구동하기 위한 주사선 구동회로를 한쪽에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동회로를 그 반대측에 배치함으로써, 프레임 주파수를 높게 하는 것을 실현할 수 있다. 또한, 복수의 주사선 구동회로에 의해, 같은 주사선에 신호를 출력하면, 표시장치의 대형화에 유리하다.

[0231] 또한, 반도체장치의 일례인 액티브 매트릭스형 발광 표시장치를 제조하는 경우, 적어도 한 개의 화소에 복수의 박막 트랜지스터를 배치하기 위해서, 주사선 구동회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시장치의 블록도의 일례를 도 14b에 나타낸다.

[0232] 도 14b에 나타낸 발광 표시장치는, 기판(5400) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5401)와, 각 화소를 선택하는 제1 주사선 구동회로(5402) 및 제2 주사선 구동회로(5404)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동회로(5403)를 갖는다.

[0233] 도 14b에 나타낸 발광 표시장치의 화소에 입력되는 비디오 신호를 디지털 형식이라고 하는 경우, 화소는 트랜지스터의 온과 오프의 전환에 의해, 발광 또는 비발광의 상태가 된다. 따라서, 면적제조법 또는 시간제조법을 사용해서 계조의 표시를 행할 수 있다. 면적제조법은, 1 화소를 복수의 부화소로 분할하고, 각 부화소를 독립적으로 비디오 신호에 근거하여 구동시킴으로써 계조표시를 행하는 구동법이다. 또한 시간제조법은, 화소가 발광하는 기간을 제어함으로써, 계조표시를 행하는 구동법이다.

[0234] 발광소자는, 액정소자 등과 비교해서 응답 속도가 높으므로, 액정소자보다도 시간제조법에 적합하다. 구체적으로 시간제조법으로 표시를 행할 경우, 1 프레임 기간을 복수의 서브프레임 기간으로 분할한다. 그리고 비디오 신호에 따라, 각 서브프레임 기간에 있어서 화소의 발광소자를 발광 또는 비발광의 상태로 한다. 복수의

서브프레임 기간으로 분할함으로써, 1 프레임 기간 동안에 화소가 실제로 발광하는 기간의 토클의 길이를, 비디오 신호에 의해 제어할 수 있어, 계조를 표시할 수 있다.

[0235] 이때, 도 14b에 나타낸 발광 표시장치에서는, 한개의 화소에 2개의 스위칭용 TFT를 배치하는 경우, 한쪽의 스위칭용 TFT의 게이트 배선인 제1 주사선에 입력되는 신호를 제1 주사선 구동회로(5402)에서 생성하고, 다른 쪽의 스위칭용 TFT의 게이트 배선인 제2 주사선에 입력되는 신호를 제2 주사선 구동회로(5404)에서 생성하고 있는 예를 나타내고 있지만, 제1 주사선에 입력되는 신호와, 제2 주사선에 입력되는 신호를, 모두 1개의 주사선 구동회로에서 생성하도록 해도 된다. 또한, 예를 들면, 1개의 화소가 갖는 스위칭용 TFT의 수에 의해, 스위칭소자의 동작을 제어하는데 사용되는 주사선이, 각 화소에 복수 설치될 수도 있다. 이 경우, 복수의 주사선에 입력되는 신호를, 모두 1개의 주사선 구동회로에서 생성해도 되고, 복수의 각 주사선 구동회로에서 생성해도 된다.

[0236] 또한, 발광 표시장치에 있어서도, 구동회로 중에서, n채널형 TFT로 구성할 수 있는 구동회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성할 수 있다. 또한, 신호선 구동회로 및 주사선 구동회로를 실시형태 1 내지 3에 나타낸 n채널형 TFT만으로 제조하는 것도 가능하다.

[0237] 또한, 전술한 구동회로는, 액정표시장치나 발광 표시장치에 한정되지 않고, 스위칭소자와 전기적으로 접속하는 소자를 이용해서 전자 잉크를 구동시키는 전자 페이퍼에 사용해도 된다. 전자 페이퍼는, 전기영동 표시장치(전기영동 디스플레이)로도 불리고 있고, 종이와 동일한 읽기 쉬움, 다른 표시장치에 비해 저소비 전력, 얇아서 가벼운 형상으로 하는 것이 가능하다고 하는 이점을 갖고 있다.

[0238] 전기영동 디스플레이는, 여러가지 형태가 생각될 수 있지만, 플러스의 전하를 갖는 제1 입자와, 마이너스의 전하를 갖는 제2 입자를 포함하는 마이크로캡슐이 용매 또는 용질에 복수 분산된 것으로, 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐 중의 입자를 서로 반대 방향으로 이동시켜서 한쪽에 집합한 입자의 색만을 표시하는 것이다. 이때, 제1 입자 또는 제2 입자는 염료를 포함하여, 전계가 없을 경우에 있어서 이동하지 않는 것이다. 또한, 제1 입자의 색과 제2 입자의 색은 다른 것(무색을 포함한다)으로 한다.

[0239] 이와 같이, 전기영동 디스플레이는, 유전정수의 높은 물질이 높은 전계영역로 이동한다, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기영동 디스플레이는, 액정표시장치에는 필요한 편광판, 대향기판도 전기영동표시장치에는 필요없고, 두께나 무게가 반감한다.

[0240] 상기 마이크로캡슐을 용매중에 분산시킨 것이 전자 잉크로 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.

[0241] 또한, 액티브 매트릭스 기판 위에 적당하게, 2개의 전극 사이에 끼워지도록 상기 마이크로캡슐을 복수 배치하면 액티브 매트릭스형의 표시장치가 완성되고, 마이크로캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시형태 1 내지 3의 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.

[0242] 이때, 마이크로캡슐 중의 제1 입자 및 제2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네센스 재료, 일렉트로크로믹 재료, 자기영동 재료에서 선택된 1종의 재료, 또는 이들의 복합재료를 사용하면 된다.

[0243] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 표시장치를 제조할 수 있다.

[0244] 본 실시형태는, 다른 실시형태에 기재된 구성과 적당하게 조합하여 실시하는 것이 가능하다.

[0245] (실시형태 5)

[0246] 박막 트랜지스터를 제조하고, 이 박막 트랜지스터를 화소부, 더구나 구동회로에 사용해서 표시 기능을 갖는 반도체장치(표시장치라고도 한다)를 제조할 수 있다. 또한, 박막 트랜지스터를 구동회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하여, 시스템 온 패널을 형성할 수 있다.

[0247] 표시장치는 표시 소자를 포함한다. 표시 소자로서는 액정소자(액정 표시소자라고도 한다), 발광소자(발광 표시소자라고도 한다)를 사용할 수 있다. 발광소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(ElectroLuminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.

[0248]

또한, 표시장치는, 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 콘트롤러를 포함하는 IC 등을 설치한 상태에 있는 모듈을 포함한다. 더구나, 이 표시장치를 제조하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 해당하는 소자기판에 관한 것으로서, 이 소자기판은, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자기판은, 구체적으로는, 표시 소자의 화소전극만 형성된 상태이어도 되고, 화소전극이 되는 도전막을 성막한 후로서, 예칭해서 화소전극을 형성하기 전의 상태이어도 되고, 모든 형태가 적합하다.

[0249]

이때, 본 명세서 중에 있어서의 표시장치란, 화상표시 디바이스, 표시 디바이스, 또는 광원(조명장치를 포함한다)을 가리킨다. 또한, 커넥터, 예를 들면, FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 앞에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시장치에 포함하는 것으로 한다.

[0250]

본 실시형태에서는, 반도체장치의 일 형태에 해당하는 액정표시패널의 외관 및 단면에 대해서, 도 22를 사용하여 설명한다. 도 22는, 제1 기판(4001) 위에 형성된 실시형태 1에 나타낸 In-Ga-Zn-O계 비단결정 막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정소자(4013)를, 제2 기판(4006)과의 사이에 씰재(4005)에 의해 밀봉한 패널의 평면도이며, 도 22c는, 도 22a 및 도 22b의 M-N에 있어서의 단면도에 해당한다.

[0251]

제1 기판(4001) 위에 설치된 화소부(4002)와, 주사선 구동회로(4004)를 둘러싸도록 하여, 씰재(4005)가 설치되어 있다. 또한 화소부(4002)와, 주사선 구동회로(4004) 위에 제2 기판(4006)이 설치되어 있다. 따라서, 화소부(4002)와, 주사선 구동회로(4004)는, 제1 기판(4001)과 씰재(4005)와 제2 기판(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 또한 제1 기판(4001) 상의 씰재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동회로(4003)가 실장되어 있다.

[0252]

이때, 별도 형성한 구동회로의 접속방법은, 특별하게 한정되는 것은 아니고, COG 방법, 와이어본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 22a는, COG 방법에 의해 신호선 구동회로(4003)를 설치하는 예이며, 도 22b는, TAB 방법에 의해 신호선 구동회로(4003)를 설치하는 예이다.

[0253]

또한, 제1 기판(4001) 위에 설치된 화소부(4002)와, 주사선 구동회로(4004)는, 박막 트랜지스터를 복수 갖고 있고, 도 22c에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터 4010, 4011 위에는 절연층 4020, 4021이 설치되어 있다.

[0254]

박막 트랜지스터 4010, 4011은, In-Ga-Zn-O계 비단결정 막을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 3에 나타낸 박막 트랜지스터를 적용할 수 있다. 또한 실시형태 1 또는 실시형태 2에 나타낸 박막 트랜지스터를 적용해도 된다. 본 실시형태에 있어서, 박막 트랜지스터 4010, 4011은 n채널형 박막 트랜지스터다.

[0255]

또한, 액정소자(4013)가 갖는 화소전극층(4030)은, 박막 트랜지스터 4010과 전기적으로 접속되어 있다. 그리고 액정소자(4013)의 대향전극층(4031)은 제2 기판(4006) 위에 형성되어 있다. 화소전극층(4030)과 대향전극층(4031)과 액정층(4008)이 중첩되어 있는 부분이, 액정소자(4013)에 해당한다. 또한, 화소전극층(4030), 대향전극층(4031)은 각각 배향막으로서 기능하는 절연층 4032, 4033이 설치되고, 절연층 4032, 4033을 통해 액정층(4008)을 사이에 끼워 지지하고 있다.

[0256]

이때, 제1 기판(4001), 제2 기판(4006)으로서는, 유리, 금속(대표적으로는 스테인레스), 세라믹, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시이트를 사용할 수도 있다.

[0257]

또한 4035는 절연막을 선택적으로 예칭함으로써 얻어지는 기둥형의 스페이서이며, 화소전극층(4030)과 대향전극층(4031) 사이의 거리(셀 캡)를 제어하기 위해서 설치되어 있다. 이때, 구형의 스페이서를 사용하고 있어도 된다. 또한, 대향전극층(4031)은, 박막 트랜지스터 4010과 동일기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 거쳐 대향전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 또한, 도전성 입자는 씰재(4005)에 함유시킨다.

[0258]

또한, 배향막을 사용하지 않는 블루상을 나타낸 액정을 사용해도 된다. 블루상은 액정상의 한가지로서, 콜레스테릭 액정을 승온해 가면, 콜레스테릭 상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도범위에서 밖에 발현되지 않기 때문에, 온도범위를 개선하기 위해 5중량% 이상의 카이럴체를 혼합시킨 액정조성물을 사용해서 액정층(4008)에 사용한다. 블루상을 표시하는 액정과 카이럴체를 포함하는 액정조성물은, 응답 속도가 $10\text{ }\mu\text{s} \sim 100\text{ }\mu\text{s}$ 로 빠르고, 광학적 등방성이기 때문에 배향처리가 불필요하고, 시야각 의존성이 작다.

[0259]

이때, 본 실시형태는 투과형 액정표시장치의 예이지만, 반사형 액정표시장치에서도 반투과형 액정표시장치에서도 적용할 수 있다.

[0260]

또한, 본 실시형태의 액정표시장치에서는, 기판의 외측(시인측)에 편광판을 설치하고, 내측에 착색층, 표시 소자에 사용하는 전극층이라고 하는 순서로 설치하는 예를 나타내지만, 편광판은 기판의 내측에 형성해도 된다. 또한, 편광판과 착색층의 적층구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제조공정 조건에 의해 적당하게 설치하면 된다. 또한, 블랙 매트릭스로서 기능하는 차광 막을 형성해도 된다.

[0261]

또한, 본 실시형태에서는, 박막 트랜지스터의 표면 요철을 저감하기 위해, 및 박막 트랜지스터의 신뢰성을 향상시키기 위해, 실시형태 3에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층 4020, 절연층 4021)으로 덮는 구성으로 되어 있다. 이때, 보호막은, 대기중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것으로, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법을 사용하여, 산화 규소막, 질화 규소막, 산화질화 규소막, 질화산화 규소막, 산화 알루미늄 막, 질화 알루미늄 막, 산화질화 알루미늄 막, 또는 질화산화 알루미늄 막의 단층, 또는 적층으로 형성하면 된다. 본 실시형태에서는 보호막을 스퍼터링법으로 형성하는 예를 나타내지만, 특별하게 한정되지 않고 다양한 방법으로 형성하면 된다.

[0262]

여기에서는, 보호막으로서 적층구조의 절연층(4020)을 형성한다. 여기에서는, 절연층(4020)의 1층째로서, 스퍼터링법을 사용해서 산화 규소막을 형성한다. 보호막으로서 산화 규소막을 사용하면, 소스 전극층 및 드레인 전극층으로서 사용하는 알루미늄 막의 헐록 방지에 효과가 있다.

[0263]

또한, 보호막의 2층째로서 절연층을 형성한다. 여기에서는, 절연층 4020의 2층째로서, 스퍼터링법을 사용해서 질화규소막을 형성한다. 보호막으로서 질화규소막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여, TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.

[0264]

또한, 보호막을 형성한 후에, 반도체층의 어닐($300^\circ\text{C} \sim 400^\circ\text{C}$)을 행해도 된다.

[0265]

또한, 평탄화 절연막으로서 절연층 4021을 형성한다. 절연층 4021로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 갖는 유기재료를 사용할 수 있다. 또한 상기 유기재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 글라스), BPSG(인 보론 글라스) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층 4021을 형성해도 된다.

[0266]

이때, 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면, 알킬기나 아릴기)나 플루오로기를 사용해도 된다. 또한, 유기기는 플루오로기를 갖고 있어도 된다.

[0267]

절연층 4021의 형성법은, 특별하게 한정되지 않고, 그것의 재료에 따라, 스퍼터링법, SOG법, 스판코트, 딥, 스프레이 도포, 액적토출법(잉크젯)법, 스크린인쇄, 오프셋 인쇄), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층 4021을 재료액을 사용해서 형성하는 경우, 베이크하는 공정과 동시에, 반도체층의 어닐($300^\circ\text{C} \sim 400^\circ\text{C}$)을 행해도 된다. 절연층 4021의 소성공정과 반도체층의 어닐을 겸하는 것으로 효율적으로 반도체장치를 제조하는 것이 가능해진다.

[0268]

화소전극층(4030), 대향전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 표시한다), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0269]

또한, 화소전극층(4030), 대향전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용해서 형성할 수 있다. 도전성 조성물을 사용해서 형성한 화소전극은, 사이트 저항이 $10000\Omega/\square$ 이하, 파장 550nm 에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되

는 도전성 고분자의 저항율이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0270] 도전성 고분자로서는, 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리페롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이것들의 2종 이상의 혼성 중합체 등을 들 수 있다.

[0271] 또한 별도 형성된 신호선 구동회로(4003)와, 주사선 구동회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되고 있다.

[0272] 본 실시형태에서는, 접속 단자 전극(4015)이, 액정소자(4013)가 갖는 화소전극층(4030)과 같은 도전막으로 형성되고, 단자전극(4016)은, 박막 트랜지스터 4010, 4011의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다. 또한, 접속 단자 전극(4015) 및 단자전극(4016)은, n^+ 층(4025) 및 반도체층(4026) 위에 형성되어 있다.

[0273] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.

[0274] 또한 도 22에 있어서는, 신호선 구동회로(4003)를 별도 형성하여, 제1 기판(4001)에 실장하고 있는 예를 나타내고 있지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동회로를 별도 형성해서 실장해도 되고, 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을 별도 형성해서 실장해도 된다.

[0275] 도 23은, 본 명세서에 개시하는 제조방법에 의해 제조되는 TFT 기판(2600)을 사용해서 반도체장치로서 액정 표시 모듈을 구성하는 일례를 나타내고 있다.

[0276] 도 23은 액정 표시 모듈의 일례로서, TFT 기판(2600)과 대향기판(2601)이 층재(2602)에 의해 고정되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 설치되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하며, RGB 방식의 경우에는, 적색, 녹색, 청색 각 색에 대응한 착색층이 각 화소에 대응해서 설치되어 있다. TFT 기판(2600)과 대향기판(2601)의 외측에는 편광판 2606, 편광판 2607, 확산판(2613)이 설치되어 있다. 광원은 냉음극판(2610)과 반사판(2611)에 의해 구성되고, 회로기판(2612)은, 플렉시블 배선 기판(2609)에 의해 TFT 기판(2600)의 배선회로부(2608)와 접속되고, 콘트롤 회로나 전원회로 등의 외부회로가 짜 넣어져 있다. 또한 편광판과, 액정층 이외에 위상차판을 갖는 상태에서 적층해도 된다.

[0277] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe-Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0278] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 액정표시 패널을 제조할 수 있다.

[0279] 본 실시형태는, 다른 실시형태에 기재한 구성과 적당하게 조합하여 실시하는 것이 가능하다.

[0280] (실시형태 6)

[0281] 본 실시형태에서는, 반도체장치로서 전자 페이퍼의 예를 나타낸다.

[0282] 도 13은, 반도체장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체장치에 사용되는 박막 트랜지스터(581)로서는, 실시형태 3에서 나타낸 박막 트랜지스터와 마찬가지로 제조할 수 있고, In-Ga-Zn-O계 비단결정 막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 1 또는 실시형태 2에 나타낸 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(581)로서 적용할 수도 있다.

[0283] 도 13의 전자 페이퍼는, 트위스트 볼 표기방식을 사용한 표시장치의 예이다. 트위스트 볼 표기방식이란, 백과 흑으로 나뉘어 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제1 전극층 및 제2 전극층 사이에 배치하고, 제1 전극층 및 제2 전극층에 전위차를 생기게 하여 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0284] 기판(580) 위에 형성된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터로서, 소스 전극층

또는 드레인 전극층에 의해 제1 전극층(587)과, 절연층 583, 절연층 584 및 절연층 585에 형성되는 개구에서 접하고 있어 전기적으로 접속하고 있다. 제1 전극층(587)과 제2 전극층(588) 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 설치되어 있고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 13 참조). 본 실시형태에 있어서는, 제1 전극층(587)이 화소전극에 해당하고, 제2 전극층(588)이 공통 전극에 해당한다. 기판(596)에 설치된 제2 전극층(588)은, 박막 트랜지스터(581)와 동일 기판(580) 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 거쳐서 제2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

[0285] 또한, 트위스트 볼 대신에, 전기영동소자를 사용하는 것도 가능하다. 투명한 액체와, 양으로 대전한 흰 미립자와 음으로 대전한 검은 미립자를 봉입한 직경 $10\mu\text{m} \sim 200\mu\text{m}$ 정도의 마이크로 캡슐을 사용한다. 제1 전극층과 제2 전극층 사이에 설치되는 마이크로 캡슐은, 제1 전극층과 제2 전극층에 의해, 전기장이 주어지면, 흰 미립자와, 검은 미립자가 반대의 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기영동 표시소자이며, 일반적으로 전자 페이퍼로 불리고 있다. 전기영동 표시소자는, 액정표시 소자에 비해 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한 소비 전력이 작아, 어둑어둑한 개소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않은 경우에도, 한번 표시한 상을 유지하는 것이 가능하기 때문에, 전파발신원으로부터 표시 기능 부착 반도체장치(간단히 표시장치, 또는 표시장치를 구비한 반도체장치라고도 한다)를 멀리한 경우에도, 표시된 상을 보존해 두는 것이 가능해진다.

[0286] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 전자 페이퍼를 제조할 수 있다.

[0287] 본 실시형태는, 다른 실시형태에 기재한 구성과 적당하게 조합하여 실시하는 것이 가능하다.

[0288] (실시형태 7)

[0289] 본 실시형태에서는, 반도체장치로서 발광 표시장치의 예를 나타낸다. 표시장치가 갖는 표시 소자로서는, 여기에서는 일렉트로루미네센스를 이용하는 발광소자를 사용해서 나타낸다. 일렉트로루미네센스를 이용하는 발광소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의해 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 부르고 있다.

[0290] 유기 EL 소자는, 발광소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기상태를 형성하고, 그 여기상태가 기저상태로 되돌아올 때 발광한다. 이러한 메커니즘으로부터, 이러한 발광소자는, 전류여기형의 발광소자로 불린다.

[0291] 무기 EL 소자는, 그 소자 구성에 의해, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼우고, 다시 그것을 전극으로 사이에 끼운 구조로서, 발광 메커니즘은 금속 이온의 내각(inner-shell) 전자 천이를 이용하는 국재형 발광이다. 이때, 여기에서는, 발광소자로서 유기 EL 소자를 사용하여 설명한다.

[0292] 도 20은, 반도체장치의 예로서 디지털 시간계조 구동을 적용가능한 화소 구성의 일례를 도시한 도면이다.

[0293] 디지털 시간계조 구동을 적용가능한 화소의 구성 및 화소의 동작에 관하여 설명한다. 여기에서는 산화물 반도체층(In-Ga-Zn-O계 비단결정 막)을 채널 형성 영역에 사용하는 n채널형의 트랜지스터를 1개의 화소에 2개 사용하는 예를 나타낸다.

[0294] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광소자(6404) 및 용량소자(6403)를 갖고 있다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제1전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제2전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)는, 게이트가 용량소자(6403)를 거쳐 전원선(6407)에 접속되고, 제1전극이 전원선(6407)에 접속되고, 제2전극이 발광소자(6404)의 제1전극(화소전극)에 접속되어 있다. 발광소자(6404)의 제2전극은 공통 전극(6408)에 해당한다. 공통 전극(6408)은, 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.

- [0295] 이때, 발광소자(6404)의 제2전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 이때, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 해서 저전원 전위<고전원 전위를 만족시키는 전위이며, 저전원 전위에서는 예를 들면, GND, 0V 등이 설정되어 있어도 된다. 이 고전원 전위와 저전원 전위의 전위차를 발광소자(6404)에 인가하고, 발광소자(6404)에 전류를 흘려보내 발광소자(6404)를 발광시키기 때문에, 고전원 전위와 저전원 전위의 전위차가 발광소자(6404)의 순방향 임계전압 이상이 되도록 각각의 전위를 설정한다.
- [0296] 이때, 용량소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용해서 생략하는 것도 가능하다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극 사이에서 용량이 형성되어 있어도 된다.
- [0297] 여기에서, 전압입력 전압구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 온하거나, 오프하거나의 두가지 상태가 되도록 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형영역에서 동작시키기 위해, 전원선(6407)의 전압보다도 높은 전압을 구동용 트랜지스터(6402)의 게이트에 가한다. 이때, 신호선(6405)에는, (전원선 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 가한다.
- [0298] 또한, 디지털 시간계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도 20과 같은 화소 구성을 사용할 수 있다.
- [0299] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 (발광소자(6404)의 순방향 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 가한다. 발광소자(6404)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고 있으며, 적어도 순방향 임계전압을 포함한다. 이때, 구동용 트랜지스터(6402)가 포화 영역에서 동작하도록 비디오 신호를 입력함으로써, 발광소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다도 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광소자(6404)에 비디오 신호에 따른 전류를 흘려보내, 아날로그 계조구동을 행할 수 있다.
- [0300] 이때, 도 20에 나타낸 화소 구성은, 이것에 한정되지 않는다. 예를 들면, 도 20에 나타낸 화소에 새롭게 스위치, 저항소자, 용량소자, 트랜지스터 또는 논리회로 등을 추가해도 된다.
- [0301] 다음에, 발광소자의 구성에 대해서, 도 21을 사용하여 설명한다. 여기에서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 관하여 설명한다. 도 21a, 도 21b 및 도 21c의 반도체장치에 사용되는 구동용 TFT인 TFT 7001, 7011, 7021은, 실시형태 3에서 나타낸 박막 트랜지스터와 마찬가지로 제조할 수 있으며, In-Ga-Zn-O계 비단결정 막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한 실시형태 1 또는 실시형태 2에 나타낸 박막 트랜지스터를 TFT 7001, 7011, 7021로서 적용할 수도 있다.
- [0302] 발광소자는 발광을 추출하기 위해 적어도 양극 또는 음극의 한쪽이 투명하면 된다. 그리고, 기판 위에 박막 트랜지스터 및 발광소자를 형성하고, 기판과는 반대측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판측 및 기판과는 반대측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광소자가 있으며, 화소 구성은 어느 사출 구조의 발광소자에도 적용할 수 있다.
- [0303] 상면 사출 구조의 발광소자에 대해서 도 21a를 사용하여 설명한다.
- [0304] 도 21a에, 구동용 TFT인 TFT(7001)가 n형이고, 발광소자(7002)로부터 발생하는 빛이 양극(7005)측으로 빠지는 경우의, 화소의 단면도를 나타낸다. 도 21a에서는, 발광소자(7002)의 음극(7003)(화소전극)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고 있으며, 음극(7003) 위에 발광층(7004), 양극(7005)(공통 전극)이 순서대로 적층되어 있다. 음극(7003)은 일함수가 작고, 더구나 빛을 반사하는 도전막이면 다양한 재료를 사용할 수 있다. 예를 들면, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다. 복수의 층으로 구성되어 있을 경우, 음극(7003) 위에 전자주입층, 전자수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 이때, 이들 층을 모두 설치할 필요는 없다. 양극(7005)은 빛을 투과하는 투광성을 갖는 도전성 재료를 사용해서 형성하고, 예를 들면, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 표시한다), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 도전막을 사용해도 된다.
- [0305] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우고 있는 영역이 발광소자(7002)에 해당한다. 도 21a

에 나타낸 화소의 경우, 발광소자(7002)로부터 발생되는 빛은, 화살표로 표시한 것과 같이 양극(7005)측으로 출사된다.

[0306] 다음에, 하면 사출 구조의 발광소자에 대해서 도 21b를 사용하여 설명한다. 구동용 TFT(7011)이 n형이고, 발광소자(7012)로부터 발생하는 빛이 음극(7013)측에 출사하는 경우의 화소의 단면도를 나타낸다. 도 21b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광소자(7012)의 음극(7013)이 성막되어 있고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순서대로 적층되어 있다. 이때, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 빛을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어 있어도 된다. 음극(7013)은, 도 21a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 다양한 재료를 사용할 수 있다. 단, 그것의 막두께는, 빛을 투과하는 정도(바람직하게는, 5nm~30nm 정도)로 한다. 예를 들면, 20nm의 막두께를 갖는 알루미늄 막을, 음극(7013)으로서 사용할 수 있다. 그리고 발광층(7014)은, 도 21a와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 21a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용해서 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들면, 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들면, 검은 안료를 첨가한 수지 등을 사용할 수도 있다.

[0307] 음극(7013) 및 양극(7015)으로, 발광층(7014)을 끼우고 있는 영역이 발광소자(7012)에 해당한다. 도 21b에 나타낸 화소의 경우, 발광소자(7012)로부터 발생하는 빛은, 화살표로 표시한 것과 같이 음극(7013)측으로 출사된다.

[0308] 다음에, 양면 사출 구조의 발광소자에 대해서, 도 21c를 사용하여 설명한다. 도 21c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광소자(7022)의 음극(7023)이 성막되어 있고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순서대로 적층되어 있다. 음극(7023)은, 도 21a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 여러가지 재료를 사용할 수 있다. 단, 그것의 막두께는, 빛을 투과하는 정도로 한다. 예를 들면, 20nm의 막두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고 발광층(7024)은, 도 21a와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다. 양극(7025)은, 도 21a와 마찬가지로, 빛을 투과하는 투광성을 갖는 도전성 재료를 사용해서 형성할 수 있다.

[0309] 음극(7023)과, 발광층(7024)과, 양극(7025)이 중첩되어 있는 부분이 발광소자(7022)에 해당한다. 도 21c에 나타낸 화소의 경우, 발광소자(7022)로부터 발생하는 빛은, 화살표로 표시된 것과 같이 양극(7025)측과 음극(7023)측의 양쪽으로 출사한다.

[0310] 이때, 여기에서는, 발광소자로서 유기 EL 소자에 대해서 서술했지만, 발광소자로서 무기 EL 소자를 설치하는 것도 가능하다.

[0311] 이때, 본 실시형태에서는, 발광소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광소자가 전기적으로 접속되어 있는 예를 나타내었지만, 구동용 TFT와 발광소자 사이에 전류제어용 TFT가 접속되어 있는 구성이라도 된다.

[0312] 이때, 본 실시형태에서 나타낸 반도체장치는, 도 21에 나타낸 구성에 한정되는 것은 아니고, 본 명세서에 개시하는 기술적 사상에 근거하는 각종의 변형이 가능하다.

[0313] 다음에, 반도체장치의 일 형태에 해당하는 발광 표시 패널(발광 패널이라고도 한다)의 외관 및 단면에 대해서, 도 24를 사용하여 설명한다. 도 24a는, 제1 기판 위에 형성된 박막 트랜지스터 및 발광소자를, 제2 기판과의 사이에 셀재에 의해 밀봉한 패널의 평면도이며, 도 24b는, 도 24a의 H-I에 있어서의 단면도에 해당한다.

[0314] 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)를 둘러싸도록 하여, 셀재(4505)가 설치되어 있다. 또한, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b) 위에 제2 기판(4506)이 설치되어 있다. 따라서, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 제1 기판(4501)과 셀재(4505)와 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0315] 또한 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 박막 트랜지스터를 복수 갖고 있으며, 도 24b에서는, 화소부(4502)에 포함되는 박막 트랜지

스터(4510)와, 신호선 구동회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.

[0316] 박막 트랜지스터(4509, 4510)는, In-Ga-Zn-O계 비단결정 막을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 3에 나타낸 박막 트랜지스터를 적용할 수 있다. 또한 실시형태 1 또는 실시형태 2에 나타낸 박막 트랜지스터를 적용해도 된다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.

[0317] 또한 4511은 발광소자에 해당하고, 발광소자 4511이 갖는 화소전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 이때, 발광소자(4511)의 구성은, 제1 전극층(4517), 전계발광층(4512), 제2 전극층(4513)의 적층 구조이지만, 본 실시형태에 나타낸 구성에 한정되지 않는다. 발광소자(4511)로부터 추출하는 빛의 방향 등에 맞추어, 발광소자(4511)의 구성은 적당하게 바꿀 수 있다.

[0318] 격벽(4520)은, 유기수지막, 무기절연막 또는 유기 폴리실록산을 사용해서 형성한다. 특히 감광성의 재료를 사용하여, 제1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0319] 전계발광층(4512)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다.

[0320] 발광소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성해도 된다. 보호막으로서는, 질화 규소막, 질화산화 규소막, DLC막 등을 형성할 수 있다.

[0321] 또한, 신호선 구동회로(4503a, 4503b), 주사선 구동회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는, FPC(4518a, 4518b)에서 공급되고 있다.

[0322] 본 실시형태에서는, 접속 단자 전극(4515)이, 발광소자(4511)가 갖는 제1 전극층(4517)과 같은 도전막으로 형성되고, 단자전극(4516)은, 박막 트랜지스터(4509, 4510)가 갖는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.

[0323] 접속 단자 전극(4515)은, FPC 4518a가 갖는 단자와, 이방성 도전막(4519)을 통해 전기적으로 접속되어 있다.

[0324] 발광소자(4511)로부터의 빛의 추출 방향에 위치하는 제2 기판(4506)은 투광성이 아니면 안된다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.

[0325] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성인 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 본 실시형태는 충전재로서 질소를 사용하였다.

[0326] 또한, 필요하면, 발광소자의 사출면에 편광판, 또는 원편광판(타원 편광판을 포함한다), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러필터 등의 광학 필름을 적당하게 형성해도 된다. 또한, 편광판 또는 원편광판에 반사방지막을 형성해도 된다. 예를 들면, 표면의 요철에 의해 반사광을 확산하고, 비침을 저감할 수 있는 안티글레어 처리를 실시할 수 있다.

[0327] 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동회로로 실장되어 있어도 된다. 또한, 신호선 구동회로만, 또는 일부, 또는 주사선 구동회로만, 또는 일부만을 별도 형성해서 실장해도 되고, 본 실시형태는 도 24의 구성에 한정되지 않는다.

[0328] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 발광 표시장치(표시 패널)를 제조할 수 있다.

[0329] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0330] (실시형태 8)

[0331] 본 명세서에서 개시하는 반도체장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이면 모든 분야의 전자기기에 사용하는 것이 가능하다. 예를 들면, 전자 페이퍼를 사용하여, 전자서적(전자북), 포스터, 전차 등의 탈것의 차내 광고, 크레딧 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수

있다. 전자기기의 일례를 도 25 및 도 26에 나타낸다.

[0332] 도 25a는, 전자 페이퍼로 만들어진 포스터(2631)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 본 명세서에 개시하는 전자 페이퍼를 사용하면 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 열화되지 않아 안정된 화상이 얻어진다. 이때, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 해도 된다.

[0333] 또한, 도 25b는, 전차 등의 탈것의 차내광고(2632)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 본 명세서에 개시하는 전자 페이퍼를 사용하면 사람의 손을 많이 거치는 않고 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 열화되지 않아 안정된 화상이 얻어진다. 이때, 차내광고는 무선으로 정보를 송수신할 수 있는 구성으로 해도 된다.

[0334] 또한, 도 26은, 전자서적(2700)의 일례를 나타내고 있다. 예를 들면, 전자서적(2700)은, 샤시 2701 및 샤시 2703의 2개의 샤시로 구성되어 있다. 샤시 2701 및 샤시 2703은, 축부(2711)에 의해 일체로 되어 있고, 이 축부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이의 서적과 같은 동작을 행하는 것이 가능해 진다.

[0335] 샤시 2701에는 표시부 2705가 삽입되고, 샤시 2703에는 표시부 2707이 삽입되어 있다. 표시부 2705 및 표시부 2707은, 이어서 화면을 표시하는 구성으로 해도 되고, 다른 화면을 표시하는 구성으로 해도 된다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면, 우측의 표시부(도 26에서는 표시부 2705)에 문장을 표시하고, 좌측의 표시부(도 26에서는 표시부 2707)에 화상을 표시할 수 있다.

[0336] 또한, 도 26에서는, 샤시 2701에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 샤시 2701에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 보낼 수 있다. 이때, 샤시의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 된다. 또한, 샤시의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비하는 구성으로 해도 된다. 더구나, 전자서적(2700)은, 전자사전으로서의 기능을 갖게 한 구성으로 해도 된다.

[0337] 또한, 전자서적(2700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 된다. 무선에 의해, 전자서적 서버로부터, 원하는 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.

[0338] (실시형태 9)

[0339] 본 명세서에 개시하는 반도체장치는, 다양한 전자기기(게임기도 포함한다)에 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화장치라고도 한다), 휴대형 게임기, 휴대 정보단말, 음향재생장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.

[0340] 도 27a는, 텔레비전 장치(9600)의 일례를 나타내고 있다. 텔레비전 장치(9600)는, 샤시(9601)에 표시부(9603)가 삽입되어 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 이때, 여기에서는, 스탠드(9605)에 의해 샤시(9601)를 지지한 구성을 나타내고 있다.

[0341] 텔레비전 장치(9600)의 조작은, 샤시(9601)가 구비하는 조작 스위치나, 별체의 리모트콘트롤 조작기(9610)에 의해 행할 수 있다. 리모트콘트롤 조작기(9610)가 구비하는 조작 키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트콘트롤 조작기(9610)에, 이 리모트콘트롤 조작기(9610)에서 출력하는 정보를 표시하는 표시부(9607)를 설치하는 구성으로 하여도 된다.

[0342] 이때, 텔레비전 장치(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있고, 더구나 모뎀을 거쳐서 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자에게서 수신자) 또는 양방향(송신자와 수신자 사이, 또는 수신자간끼리 등)의 정보통신을 행하는 것도 가능하다.

[0343] 도 27b는, 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)은, 샤시(9701)에 표시부(9703)가 삽입되어 있다. 표시부(9703)는, 각종 화상을 표시하는 것이 가능하며, 예를 들면, 디지털 카메라 등에서 촬영한 화상 데이터를 표시시킴으로써, 일반적인 사진 틀과 마찬가지

로 기능시킬 수 있다.

[0344] 이때, 디지털 포토 프레임(9700)은, 조작부, 외부접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비하는 구성으로 한다. 이들 구성은, 표시부와 동일면에 삽입되어 있어도 되지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들면, 디지털 포토 프레임의 기록매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입해서 화상 데이터를 받아들이고, 받아들인 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0345] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 된다. 무선에 의해, 원하는 화상 데이터를 입력하여, 표시시키는 구성으로 할 수도 있다.

[0346] 도 28a는 휴대형 게임기로서, 샤시 9881과 샤시 9891의 2개의 샤시로 구성되어 있고, 연결부(9893)에 의해, 개폐 가능하게 연결되어 있다. 샤시 9881에는 표시부 9882가 포함되고, 샤시 9891에는 표시부 9883이 포함되어 있다. 또한, 도 28a에 도시된 휴대형 게임기는, 그 이외, 스피커부(9884), 기록매체 삽입부(9886), LED 램프(9890), 입력수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 게임기의 구성은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체장치를 구비한 구성이면 되고, 기타 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 28a에 나타낸 휴대형 게임기는, 기록매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능이나, 다른 휴대형 게임기와 무선통신을 행해서 정보를 공유하는 기능을 갖는다. 또한, 도 28a에 나타낸 휴대형 게임기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0347] 도 28b는 대형 게임기인 슬롯 머신(9900)의 일례를 나타내고 있다. 슬롯 머신(9900)은, 샤시(9901)에 표시부(9903)가 포함되어 있다. 또한, 슬롯 머신(9900)은, 그 이외, 스타트 레버나 스톱 스위치 등의 조작수단, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯 머신(9900)의 구성은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체장치를 구비한 구성이면 되고, 기타 부속 설비가 적당하게 설치된 구성으로 할 수 있다.

[0348] 도 29a는, 휴대전화기(1000)의 일례를 나타내고 있다. 휴대전화기(1000)는, 샤시(1001)에 삽입된 표시부(1002) 이외에, 조작 버튼(1003), 외부접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비하고 있다.

[0349] 도 29a에 나타낸 휴대전화기(1000)는, 표시부(1002)를 손가락 등으로 접촉함으로써, 정보를 입력할 수 있다. 또한, 전화를 걸거나, 또는 문자를 보내는 것 등의 조작은, 표시부(1002)를 손가락 등으로 접촉하는 것에 의해 행할 수 있다.

[0350] 표시부(1002)의 화면은 주로 3가지 모드가 있다. 제1 모드는, 화상의 표시를 주로 하는 표시 모드이며, 제2 모드는, 문자 등의 정보의 입력을 주로 하는 입력 모드이다. 제3 모드는 표시 모드와 입력 모드의 2가지 모드가 혼합한 표시+입력 모드이다.

[0351] 예를 들면, 전화를 걸거나, 또는 메일을 작성하는 경우에는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 하여, 화면에 표시시킨 문자의 입력 조작을 행하면 된다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0352] 또한, 휴대전화기(1000) 내부에, 자이로, 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출장치를 설치함으로써, 휴대전화기(1000)의 방향(종인가 횡인가)을 판단하여, 표시부(1002)의 화면표시를 자동적으로 전환하도록 할 수 있다.

[0353] 또한, 화면 모드의 전환은, 표시부(1002)를 접촉하는 것, 또는 샤시(1001)의 조작 버튼(1003)의 조작에 의해 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들면, 표시부에 표시하는 화상신호가 동영상의 데이터이면 표시 모드, 텍스트 데이터이면 입력 모드로 전환한다.

[0354] 또한, 입력 모드에 있어서, 표시부(1002)의 광센서에서 검출되는 신호를 검지하여, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없을 경우에는, 화면의 모드를 입력 모드에서 표시 모드로 전환하도록 제어해도 된다.

[0355] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들면, 표시부(1002)에 손바닥이나 손가락을 접촉함으로써, 장문, 지문 등을 활성화함으로써, 본인인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하

는 백라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 활상할 수도 있다.

[0356] 도 29b도 휴대전화기의 일례이다. 도 29b의 휴대전화기는, 샤시 9411에, 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시장치(9410)와, 샤시 9401에 조작 버튼(9402), 외부입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함하는 통신장치(9400)를 갖고 있고, 표시 기능을 갖는 표시장치(9410)는 전화 기능을 갖는 통신장치(9400)와 화살표의 2방향으로 털착가능하다. 따라서, 표시장치(9410)와 통신장치(9400)의 단축끼리를 부착하는 것도, 표시장치(9410)와 통신장치(9400)의 장축끼리를 부착하는 것도 가능하다. 또한, 표시 기능만을 필요로 할 경우, 통신장치(9400)에서 표시장치(9410)를 빼어내어, 표시장치(9410)를 단독으로 사용할 수도 있다. 통신장치(9400)와 표시장치(9410)는 무선통신 또는 유선통신에 의해 화상 또는 입력 정보를 교환할 수 있고, 각각 충전가능한 배터리를 갖는다.

도면의 간단한 설명

[0357] 도 1은 반도체장치의 제조방법을 설명하는 도면.

[0358] 도 2는 반도체장치를 설명하는 도면.

[0359] 도 3은 반도체장치의 제조방법을 설명하는 도면.

[0360] 도 4는 반도체장치를 설명하는 도면.

[0361] 도 5는 반도체장치의 제조방법을 설명하는 도면.

[0362] 도 6은 반도체장치의 제조방법을 설명하는 도면.

[0363] 도 7은 반도체장치의 제조방법을 설명하는 도면.

[0364] 도 8은 반도체장치의 제조방법을 설명하는 도면.

[0365] 도 9는 반도체장치의 제조방법을 설명하는 도면.

[0366] 도 10은 반도체장치를 설명하는 도면.

[0367] 도 11은 반도체장치를 설명하는 도면.

[0368] 도 12는 반도체장치를 설명하는 도면.

[0369] 도 13은 반도체장치를 설명하는 도면.

[0370] 도 14는 반도체장치의 블록도를 설명하는 도면.

[0371] 도 15는 신호선 구동회로의 구성을 설명하는 도면.

[0372] 도 16은 신호선 구동회로의 동작을 설명하는 타이밍 차트.

[0373] 도 17은 신호선 구동회로의 동작을 설명하는 타이밍 차트.

[0374] 도 18은 시프트 레지스터의 구성을 설명하는 도면.

[0375] 도 19는 도 18에 나타낸 플립플롭의 접속 구성을 설명하는 도면.

[0376] 도 20은 반도체장치의 화소 등가회로를 설명하는 도면.

[0377] 도 21은 반도체장치를 설명하는 도면.

[0378] 도 22는 반도체장치를 설명하는 도면.

[0379] 도 23은 반도체장치를 설명하는 도면.

[0380] 도 24는 반도체장치를 설명하는 도면.

[0381] 도 25는 전자 페이퍼의 사용 형태의 예를 설명하는 도면.

[0382] 도 26은 전자서적의 일례를 나타낸 외관도.

[0383] 도 27은 텔레비전 장치 및 디지털 포토 프레임의 예를 나타낸 외관도.

[0384]

도 28은 게임기의 예를 나타낸 외관도.

[0385]

도 29는 휴대전화기의 일례를 나타낸 외관도.

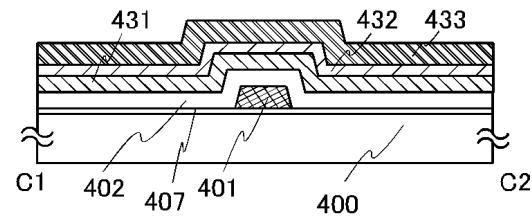
[0386]

도 30은 다계조 마스크를 설명하는 도면.

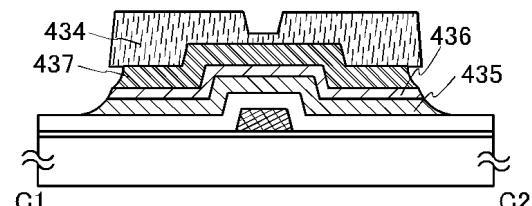
도면

도면1

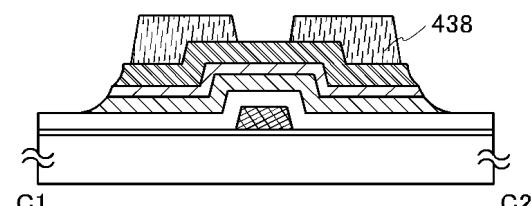
(a)



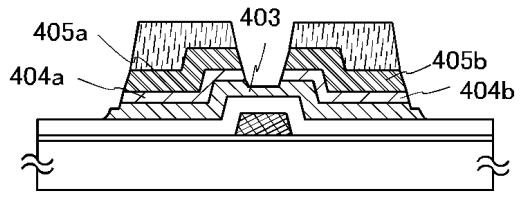
(b)



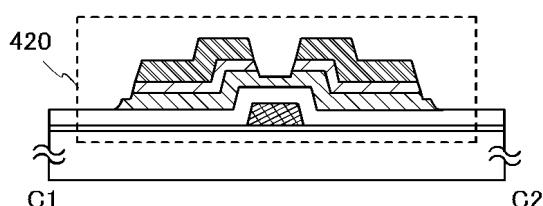
(c)



(d)

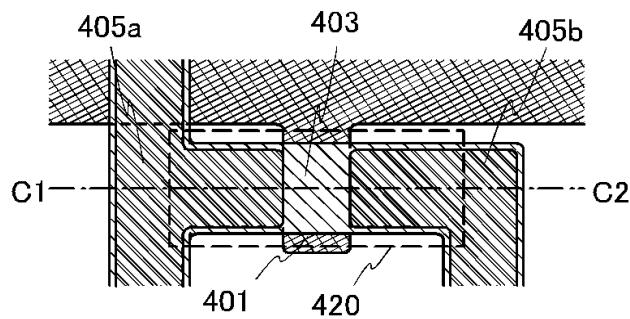


(e)

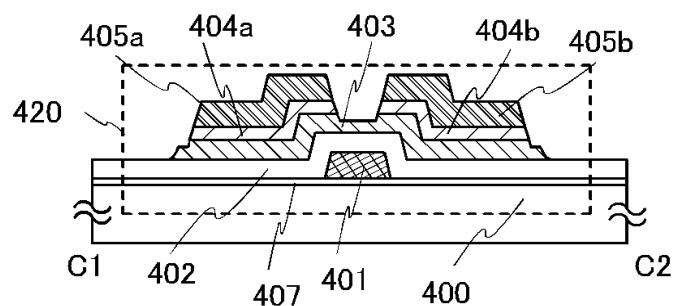


도면2

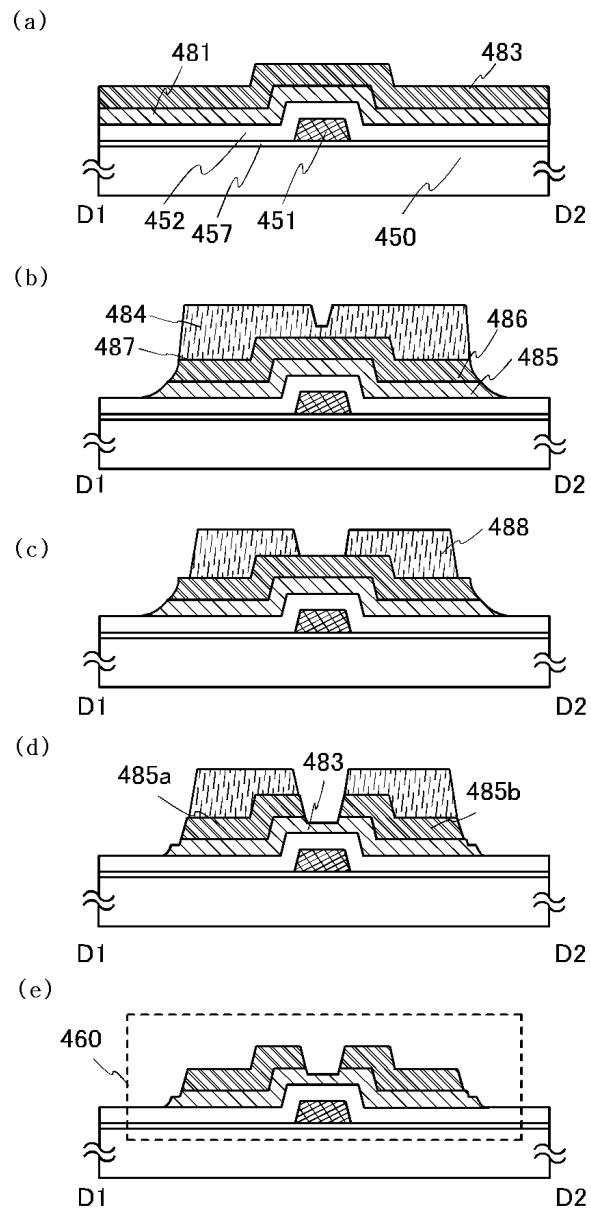
(a)



(b)

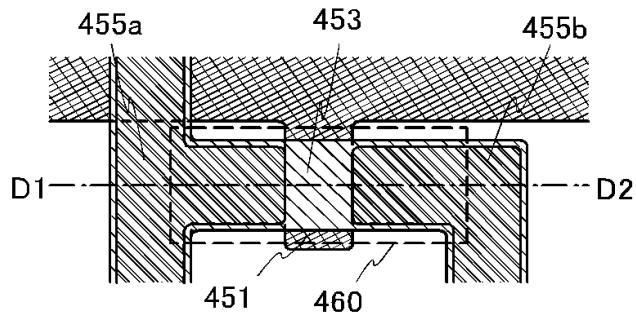


도면3

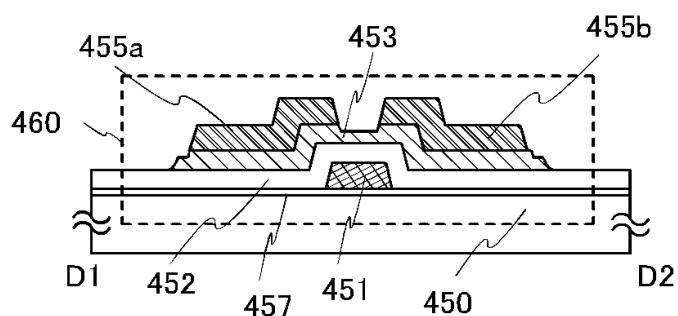


도면4

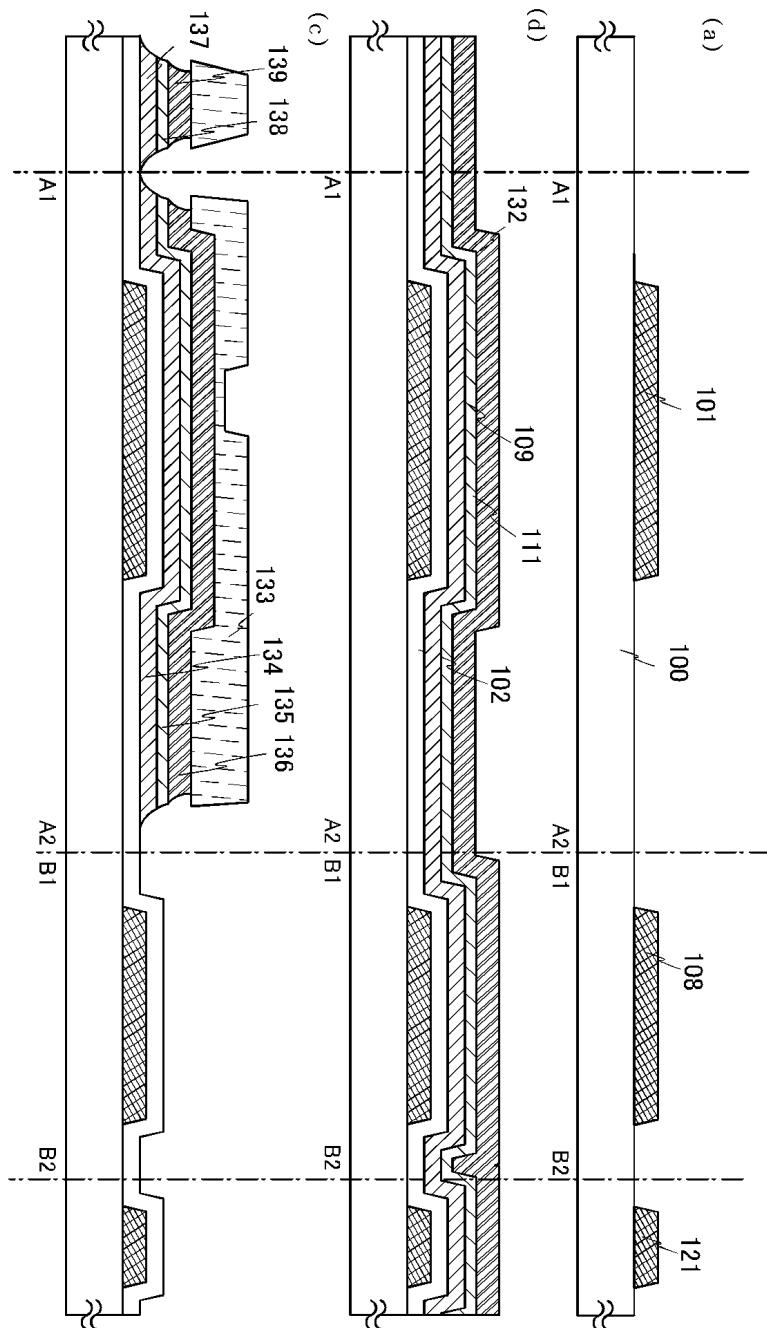
(a)



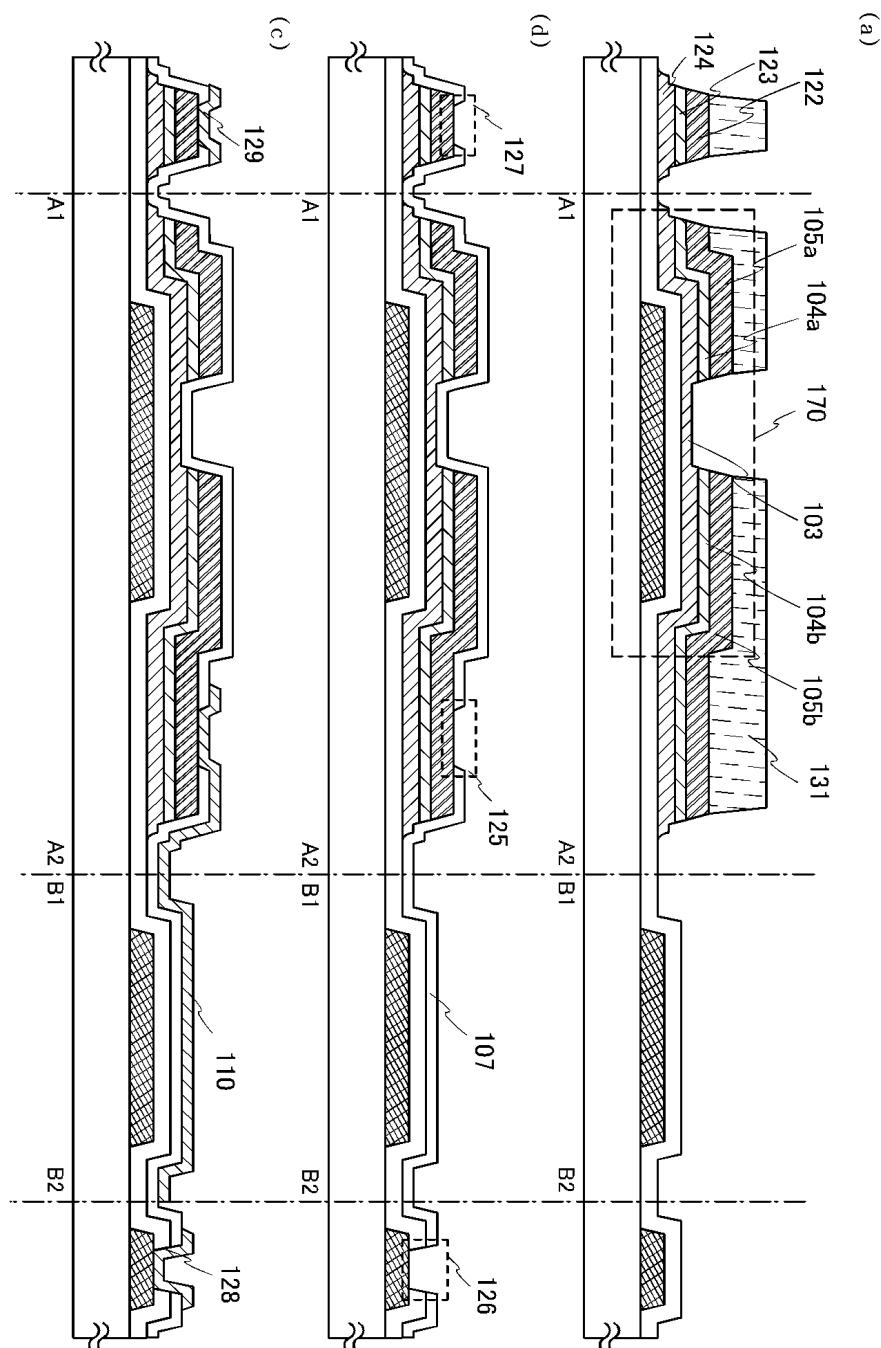
(b)



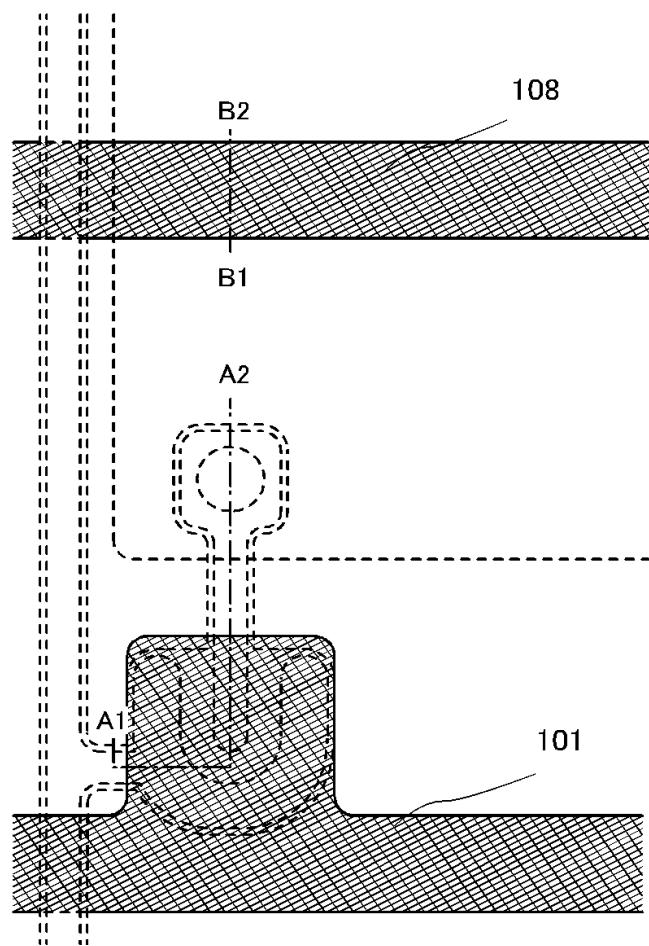
도면5



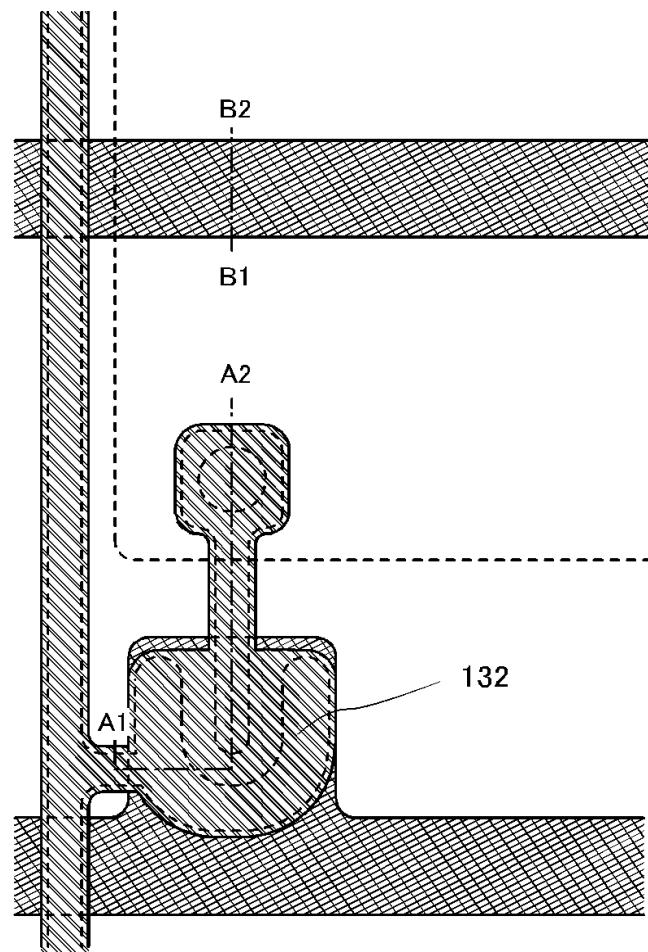
도면6



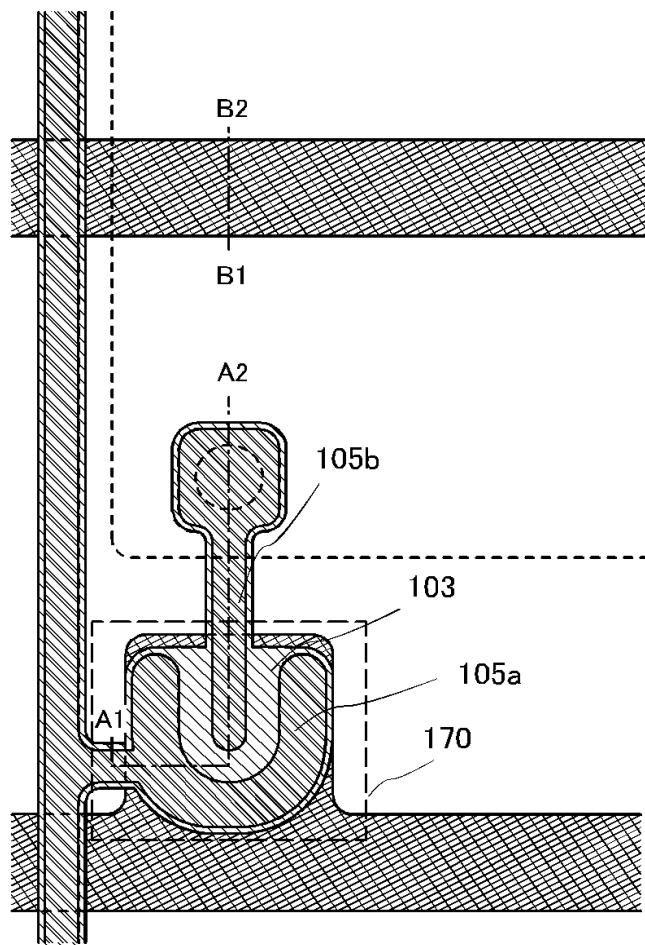
도면7



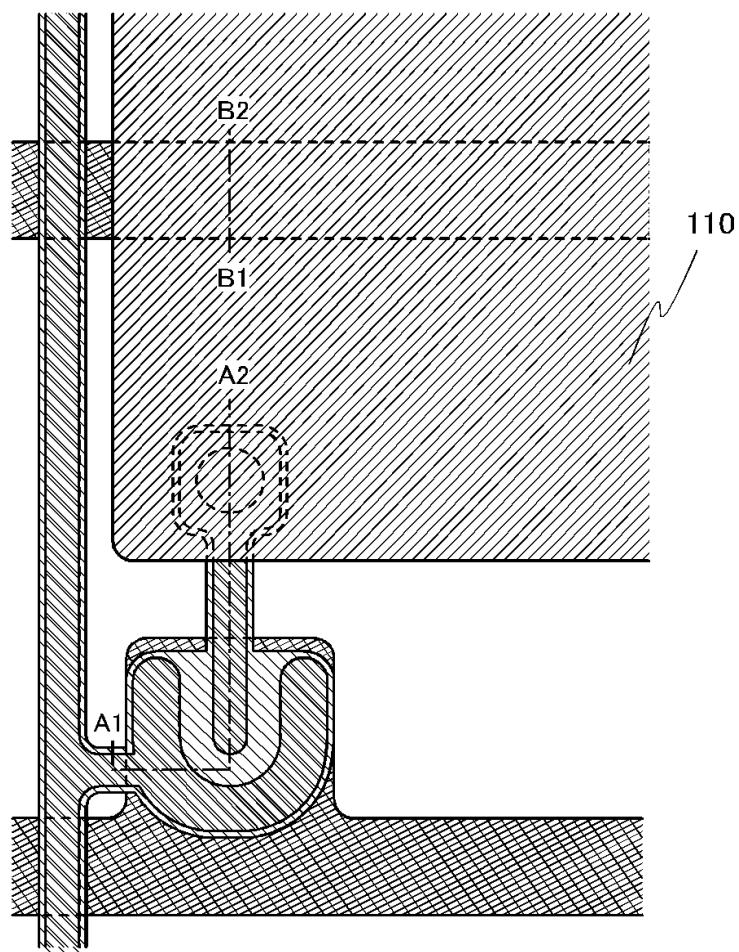
도면8



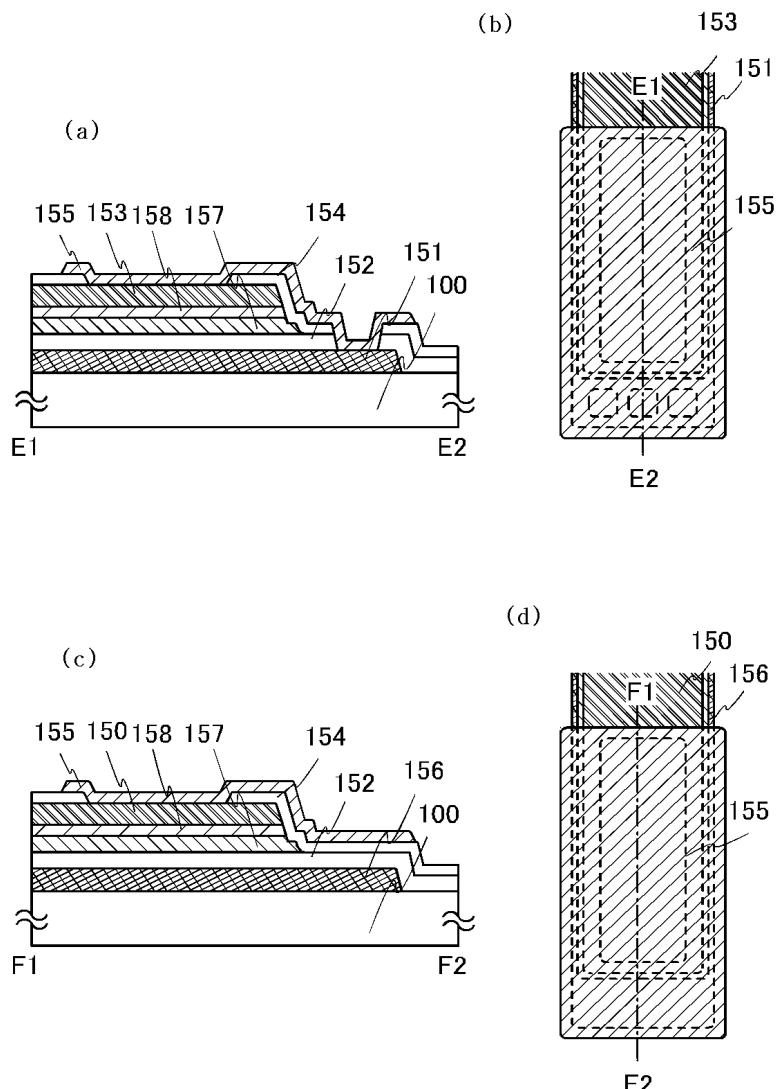
도면9



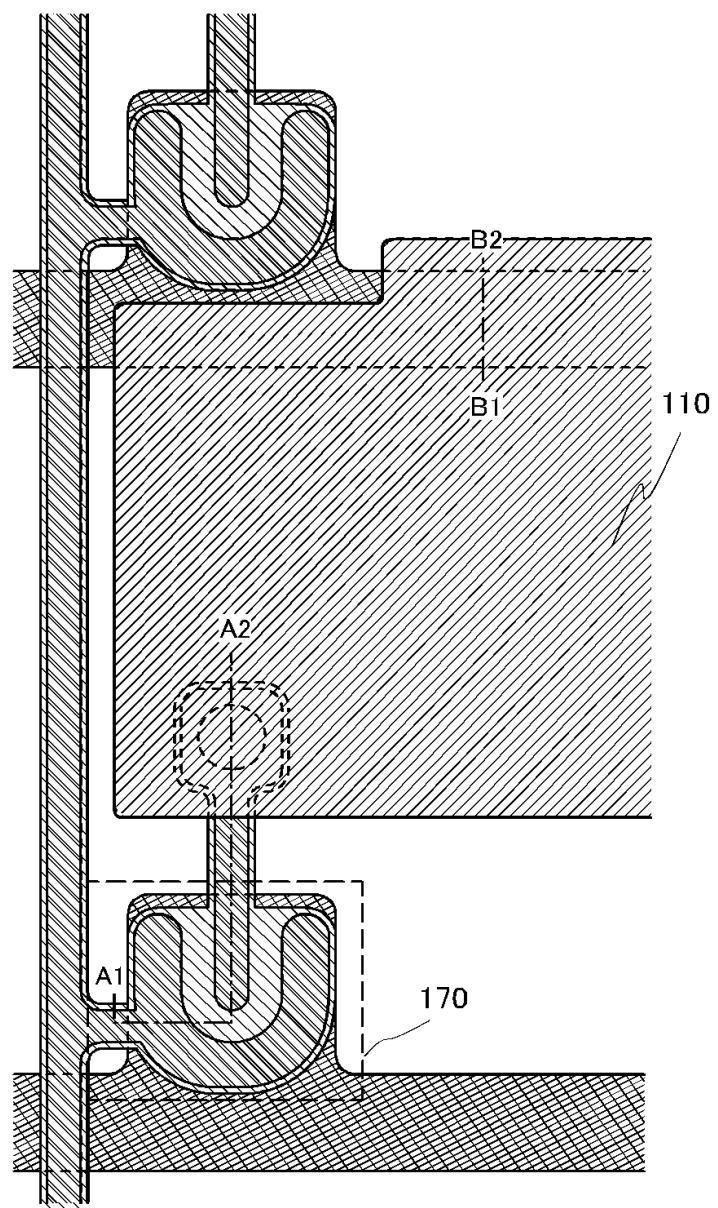
도면10



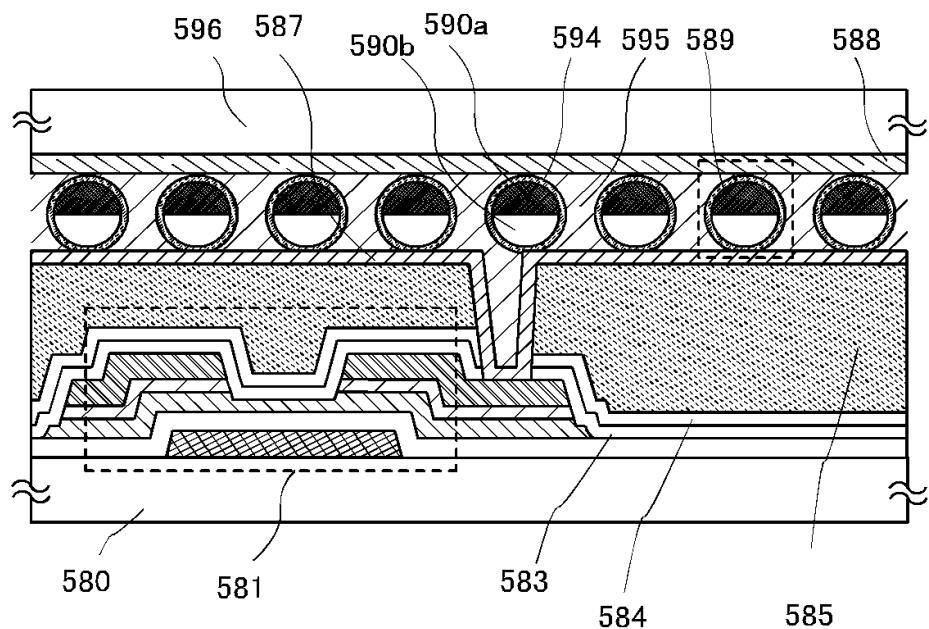
도면11



도면12

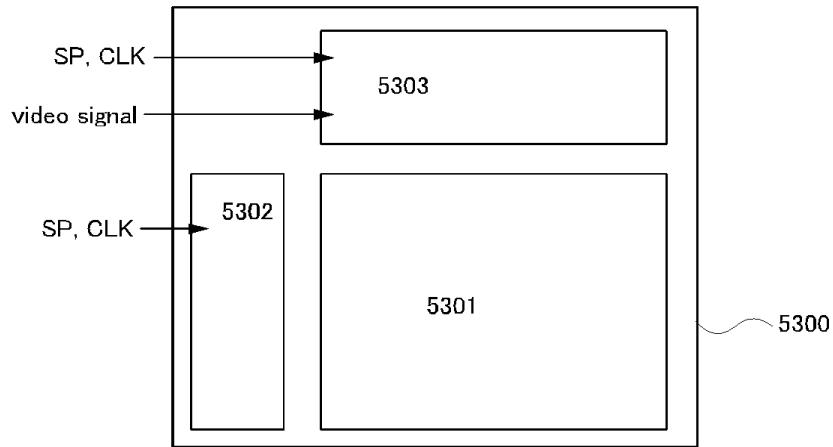


도면13

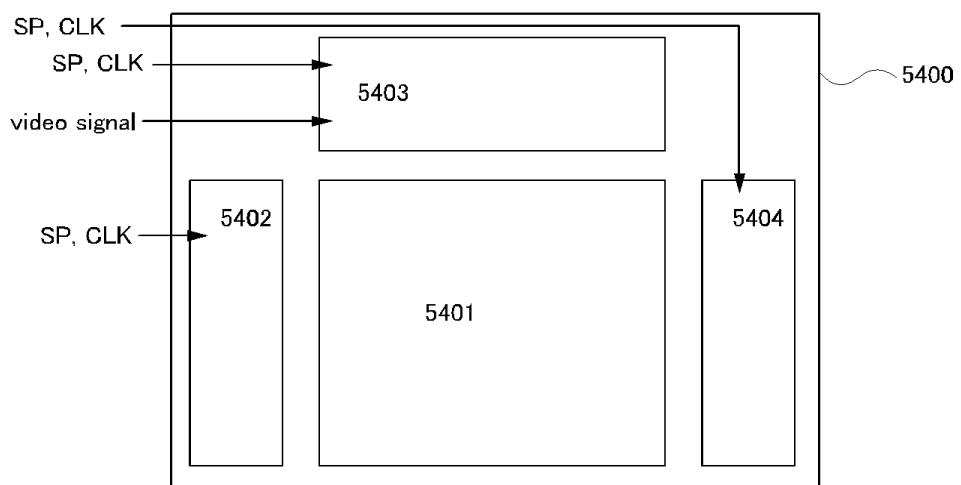


도면14

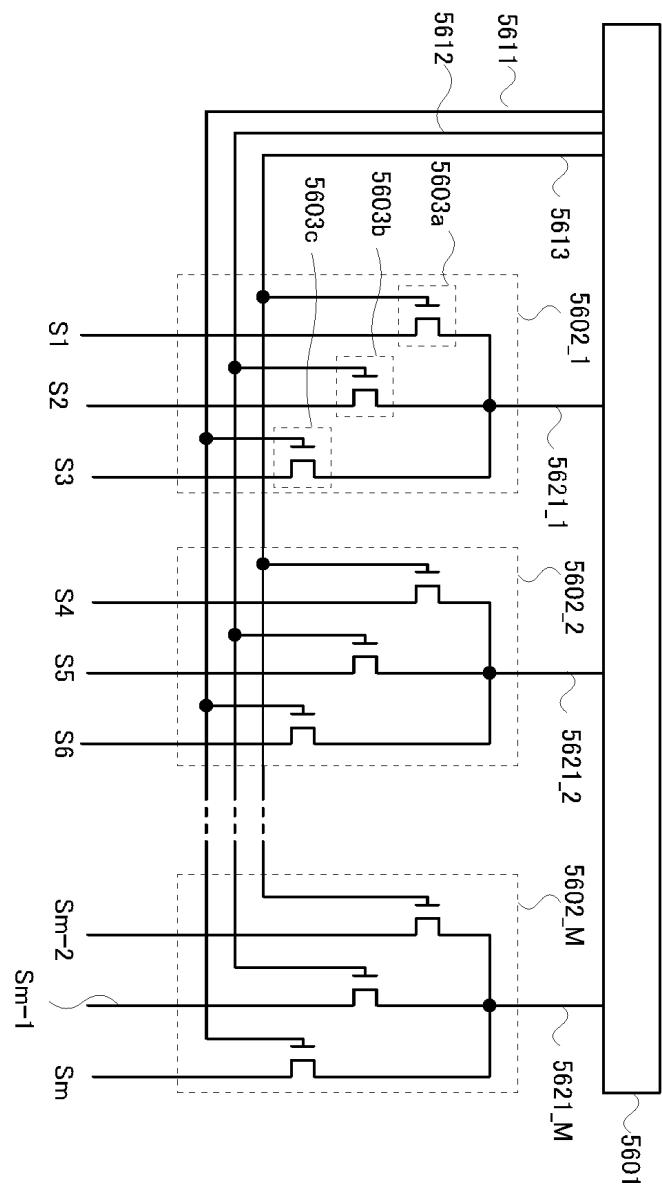
(a)



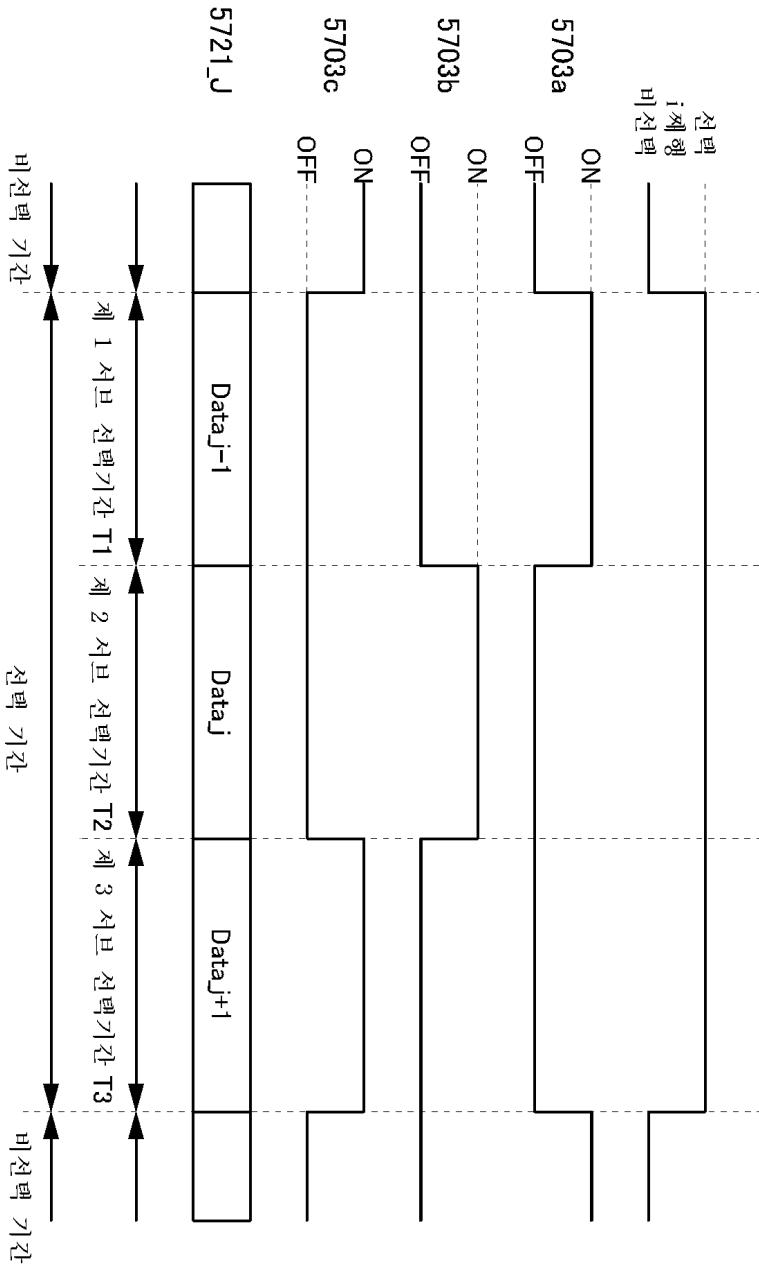
(b)



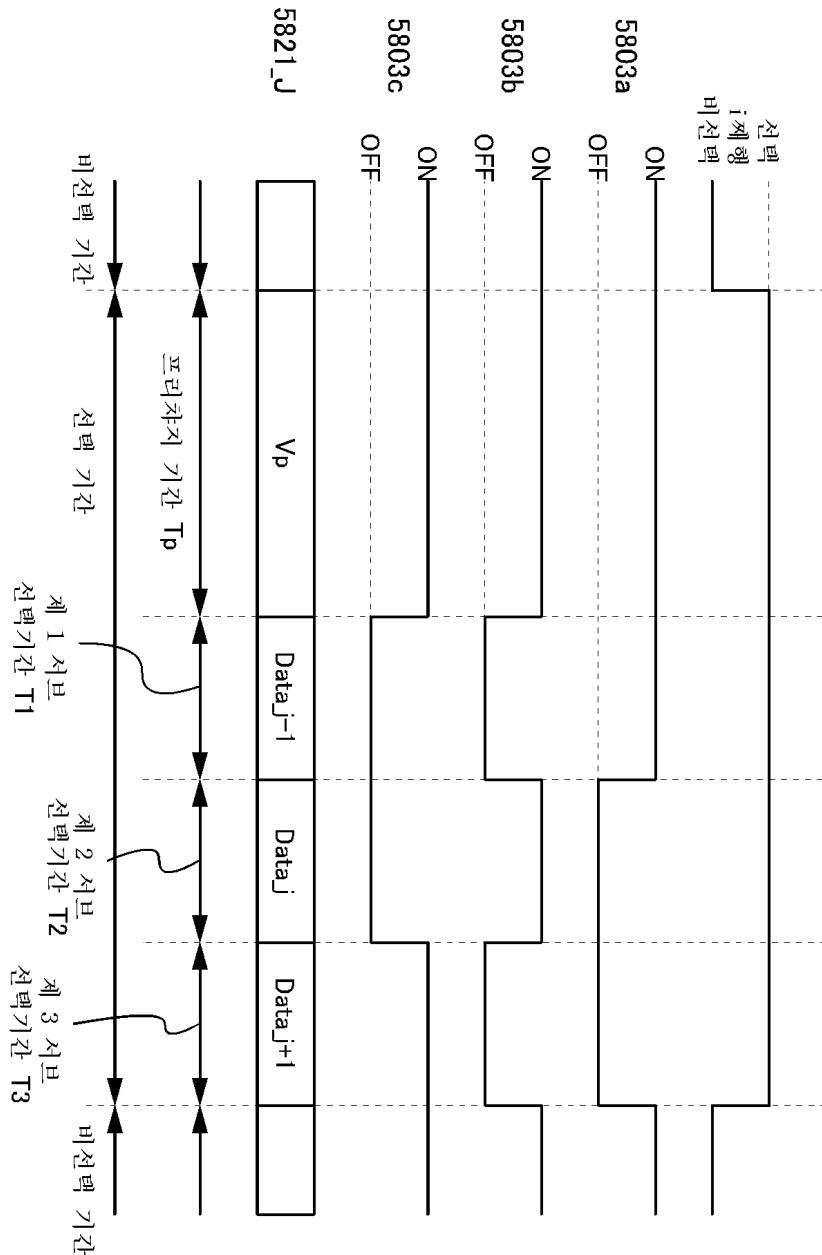
도면15



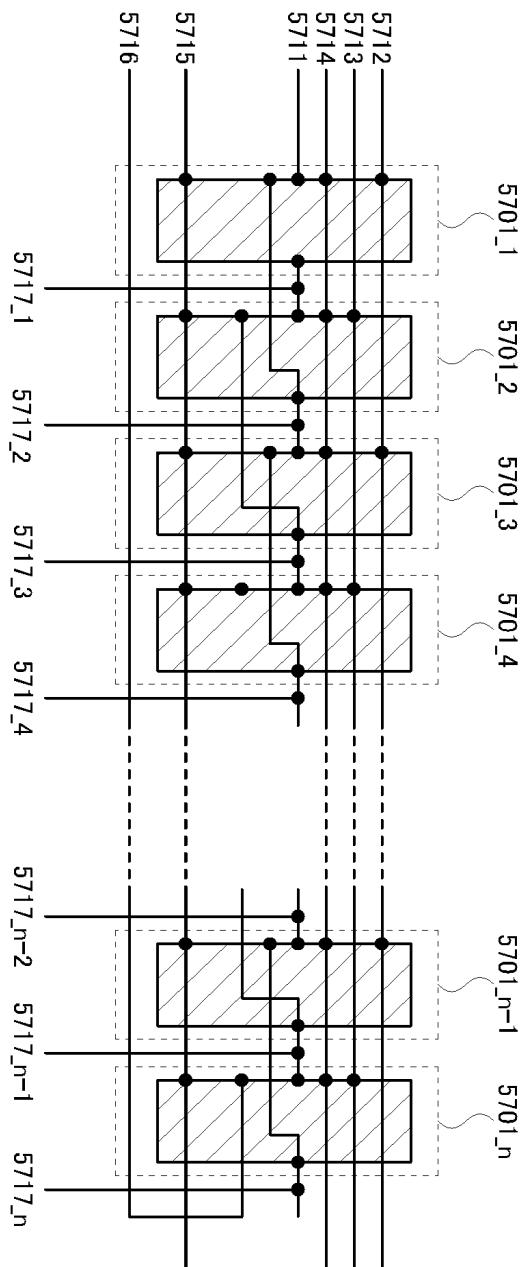
도면16



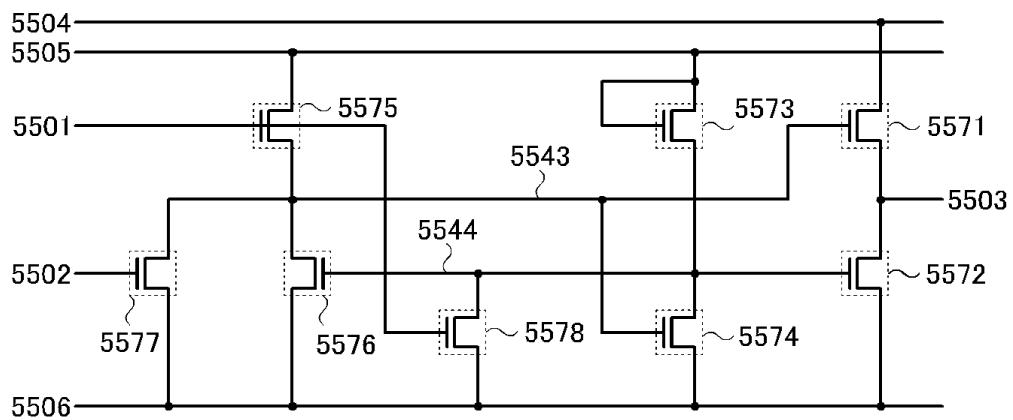
도면17



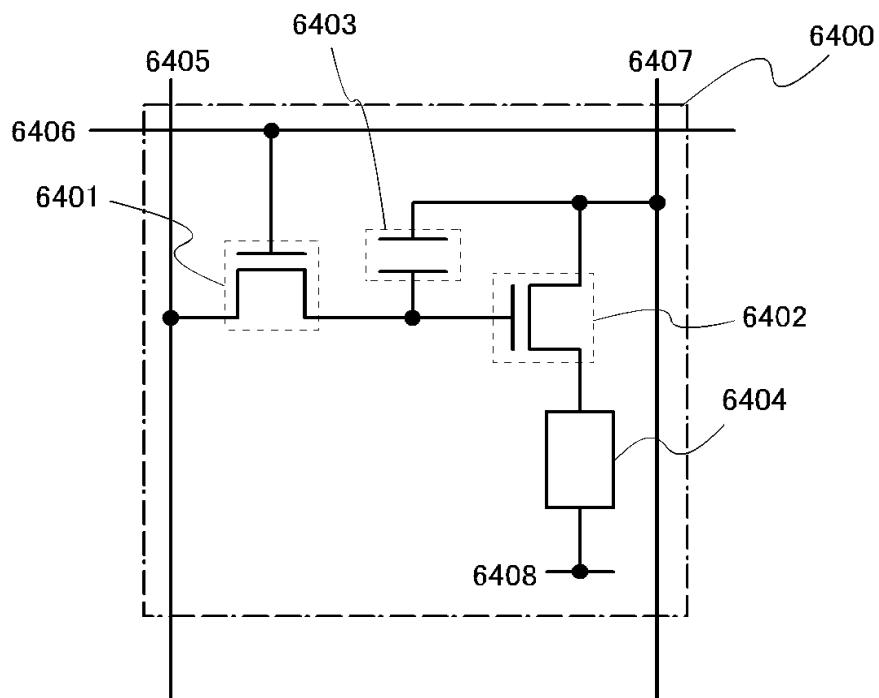
도면18



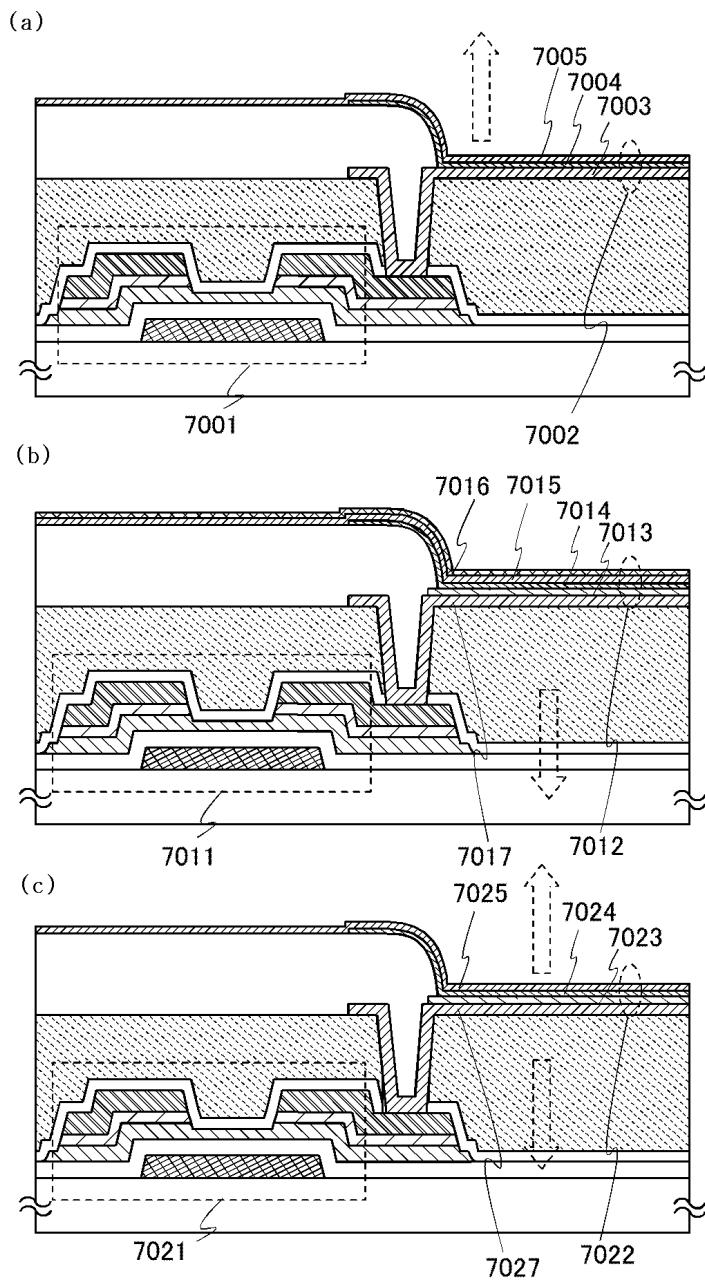
도면19



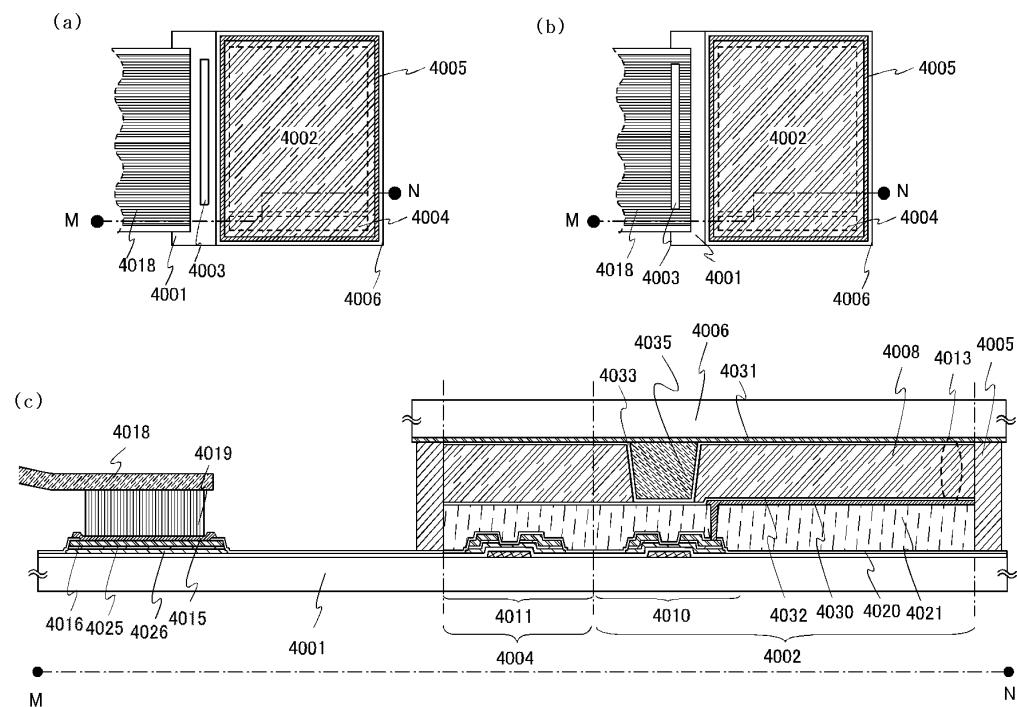
도면20



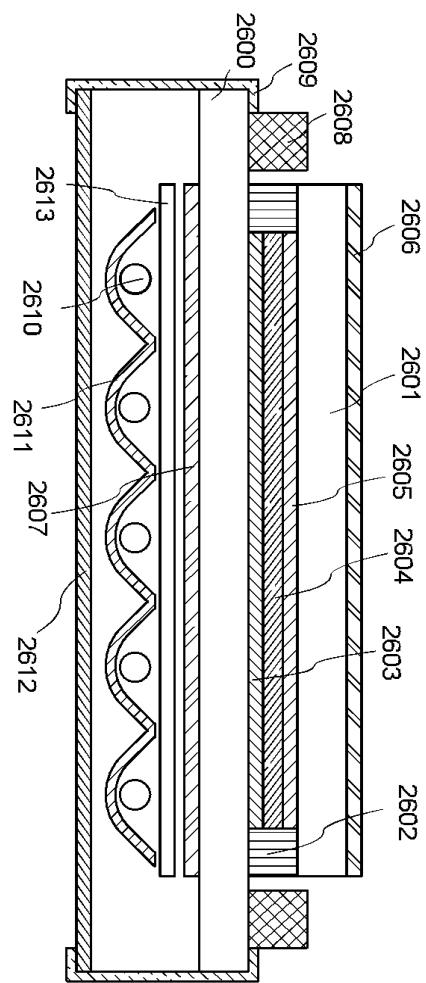
도면21



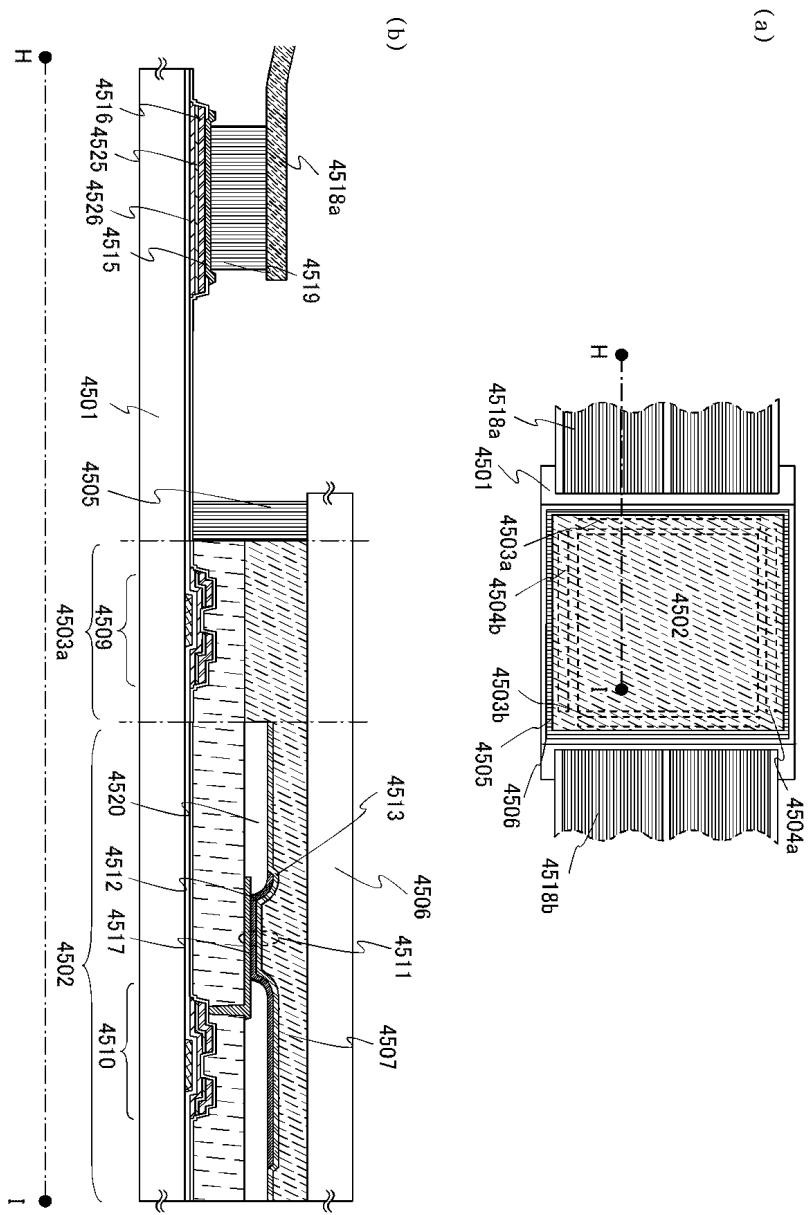
도면22



도면23

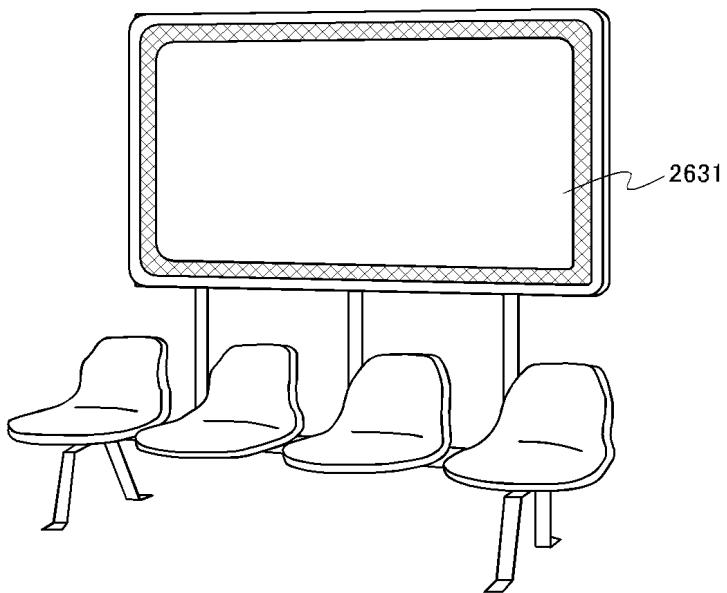


도면24

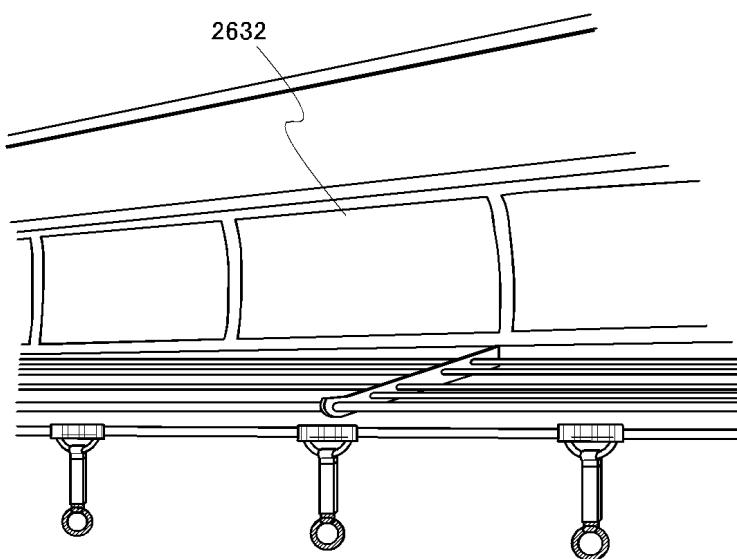


도면25

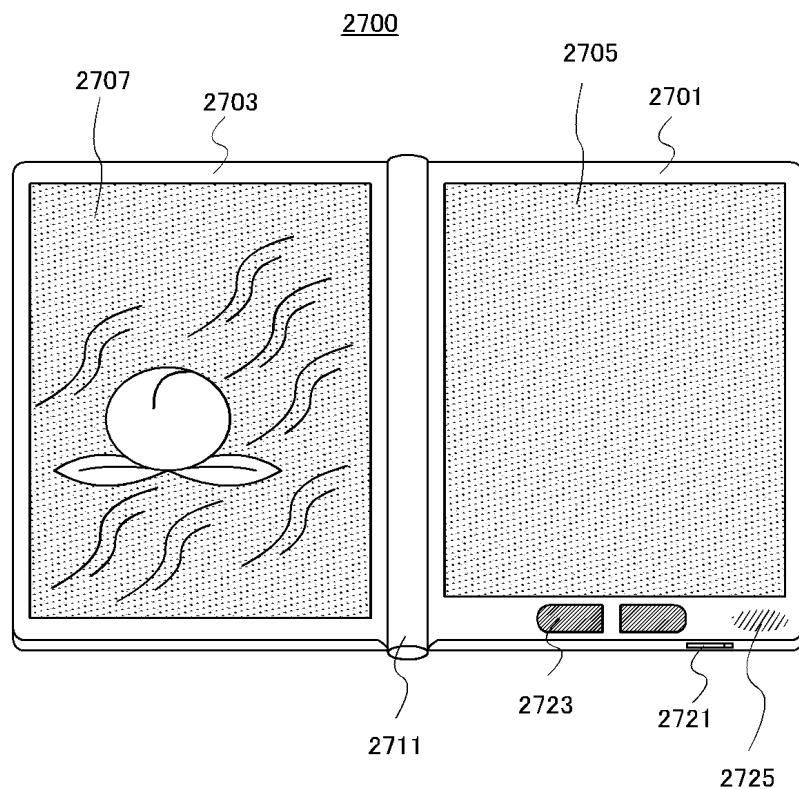
(a)



(b)

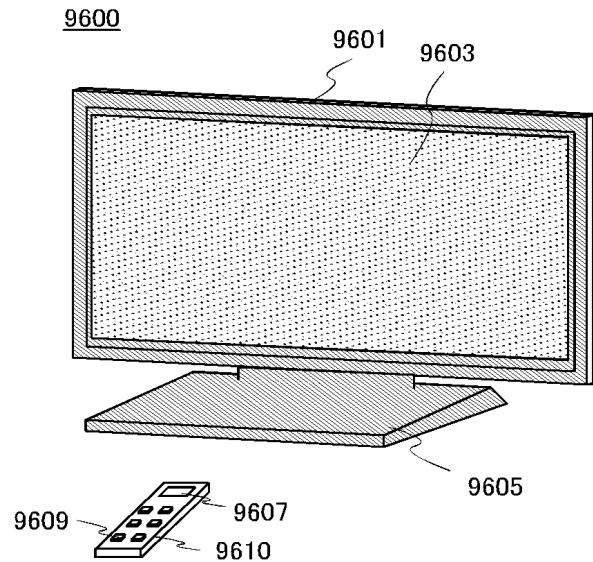


도면26

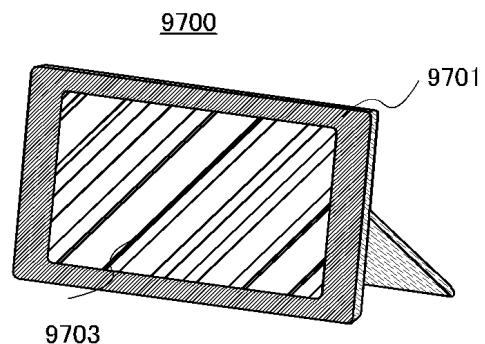


도면27

(a)

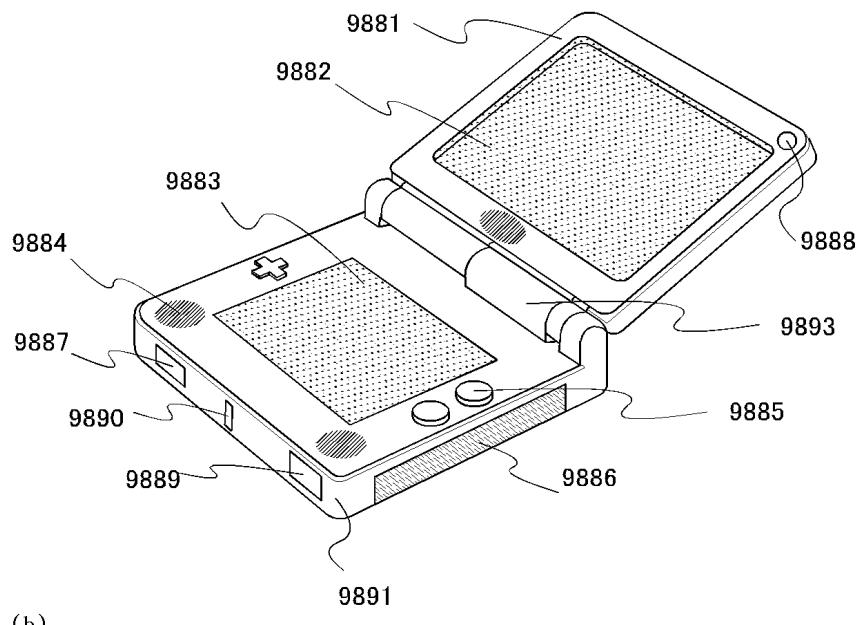


(b)

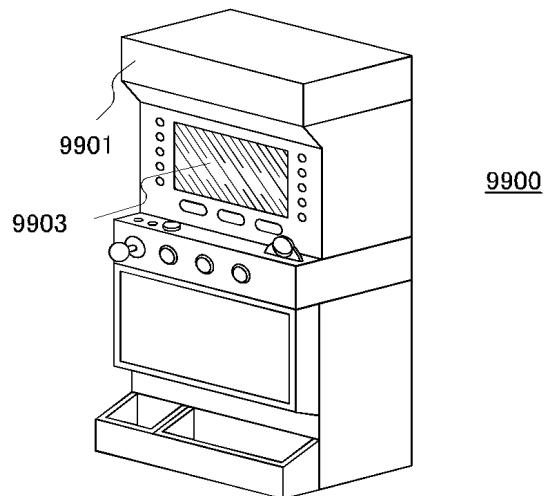


도면28

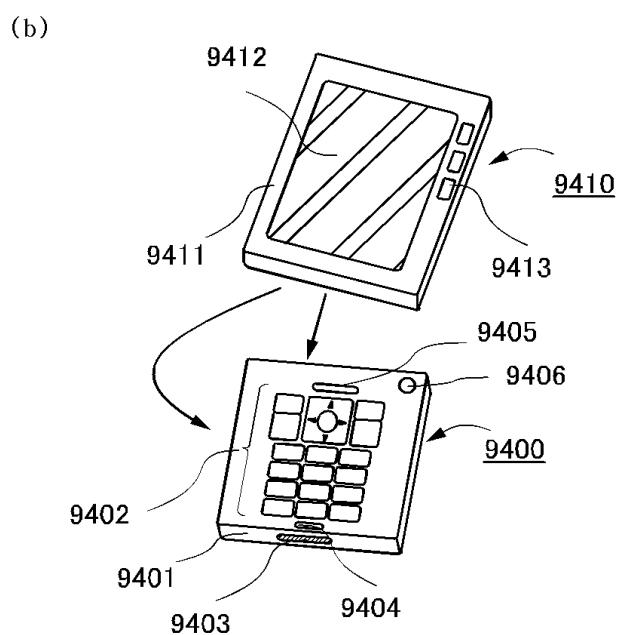
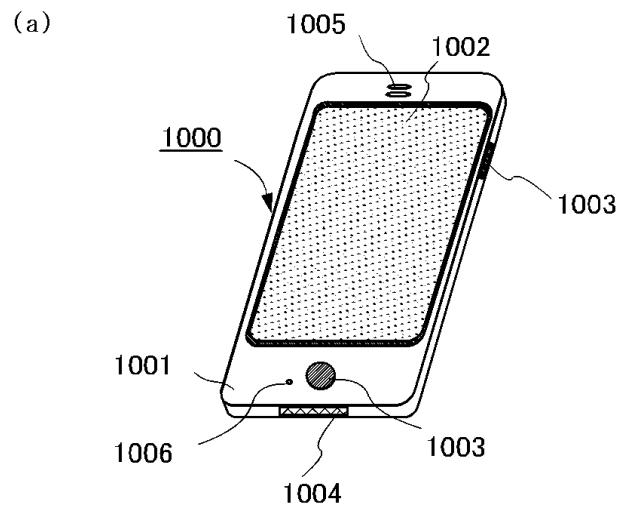
(a)



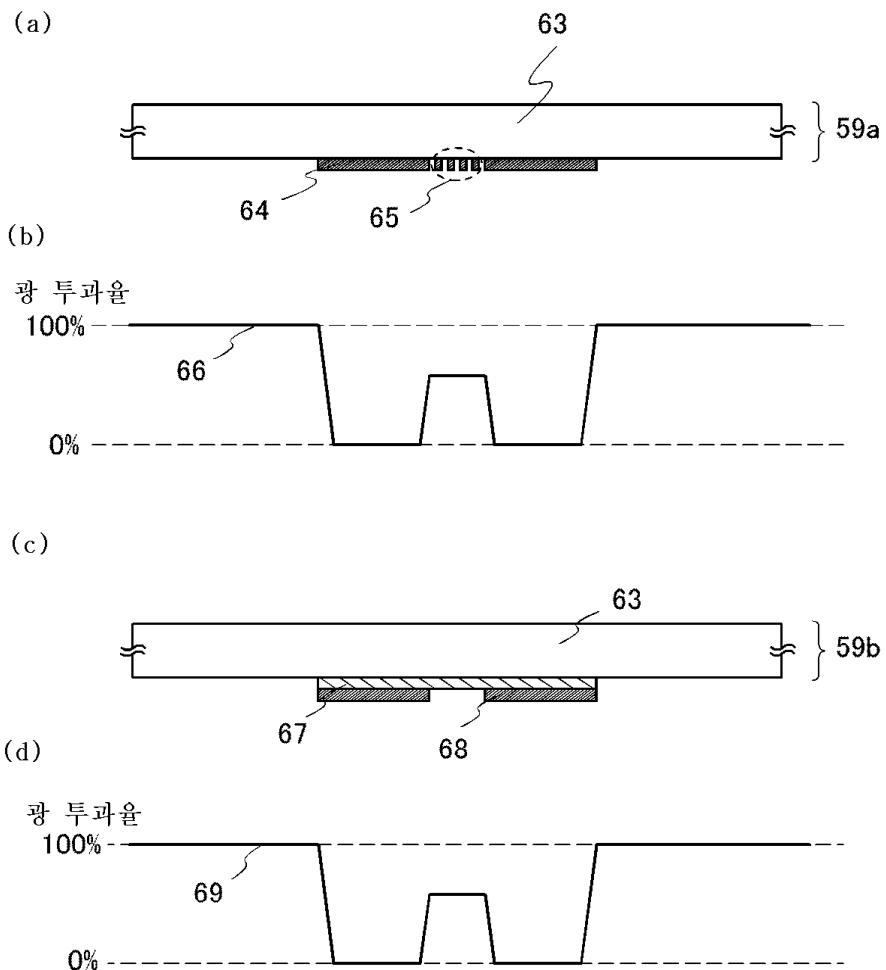
(b)



도면29



도면30



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 14

【변경전】

분위기

【변경후】

아르곤을 포함한 분위기