(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월05일
(11) 등록번호 10-2762517
(24) 등록일자 2025년01월24일

(51) 국제특허분류(Int. Cl.)
H01G 13/00 (2006.01) *H01G 4/012* (2006.01)
H01G 4/12 (2006.01) *H01G 4/232* (2006.01)
H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 13/00 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2023-7009157
(22) 출원일자(국제) 2021년09월04일
심사청구일자 2023년03월16일
(85) 번역문제출일자 2023년03월16일
(65) 공개번호 10-2023-0048436
(43) 공개일자 2023년04월11일
(86) 국제출원번호 PCT/JP2021/032563
(87) 국제공개번호 WO 2022/065004
국제공개일자 2022년03월31일
(30) 우선권주장
JP-P-2020-160733 2020년09월25일 일본(JP)
(56) 선행기술조사문헌
KR1020190008406 A*
US20180233289 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
젠자이 코타
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 13 항 심사관 : 윤석채

(54) 발명의 명칭 **칩형 세라믹 전자부품 및 그 제조 방법**

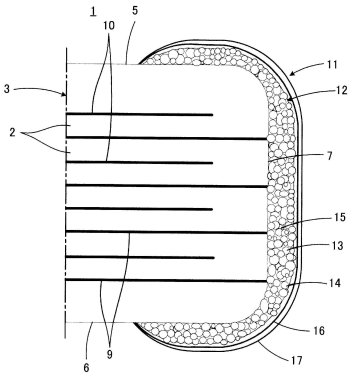
(57) 요 약

기판의 휨 등이 원인인 응력에 대하여 세라믹 소체를 크랙으로부터 지킴과 함께, 수지 전극보다도 전기저항을 낮게 할 수 있는 외부전극 구조를 가지는 칩형 세라믹 전자부품의 제조 방법을 제공한다.

외부전극(11)은 유리를 포함하지 않는 유리 비함유 소결층(12)을 포함한다. 구리 및 니켈에서 선택되는 적어도 1

(뒷면에 계속)

대 표 도 - 도1



종과 주석의 합금으로 이루어지는 도전성 금속 분말 및 열경화성 수지를 포함하되 유리를 포함하지 않는 유리 비함유 도전성 페이스트를 준비하고, 이를 세라믹 소체(3)의 표면의 일부를 덮도록 도포하며, 이어서, 유리 비함유 도전성 페이스트가 도포된 세라믹 소체(3)를 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 온도, 예를 들면 600℃에서 열처리한다. 열처리에 의해 열경화성 수지는 열분해 또는 연소되어 거의 남지 않고, 도전성 금속 분말은 소결되어 일체화된 금속 소결체(13)를 형성한다.

(52) CPC특허분류
H01G 4/1209 (2013.01)
H01G 4/232 (2013.01)
H01G 4/30 (2013.01)

명 세 서

청구범위

청구항 1

내부도체를 가지면서 상기 내부도체의 일부가 표면에 노출된 세라믹 소체와, 상기 내부도체와 전기적으로 접속되면서 상기 세라믹 소체의 상기 표면의 일부를 덮도록 형성된 외부전극을 포함하는 칩형 세라믹 전자부품을 제조하는 방법으로서,

세라믹 소체를 준비하는 공정과,

상기 외부전극의 적어도 일부가 되는 도전성 페이스트를 준비하는 공정과,

상기 도전성 페이스트를 상기 세라믹 소체의 상기 표면의 일부를 덮도록 도포하는 공정과,

상기 도전성 페이스트가 도포된 상기 세라믹 소체를 열처리하는 공정을 포함하고,

상기 외부전극은 유리를 포함하지 않는 제1 유리 비(非)함유 소결층을 포함하며,

상기 도전성 페이스트를 준비하는 공정은 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 제1 도전성 금속 분말 및 제1 열경화성 수지를 포함하되 유리를 포함하지 않는 제1 유리 비함유 도전성 페이스트를 준비하는 공정을 포함하고,

상기 도전성 페이스트를 도포하는 공정은 상기 제1 유리 비함유 도전성 페이스트를 상기 세라믹 소체의 상기 표면의 일부를 덮도록 도포하는 공정을 포함하며,

상기 세라믹 소체를 열처리하는 공정은 상기 제1 유리 비함유 소결층을 형성하기 위해, 상기 제1 유리 비함유 도전성 페이스트가 도포된 상기 세라믹 소체를 상기 제1 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 제1 온도로 열처리하는 공정을 포함하는, 칩형 세라믹 전자부품의 제조 방법.

청구항 2

제1항에 있어서,

상기 제1 도전성 금속 분말이 구리와 주석의 합금으로 이루어질 때, 상기 합금에서의 주석의 함유량은 2질량% 이상이면서 15질량% 이하인, 칩형 세라믹 전자부품의 제조 방법.

청구항 3

제1항에 있어서,

상기 세라믹 소체를 열처리하는 공정 후, 상기 외부전극을 덮는 니켈 도금막 및 주석 도금막을 순차 형성하는 공정을 더 포함하는, 칩형 세라믹 전자부품의 제조 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 열처리하는 공정은, 상기 제1 유리 비함유 소결층에서 상기 제1 열경화성 수지를 열분해하는 공정 또는 연소시키는 공정을 포함하는, 칩형 세라믹 전자부품의 제조 방법.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 세라믹 소체를 열처리하는 공정에서 상기 제1 열경화성 수지의 경화 온도보다 400℃ 높은 온도는 580℃인, 칩형 세라믹 전자부품의 제조 방법.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 외부전극은 상기 제1 유리 비함유 소결층 상에 형성되며 유리를 포함하지 않는 제2 유리 비함유 소결층을 더 포함하고,

상기 도전성 페이스트를 준비하는 공정은 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 제2 도전성 금속 분말 및 제2 열경화성 수지를 포함하되 유리를 포함하지 않는 제2 유리 비함유 도전성 페이스트를 준비하는 공정을 더 포함하며,

상기 도전성 페이스트를 도포하는 공정은 상기 제1 유리 비함유 소결층 상에 상기 제2 유리 비함유 도전성 페이스트를 도포하는 공정을 더 포함하고,

상기 세라믹 소체를 열처리하는 공정은 상기 제2 유리 비함유 소결층을 형성하기 위해, 상기 제2 유리 비함유 도전성 페이스트가 도포된 상기 세라믹 소체를 상기 제2 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 온도이면서 상기 제1 온도보다 낮은 제2 온도로 열처리하는 공정을 더 포함하는, 칩형 세라믹 전자부품의 제조 방법.

청구항 7

제6항에 있어서,

상기 제2 유리 비함유 도전성 페이스트는 상기 제1 유리 비함유 도전성 페이스트와 동일한 조성을 가지는, 칩형 세라믹 전자부품의 제조 방법.

청구항 8

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 외부전극은 수지 함유 도체층을 더 포함하고,

상기 도전성 페이스트를 준비하는 공정은 도전성 금속 분말 및 열경화성 수지를 포함하되 유리를 포함하지 않는 제3 유리 비함유 도전성 페이스트를 준비하는 공정을 더 포함하며,

상기 도전성 페이스트를 도포하는 공정은 상기 제1 유리 비함유 소결층을 덮도록 상기 제3 유리 비함유 도전성 페이스트를 도포하는 공정을 더 포함하고,

상기 세라믹 소체를 열처리하는 공정은 상기 제3 유리 비함유 도전성 페이스트에 포함되는 상기 열경화성 수지를 가열 경화시키는 공정을 더 포함하는, 칩형 세라믹 전자부품의 제조 방법.

청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 도전성 페이스트를 도포하는 공정은 상기 제1 유리 비함유 도전성 페이스트를 상기 내부도체와 접하는 상태로 상기 세라믹 소체의 상기 표면 상에 도포하는 공정을 포함하는, 칩형 세라믹 전자부품의 제조 방법.

청구항 10

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 외부전극은 유리를 포함하는 유리 함유 소결층을 더 포함하고,

상기 도전성 페이스트를 준비하는 공정은 도전성 금속 분말 및 유리를 포함하는 유리 함유 도전성 페이스트를 준비하는 공정을 더 포함하며,

상기 도전성 페이스트를 도포하는 공정은 상기 유리 함유 도전성 페이스트를 상기 내부도체와 접하는 상태로 상기 세라믹 소체의 상기 표면 상에 도포하는 공정을 더 포함하고,

상기 세라믹 소체를 열처리하는 공정은 상기 유리 함유 소결층을 형성하기 위해, 상기 유리 함유 도전성 페이스트가 도포된 상기 세라믹 소체를 열처리하는 공정을 더 포함하며,

상기 제1 유리 비함유 도전성 페이스트를 도포하는 공정은 상기 제1 유리 비함유 도전성 페이스트를 상기 유리 함유 소결층 상에 도포하는 공정을 포함하는, 칩형 세라믹 전자부품의 제조 방법.

청구항 11

내부도체를 가지면서 상기 내부도체의 일부가 표면에 노출된 세라믹 소체와,

상기 내부도체와 전기적으로 접속되면서 상기 세라믹 소체의 상기 표면의 일부를 덮도록 형성된 외부전극을 포함하고,

상기 외부전극은 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금을 포함하되 유리를 포함하지 않는 유리 비(非)함유 소결층을 포함하며,

상기 유리 비함유 소결층은 열경화성 수지를 상기 유리 비함유 소결층의 절단면에서의 면적비율로 1% 이하 포함하는, 칩형 세라믹 전자부품.

청구항 12

제11항에 있어서,

상기 유리 비함유 소결층은 상기 내부도체와 접하는 상태로 상기 세라믹 소체의 상기 표면 상에 형성되는, 칩형 세라믹 전자부품.

청구항 13

제11항 또는 제12항에 있어서,

상기 칩형 세라믹 전자부품은 적층 세라믹 콘덴서인, 칩형 세라믹 전자부품.

발명의 설명

기 술 분 야

[0001] 본 발명은 칩형 세라믹 전자부품 및 그 제조 방법에 관한 것으로, 특히, 칩형 세라믹 전자부품에 포함하는 세라믹 소체의 표면에 형성되는 외부전극의 구조 및 외부전극의 형성 방법에 관한 것이다.

배 경 기 술

[0002] 적층 세라믹 콘덴서와 같은 칩형 세라믹 전자부품이 맞딱뜨릴 수 있는 문제로서, 칩형 세라믹 전자부품이 표면 실장된 기판의 휨, 또는 칩형 세라믹 전자부품을 실장하기 위해 적용되는 솔더 리플로우 공정에서 부여되는 열이 원인인 응력이 칩형 세라믹 전자부품의 본체로서의 세라믹 소체에 가해져서 세라믹 소체에 크랙이 생기는 경우가 있다. 세라믹 소체에 크랙이 생기면 칩형 세라믹 전자부품의 기능이 손상될 뿐만 아니라 전기적 단락과 같은 심각한 문제를 일으키는 경우가 있다.

[0003] 이와 같은 문제의 대책으로, 칩형 세라믹 전자부품의 외부전극으로서, 도전성 금속 분말 및 열경화성 수지를 포함하되 유리를 포함하지 않고, 열경화성 수지를 열경화시켜서 전극으로 하는, 이른바 수지 전극을 사용하는 것이 제안되고 있다. 수지 전극을 사용하는 경우, (1) 세라믹 소체의 표면에 도전성 금속 분말 및 유리 프릿(frit)을 포함하는 유리 함유 도전성 페이스트를 도포하고, 이것을 소결시킨 유리 함유 소결층을, 세라믹 소체의 표면에 일부 노출된 내부도체와 접하도록 하부층으로서 형성하고, 그 위에 수지 전극을 형성한 구조와, (2) 세라믹 소체의 표면에 직접 내부전극과 접하도록 수지 전극을 형성한 구조가 있다.

[0004] 상기 (1) 및 (2) 중 어느 구조이어도, 세라믹 소체에 크랙을 생기게 할 수 있는 응력이 우선, 수지 전극을 기점으로 하는 박리 또는 수지 전극 자체의 파괴에 의해 흡수되기 때문에 세라믹 소체에 크랙이 생기는 사태까지 이르지 않게 할 수 있다.

[0005] 상기 (1)의 구조는 예를 들면 일본 공개특허공보 특개2015-109411호(특허문헌 1)에 기재되어 있다.

[0006] 상기 (2)의 구조는 예를 들면 일본 공개특허공보 특개2009-283744호(특허문헌 2)에 기재되어 있다. 특허문헌 2에는 도전성 금속 분말 및 열경화성 수지를 포함하는 도전성 페이스트를 세라믹 소체의 표면에 도포한 후, 도전성 페이스트를 열처리에 의해 경화시킴에 있어, 열경화성 수지의 탄화가 개시되는 온도 근방을 최고 온도로 하는 것이 기재되어 있다(청구항 3). 이와 같이 경화 시의 최고 온도를 설정함으로써, 특허문헌 1에서는 수지 전극의 치밀성을 유지하면서 수지 전극 중의 도전성 금속 분말과 내부도체의 금속의 금속 확산이 생기기 쉬워져, 수지 전극과 내부도체의 전기적 접속을 확실하게 할 수 있고, 고온 고습 환경에서의 절연 저항의 열화를 저감하

면서, 적층 세라믹 콘덴서에 적용된 경우에는 정전 용량의 불균일을 작게 할 수 있다고 기재되어 있다(단락 0047).

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 특개2015-109411호

(특허문헌 0002) 일본 공개특허공보 특개2009-283744호

발명의 내용

해결하려는 과제

[0008] 그러나 수지 전극은 도전성 금속 분말을 열경화성 수지 중에 분산시킴으로써 도전성을 얻는 것이므로 전기저항이 비교적 높고, 그 때문에 칩형 세라믹 전자부품의 등가직렬저항(ESR)이 높아지는 경향이 있다. 특히, 상기 (1)의 구조에서는 하부층으로서의 유리 함유 소결층의 표층에 유리가 존재하므로 상기 (2)의 구조에 비해 ESR이 보다 높아진다.

[0009] 따라서, 본 발명의 목적은 기판의 휨이나 솔더 리플로우 공정에서의 열이 원인인 응력에 대하여 세라믹 소체를 크랙으로부터 지키는 기능을 유지하면서, 외부전극에서 수지 전극 또는 유리 함유 소결층보다도 전기저항이 낮은 전극층을 가지는 칩형 세라믹 전자부품 및 그 제조 방법을 제공하고자 하는 것이다.

과제의 해결 수단

[0010] 본 발명은 우선, 칩형 세라믹 전자부품의 제조 방법에 관한 것이다. 본 발명에 따른 제조 방법의 대상인 칩형 세라믹 전자부품은 내부도체를 가지면서 내부도체의 일부가 표면에 노출된 세라믹 소체와, 내부도체와 전기적으로 접속되면서 세라믹 소체의 표면의 일부를 덮도록 형성된 외부전극을 포함한다.

[0011] 상기의 칩형 세라믹 전자부품을 제조하기 위해, 세라믹 소체를 준비하는 공정과, 외부전극의 적어도 일부가 되는 도전성 페이스트를 준비하는 공정과, 도전성 페이스트를 세라믹 소체의 표면의 일부를 덮도록 도포하는 공정과, 도전성 페이스트가 도포된 세라믹 소체를 열처리하는 공정이 실시된다.

[0012] 본 발명은 상술한 기술적 과제를 해결하기 위해, 다음과 같은 구성을 포함하는 것을 특징으로 한다.

[0013] 외부전극은 유리를 포함하지 않는 유리 비(非)함유 소결층을 포함한다. 도전성 페이스트를 준비하는 공정은 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 도전성 금속 분말 및 열경화성 수지를 포함하되 유리를 포함하지 않는 유리 비함유 도전성 페이스트를 준비하는 공정을 포함하고, 도전성 페이스트를 도포하는 공정은 유리 비함유 도전성 페이스트를 세라믹 소체의 표면의 일부를 덮도록 도포하는 공정을 포함한다. 그리고 세라믹 소체를 열처리하는 공정은 상술한 유리 비함유 소결층을 형성하기 위해, 유리 비함유 도전성 페이스트가 도포된 세라믹 소체를 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 온도로 열처리하는 공정을 포함하는 것을 특징으로 한다.

[0014] 본 발명은 상술한 제조 방법을 실시함으로써 얻어지는 칩형 세라믹 전자부품에 관한 것이다.

[0015] 본 발명에 따른 칩형 세라믹 전자부품은 내부도체를 가지면서 내부도체의 일부가 표면에 노출된 세라믹 소체와, 내부도체와 전기적으로 접속되면서 세라믹 소체의 표면의 일부를 덮도록 형성된 외부전극을 포함한다. 외부전극은 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금을 포함하되 유리를 포함하지 않는 유리 비함유 소결층을 포함하고, 유리 비함유 소결층은 열경화성 수지를 상기 유리 비함유 소결층의 절단면에서의 면적비율로 1% 이하 포함하는 것을 특징으로 한다.

발명의 효과

[0016] 본 발명에 따르면, 칩형 세라믹 전자부품에 포함하는 외부전극에서 유리 비함유 소결층이 형성된다. 이 유리 비함유 소결층은 도전성 금속 분말 및 열경화성 수지를 포함하는 수지 함유 도체층보다도 전기저항을 낮게 할 수 있다. 또한, 유리 비함유 소결층은 도전성 금속 분말 및 유리를 포함하는 도전성 페이스트를 소성하여 얻어진

유리 함유 소결층과 같이, 표층에 유리가 석출(析出)되지 않는다. 따라서, 수지 함유 도체층 또는 유리 함유 소결층만으로 외부전극의 주요부가 구성된 칩형 세라믹 전자부품에 비해 ESR을 낮게 할 수 있다.

[0017] 또한, 칩형 세라믹 전자부품이 표면 실장된 기판의 휨, 또는 칩형 세라믹 전자부품을 실장하기 위해 적용되는 솔더 리플로우 공정에서 부여되는 열이 원인인 응력이 세라믹 소체에 가해져도 유리 비함유 소결층을 기점으로 하는 박리 또는 유리 비함유 소결층 자체의 파괴에 의해 상기 응력을 흡수할 수 있으므로, 세라믹 소체에 크랙이 생기는 사태까지 이르지 않게 할 수 있다.

[0018] 또한, 본 발명에 따르면, 외부전극에서의 유리 비함유 소결층을 형성하기 위해 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 도전성 금속 분말을 포함하는 도전성 페이스트가 사용되므로, 유리 비함유 소결층에서 높은 치밀성이 얻어지는 것을 알 수 있었다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 제1 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1)의 일부를 모식적으로 나타내는 단면도이다.

도 2는 본 발명의 제2 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1a)의 일부를 모식적으로 나타내는 단면도이다.

도 3은 본 발명의 제3 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1b)의 일부를 모식적으로 나타내는 단면도이다.

도 4는 본 발명의 제4 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1c)의 일부를 모식적으로 나타내는 단면도이다.

도 5는 도전성 금속 분말로서 구리·주석 합금 분말을 포함하는 도전성 페이스트를 소결시켜서 얻어진 실시예에 따른 유리 비함유 소결층의 표면을 촬영한 전자 현미경 사진을 나타내는 도면이다.

도 6은 유리 비함유 소결층을 형성함에 있어서 사용한 도전성 페이스트에서 구리·주석 합금 분말 대신에 구리 분말과 주석 분말을 혼합한 도전성 금속 분말을 함유시킨 비교예에 따른 유리 비함유 소결층의 표면을 촬영한 전자 현미경 사진을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명에 따른 칩형 세라믹 전자부품을 설명함에 있어, 칩형 세라믹 전자부품의 일례로서의 적층 세라믹 콘덴서를 채용한다.

[0021] [제1 실시형태]

[0022] 우선, 도 1을 참조하여, 본 발명의 제1 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1)에 대해 설명한다.

[0023] 적층 세라믹 콘덴서(1)는 유전체 세라믹으로 이루어지는 복수개의 세라믹층(2)이 적층되어 이루어지는 세라믹 소체(3)를 포함한다. 세라믹 소체(3)는 서로 대향하는 제1 주면(主面)(5) 및 제2 주면(6)과, 그들의 사이를 접속하는 제1 단면(端面)(7), 및 도시하지 않았지만 제1 단면(7)에 대향하는 제2 단면을 가지며, 또한, 도시하지 않았지만 도 1 지면에 대하여 평행하게 연장되면서 서로 대향하는 제1 측면 및 제2 측면을 가진다.

[0024] 세라믹 소체(3)의 내부에는 내부도체로서의 각각 복수개의 제1 내부전극(9) 및 제2 내부전극(10)이 서로 이웃하는 것 사이에 특정 세라믹층(2)을 개재시키면서, 세라믹층(2)의 적층방향을 따라 교대로 배치된다. 제1 내부전극(9)은 도시한 제1 단면(7)까지 인출되고, 여기서 제1 내부전극(9)의 끝가장자리가 세라믹 소체(3)의 표면에 노출된다. 한편, 제2 내부전극(10)은 도시하지 않은 제2 단면까지 인출되고, 여기서 제2 내부전극(10)의 끝가장자리가 세라믹 소체(3)의 표면에 노출된다. 내부전극(9 및 10)은 도전 성분으로서, 예를 들면 니켈을 포함한다.

[0025] 도시한 외부전극, 즉 제1 외부전극(11)은 세라믹 소체(3)의 표면의 일부인 제1 단면(7)에 형성되고, 제1 내부전극(9)과 전기적으로 접속된다. 도시하지 않았지만, 제1 외부전극(11)에 대향하도록 형성되는 제2 외부전극은 세라믹 소체(3)의 표면의 일부인 제2 단면에 형성되고, 제2 내부전극(10)과 전기적으로 접속된다. 제1 외부전극(11)과 제2 외부전극은 실질적으로 동일한 구성을 가진다. 따라서, 이하에는 제1 외부전극(11)의 구성에 대해 상세하게 설명하고, 제2 외부전극의 구성에 대해서는 설명을 생략한다.

[0026] 제1 외부전극(11)은 제1 단면(7)으로부터 이에 인접하는 제1 및 제2 주면(5 및 6) 그리고 제1 및 제2 측면의 각 일부까지 연장되도록 형성된다. 외부전극(11)은 기본적으로는 외부전극의 적어도 일부가 되는 도전성 페이스트를 준비하는 공정과, 이 도전성 페이스트를 세라믹 소체(3)의 표면의 일부를 덮도록 도포하는 공정과, 도전성 페이스트가 도포된 세라믹 소체(3)를 열처리하는 공정을 실시함으로써 형성된다.

[0027] 여기서, 상기 세라믹 소체(3)는 소결 완료되었고, 도전성 페이스트가 도포된 세라믹 소체(3)를 열처리하는 공정은 세라믹 소체(3)를 소결시키기 위한 것이 아니다. 즉, 도전성 페이스트와 세라믹 소체(3)를 동시 소성하기 위한 것이 아니다. 이 열처리는 오직 도전성 페이스트를 소결 또는 경화시키기 위한 열처리이다.

[0028] 본 실시형태에서는 외부전극(11)은 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금을 포함하되 유리를 포함하지 않는 유리 비함유 소결층(12)을 포함한다. 유리 비함유 소결층(12)은 내부전극(9)과 접하는 상태로 세라믹 소체(3)의 표면의 일부, 즉 단면(7) 상에 형성된다. 유리 비함유 소결층(12)을 형성하기 위해, 상기 도전성 페이스트를 준비하는 공정은 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 도전성 금속 분말 및 열경화성 수지를 포함하되 유리를 포함하지 않는 유리 비함유 도전성 페이스트를 준비하는 공정을 포함한다.

[0029] 여기에서, 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 도전성 금속 분말로는 구리·주석 합금 분말, 니켈·주석 합금 분말, 구리·니켈·주석 합금 분말, 또는 이들 합금 분말 중 적어도 2종의 혼합 분말을 사용할 수 있다.

[0030] 도전성 금속 분말의 입자 형상은 구 형상이어도 되고, 플레이트 형상이어도 된다. 도전성 금속 분말은 레이저 회절/산란법으로 측정한 D50으로 0.1~1.0㎛로 입경이 작은 것이 유리하게 사용된다. 한편, 후술할 실험예로부터 알 수 있는 바와 같이, 도전성 금속 분말로서 구리와 주석의 합금으로 이루어지는 것이 사용될 때, 상기 합금에서의 주석의 함유량은 2질량% 이상이면서 15질량% 이하인 것이 바람직하다.

[0031] 또한, 열경화성 수지로는 예를 들면, 비스페놀A형 에폭시 수지, 레조르형 페놀 수지, 노볼락형 페놀 수지 등을 사용할 수 있다.

[0032] 또한, 열경화성 수지에는 예를 들면 디에틸렌글리콜모노부틸에테르, 또는 디에틸렌글리콜모노에틸에테르와 같은 용제가 첨가된다.

[0033] 도전성 금속 분말과 열경화성 수지(용제를 제외함)의 합계에 대하여 도전성 금속 분말은 바람직하게는 50~65체적%가 된다.

[0034] 다음으로, 상기 도전성 페이스트를 도포하는 공정은 예를 들면 딥법(dipping method) 등에 의해, 상기 유리 비함유 도전성 페이스트를 세라믹 소체(3)의 표면의 일부, 즉 단면(7)을 덮으면서 내부전극(9)과 접하도록 도포하는 공정을 포함한다. 유리 비함유 도전성 페이스트를 도포한 후, 예를 들면 150℃에서 이것을 건조하는데, 세라믹 소체(3)의 단면(7) 상에서의 도포 두께는 건조 후에 5~30㎛ 정도가 된다. 여기서, 도포 두께가 5~30㎛이도록 여유를 두는 것은 도포 두께가 복수개의 세라믹 소체(3) 사이에서 불균일하거나 1개의 세라믹 소체(3)의 단면(7) 상에서 도포 두께가 장소에 따라 다르기 때문이다.

[0035] 이어서, 상기 세라믹 소체(3)를 열처리하는 공정은 유리 비함유 소결층(12)을 형성하기 위해, 유리 비함유 도전성 페이스트가 도포된 세라믹 소체(3)를 상기 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 온도로 열처리하는 공정을 포함한다. 열경화성 수지의 경화 온도를 180℃로 했을 때, 580℃ 이상의 온도, 예를 들면, 600℃의 온도로 열처리된다. 한편, 열처리 온도의 상한은 세라믹 소체(3)에 악영향을 끼치지 않는 온도가 되고, 예를 들면 950℃가 되는 것이 바람직하다.

[0036] 상술한 바와 같이 하여 얻어진 유리 비함유 소결층(12)은 도 1에 나타내는 바와 같이, 도전성 금속 분말(14)이 원래의 분말 형상을 남기면서 일부 일체화된 금속 소결체(13)를 포함한다. 유리 비함유 소결층(12)은 세라믹 소체(3)에 대하여 충분한 고착 상태를 실현한다. 또한, 예를 들면 내부전극(9)이 니켈을 포함하고, 금속 소결체(13)가 구리·주석 합금을 포함하는 경우, 내부전극(9)과 유리 비함유 소결층(12) 사이에서 내부전극(9) 중의 니켈과 유리 비함유 소결층(12) 중의 구리·주석 합금이 접합층을 형성하여 신뢰성이 높은 접합 상태가 실현된다. 금속 소결체(13)의 내부에는 도 1에 나타내는 바와 같이, 열경화성 수지 유래의 탄소(15)가 점재하는 경우가 있다.

[0037] 한편, 예를 들면, 유리 비함유 도전성 페이스트에 포함되는 도전성 금속 분말이 구리·주석 합금 분말인 경우에는 금속 소결체(13)는 구리·주석 합금을 포함하고, 도전성 금속 분말이 니켈·주석 합금 분말인 경우에는 금속

소결체(13)는 니켈·주석 합금을 포함한다.

[0038] 유리 비함유 소결층(12)을 형성하기 위해 준비된 유리 비함유 도전성 페이스트에는 유리가 포함되지 않으므로 유리 비함유 소결층(12)은 유리를 포함하지 않는다. 따라서, 유리 함유 소결층과 같이, 표층에 전기적 도통(導通)을 저해하는 유리가 석출되지 않으므로 적층 세라믹 콘덴서(1)의 ESR을 상승시키는 원인이 제거된다.

[0039] 상술한 열경화성 수지 유래의 탄소(15)의 존재 및 유리의 부재는 예를 들면, 적층 세라믹 콘덴서(1)의 절단면을 이온 밀링 등에 의해 드러내고, SEM-EDX에 의해 매핑 분석을 실시함으로써 확인할 수 있다. 즉, SEM-EDX에 의해 매핑 분석하면, 금속 소결체(13)의 내부에 열경화성 수지 유래의 탄소(15)가 검출되지만, Si나 B를 포함하는 유리 성분이 검출되지 않는다.

[0040] 또한, 상술한 유리 비함유 도전성 페이스트는 열경화성 수지를 포함하지만, 상술한 열처리에서 상기 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 온도가 부여되므로 열경화성 수지는 열분해 또는 연소되고, 그 결과, 유리 비함유 소결층(12)에는 남지 않거나 거의 남지 않게 할 수 있다. 보다 구체적으로는 유리 비함유 소결층(12)은 열경화성 수지를 포함하되 그 함유율은 상기 유리 비함유 소결층(12)의 절단면에서의 면적비율로 1% 이하가 된다.

[0041] 한편, 열처리의 실시 시간 및 열처리 분위기의 산소 농도는 유리 비함유 소결층(12)에서 상술한 바와 같은 상태가 얻어지도록 적절히 조정된다.

[0042] 도 5에는 도전성 금속 분말로서 주석이 15질량%의 구리·주석 합금 분말을 포함하는 도전성 페이스트를 소결시켜서 얻어진 실시예에 따른 유리 비함유 소결층의 표면을 촬영한 전자 현미경 사진이 나타나 있다. 한편, 도 6에는 유리 비함유 소결층을 형성함에 있어서 사용한 도전성 페이스트에서, 구리·주석 합금 분말 대신에 구리 분말과 주석 분말을 질량비로 85:15의 비율로 혼합한 도전성 금속 분말을 함유시킨 비교예에 따른 유리 비함유 소결층의 표면을 촬영한 전자 현미경 사진이 나타나 있다.

[0043] 도 5와 도 6을 비교하면 알 수 있는 바와 같이, 도 5에 나타낸 실시예에 따른 유리 비함유 소결층 쪽이 도 6에 나타낸 비교예에 따른 유리 비함유 소결층에 비해 높은 치밀성이 얻어졌다. 도 6에 나타낸 비교예에서는 상술한 바와 같이, 합금 분말이 아닌 구리 분말과 주석 분말이 각각 단체(單體)로 배합되었다. 그 때문에, 유리 비함유 소결층을 형성하기 위한 도전성 페이스트의 가열 과정에서 비교적 저융점의 주석 분말이 이동하고, 이동 전의 위치에 공극이 남아, 이것이 원인으로 치밀성이 저하된 것이라고 추측된다. 이와 같은 공극은 물 또는 도금액과 같은 액체, 혹은 수증기의 침입 경로를 생기게 하고, 그 결과 적층 세라믹 콘덴서 등의 칩형 세라믹 전자부품의 내후성을 저하시킬 가능성이 있다.

[0044] 상술한 경향은 구리 분말 대신에 니켈 분말이 주석 분말과 함께 사용된 경우에도 나타난다.

[0045] 한편, 구리 분말 또는 니켈 분말과 주석 분말이 각각 단체로 존재하는 경우에 비해, 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 분말의 경우에는 소결성이 향상되고, 분말에서의 이웃끼리의 입자가 효율적으로 접합되는 것이 가능하여 부분적인 과소결이 일어나기 어렵다. 또한, 유리 비함유 소결층을 형성하기 위한 도전성 페이스트의 가열 과정에서 비교적 저융점의 주석 분말이 이동하여 공극을 초래하는 것과 같은 현상이 생기기 어렵다. 따라서, 도 5에 나타낸 실시예에서는 유리 비함유 소결층에서 높은 치밀성이 얻어졌다.

[0046] 이와 같이, 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 분말을 포함하는 도전성 페이스트를 열처리하여 얻어진 유리 비함유 소결층에 따르면, 과소결에 의한 균열이 생기기 어렵고, 또한 주석 분말의 이동에 의한 공극을 발생시키기 어렵게 할 수 있다. 따라서, 유리 비함유 소결층에서 물 또는 도금액과 같은 액체, 혹은 수증기의 침입 경로를 발생시키기 어렵게 하고, 그 결과 적층 세라믹 콘덴서 등의 칩형 세라믹 전자부품의 신뢰성을 향상시킬 수 있다.

[0047] 한편, 유리 비함유 소결층을 형성하기 위한 도전성 페이스트의 가열 과정에서, 비교적 저융점의 주석 분말이 이동하여 공극을 초래하는 것과 같은 부적합한 현상이 생길 수 있는 것을 상술했지만, 도전성 페이스트에서 단체로서의 구리 분말, 니켈 분말 또는 주석 분말을 조금 포함하는 것을 완전히 배제하는 것은 아니다. 예를 들면, 니켈과 주석의 합금으로 이루어지는 분말에 추가로 단체로서의 주석 분말을 적량 포함하고 있으면 부분적인 과소결을 보다 생기기 어렵게 할 수 있다.

[0048] 또한, 상술한 바와 같이, 합금으로 이루어지는 분말로서 D50으로 0.1~1.0㎛로 입경이 작은 것을 사용하는 편이 소결성이 보다 향상되고, 또한 과소결도 보다 생기기 어렵다.

[0049] 다음으로, 도 1에 나타내는 바와 같이, 유리 비함유 소결층(12)을 포함하는 외부전극(11)을 덮도록 니켈 도금막

(16)이 형성되고, 추가로 그 위에 주석 도금막(17)이 형성된다.

[0050] 이상 설명한 제1 실시형태의 변형예로서, 유리 비함유 소결층(12)을 형성하기 위해, 유리 비함유 도전성 페이스트가 도포된 세라믹 소체(3)를 상술한 600℃보다 높게, 예를 들면 800℃의 온도에서 열처리해도 된다. 이 경우에는 유리 비함유 소결층(12)은 도전성 금속 분말(14)이 소결하여 일체화된 금속 소결체(13)에 의해 대부분이 구성된다. 즉, 유리 비함유 소결층(12)에서 도전성 금속 분말(14)은 원래의 분말 형상을 전혀 또는 거의 남기지 않는다.

[0051] [제2 실시형태]

[0052] 도 2에는 본 발명의 제2 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1a)의 일부가 모식적으로 단면도에서 나타나있다. 도 2에서 도 1에 나타낸 요소에 상당하는 요소에는 동일한 참조 부호를 붙이고, 중복되는 설명을 생략한다.

[0053] 이하, 제2 실시형태의, 제1 실시형태와는 다른 점에 대해 설명한다.

[0054] 적층 세라믹 콘덴서(1a)에서는 외부전극(11a)은 상술한 유리 비함유 소결층(12)을 제1 유리 비함유 소결층(12)으로 했을 때, 상기 제1 유리 비함유 소결층(12) 상에 형성되며 유리를 포함하지 않는 제2 유리 비함유 소결층(18)을 더 포함하는 것을 특징으로 한다.

[0055] 상술한 바와 같은 외부전극(11a)을 형성하기 위해, 도전성 페이스트로서 제1 유리 비함유 소결층(12)을 위한 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 제1 도전성 금속 분말 및 제1 열경화성 수지를 포함하되 유리를 포함하지 않는 제1 유리 비함유 도전성 페이스트에 추가로, 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 제2 도전성 금속 분말 및 제2 열경화성 수지를 포함하되 유리를 포함하지 않는 제2 유리 비함유 도전성 페이스트가 준비된다. 한편, 제2 유리 비함유 도전성 페이스트는 제1 유리 비함유 도전성 페이스트와 동일한 조성을 가져도 된다. 이 경우에는 유리 비함유 도전성 페이스트의 비용 저감 및 공정 관리의 간이화를 기대할 수 있다.

[0056] 다음으로, 제1 유리 비함유 도전성 페이스트가 도포되고, 예를 들면 150℃에서 건조하는 공정이 실시된다. 이 도포 두께는 건조 후에 5~30㎛ 정도가 된다. 이어서, 제1 유리 비함유 소결층(12)을 형성하기 위해 세라믹 소체(3)를 상기 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 온도에서 열처리하는 공정이 실시된다. 구체적인 열처리 온도에 대해서는 후술한다.

[0057] 제1 유리 비함유 소결층(12)이 형성된 후, 이 제1 유리 비함유 소결층(12) 상에 제2 유리 비함유 도전성 페이스트가 도포되고, 예를 들면 150℃에서 건조하는 공정이 실시된다. 이 도포 두께는 건조 후에 세라믹 소체(3)의 단면(7)을 덮는 부분에서 10~40㎛ 정도로 선택된다.

[0058] 다음으로, 제2 유리 비함유 도전성 페이스트가 도포된 세라믹 소체(3)가 열처리되고, 그로써, 제2 유리 비함유 소결층(18)이 형성된다. 이때, 제2 유리 비함유 소결층(18)은 제1 유리 비함유 소결층(12)보다도 소결성이 낮아지게 된다. 보다 구체적으로는 제2 유리 비함유 도전성 페이스트가 도포된 세라믹 소체(3)는 제2 열경화성 수지의 경화 온도보다 400℃ 높은 온도 이상의 온도이지만, 제1 유리 비함유 소결층(12)을 소결시킨 제1 온도보다 낮은 제2 온도에서 열처리된다.

[0059] 일례로서, 제1 유리 비함유 소결층(12)을 소결시키기 위해 예를 들면 650℃의 온도가 적용되고, 한편, 제2 유리 비함유 소결층(18)을 소결시키기 위해 예를 들면 600℃의 온도가 적용된다.

[0060] 그 결과, 제1 유리 비함유 소결층(12)에서 도전성 금속 분말(14)은 원래의 분말 형상을 남기면서 일부 일체화된 금속 소결체(13a)를 포함하고, 제2 유리 비함유 소결층(18)에서도 마찬가지로 도전성 금속 분말(14)은 원래의 분말 형상을 남기면서 일부 일체화된 금속 소결체(13b)를 포함한다. 그러나, 제2 유리 비함유 소결층(18)에서는 제1 유리 비함유 소결층(12)에 비해 소결이 억제된다. 바꿔 말하면, 제1 유리 비함유 소결층(12)에서는 제2 유리 비함유 소결층(18)에 비해 소결이 보다 진행되었다.

[0061] 금속 소결체(13a 및 13b)의 내부에는 도 2에 나타내는 바와 같이 열경화성 수지 유래의 탄소(15)가 점재하는 경우가 있다.

[0062] 다음으로, 제1 실시형태의 경우와 마찬가지로 외부전극(11a)을 덮도록, 보다 구체적으로는 도 2에 나타내는 바와 같이, 제2 유리 비함유 소결층(18) 상에 니켈 도금막(16)이 형성되고, 추가로 그 위에 주석 도금막(17)이 형성된다.

[0063] 제2 실시형태는 외부전극(11a)의 두께를 보다 두껍게 하고 싶은 경우에 유리하게 적용된다.

[0064] [제3 실시형태]

[0065] 도 3에는 본 발명의 제3 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1b)의 일부가 모식적으로 단면도에서 나타나있다. 도 3에서 도 1에 나타낸 요소에 상당하는 요소에는 동일한 참조 부호를 붙이고, 중복되는 설명을 생략한다.

[0066] 이하, 제3 실시형태의, 제1 실시형태와는 다른 점에 대해 설명한다.

[0067] 적층 세라믹 콘덴서(1b)에서는 외부전극(11b)은 유리 비함유 소결층(12) 상에 형성되는 수지 함유 도체층(19)을 더 포함하는 것을 특징으로 한다.

[0068] 상술한 바와 같은 외부전극(11b)을 형성하기 위해, 도전성 페이스트로서, 도전성 금속 분말 및 열경화성 수지를 포함하되 유리를 포함하지 않는 제3 유리 비함유 도전성 페이스트가 준비된다. 여기서, 제3 유리 비함유 도전성 페이스트에 포함되는 도전성 금속 분말 및 열경화성 수지로는 상술한 제1 실시형태에서 준비된 유리 비함유 도전성 페이스트에 포함되는 도전성 금속 분말 및 열경화성 수지와 동일한 것을 사용할 수 있다. 제3 유리 비함유 도전성 페이스트는 추가로 경화 촉매를 포함해도 된다.

[0069] 다음으로, 제1 실시형태에서 설명한 바와 같이, 유리 비함유 소결층(12)을 형성한 후, 이 유리 비함유 소결층(12) 상에 상기 제3 유리 비함유 도전성 페이스트를 도포하고, 예를 들면 150℃에서 건조하는 공정이 실시된다. 이 도포 두께는 건조 후에 세라믹 소체(3)의 단면(7)을 덮는 부분에서 10~40㎛ 정도로 선택된다.

[0070] 다음으로, 제3 유리 비함유 도전성 페이스트가 도포된 세라믹 소체(3)가 예를 들면 200℃에서 열처리되고, 그로써, 제3 유리 비함유 도전성 페이스트에 포함되는 열경화성 수지가 가열 경화되며, 수지 함유 도체층(19)이 유리 비함유 소결층(12) 상에 형성된다. 수지 함유 도체층(19)은 도 3에 나타내는 바와 같이, 도전성 금속 분말(20)을 분산시킨 열경화성 수지(21)로 구성된다.

[0071] 다음으로, 제1 실시형태의 경우와 마찬가지로 외부전극(11b)을 덮도록, 보다 구체적으로는 도 3에 나타내는 바와 같이, 수지 함유 도체층(19) 상에 니켈 도금막(16)이 형성되고, 추가로 그 위에 주석 도금막(17)이 형성된다.

[0072] [제4 실시형태]

[0073] 도 4에는 본 발명의 제4 실시형태에 따른 칩형 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1c)의 일부가 모식적으로 단면도에서 나타나있다. 도 4에서 도 1에 나타낸 요소에 상당하는 요소에는 동일한 참조 부호를 붙이고, 중복되는 설명을 생략한다.

[0074] 이하, 제4 실시형태의, 제1 실시형태와는 다른 점에 대해 설명한다.

[0075] 적층 세라믹 콘덴서(1c)에서는 외부전극(11c)은 세라믹 소체(3) 상에 형성되는 유리 함유 소결층(22)을 더 포함하고, 유리 함유 소결층(22) 상에 유리 비함유 소결층(12)이 형성되는 것을 특징으로 한다.

[0076] 상술한 바와 같은 외부전극(11c)을 형성하기 위해, 도전성 페이스트로서 유리 함유 소결층(22)이 되는, 도전성 금속 분말 및 유리를 포함하는 유리 함유 도전성 페이스트가 준비된다. 여기서, 유리 함유 도전성 페이스트에 포함되는 도전성 금속 분말로는 예를 들면 구리를 포함하는 것이 사용된다. 유리 함유 도전성 페이스트는 추가로 수지 성분을 포함한다.

[0077] 다음으로, 상술한 유리 함유 도전성 페이스트가 내부전극(9)과 접하는 상태로 세라믹 소체(3)의 단면(7) 상에 도포된다.

[0078] 다음으로, 유리 함유 도전성 페이스트가 도포된 세라믹 소체(3)가 열처리된다. 이로써, 유리를 함유하면서 도전성 금속 분말이 소결된 유리 함유 소결층(22)이 형성된다. 유리 함유 소결층(22)에서는 유리(23)를 포함하는 금속 소결체(24)가 형성된다.

[0079] 다음으로, 제1 실시형태에서 사용한 것과 동일한, 구리 및 니켈에서 선택되는 적어도 1종과 주석의 합금으로 이루어지는 도전성 금속 분말을 포함하는 유리 비함유 도전성 페이스트가, 유리 함유 소결층(22) 상에 건조 후에 10~40㎛의 두께가 되도록 도포되고, 150℃에서 건조되며, 그 후, 예를 들면 600℃의 온도로 열처리됨으로써 유리 비함유 소결층(12)이 형성된다. 이와 같은 열처리 온도가 채용되었을 때, 유리 비함유 소결층(12)에는 제1 실시형태에서의 유리 비함유 소결층(12)의 경우와 마찬가지로, 열경화성 수지 유래의 탄소(15)가 존재할 뿐만

아니라, 도전성 금속 분말(14)이 원래의 형상을 남기면서 일부가 일체화된 금속 소결체(13)가 존재한다.

[0080] 그리고 이와 같이 하여 형성된 외부전극(11c)을 덮도록 유리 비함유 소결층(12) 상에 니켈 도금막(16)이 형성되고, 추가로 그 위에 주석 도금막(17)이 형성된다.

[0081] [실험예]

[0082] 이하의 표 1에 나타내는 바와 같은 비율로 구리 및 주석을 포함하는 합금으로 이루어지는 도전성 금속 분말 또는 니켈 및 주석을 포함하는 합금으로 이루어지는 도전성 금속 분말, 열경화성 수지로서의 비스페놀A형 에폭시 수지, 및 용제로서의 디에틸렌글리콜모노에틸에테르를 포함하는 시료 1~5에 따른 유리 비함유 도전성 페이스트를 준비했다. 여기서, 유리 비함유 도전성 페이스트에서의 도전성 금속 분말의 함유율은 시료 1~5를 통해서 60 체적%로 했다.

표 1

[0083]

시료 번호		1	2	3	4		5
합금 성분의 질량%	구리	98	95	90	85	니켈	85
	주석	2	5	10	15	주석	15
도전성 페이스트 조성(질량%)							
합금 분말		67.7	67.6	67.5	67.4		67.3
비스페놀A형 에폭시 수지		6.0	6.1	6.1	6.2		6.2
디에틸렌글리콜모노에틸에테르		26.3	26.3	26.4	26.4		26.5
외부전극의 고착성							
내부전극과의 접합		○	○	○	○		○
세라믹 소체와의 고착		○	○	○	○		○
외부전극 내의 소결		○	○	○	○		○
내습 부하 신뢰성		○	○	○	○		○

[0084] 다음으로, 평면치수 1.0㎜×0.5㎜이며, 내부전극의 도전 성분이 니켈이고, 정격 전압 50V이고 정전 용량 0.010 ㎌를 주는 적층 세라믹 콘덴서를 위한 세라믹 소체를 준비하고, 시료 1~5 각각에 따른 유리 비함유 도전성 페이스트를 세라믹 소체의 단면에 도포하고, 열풍 오븐으로 5분간, 150℃에서 건조했다.

[0085] 다음으로, 유리 비함유 도전성 페이스트가 도포된 세라믹 소체를 소성로에서 600℃에서 열처리하고, 외부전극이 되는 유리 비함유 소결층을 형성했다. 여기서, 열처리 분위기에 대해서는 적절히 조정했다.

[0086] 다음으로, 외부전극이 되는 유리 비함유 소결층에 니켈 도금 및 주석 도금을 입혀, 시료가 되는 적층 세라믹 콘덴서를 완성시켰다.

[0087] 이상과 같이 하여 얻어진 시료 1~5에 따른 적층 세라믹 콘덴서에 대해, 표 1에 나타내는 바와 같이, "외부전극의 고착성", 보다 구체적으로는 "내부전극과의 접합" 및 "세라믹 소체와의 고착"을 평가함과 함께, 외부전극의 형상 유지성을 보기 위해, "외부전극 내의 소결"을 평가했다. 이들 평가는 시료가 되는 적층 세라믹 콘덴서의 절단면 드러내기 가공을 이온 밀링 장치로 실시하고, FE-SEM으로 공극의 상태를 관찰하고, EDX로 원소의 분포 상태를 관찰함으로써 실시했다.

[0088] "내부전극과의 접합"에 대해서는 시료 수 10개에 대해, 내부전극의 니켈과 외부전극의 금속이 모든 시료에서 상호 확산되어 있으면 "○"로 하고, 적어도 몇 개의 시료에서 상호 확산되어 있지 않으면 "×"로 했다. 한편, 표 1에서는 "×"로 평가되는 시료는 없었다.

[0089] "세라믹 소체와의 고착"에 대해서는 시료 수 10개에 대해, 세라믹 소체와 외부전극이 모든 시료에서 고착되어 있으면 "○"로 하고, 적어도 몇 개의 시료에서 고착되어 있지 않으면 "×"로 했다. 한편, 표 1에서는 "×"로 평가되는 시료는 없었다.

[0090] "외부전극 내의 소결" 에 대해서는 시료 수 10개에 대해 외부전극 내의 도전성 금속 분말이 모든 시료에서 소결되어 있으면 "○", 적어도 몇 개의 시료에서 소결되어 있지 않으면 "×"로 했다. 한편, 표 1에서는 "×"로 평가되는 시료는 없었다.

[0091] 또한, 시료 1~5에 대해, 온도 125℃, 상대 습도 95%, 인가 전압 50V를 144시간 인가하는 내습 부하 시험을 실시하고, "내습 부하 신뢰성"을 평가했다. "내습 부하 신뢰성"에 대해서는 절연 저항이 저하되지 않으면 "○"로 하고, 저하되면 "×"로 했다. 한편, 표 1에서는 "×"로 평가되는 시료는 없었다.

[0092] 표 1에서 시료 1~5가 본 발명의 범위 내의 것이다. 이들 시료 1~5에 따르면, 표 1에 나타낸 "내부전극과의 접합", "세라믹 소체와의 고착", "외부전극 내의 소결" 및 "내습 부하 신뢰성" 전체 항목에서 "○" 평가가 얻어졌다.

[0093] 이상, 본 발명에 따른 칩형 세라믹 전자부품으로서 적층 세라믹 콘덴서를 예시하여 설명했는데, 본 발명은 도전성 페이스트를 사용하여 형성되는 외부전극을 포함하는 것이면 다른 칩형 세라믹 전자부품에도 적용할 수 있다.

[0094] 또한, 본 명세서에 기재된 각 실시형태는 예시적인 것이며, 다른 실시형태 간에 구성의 부분적인 치환 또는 조합이 가능하다.

부호의 설명

[0095] 1, 1a, 1b, 1c: 적층 세라믹 콘덴서

3: 세라믹 소체

7: 단면

9, 10: 내부전극(내부도체)

11, 11a, 11b, 11c: 외부전극

12: (제1) 유리 비함유 소결층

13, 13a, 13b: 금속 소결체

14, 20: 도전성 금속 분말

15: 열경화성 수지 유래의 탄소

16: 니켈 도금막

17: 주석 도금막

18: 제2 유리 비함유 소결층

19: 수지 함유 도체층

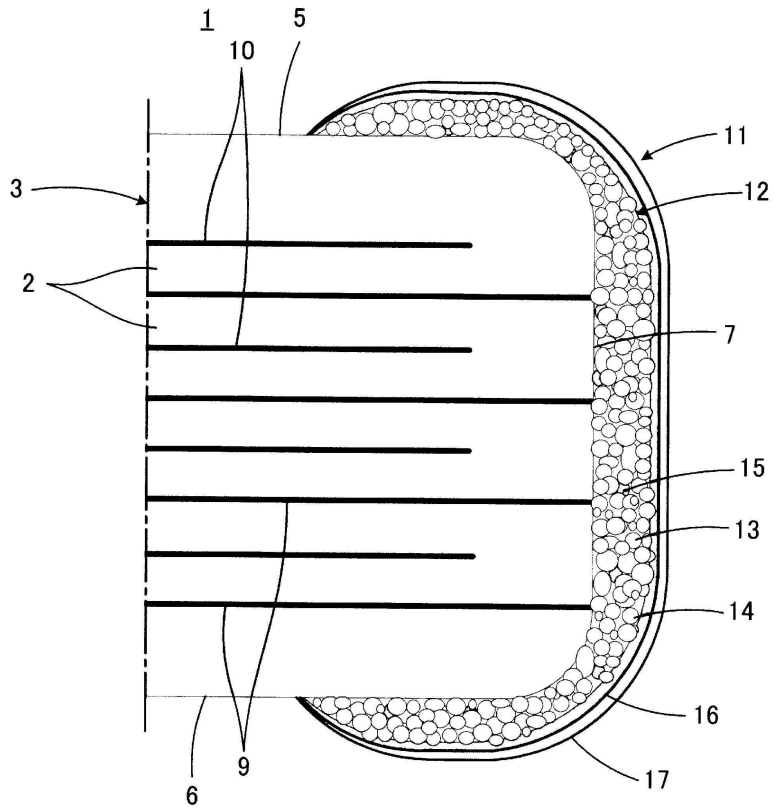
21: 열경화성 수지

22: 유리 함유 소결층

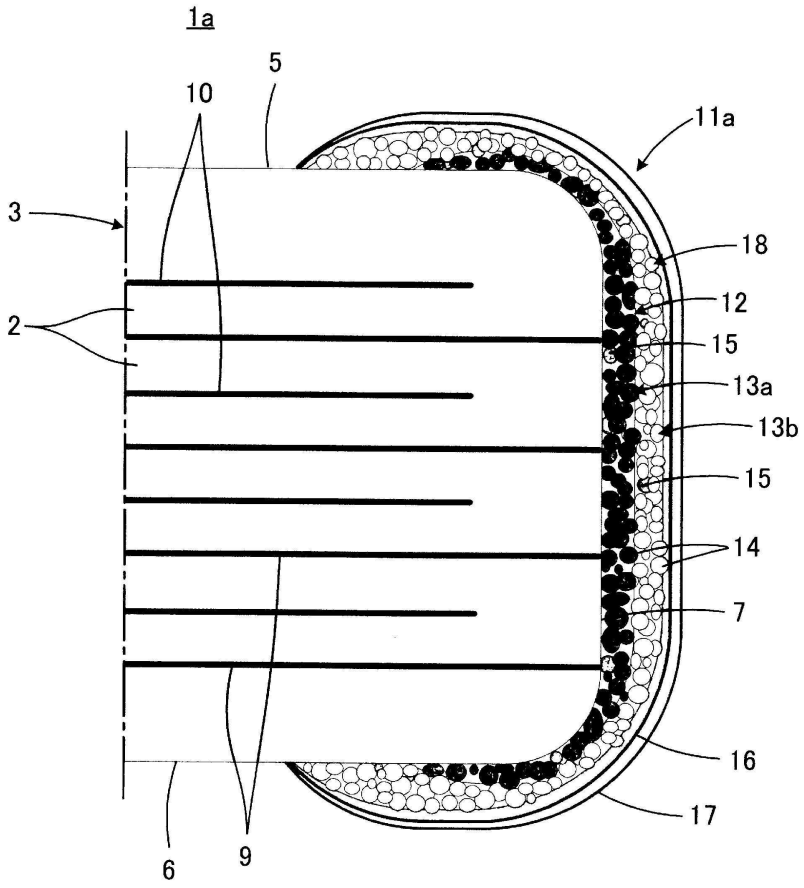
23: 유리

도면

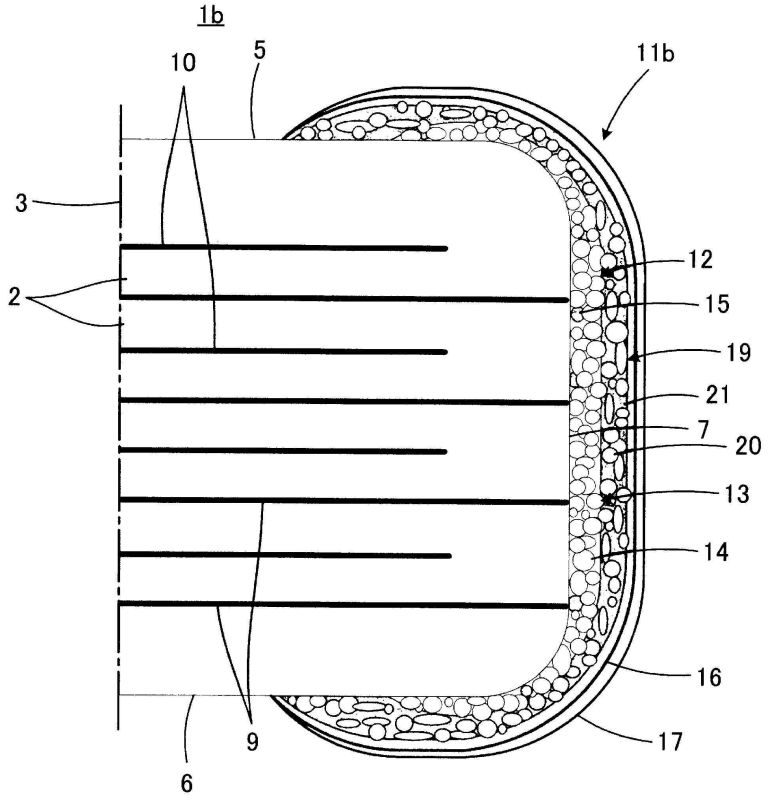
도면1



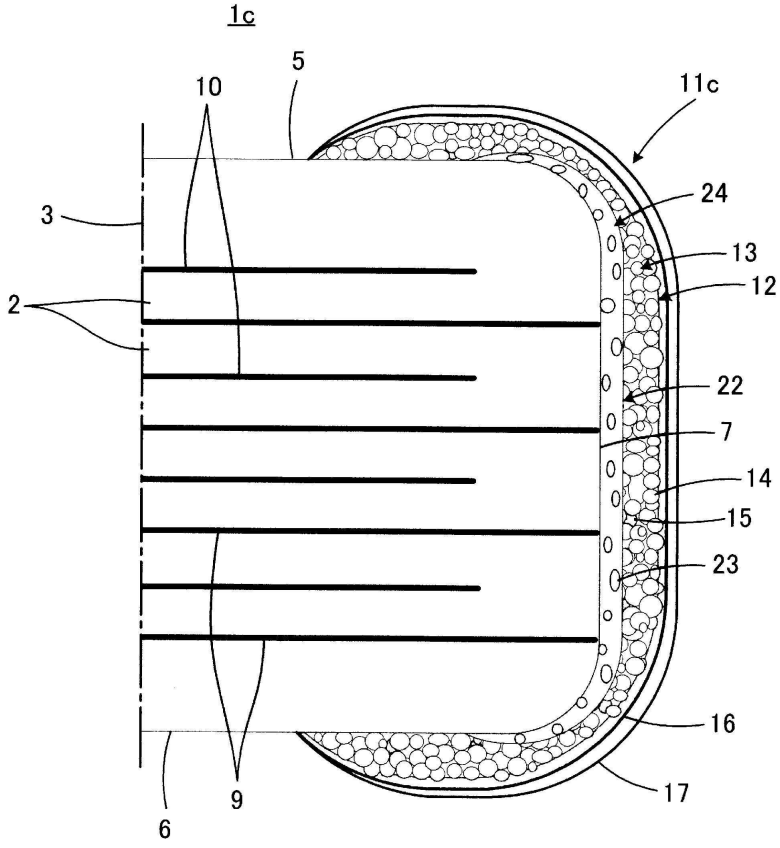
도면2



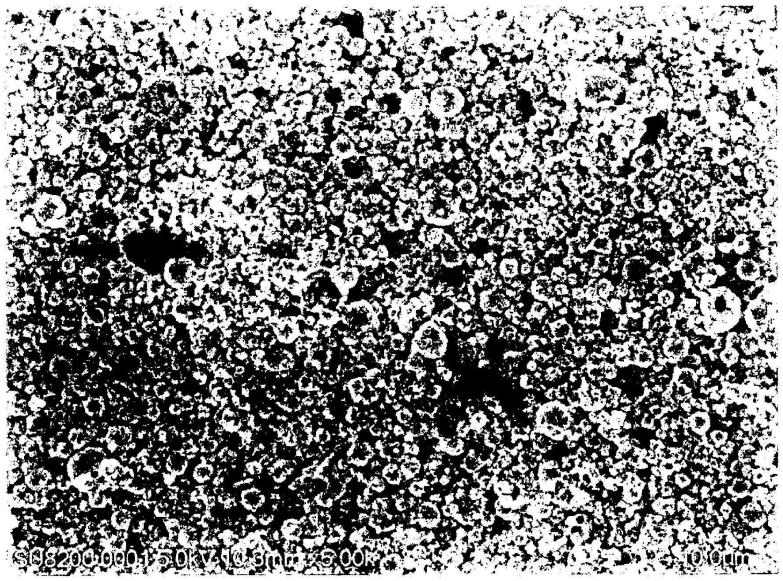
도면3


1b
10
5
11b
3
2
12
15
19
21
7
20
13
14
16
17
9
6

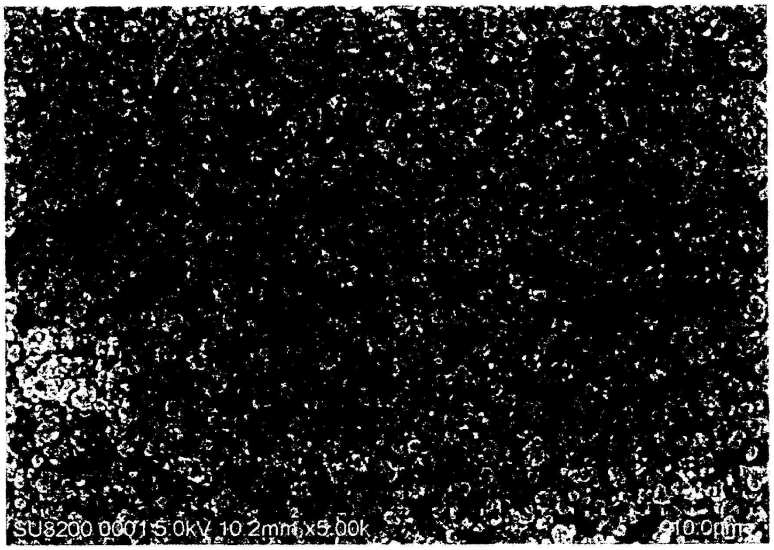
도면4


1c
10
5
11c
3
24
13
2
12
22
7
14
15
23
16
17
9
6

도면5


SU8200 0001 5.0kV 10.3mm x5.00k 10.0μm

도면6


SU8200 0001 5.0kV 10.2mm x5.00k 10.0μm