



(12) 发明专利申请

(10) 申请公布号 CN 104040711 A

(43) 申请公布日 2014. 09. 10

(21) 申请号 201380005216. 0

(22) 申请日 2013. 01. 10

(30) 优先权数据

13/348, 011 2012. 01. 11 US

(85) PCT国际申请进入国家阶段日

2014. 07. 11

(86) PCT国际申请的申请数据

PCT/US2013/020930 2013. 01. 10

(87) PCT国际申请的公布数据

W02013/106502 EN 2013. 07. 18

(71) 申请人 国际商业机器公司

地址 美国纽约

(72) 发明人 鲍军静 G·波尼拉

考施克·查恩达 塞缪尔·S·乔伊

罗纳德·G·非利普

斯特凡·格鲁诺夫 N·E·勒斯蒂格

丹·默伊 安德鲁·H·西蒙

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51) Int. Cl.

H01L 21/82(2006. 01)

H01L 23/62(2006. 01)

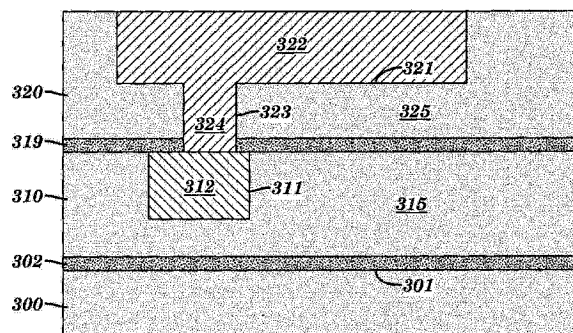
权利要求书2页 说明书6页 附图11页

(54) 发明名称

后段电可编程熔断器

(57) 摘要

本发明公开了一种 BEOL 电子熔断器, 该 BEOL 电子熔断器在通孔内会可靠地烧断, 并且即使是最紧密间距的 BEOL 层内也能够形成。该 BEOL 电子熔断器能够使用线路优先的双镶嵌工艺来形成, 以产生将作为电子熔断器的可编程链路的亚光刻通孔。亚光刻通孔能够使用标准的光刻技术来图形化, 并且通孔的截面能够进行调整以匹配目标编程电流。



1. 一种 BEOL 电子熔断器,包含:

耦接于作为阴极而连接的第一 BEOL 导电特征件与作为阳极而连接的第二 BEOL 特征件之间的导电通孔,其中所述导电通孔具有亚光刻尺寸。

2. 根据权利要求 1 所述的 BEOL 电子熔断器,其中所述导电通孔形成于通孔空腔内,并且所述通孔空腔具有亚光刻尺寸。

3. 根据权利要求 2 所述的 BEOL 电子熔断器,其中所述第二 BEOL 特征件形成于沟槽内,并且所述通孔空腔的侧壁与所述沟槽的侧壁共面。

4. 根据权利要求 1 所述的 BEOL 电子熔断器,其中所述导电通孔完全覆盖于所述第一 BEOL 导电特征件之上。

5. 根据权利要求 1 所述的 BEOL 电子熔断器,其中所述第一 BEOL 导电特征件处于第一互连层内,并且所述第二 BEOL 特征件处于形成于所述第一互连层之上的第二互连层内。

6. 根据权利要求 1 所述的 BEOL 电子熔断器,还包括在所述导电通孔之内的空隙。

7. 根据权利要求 1 所述的 BEOL 电子熔断器,其中所述第一 BEOL 导电特征件具有基本准则宽度。

8. 根据权利要求 1 所述的 BEOL 电子熔断器,其中所述第二 BEOL 特征件具有基本准则宽度。

9. 根据权利要求 1 所述的 BEOL 电子熔断器,其中所述第一 BEOL 导电特征件被形成于 M1 或 M2 内。

10. 根据权利要求 2 所述的 BEOL 电子熔断器,其中所述通孔空腔包含与第二空腔堆叠的具有亚基本准则宽度的第一空腔。

11. 一种光刻掩模对,用于界定 M_{x+1} 线路和 V_x 通孔,所述光刻掩模对包含:

用于实现第一沟槽图形的所述光刻掩模对中的第一掩模,以及

用于实现第一通孔图形的所述光刻掩模对中的第二掩模,所述第一通孔图形被定位为仅部分重叠所述第一沟槽图形。

12. 根据权利要求 11 所述的结构,其中所述第一掩模进一步实现了第二沟槽图形,所述第二掩模进一步实现了第二通孔图形,并且所述第二通孔图形被定位为完全重叠所述第二沟槽图形。

13. 根据权利要求 11 所述的结构,其中所述第一通孔图形被定位为部分重叠所述第一沟槽图形的侧面。

14. 根据权利要求 11 所述的结构,其中所述第一通孔图形被定位为部分重叠所述第一沟槽图形的端部。

15. 一种方法,包括:

提供包含在第一介电层之上的硬掩模的结构;

(a) 形成穿过所述硬掩模的第一开口,

(b) 对与所述第一开口部分重叠的第二开口图形化,以界定重叠部分,所述重叠部分具有亚基本准则尺寸,

(c) 蚀刻所述重叠部分以形成通孔空腔。

16. 根据权利要求 15 所述的方法,其中所述硬掩模还被布置于第二介电层之上,所述第二介电层布置于形成于所述第一介电层内的导电线路之上,所述方法还包括通过按照所

述第一开口进行蚀刻来形成沟槽。

17. 根据权利要求 15 所述的方法,其中所述第二开口具有基本准则尺寸。

18. 根据权利要求 16 所述的方法,其中所述沟槽具有基本准则尺寸。

19. 根据权利要求 15 所述的方法,还包括定位所述第二开口以根据目标编程电流来形成所述重叠部分。

20. 根据权利要求 16 所述的方法,所述方法还包括使所述导电路在所述通孔空腔的底部露出。

21. 根据权利要求 16 所述的方法,还包括通过双镶嵌过程来形成所述沟槽和所述通孔空腔。

22. 根据权利要求 21 所述的方法,其中所述导电路被连接作为阴极,并且通过填充所述沟槽而形成的特征件被连接作为阳极。

23. 根据权利要求 21 所述的方法,还包括通过 CVD 或者通过电镀来以铜填充所述沟槽和所述通孔空腔。

24. 一种用于对 BEOL 电子熔断器编程的方法,包括:

提供 BEOL 结构,所述 BEOL 结构包含亚光刻通孔,所述亚光刻通孔耦接于作为阴极而接线的的第一导电特征件与作为阳极而接线的第二导电特征件之间;以及

通过在所述阳极与所述阴极之间施加电流而在所述亚光刻通孔内形成空隙。

25. 根据权利要求 24 所述的方法,其中所述第一导电特征件和所述第二导电特征件中的至少一个具有基本准则尺寸。

后段电可编程熔断器

技术领域

[0001] 本发明涉及集成电路的电子熔断器 (e-fuse)。更特别地,本发明涉及形成于后段制程 (BEOL) 的互连金属层内的电子熔断器。

背景技术

[0002] 在先进的集成电路技术中,电子熔断器已经实现于多晶硅 (PC) 级别上。在编程期间,持续时间短的高电流脉冲能够通过电子熔断器结构以不可逆地使硅化物迁移至 PC 的顶部,从而导致电阻变化并且从而充当可编程的熔断器。但是,随着缩放继续进行到更紧密的间距,变得越来越难以用高 k 值的金属栅过程 (metal gate processes) 来为某些器件集成方案实现 PC 级别的电子熔断器。正因如此,存在着实现金属互连级别的电子熔断器 (即,后段或者“BEOL 电子熔断器”) 并且使用电迁移现象 (EM) 来对熔断器编程的驱动。

[0003] 常规的 BEOL 电子熔断器结构包括用于连接上线路 122 和下线路 112 的通孔 124, 如图 1A 所示。线路 122 能够被连接以作为电子熔断器的阳极来执行,而线路 112 能够被连接以作为阴极来执行,电子经由通孔 124 从线路 112 流到线路 122。通孔 124 能够是单一通孔或堆叠通孔。在实现 BEOL 电子熔断器方面存在若干挑战。举个例说,至少部分地由于与铜互连一起使用的内衬材料 (例如,钽 (Ta) 和氮化钽 (Ta₂N₅)) 必须连同铜一起烧断以便实现适当的熔断器编程的事实,对 BEOL 电子熔断器编程与 PC 电子熔断器相比可能需要更大的电流。Thei 等人的美国专利公开 2005/0285222A1 建议通过有意使通孔 224 相对于下线路 212 (或者相对于上线路 222 或相对于两者) 不对准来允许在较低的电流下对电子熔断器编程,如图 2A 所示 (示于 Thei 等人的图 14a)。当偏移距离“D”时,在通孔 / 线路的界面处的接触面积 X 被减小,这在理论上会将电流密度集中于该界面处。但是这种方法并不可靠,因为接触面积在处理期间还能够垂直延伸以包含面积 Y (见图 2B)。这种通孔偏移设计还会使得该结构容易受对邻近电路元件的电流泄漏影响,从而降低可靠性和产量。而且,这种相对于上线路 222 的失准需要单镶嵌工艺,这会增加制造成本。

[0004] 除了需要相对高的编程电流外,有关常规的 BEOL 电子熔断器的另一问题是控制空隙 (void) 的位置。与电子熔断器元件相邻的线路级特征件能够是相当接近的,使得当通过 BEOL 电子熔断器的编程浪涌导致空隙以断开线路 122 时,上覆盖层 (未示出) 或电介质 125 可能会被破坏,并且这能够允许对相邻的线路级特征件的电流泄漏。让空隙出现于通孔 124 内是优选的,并且能够通过确保编程浪涌与在电通路的其他部分内相比在通孔内产生更大的电流密度来提升。一个选项是设计通孔 124 使其具有比线路 122 小的截面,但是当线路在最小光刻尺寸下制成时,在最紧密的间距级别下,光刻无法形成这样的“较小截面的通孔”。

[0005] 在现有技术的集成电路中,可获得的最先进的光刻技术被用来形成半导体器件,以及最低的互连级别 (例如,“M1”和“M2”)。能够通过光刻技术来图形化的最小的布线尺寸 (也称为临界尺寸或“CD”或者“基本准则 (groundrule)”尺寸) 与由该光刻技术制成的器件尺寸相关联。根据“国际半导体技术路线图 (2010 更新) (International Technology

Roadmap for Semiconductors, 2010update)”,表 1 示出了所预期的器件栅极长度以及在 M1 下的相应布线间距,该“国际半导体技术路线图 (2010 更新)”通过引用的方式并入本文。

[0006] 表 1. INTC6MPU 互连技术要求

[0007]

生产年份	2011	2012	2013	2014	2015	2016
栅极长度 (nm)	24.2	22.09	20.17	18.41	16.80	15.34
M1 布线间距 (nm)	86	72	61	54	48	43
阻挡层/覆层厚度 (用于 Cu M1 布线)	2.9	2.6	2.4	2.1	1.9	1.7

[0008] 如图 1B 所示 (至少在最紧密的间距互连层内),最小值或光刻间距是最小线路宽度“W”(基本准则的线路宽度)与在相邻特征件之间的最小间隔“S”(基本准则的空间)之和。具有比半间距小的尺寸的结构在此应当称为“亚光刻 (sub-lithographic)”或“亚基本准则 (sub-groundrule)”结构。

[0009] 人们已经提出各种技术来形成亚光刻通孔,例如, Li 等人的美国专利 7696085 公开了在通过在标准尺寸下图形化通孔开口,然后使用自组装嵌段共聚物 (“SABC”) 从后面来填充开口而形成的双镶嵌金属互连结构中的亚光刻通孔。SABC 的沉积和图形化增加了过程的步骤、复杂性和费用。

[0010] 在 Chi Ho Lau 和 S. W. Ricky Lee 的“Fabrication of Nanoscale Vias by Offset Patterning” (Proceedings of MicroNano08, June3-5, 2008, Hong Kong) 中公开另一种技术。根据该技术,具有标准的光刻尺寸的第一通孔按照通孔掩模来形成于第一介电层内。然后沉积止蚀层和第二介电层。除了掩模偏移之外,第二介电层就如同第一介电层那样来图形化。按照图形的相交部来蚀刻的通孔具有减小的截面。该过程是不理想的,因为它需要两个通孔图形化步骤。

[0011] 仍然需要能够通过可在通孔内产生空隙的电迁移来可靠地编程的廉价的 BEOL 电子熔断器。

发明内容

[0012] 根据本发明,即使是最紧密间距的 BEOL 层内,也能够形成在通孔内会可靠地烧断的 BEOL 电子熔断器。在第一方面,本发明提供了包含具有亚光刻尺寸的导电通孔的 BEOL 电子熔断器,这样的通孔使第一 BEOL 导电特征件与第二 BEOL 导电特征件导电性耦接,第一 BEOL 导电特征件被连接为阴极,并且第二 BEOL 导电特征件被连接为阳极。这两个 BEOL 导电特征件中的任一个或两者都能够具有基本准则尺寸。第二 BEOL 导电特征件能够处于位于第一 BEOL 导电特征件的直接上方的互连层之内。在某些实施例中,导电通孔包含元件叠层,此类元件中的至少一个具有亚光刻尺寸。

[0013] 根据另一方面,本发明提供光刻掩模对,其中所述掩模对中的第一掩模实现沟槽图形,而所述掩模对中的第二掩模实现通孔图形,其中通孔图形被定位为仅与所述沟槽图

形部分重叠。通孔图形能够被定位为与沟槽的侧面或沟槽的端部部分重叠。

[0014] 根据另一方面,本发明提供用于形成 BEOL 电子熔断器的一种方法。该方法要求:提供具有在第二介电层之上的硬掩模的结构,该第二介电层布置于导电路径被布置于其内的第一介电层之上,然后形成穿过该硬掩模的第一开口,对与第一开口部分重叠的第二开口图形化以界定重叠部分,其中该重叠部分具有亚基本准则尺寸,以及蚀刻重叠部分以致穿过第二介电层,从而形成通孔空腔 (via cavity)。在实施例中,第一开口和第二开口中的任一个或两者都能够具有基本准则尺寸。

[0015] 根据另一种实施例,本发明提供用于编程 BEOL 电子熔断器的一种方法,该方法包括:提供包含耦接于连线为阴极的第一导电特征件与连线为阳极的第二导电特征件之间的亚光刻通孔的 BEOL 结构;以及通过在所述阳极与所述阴极之间施加电流而在所述亚光刻通孔内形成空隙。

附图说明

[0016] 本发明的实施例的特征和元件将在下文结合附图来描述。

[0017] 图 1A 示出了常规的后段电子熔断器。

[0018] 图 1B 示出了给定光刻术的“间距”和“临界尺寸”。

[0019] 图 2A 和图 2B 示出了现有技术后段电子熔断器。

[0020] 图 3A 和图 3B 示出了分别与上线路的主轴平行和垂直的本发明的 BEOL 电子熔断器的实施例的侧视图。

[0021] 图 3C 是本发明的 BEOL 电子熔断器的实施例的平面图。

[0022] 图 4A 至图 4F 示出了用于形成本发明的 BEOL 电子熔断器的实施例的方法。

[0023] 图 5A、图 5B、图 6、图 7 和图 8 示出了根据本发明的 BEOL 电子熔断器的不同实施例。

具体实施方式

[0024] 本发明提供在通孔内会可靠地烧断的并且即使在最紧密间距的 BEOL 层内也能够形成的后段制程 (BEOL) 熔断器结构。本发明的电子熔断器包含耦接于两个 BEOL 导电特征件 (例如,线路) 之间的亚光刻通孔,第一个这样的特征件被连接为阴极,第二个这样的特征件被连接为阳极。该亚光刻通孔的截面能够进行调整以匹配目标编程电流。

[0025] 应当理解,当作为层、区域或基板的第一元件被称为位于第二元件“之上”或“上方”时,它能够直接在这样的第二元件上或者还可以存在中间元件。相比之下,当元件被称为“直接”位于第二元件“之上”或“上方”时,则没有中间元件存在。还应当理解,当元件被称为与另一个元件“连接”或“耦接”时,这两个元件能够直接连接或耦接,或者可以存在中间元件。相比之下,当元件被称为与另一个元件“直接连接”或“直接耦接”时,则没有中间元件存在。应当注意,相同的附图标记指的是不同实施例中的相同元件,并且附图并不一定是按比例绘制的。

[0026] 现在参照图 3A 和 3B,本发明的电子熔断器结构形成于在半导体基板 300 上形成的互连金属层之内。一个或多个半导体器件 (未示出) 能够形成于基板的顶面 301 之内或之上。包含诸如通过钝化材料层形成的栅极触头之类的结构的所谓中段 (MOL) 层 302 典型地

使表面 301 与包含在形成于层间电介质 (ILD)315 内的沟槽 311 中的导电线路 312 的第一互连层 310 (“M1”) 分离。形成于 M1 内的线路可以与栅极触头导电连接,所述栅极触头可以是钨螺柱。至少第二互连层 320 被布置于层 310 之上,并且包含沟槽 321 内的导电线路 322 以及形成于 ILD325 内的通孔空腔 323 内的导电通孔 324。ILD325 能够通过覆盖层 319 而与 ILD315 分隔开。

[0027] 直接覆盖于 M1 层之上的互连层能够称为 M2 层。正如所指出的,导电线路 322 形成于覆盖于第一互连层 310 之上的“至少第二互连层”内。第一互连层能够称为 M1 层,并且下一上覆互连层被称为 M2,等等。在任何给定的 M_x 层内形成的是 M_x 线路以及 V_{x-1} 通孔。V_{x-1} 通孔能够使例如 M_x 线路与 M_{x-1} 线路连接。

[0028] 图 3C 示出了由用于将 M_{x+1} 沟槽和 V_x 通孔界定于 M_x 特征件 (x = 1, 2, 3, 等) 的平面图之上的一对掩模产生的图形。如图 3C 所示,沟槽 321 覆盖于沟槽 311 之上。空腔 323 从沟槽 321 延伸至沟槽 311。沟槽 321 和沟槽 311 之一或两者的宽度大于或等于基本准则尺寸 “W”。空腔 323 的至少一个边缘 “E” 与沟槽 321 的边缘 “T” 是共面的,或者完全对齐。空腔 323 的较大截面尺寸 G 能够与基本准则尺寸一样大,而较小的截面尺寸 “L” 小于 G,使得通孔 324 的截面面积能够显著小于线路 322 的截面面积。

[0029] 根据本发明的一种实施例, BEOL 电子熔断器根据图 4A-4F 所示的“线路优先 (line-first)”的双镶嵌方案来形成。图 4A 示出了形成于下层 ILD415 内且由覆盖层 419 覆盖的下导电线路 412a 和 412b。下互连层 410 (“M_x”) 形成于诸如半导体晶片 (未示出) 之类的结构上。在层 410 上形成的是第二 ILD 层 425、硬掩模 426 和光刻胶 427。线路图形通过标准的光刻技术产生于光刻胶 427 内。线路开口 P、Q 和 R 具有根据实现于关联的线路掩模 (未示出) 内的芯片设计的长度和宽度。线路开口 P、Q 和 R 能够按临界尺寸 (宽度 W) 来图形化,或者它们能够是更宽的。

[0030] 在图 4B 中,开口 P、Q 和 R 被转移到硬掩模 426,并且光刻胶 427 按照已知的处理来去除。到该点的步骤与在 R. Brain 等人的“Low-k Interconnect Stack with a Novel Self-Aligned Via Patterning Process for 32nm High Volume Manufacturing” (Logic Technology Development, #Quality&Reliability, 英特尔公司) 中公开的线路优先的双镶嵌方案一致。R. Brain 等人提出了线路优先的方案,用于保持所图形化的通孔的尺寸完整性并且避免在通孔优先的方案中的让通孔图形放大并由此与相邻特征件发生短路的倾向。

[0031] 根据本发明,不是保持图形化的通孔尺寸,而是修改该过程以可靠地形成亚光刻通孔。图 4C 示出了形成于硬掩模 426 之上的且按照界定通孔的第二掩模 (未示出) 来图形化的第二抗蚀层 428。所示出的实施例示出了图形化到通孔抗蚀层 428 之内的两个基本准则的 (宽度 = W) 通孔开口 A 和 B。根据芯片设计 (由用于相应的 M_{x+1} 线路和 M_x 通孔的掩模对实现),通孔开口 A 能够在线路开口 P 内完全对齐,而通孔开口 B 能够有意地与线路开口 Q 不对齐以按距离 “ΔW” 部分覆盖于硬掩模之上。图 4C 的下部示出了覆盖于 M_x 线路之上的开口 P、Q 和 R (作为 M_{x+1}) 的以及 A 和 B (作为 V_x) 的相对位置。(注意,通孔图形能够不同于圆形;例如,它能够是长方形 (oblong)、直线形 (rectilinear)、方形或不规则的。本发明并不要求任何特定的通孔形状,并且本文对通孔直径的引用预期了实现于通孔掩模内的任何通孔形状的圆形等价形状。)

[0032] 在图 4D 中, M_x 通孔与 M_{x+1} 线路开口对的对相交部通过例如选择性的电介质反应离

子蚀刻蚀刻 (RIE) 工艺转移到 ILD425 之内。通孔开口 A 在线路开口 P 内完全对齐或者由线路开口 P 所包围,因而通孔 A' 与通孔开口 A 同宽度 (受蚀刻工艺的能力所限制)。注意,开口 A 和 B 被图形化为基本准则尺寸的开口,因而通孔 A' 将具有相同的基本准则尺寸“W”,并且能够称为“基本准则通孔”。通孔开口 B 与线路开口 Q 不对齐,使得通孔开口 B 的一部分被硬掩模 426 所阻挡。通孔开口 B 覆盖于硬掩模之上的那部分并没有被转移到电介质 425 之内。RIE 工艺被设计为通过硬掩模来停止。在电介质中所产生的物理开口 B' 具有比在抗蚀剂图形中的通孔开口 B 小的截面。因此,通孔开口 B' 具有亚光刻尺寸,并且能够称为“亚基本准则通孔”。但是,注意,本发明并不限于最小光刻尺寸的通孔开口。亚光刻通孔 B' 能够作为线路开口 Q 与通孔开口 B 相交的结果,即使通孔开口 B (和 / 或线路开口 Q) 比基本准则尺寸大。

[0033] 虽然图 4D 示出了达到覆盖层 419 的通孔蚀刻,但是该通孔蚀刻能够更早停止。该通孔蚀刻甚至可以继续进行到覆盖层 419 之内。现在参照图 4E,不考虑通孔蚀刻深度,能够照常进行处理,以去除通孔抗蚀剂 428。进一步的蚀刻能够在 ILD425 内形成沟槽 P'、Q' 和 R'。初始通孔蚀刻能够被定时,使得沟槽蚀刻完成通孔蚀刻,该通孔蚀刻可以继续进行以在通孔 A' 和 B' 的底部穿过覆盖层 419。图 4F 所示的已完成的 M_{x+1} 和 V_x 特征件能够通过沉积阻挡层 / 内衬和籽晶层,铜填充和退火,以及化学 - 机械平坦化,按照标准的双镶嵌金属化来形成。在实施例中,阻挡层能够是 PVD Ta (N);内衬能够是 CVD 钨 (W)、钛 (Ti)、钴 (Co)、氮化钛 (TiN)、氮化钌 (RuN)、钌 (Ru) 等;并且籽晶能够是 PVD 铜 (Cu),或者与能够是锰 (Mn)、铝 (Al)、锡 (Sn)、铟 (In) 或其他少量成分组成合金的铜。铜填充能够通过 CVD 或电镀来完成,并且可以包括用于填充亚光刻空腔的自底向上的技术。在实施例中,内衬 CVD 工艺能够沉积来自 C₁₂H₁₀O₆ (Co)₂ (六羟基叔丁基乙炔合二钴) 的钴、来自十二羟基三钌 (Ru₃(CO)₁₂) 的钌、或者来自六羟基钨的钨。

[0034] 上述方法能够被用来形成图 3A 和 3B 所示的 BEOL 电子熔断器,其中线路 322 被连接为阳极,而线路 312 被连接为阴极。通孔 324 具有能够根据编程电流来调大小的亚基本准则尺寸。特别地,返回去参照图 4C,如果基本准则的通孔图形 B 只是与线路开口 Q 稍微不对齐,则所产生的亚基本准则通孔 B' 的截面将会仅比基本准则通孔的截面稍小,例如,在基本准则尺寸的 70% 至 <100% 的范围之内。但是通孔图形 B 能够更多地覆盖于硬掩模边缘之上,并且所设计的图形偏移能够被调整以形成具有任意亚光刻截面面积的电子熔断器链路,例如,基本准则尺寸的 40% 或 50%。根据本发明,电子熔断器链路能够调整大小以与目标编程电流相应。例如,可能为优选的是使用最小编程电流来烧断特定的 BEOL 电子熔断器,以便避免对含有编程电流通路的或与编程电流通路相邻的材料加压。电子熔断器链路在这种情况下能够使用仅与线路开口稍微对齐的基本准则的通孔图形。

[0035] 图 3A、B 和 C 示出了在相邻的互连层 (即, V_x、M_x 和 M_{x+1}) 内的亚光刻通孔连接线路,但是本发明并不限于此。图 5A 示出了亚基本准则通孔 524 能够将上覆的线路 522 连接至下垫板 512。通孔 524 能够通过使通孔开口 529 相对于为了线路 522 而图形化的硬掩模偏移而形成。注意,通孔开口 529 能够一定程度地大于光刻的最小尺寸,只要开口 529 和 522 的相交部是亚基本准则。图 5B 示出了其中亚基本准则通孔 534 形成于除 M₁ 外的层之间,例如,在 M₃ 内的线路 532 与 M₂ 内的线路 522 之间的另一种实施例。如图 6 所示,根据又一种实施例,亚光刻通孔 624 能够通过使通孔图形 629 偏移以叠置于线路图形 622 的端

部之上来形成。由于使线路图形在其端部缩短,因而通过这样的“端部重叠”来形成的亚光刻通孔与通过相对于线路的边缘的等同偏移而形成的通孔相比可以在更低的电流下编程。正如所指出的,在小电流下的编程在某些器件的紧邻区域内能够是有利的。图 7 示出了其中阳极 732 和阴极 712 处于不相邻的层内并且通过包含正常通孔 734、中间线路 722 和亚光刻通孔 724 的叠层来连接的另外一种实施例。图 8 示出了其中阳极 832 和阴极 812 通过包含亚光刻通孔 834、中间线路 822 和亚光刻通孔 824 的叠层来连接的另外一种实施例。

[0036] 其他别的实施例具有在同一互连层内(例如,在 M2 内)的阳极和阴极,该阳极与该阴极经由第三线路通过包含亚光刻通孔的通路来连接。为了平衡在双镶嵌的 Mx 和 Vx 特征件之间的晶界的存在性,当该第三线路在阳极和阴极上方的层内时,BEOL 电子熔断器能够包含在阴极与第三线路之间的亚光刻通孔,并且当该第三线路在阳极和阴极下方的层内时,BEOL 电子熔断器能够包含在第三线路与阳极之间的亚光刻通孔。

[0037] 基板 300 在此可以包含任何半导体,例如, Si、SiGe、SiGeC、SiC、Ge 合金、GaAs、InAs、InP, 并且其他 III/V 或 II/VI 化合物半导体也可以使用。除了这些所列出的半导体材料类型之外,本发明还预期了其中半导体基板为分层半导体的情形,例如, Si/SiGe、Si/SiC、绝缘体上硅(SOI)或绝缘体上硅锗(SGOI)。此外,基板 300 能够是单晶的、多晶的、非晶的,或者具有单晶部分、多晶部分及非晶部分中的至少两项的组合。

[0038] 任意适合的电介质材料都可以用于层 x15 和 x25(其中“x”代表相应的附图编号)的电介质材料,并且用于 x15 的材料能够与用于 x25 的材料相同或不同。电介质材料能够具有小于 3.9 的介电常数,或者对于所谓的“低 k 值”电介质材料为 2.5 ~ 3.0,或者对于所谓的“超低 k 值”材料甚至会更低,例如,约为 2.2。电介质材料能够是任何现在已知的或以后将开发出的多孔或非多孔的电介质材料,例如,氧化硅(SiO₂),氮化硅(Si₃N₄),氢化碳氧化硅(hydrogenated silicon oxycarbide)(SiCOH),倍半硅氧烷,含有硅(Si)、碳(C)、氧(O)和/或氢(H)原子的掺碳氧化物(即,有机硅酸盐),热固性聚芳香醚, SiLK™(可从陶氏化学公司(Dow Chemical Corporation)购得的聚芳香醚),含有可从 JSR 公司购得的聚合物材料的旋涂硅碳,以及其他低介电常数的材料或者它们的层。

[0039] 电介质阻挡层或覆盖层能够被布置于每个电介质材料层之上。用于每个覆盖层 x19 或 x29 的材料被典型地选择为可耐蚀刻的并且可抵抗用于直接上覆的材料的清洗工艺的。覆盖层能够是相同的或不同的材料。用于覆盖层的典型材料包括任何现在已知的或以后研发出的电介质,例如,碳化硅(SiC),氮化硅(Si₃N₄)、二氧化硅(SiO₂)以及掺氮或掺氢的碳化硅(SiC(N, H))。

[0040] 任意适合的导电材料都可以用于导体 x12、x22 和 x24,并且每种这样的导体能够是相同的材料或者彼此不同的材料。典型的导电材料包括铜(Cu)、铝(Al)、钨(W)、银(Ag)、金(Au)及合金。

[0041] 虽然本发明已经针对优选的或可替换的实施例进行了特别地示出和描述,但是本领域技术人员应当理解,在不脱离本发明的范围的情况下,更多的替代方案都是可能的并且都可以实现。因此,本文意指,本发明并不限于所描述和所示出的确切形式。

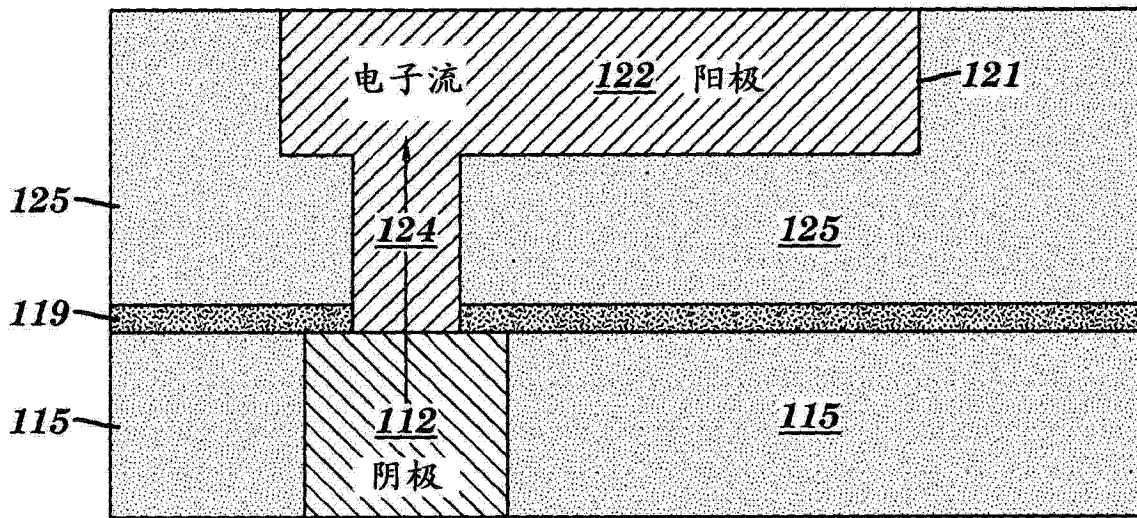


图 1A

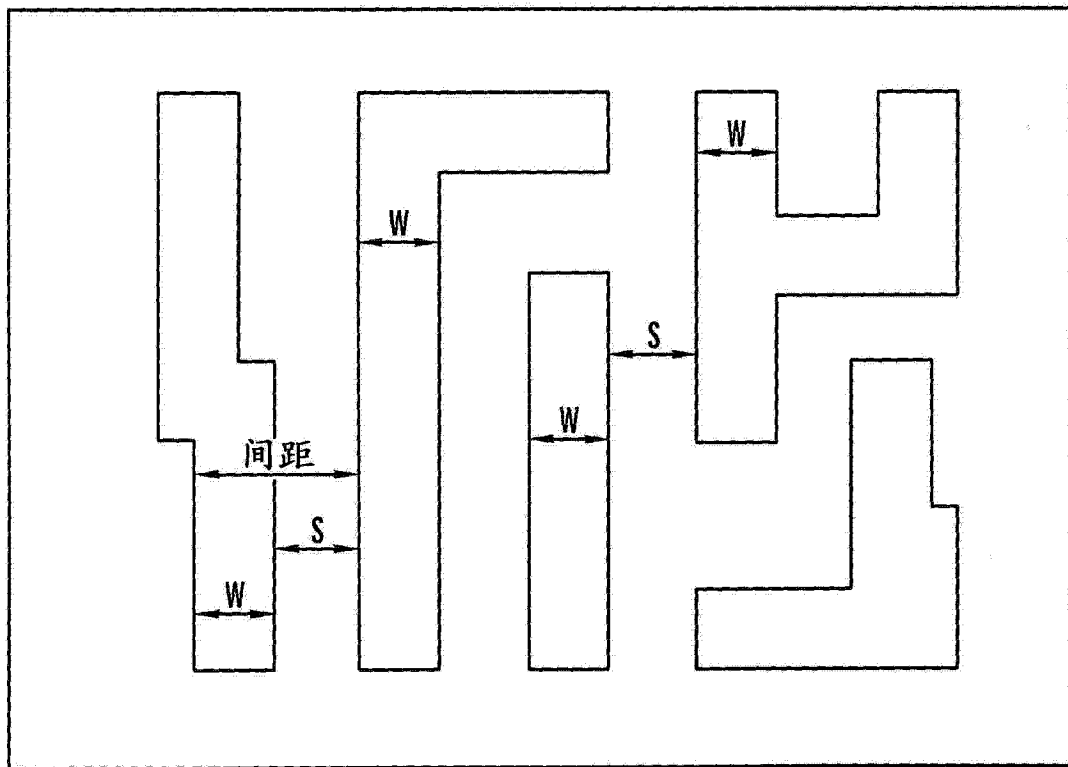


图 1B

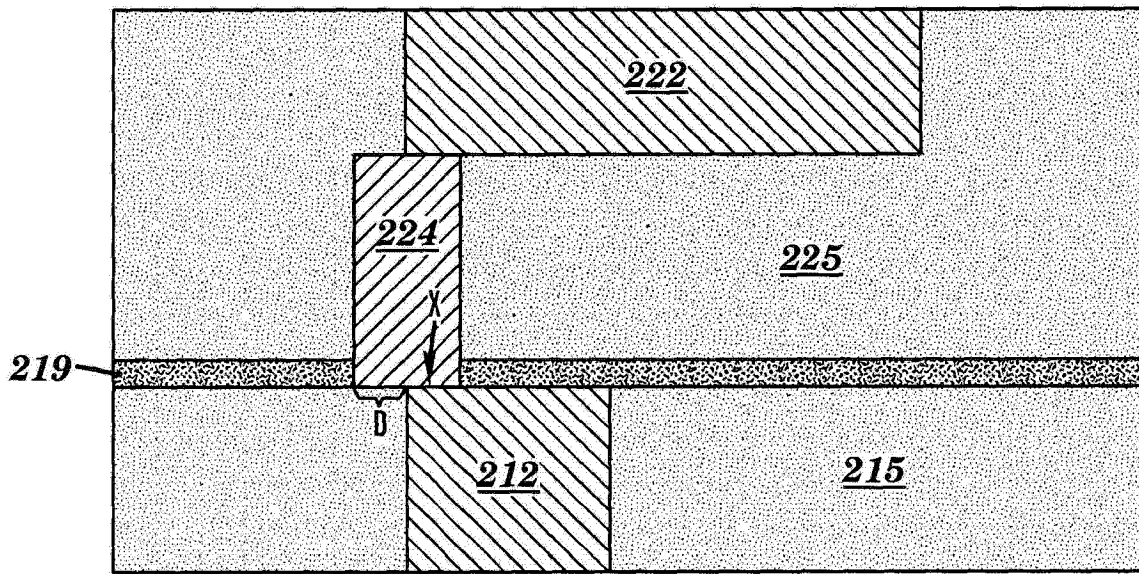


图 2A 现有技术

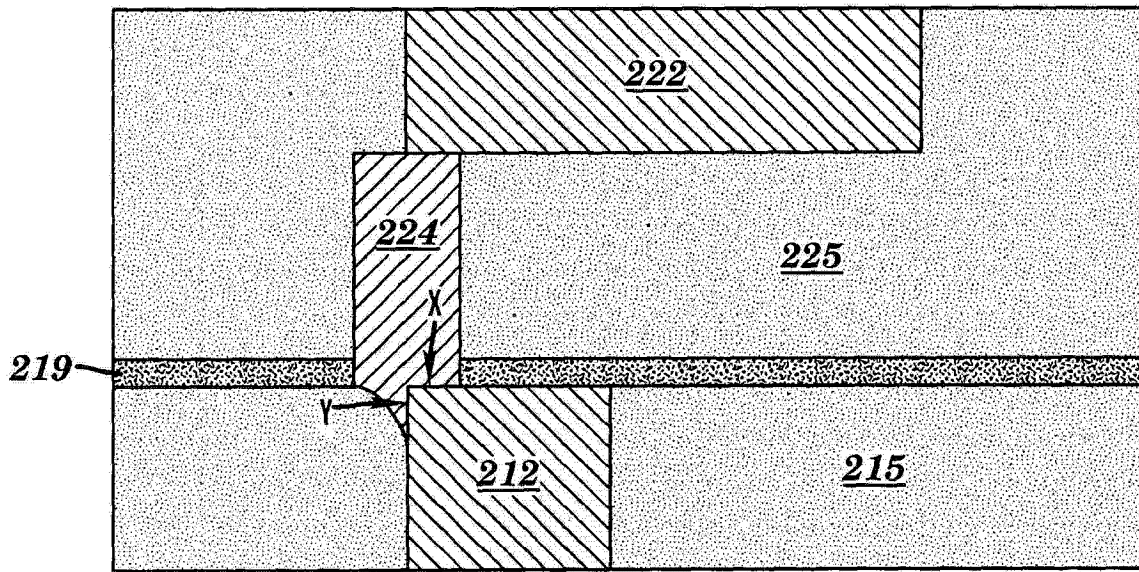


图 2B

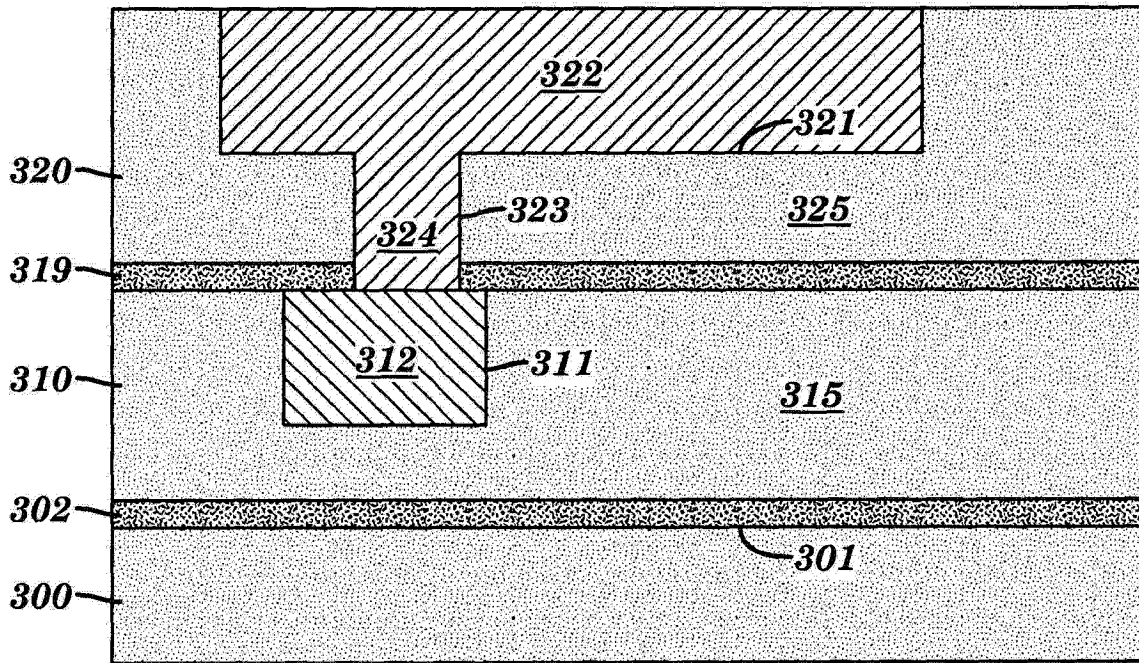


图 3A

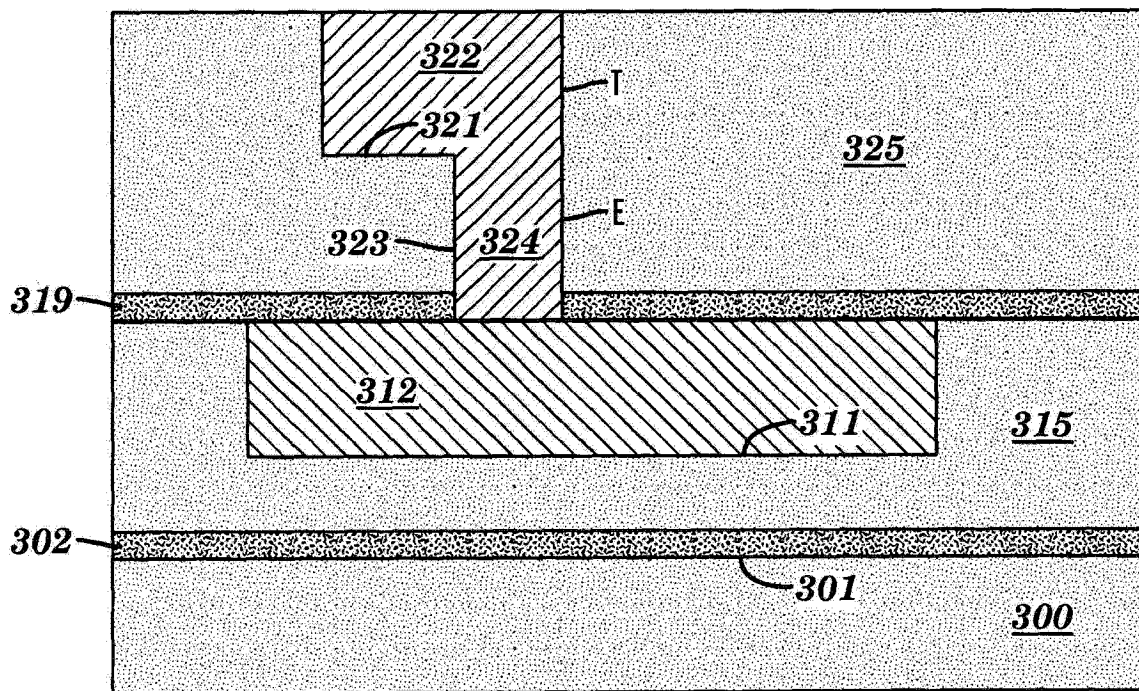


图 3B

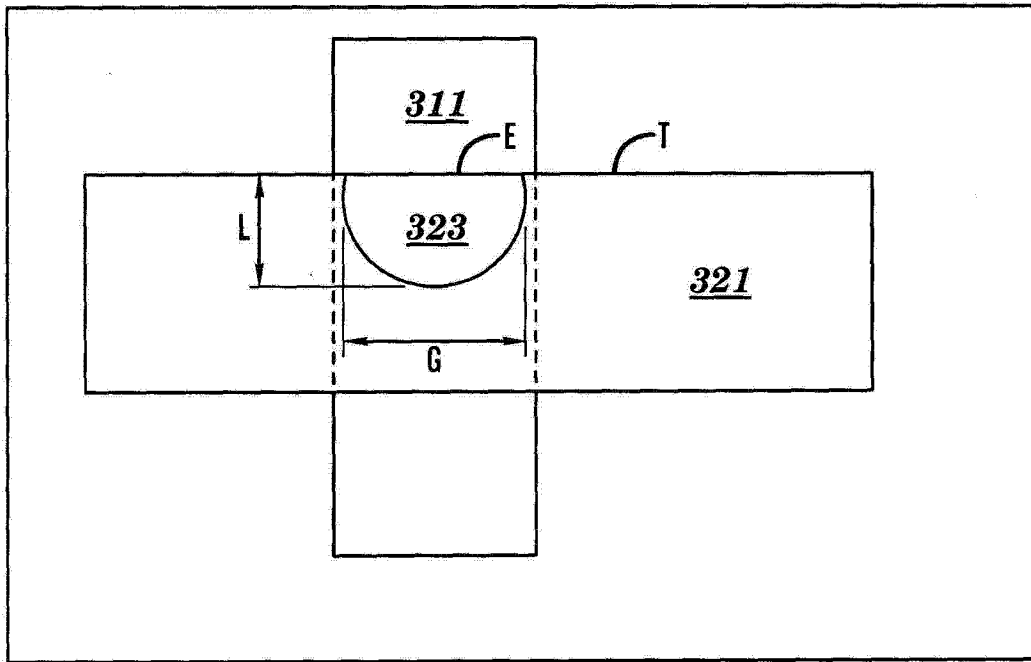


图 3C

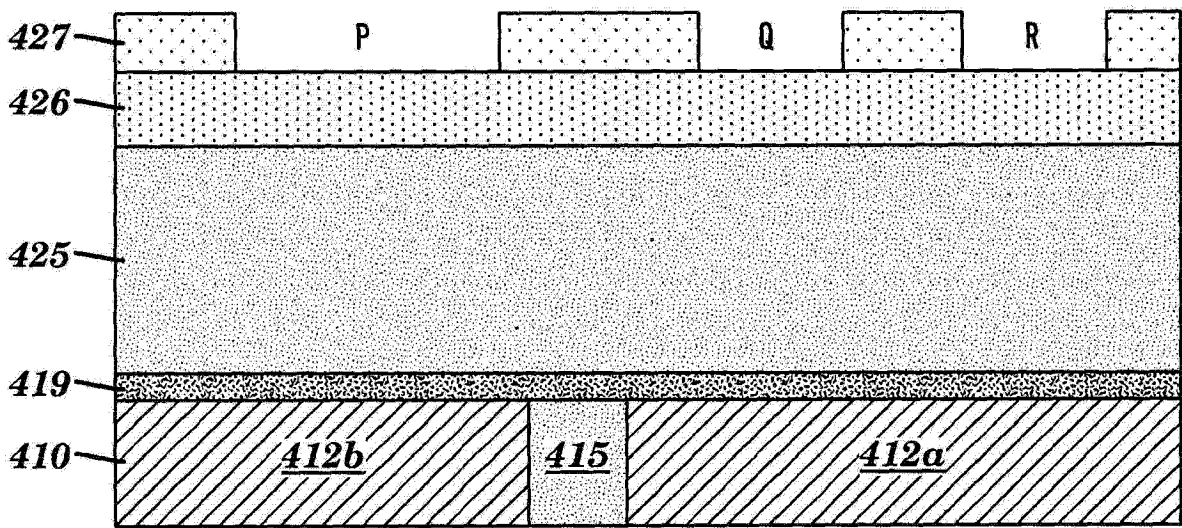


图 4A

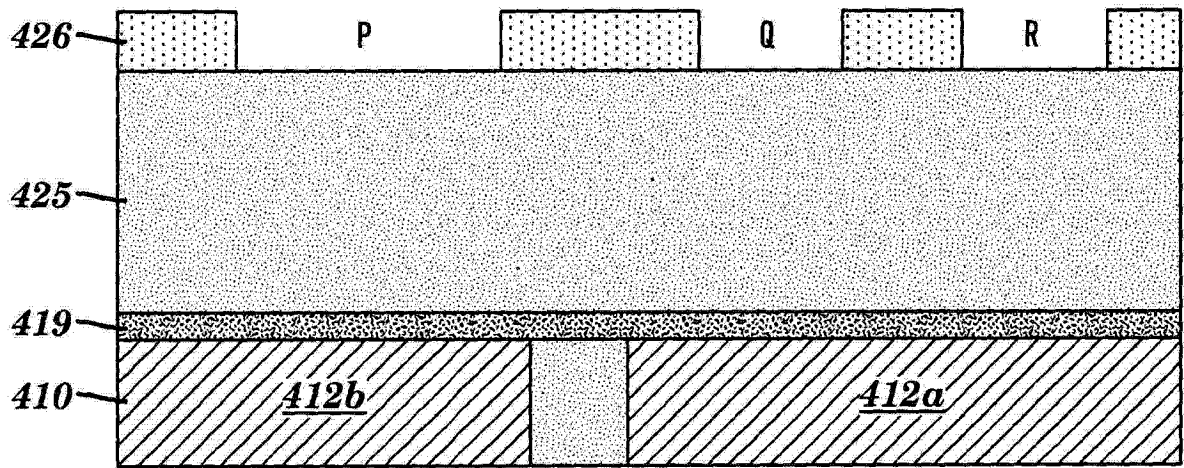


图 4B

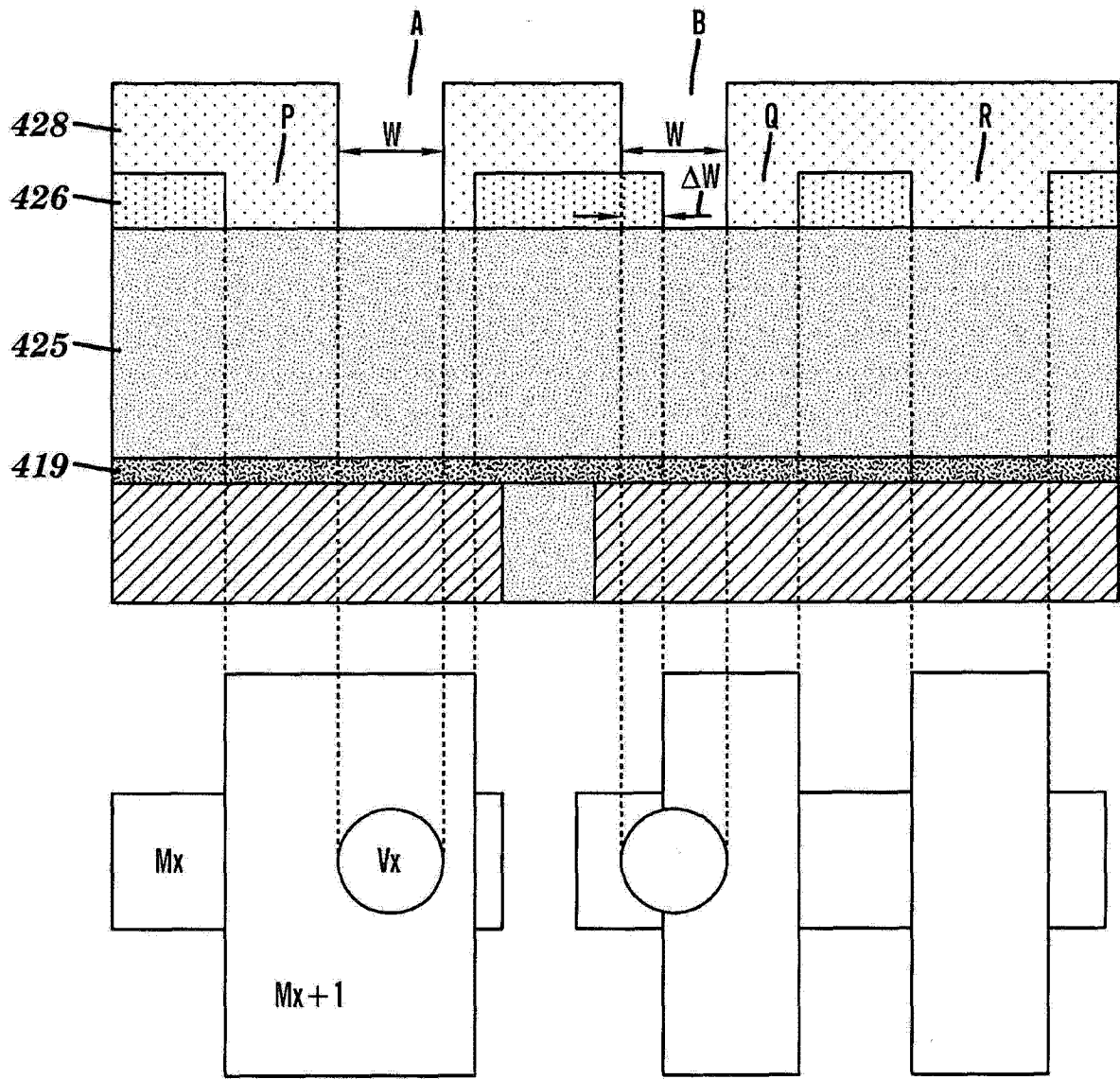


图 4C

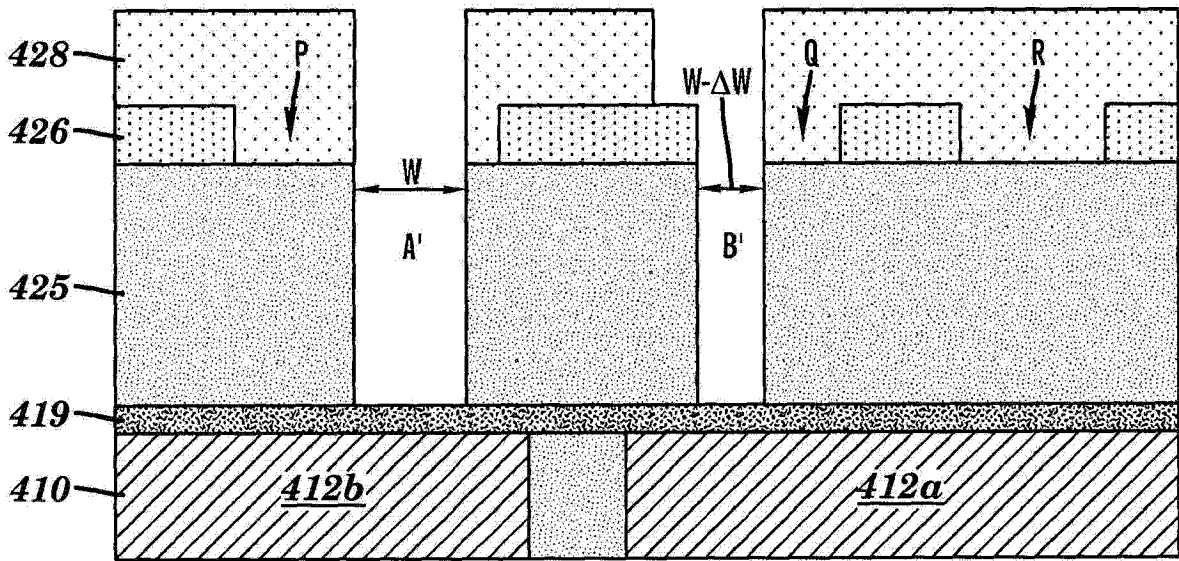


图 4D

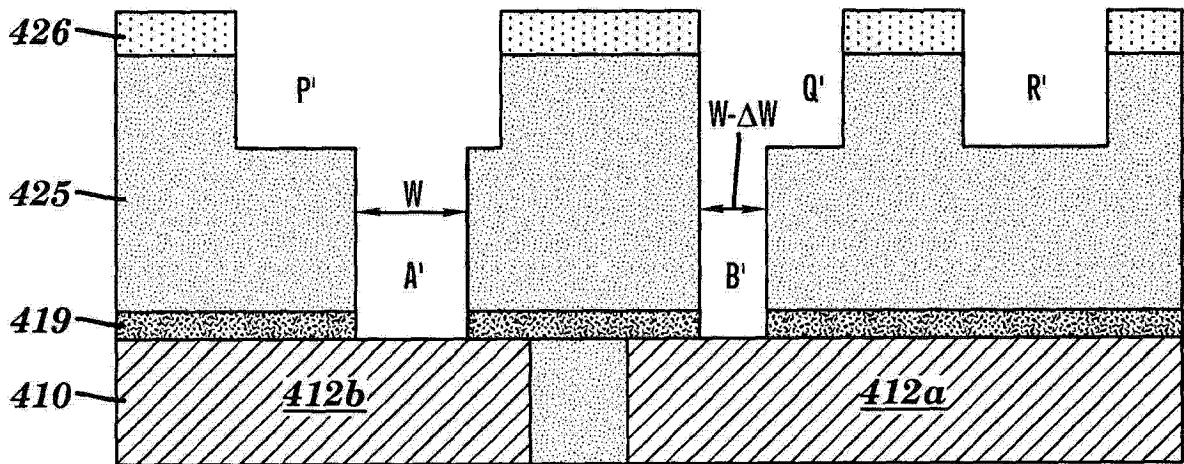


图 4E

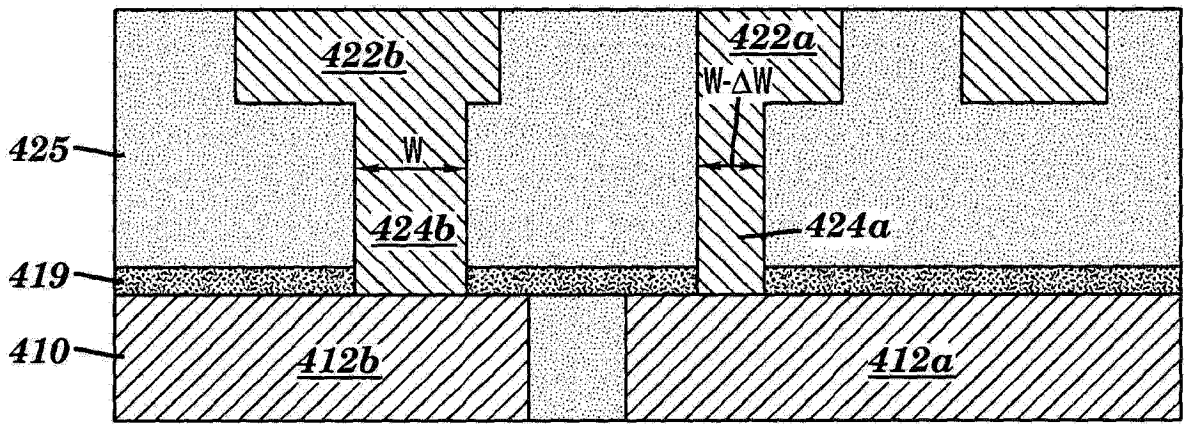


图 4F

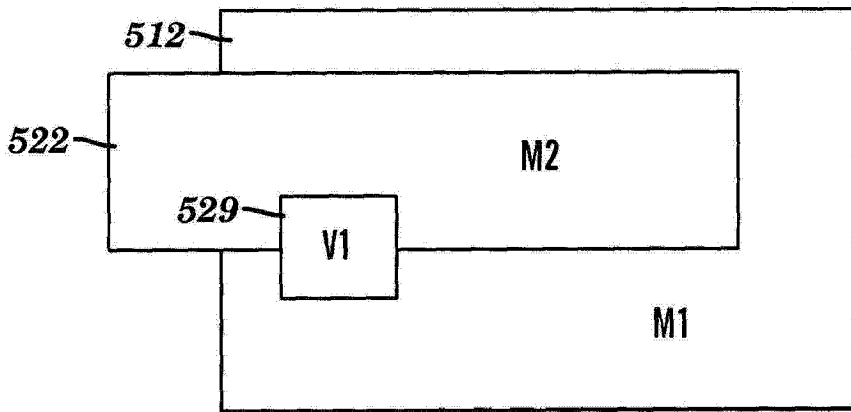
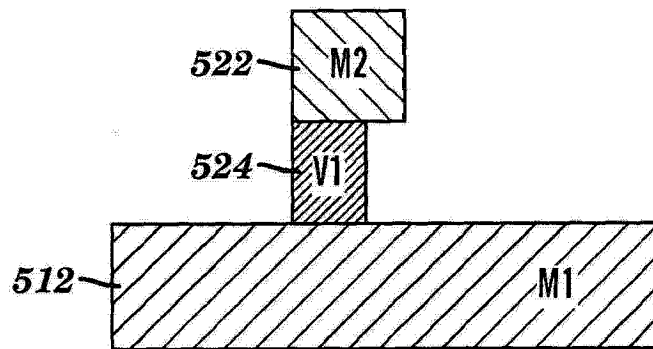


图 5A

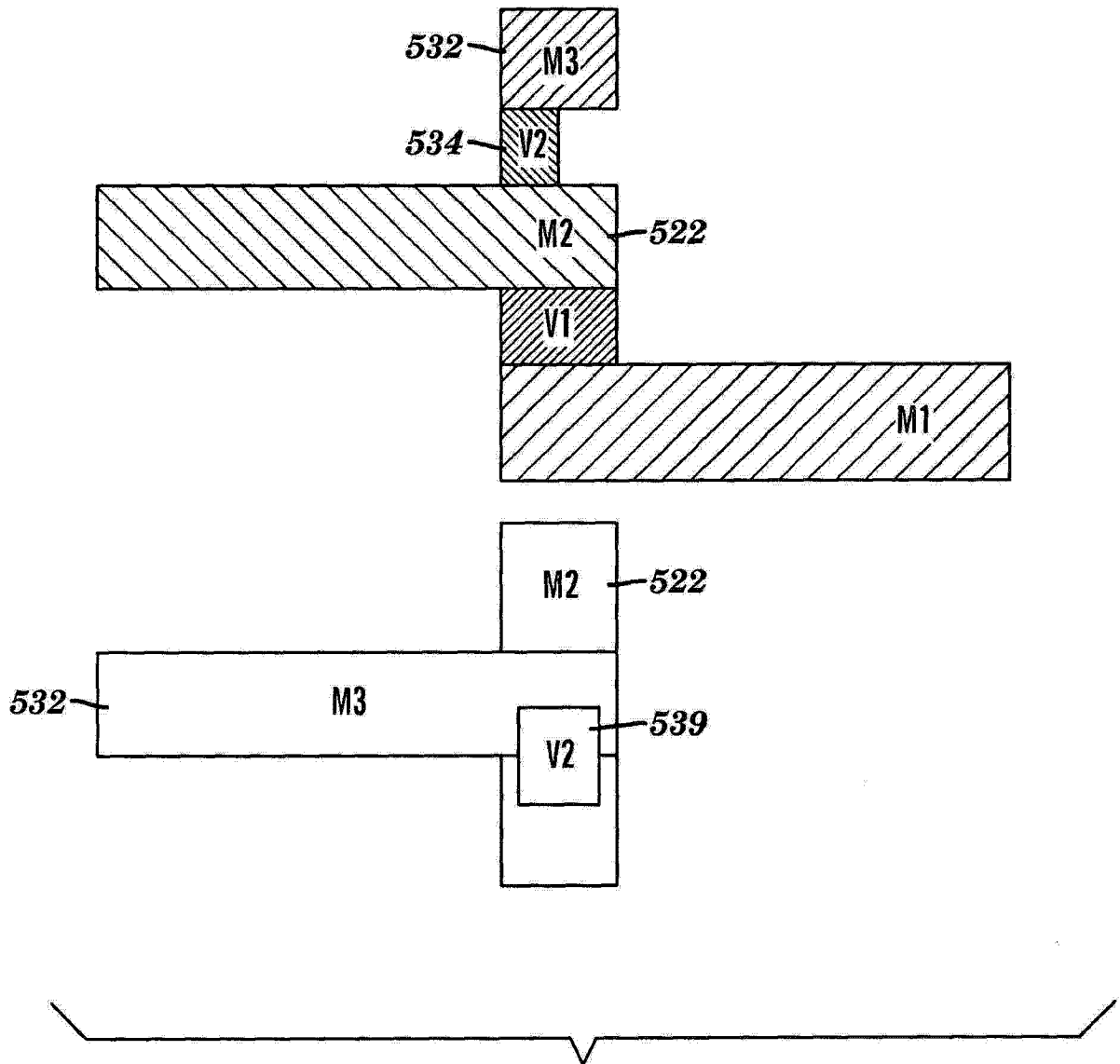


图 5B

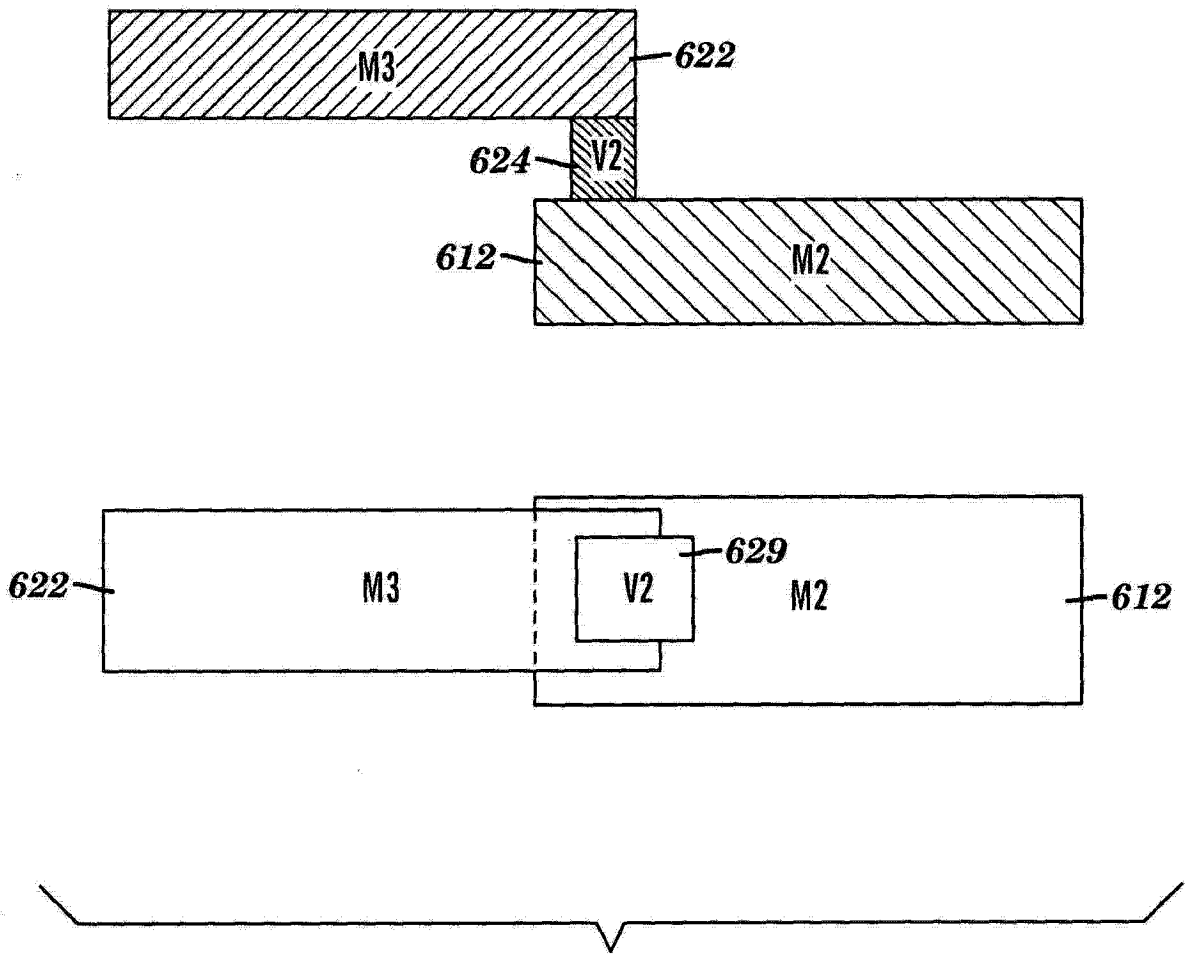


图 6

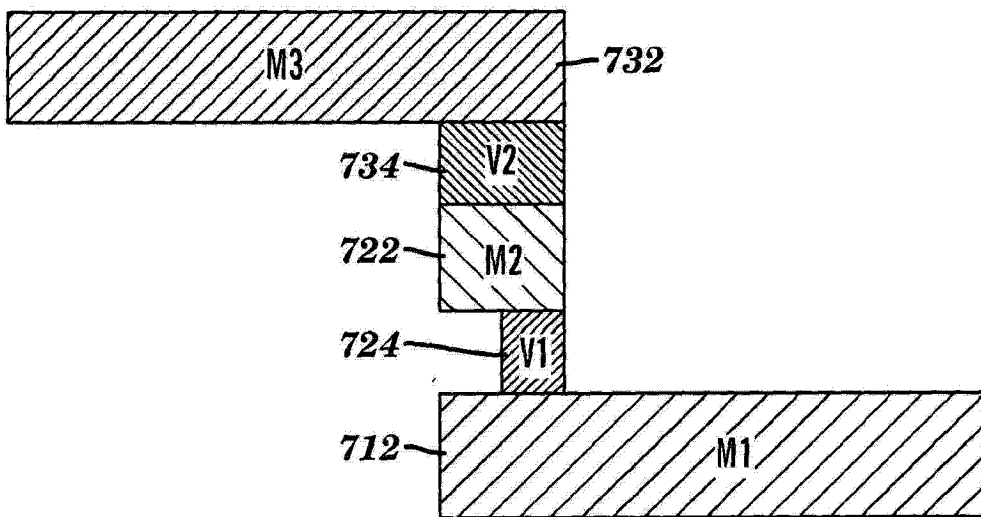


图 7

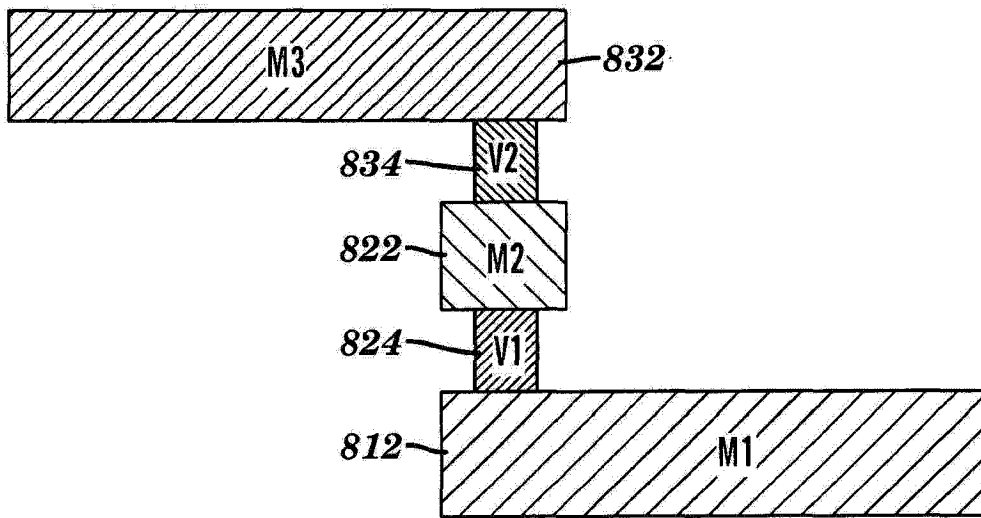


图 8