

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-174484

(P2017-174484A)

(43) 公開日 平成29年9月28日(2017.9.28)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 1 1 E 5 B 2 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00	6 2 4
	G 1 1 C 17/00	6 2 3 A
	G 1 1 C 17/00	6 1 1 F

審査請求 未請求 請求項の数 10 O L (全 43 頁)

(21) 出願番号	特願2016-61609 (P2016-61609)	(71) 出願人	302062931
(22) 出願日	平成28年3月25日 (2016. 3. 25)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100103894
			弁理士 冢入 健
		(72) 発明者	永井 功寛
			東京都小平市上水本町五丁目20番1号
			ルネサスシステムデザイン株式会社内
		(72) 発明者	羽生 正美
			東京都小平市上水本町五丁目20番1号
			ルネサスシステムデザイン株式会社内
		(72) 発明者	鈴木 由香
			東京都小平市上水本町五丁目20番1号
			ルネサスシステムデザイン株式会社内

最終頁に続く

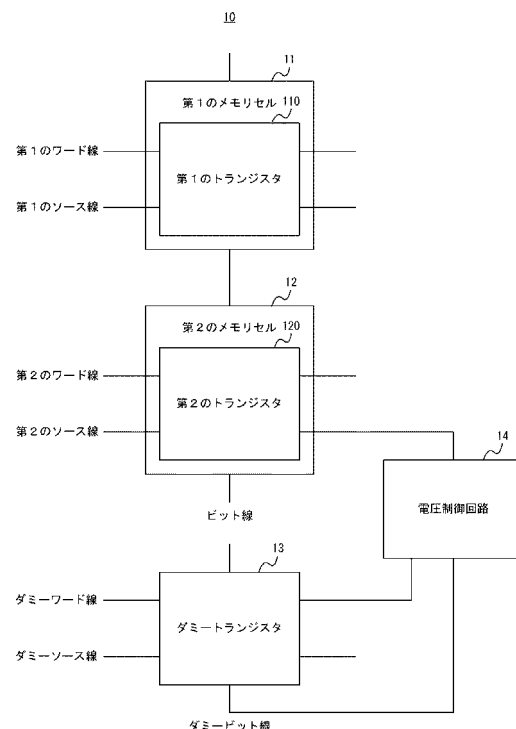
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】リーク電流を遮断すること。

【解決手段】本発明に係る半導体記憶装置10は、第1のワード線と、第1のソース線と、ビット線とに接続される第1のトランジスタ110を有する第1のメモリセルと、第2のワード線と、第2のソース線と、ビット線とに接続される第2のトランジスタ120を有する第2のメモリセル12と、第1のトランジスタ110と同一構造であり、ダミーワード線と、ダミーソース線と、ダミービット線とに接続されるダミートランジスタ13と、第1のメモリセル11にデータを書き込むための所定電圧を第1のワード線に印加する場合、ダミービット線を第2のソース線と接続し、上記所定電圧を第1のダミーワード線に印加する電圧制御回路14とを備える。

【選択図】 図17



【特許請求の範囲】**【請求項 1】**

第 1 のワード線と、第 1 のソース線と、第 1 のビット線とに接続される第 1 のトランジスタを有する第 1 のメモリセルと、

第 2 のワード線と、第 2 のソース線と、前記第 1 のビット線とに接続される第 2 のトランジスタを有する第 2 のメモリセルと、

前記第 1 のトランジスタと同一構造であり、第 1 のダミーワード線と、ダミーソース線と、ダミービット線とに接続される第 1 のダミートランジスタと、

前記第 1 のメモリセルにデータを書き込むための所定電圧を前記第 1 のワード線に印加する場合、前記ダミービット線を前記第 2 のソース線と接続し、当該所定電圧を前記第 1 のダミーワード線に印加する電圧制御回路と、を備えた、

半導体記憶装置。

【請求項 2】

前記半導体記憶装置は、さらに、

前記第 2 のワード線と、前記第 2 のソース線と、第 2 のビット線とに接続される第 3 のトランジスタを有する第 3 のメモリセルを備え、

前記電圧制御回路は、前記第 1 のメモリセルにデータを書き込む場合、前記第 3 のメモリセルに対する誤書き込みを防止するための所定電圧を前記第 2 のビット線に印加する、

請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記半導体記憶装置は、さらに、前記第 1 のメモリセルと同一構造であり、前記第 1 のダミートランジスタを有する第 1 のダミーメモリセルを備えた、

請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記電圧制御回路は、

第 1 の電源電圧回路、及び、第 1 の電流源回路のいずれか 1 つを選択して、前記第 1 のビット線と接続する第 1 の選択回路と、

前記第 1 の電源電圧回路と同レベルの電圧を生成する第 2 の電源電圧回路、及び、前記第 1 の電流源回路のいずれか 1 つを選択して、前記第 2 のビット線と接続する第 2 の選択回路と、

前記第 1 の電源電圧回路と同レベルの電圧を生成する第 3 の電源電圧回路、及び、前記第 1 の電流源回路が生成する電流と同量の電流を生成する第 2 の電流源回路のいずれか 1 つを選択して、前記ダミービット線と接続する第 3 の選択回路と、を有し、

前記電圧制御回路は、前記第 1 のメモリセルにデータを書き込む場合、前記第 1 の選択回路による前記第 1 の電流源回路の選択、前記第 2 の選択回路による前記第 2 の電源電圧回路の選択、及び、前記第 3 の選択回路による前記第 2 の電流源回路の選択を行う、

請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記半導体記憶装置は、さらに、

第 3 のワード線と、前記第 1 のソース線と、前記第 1 のビット線とに接続される第 3 のトランジスタを有する第 4 のメモリセルと、

前記第 3 のメモリセルと同一構造であり、第 2 のダミーワード線と、前記ダミーソース線と、前記ダミービット線とに接続される第 2 のダミートランジスタを有する第 2 のダミーメモリセルと、

メモリセルアレイにおいて、前記第 1 のメモリセル及び前記第 1 のダミーメモリセルは奇数行目に配置され、前記第 4 のメモリセル及び前記第 2 のダミーメモリセルは偶数行目に配置され、

前記電圧制御回路は、前記第 4 のメモリセルにデータを書き込むための所定電圧を前記第 3 のワード線に印加する場合、前記ダミービット線を前記第 2 のソース線と接続し、当該所定電圧を前記第 2 のダミーワード線に印加する、

10

20

30

40

50

請求項 3 に記載の半導体記憶装置。

【請求項 6】

前記第 1 のメモリセルは、さらに、第 1 の制御ゲート線と、前記第 1 のソース線と、前記第 1 のトランジスタを介しての前記第 1 のビット線とに接続される第 1 のメモリトランジスタを有し、

前記第 1 のトランジスタは、前記第 1 のメモリトランジスタを介して前記第 1 のソース線と接続される第 1 の選択トランジスタであり、

前記第 1 のダミートランジスタは、メモリセルに含まれるトランジスタではなく、前記第 1 のメモリセルにデータを書き込む場合に、前記第 1 のダミーワード線に印加される電圧は、前記第 1 の制御ゲート線に印加される電圧よりも低い、

10

請求項 2 に記載の半導体記憶装置。

【請求項 7】

前記電圧制御回路は、

第 1 の電源電圧回路、及び、第 1 の電流源回路のいずれか 1 つを選択して、前記第 1 のビット線と接続する第 1 の選択回路と、

前記第 1 の電源電圧回路と同レベルの電圧を生成する第 2 の電源電圧回路、及び、前記第 1 の電流源回路のいずれか 1 つを選択して、前記第 2 のビット線と接続する第 2 の選択回路と、

前記第 1 の電流源回路が生成する電流と同量の電流を前記第 1 のダミートランジスタに印加する第 3 の電源電圧回路と、を有し、

20

前記電圧制御回路は、前記第 1 のメモリセルにデータを書き込む場合、前記第 1 の選択回路による前記第 1 の電流源回路の選択、及び、前記第 2 の選択回路による前記第 2 の電源電圧回路の選択を行う、

請求項 6 に記載の半導体記憶装置。

【請求項 8】

第 1 のワード線と、第 1 のソース線と、第 1 のビット線とに接続される第 1 のトランジスタを有する第 1 のメモリセルと、

第 2 のワード線と、第 2 のソース線と、前記第 1 のビット線とに接続される第 2 のトランジスタを有する第 2 のメモリセルと、

前記第 1 のメモリセルにデータを書き込む場合、前記第 1 のビット線を前記第 2 のソース線と接続する電圧制御回路と、を備えた、

30

半導体記憶装置。

【請求項 9】

前記半導体記憶装置は、さらに、

前記第 1 のワード線と、前記第 1 のソース線と、第 2 のビット線とに接続される第 3 のトランジスタを有する第 3 のメモリセルと、

前記電圧制御回路は、前記第 1 のメモリセルにデータを書き込まず、前記第 3 のメモリセルにデータを書き込む場合、前記第 1 のビット線を前記第 2 のソース線と非接続とするとともに、前記第 2 のビット線を前記第 2 のソース線と接続する、

請求項 8 に記載の半導体記憶装置。

40

【請求項 10】

前記電圧制御回路は、

第 1 の電源電圧回路、及び、第 1 の電流源回路のいずれか 1 つを選択して、前記第 1 のビット線と接続する第 1 の選択回路と、

前記第 1 の電源電圧回路と同レベルの電圧を生成する第 2 の電源電圧回路、及び、前記第 1 の電流源回路と同量の電流を生成する第 2 の電流源回路のいずれか 1 つを選択して、前記第 2 のビット線と接続する第 2 の選択回路と、

前記第 1 の選択回路が前記第 1 の電流源回路を選択した場合に前記第 1 のビット線と前記第 1 の電流源回路とが接続される第 1 の信号線と、前記第 2 のソース線との接続状態を切り替える第 1 のスイッチ回路と、

50

前記第 2 の選択回路が前記第 1 の電流源回路を選択した場合に前記第 2 のビット線と前記第 2 の電流源回路とが接続される第 2 の信号線と、前記第 2 のソース線との接続状態を切り替える第 2 のスイッチ回路と、を有し、

前記電圧制御回路は、前記第 1 のメモリセルにデータを書き込む場合、前記第 1 の選択回路による前記第 1 の電流源回路の選択、前記第 2 の選択回路による前記第 2 の電源電圧回路の選択、前記第 1 のスイッチ回路による前記第 1 の信号線と前記第 2 のソース線との接続、及び、前記第 2 のスイッチ回路による前記第 2 の信号線と前記第 2 のソース線との非接続を行う、

請求項 9 に記載の半導体記憶装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、例えばメモリセルにデータを書き込むときに発生するリーク電流を遮断する技術に関する。

【背景技術】

【0002】

特許文献 1 には、メモリセルのソース - ドレイン間に一定の電流を流して書き込みを行う回路が開示されている。この回路では、選択ソース線にソース電圧を印加し、選択ワード線にゲート電圧を印加することで、電流源回路により選択ソース線 - 選択セルのソース - 選択セルのドレイン - 選択ビット線の経路で予め設定された定電流を流す。このとき、選択メモリセルに定電流が流れて発生するチャネルホットエレクトロンがフローティングゲートに注入されることにより、選択メモリセルにデータが書き込まれる。

20

【0003】

これに対して、特許文献 2 には、非選択メモリセルが流すリーク電流を遮断することを目的とした半導体メモリが開示されている。この半導体メモリでは、データがプログラムされるメモリセルを含むメモリセルの行に接続されたソース線を高レベル電圧に設定するとともに、データがプログラムされないメモリセルの行に接続されたソース線を選択ゲート線の低レベル電圧より高く、かつ非選択のビット線の高レベル電圧より低く設定する。

【先行技術文献】

【特許文献】

30

【0004】

【特許文献 1】特開 2005 - 276347 号公報

【特許文献 2】特開 2011 - 170941 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、非選択メモリセルにおいて、ソース線に印加される電圧が、ビット線に印加される電圧よりも低すぎても高すぎてもサブスレッショルド・リーク電流を完全には遮断できないという問題がある。以下、図 19 ~ 図 21 を参照して、そのような問題が発生する例について説明する。なお、以下の説明は、本願発明者が独自に検討した内容であり、従来技術を説明するものではない。

40

【0006】

図 19 に示す例では、非選択セクタのメモリセルは、消去状態とされており、制御ゲート線、ソース線及びワード線に 0 V の電圧が印加されている。なお、消去状態とは、メモリセルにデータとして“1”が書き込まれている状態である。そして、選択セクタのメモリセルに書き込みを行う場合、選択セクタのメモリセルは、制御ゲート線に 10.5 V の電圧が印加され、ソース線に 4.5 V の電圧が印加され、ワード線に 1 V の電圧が印加されるものとする。ここで、選択セクタのメモリセルの選択トランジスタの閾値電圧が 0.6 V であるものとする。なお、ここでは、閾値電圧は、選択トランジスタが 1 μ A の書き込み電流を流すのに必要なゲート - ソース間電圧 (V_{gs}) である。

50

【0007】

この場合、ビット線の電圧は、選択セクタのメモリセルのワード線に印加された電圧（1 V）よりも選択トランジスタの閾値電圧（0.6 V）だけ低い電圧（0.4 V）になる。よって、非選択セクタのメモリセルでは、ソース線に印加される電圧（0 V）よりも、ビット線に印加される電圧（0.4 V）の方が高い。そして、消去状態のメモリセルでは、メモリトランジスタのフローティングゲートの下にチャネルが形成されているため、ビット線からソース線に向かってサブスレッショルド・リーク電流が流れる。

【0008】

ここで、1 ビット分のメモリセルあたりのリーク電流は、微小（例えば p A オーダー）である。ここで、図 19 では、説明の簡略化のため、2 つのメモリセルが含まれるセクタが 3 つ存在する例について示している。しかしながら、ビット線には、通常であれば、例えば 1 K ビット分のメモリセルが繋がっている。したがって、ビット線に接続される全ての非選択メモリセルのリーク電流の合計は、 μ A オーダーとなる（図 19 では例えば 0.2 μ A）。なお、図 19 に示すビット線の電圧（0.4 V）は、リーク電流がない場合の電圧値であり、実際にはリーク電流によって低下する（例えば 0.3 V に低下する）。

10

【0009】

これに対して、図 20 に示すように、非選択セクタのメモリセルのソース線に 0.1 V の電圧を印加したものとする。しかしながら、このように、ソース線に電圧を印加したとしても、ソース線に印加される電圧（0.1 V）が、ビット線に印加される電圧（0.4 V）よりも低すぎる場合には、サブスレッショルド・リーク電流を完全に遮断することができない。なお、図 20 に示すビット線の電圧（0.4 V）は、リーク電流がない場合の電圧値であり、実際にはリーク電流によって低下する（例えば 0.35 V に低下する）。

20

【0010】

一方で、図 21 に示すように、非選択セクタのメモリセルのソース線に 1.5 V の電圧を印加したものとする。しかしながら、このように、ソース線に印加される電圧（1.5 V）が、ビット線に印加される電圧（0.4 V）よりも高すぎる場合には、逆に、ソース線からビット線に向かってサブスレッショルド・リーク電流が流れる。なお、図 21 に示すビット線の電圧（0.4 V）は、リーク電流がない場合の電圧値であり、実際にはリーク電流によって上昇する（例えば 0.5 V に上昇する）。

【0011】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0012】

一実施の形態によれば、半導体記憶装置は、第 1 のメモリセルにデータを書き込むための所定電圧を第 1 のメモリセルに接続されるワード線に印加する場合、ダミートランジスタに接続されるダミービット線を第 2 のメモリセルに接続されるソース線と接続し、上記所定電圧をダミートランジスタのダミーワード線に印加するものである。

【発明の効果】

【0013】

前記一実施の形態によれば、リーク電流を遮断することができる。

40

【図面の簡単な説明】

【0014】

【図 1】実施の形態 1 に係る半導体記憶装置の構成を示す図である。

【図 2】実施の形態 1 に係るメモリセルアレイの構成を示す図である。

【図 3】実施の形態 1 に係るメモリセルアレイにおける、最外周からの距離と、ゲートポリシリコン高さとの関係を示す図である。

【図 4】実施の形態 1 に係る半導体記憶装置の書き込み動作を示すタイミングチャートである。

【図 5】実施の形態 1 に係る書き込み回路と、電圧バッファ回路の周辺回路の詳細な構成

50

を示す図である。

【図 6】実施の形態 1 の変形例に係る半導体記憶装置の書き込み動作を示すタイミングチャートである。

【図 7】書き込みをしているメモリセルにおける、ビット線の電圧の温度依存性を示す図である。

【図 8】実施の形態 2 に係る半導体記憶装置の構成を示す図である。

【図 9】目ずれの影響による偶数ワード線と奇数ワード線のメモリセルの各々への書き込み時のビット線の電圧の差を示す図である。

【図 10】実施の形態 3 に係る半導体記憶装置の構成を示す図である。

【図 11】実施の形態 3 に係る半導体記憶装置の書き込み動作を示すタイミングチャートである。

10

【図 12】実施の形態 3 に係る書き込み回路と、定電流回路と、電圧バッファ回路の周辺回路の詳細な構成を示す図である。

【図 13】実施の形態 3 の変形例に係る半導体記憶装置の書き込み動作を示すタイミングチャートである。

【図 14】実施の形態 4 に係る半導体記憶装置の構成を示す図である。

【図 15】実施の形態 4 に係る半導体記憶装置の書き込み動作（“ 0 ”を書き込む場合）を示すタイミングチャートである。

【図 16】実施の形態 4 に係る半導体記憶装置の書き込み動作（“ 1 ”を書き込む場合）を示すタイミングチャートである。

20

【図 17】実施の形態 1 ～ 3 に係る半導体記憶装置の概略構成を示す図である。

【図 18】実施の形態 4 に係る半導体記憶装置の概略構成を示す図である。

【図 19】第 1 の比較例に係る半導体記憶装置を示す図である。

【図 20】第 2 の比較例に係る半導体記憶装置を示す図である。

【図 21】第 3 の比較例に係る半導体記憶装置を示す図である。

【発明を実施するための形態】

【0015】

以下、図面を参照しながら、好適な実施の形態について説明する。以下の実施の形態に示す具体的な数値等は、実施の形態の理解を容易とするための例示にすぎず、特に断る場合を除き、それに限定されるものではない。例えば、以下の実施の形態で例示する電流値及び電圧値も、それらに限定されるものではなく、異なる値を任意に予め定めるようにしてもよい。また、以下の記載及び図面では、説明の明確化のため、当業者にとって自明な事項については、適宜、省略及び簡略化がなされている。

30

【0016】

< 実施の形態 1 >

（実施の形態 1 の構成）

以下、図面を参照して、実施の形態 1 について説明する。まず、図 1 を参照して、本実施の形態 1 に係る半導体記憶装置 1 の構成について説明する。半導体記憶装置 1 は、不揮発性の半導体記憶装置である。半導体記憶装置 1 は、より具体的には、不揮発性メモリ（フラッシュメモリ）である。

40

【0017】

図 1 に示すように、半導体記憶装置 1 は、複数のメモリセル MC0 ～ MC7 と、複数のダミーメモリセル MCdmy0、MCdmy1 と、複数のワード線ドライバ WLDRV1 ～ WLDRV3、WLDRVdmy0 と、複数の制御ゲート線ドライバ CGDRV0、CGDRV1、CGDRVdmy と、複数のソース線ドライバ SLDRV0、SLDRV1、SLDRVdmy と、複数の書き込み回路 WC、WCdmy と、電圧バッファ回路 BUF とを有する。

【0018】

また、半導体記憶装置 1 は、複数のワード線 WL0 ～ WL3 と、ダミーワード線 WLdmy0 と、複数の制御ゲート線 CG0、CG1 と、ダミー制御ゲート線 CGdmy と、複

50

数のソース線 $S L 0$ 、 $S L 1$ と、ダミーソース線 $S L d m y$ と、複数のビット線 $B L 0$ 、 $B L 1$ と、ダミービット線 $B L d m y$ とを有する。

【 0 0 1 9 】

なお、半導体記憶装置 1 は、構成を簡略化して図示している。半導体記憶装置 1 は、実際には、図 1 に示すダミーメモリセル $M C d m y 0$ 、 $M C d m y 1$ 以外にも、さらに多くのダミーメモリセルを示しているが、それらに対する符号の図示は省略している。また、半導体記憶装置 1 は、実際には、さらに多くのワード線、制御ゲート線、ソース線及びビット線を有しているが、それらの図示も省略している。また、半導体記憶装置 1 は、それらの数に応じて、さらに多くのメモリセル、ダミーメモリセル、ワード線ドライバ、制御ゲート線ドライバ及びソース線ドライバ等を有しているが、それらの図示も省略している。

10

【 0 0 2 0 】

すなわち、メモリセル $M C 0 \sim M C 7$ を含む複数のメモリセルと、ダミーメモリセル $M C d m y 0$ 、 $M C d m y 1$ を含む複数のダミーメモリセルとによってメモリセルアレイが構成されている。

【 0 0 2 1 】

メモリセル $M C 0$ は、選択トランジスタ $S T 0$ と、メモリトランジスタ $M T 0$ とを有する。選択トランジスタ $S T 0$ は、読み出し動作時及び書き込み動作時の各々で、データを読み出す又はデータを書き込むメモリセルを選択するためのトランジスタである。メモリトランジスタ $M T 0$ は、データを記憶するためのトランジスタである。メモリトランジスタ $M T 0$ は、電荷を蓄積するためのフローティングゲートと、制御ゲート線 $C G 0$ に接続される制御ゲートとを有する。なお、電荷蓄積方式として、チャージトラップ膜を用いてもよい。一方、選択トランジスタ $S T 0$ は、ワード線 $W L 0$ に接続される制御ゲートを有するが、電荷を蓄積するためのフローティングゲートは有さない。他のメモリセル $M C 1 \sim M C 7$ も、メモリセル $M C 0$ と同一構造である。すなわち、メモリセル $M C 1 \sim M C 7$ の各々は、選択トランジスタ $S T 1 \sim S T 7$ の各々、及び、メモリトランジスタ $M T 1 \sim M T 7$ の各々を有する。

20

【 0 0 2 2 】

なお、以下の説明では、特に断る場合を除き、データの書き込みと言った場合には、メモリセルにデータとして “ 0 ” を書き込むことを言う。

30

【 0 0 2 3 】

ここで、図 1 の横方向を「行」と定義し、図 1 の縦方向を「列」と定義して説明する。メモリセルアレイにおいて、メモリセル $M C 0 \sim M C 3$ は同一の列に属し、メモリセル $M C 4 \sim M C 7$ は同一の列に属する。また、メモリセルアレイにおいて、メモリセル $M C 0$ 、 $M C 4$ は同一の行に属し、メモリセル $M C 1$ 、 $M C 5$ は同一の行に属し、メモリセル $M C 2$ 、 $M C 6$ は同一の行に属し、メモリセル $M C 3$ 、 $M C 7$ は同一の行に属する。

【 0 0 2 4 】

同一の行に属するメモリセルは、同一のワード線が接続されている。奇数行目の同一の行に属するメモリセルと、その次の偶数行目の同一の行に属するメモリセルは、同一の制御ゲート線と、同一のソース線とが接続されている。同一の列に属するメモリセルは、同一のビット線が接続されている。

40

【 0 0 2 5 】

より具体的には、メモリセル $M C 0$ 、 $M C 1$ 、 $M C 4$ 、 $M C 5$ のメモリトランジスタ $M T 0$ 、 $M T 1$ 、 $M T 4$ 、 $M T 5$ の第 1 の端子は、制御ゲート線 $C G 0$ が接続されている。メモリセル $M C 2$ 、 $M C 3$ 、 $M C 6$ 、 $M C 7$ のメモリトランジスタ $M T 2$ 、 $M T 3$ 、 $M T 6$ 、 $M T 7$ の第 1 の端子は、制御ゲート線 $C G 1$ が接続されている。

【 0 0 2 6 】

メモリセル $M C 0$ 、 $M C 4$ の選択トランジスタ $S T 0$ 、 $S T 4$ の第 1 の端子は、ワード線 $W L 0$ が接続されている。メモリセル $M C 1$ 、 $M C 5$ の選択トランジスタ $S T 1$ 、 $S T 5$ の第 1 の端子は、ワード線 $W L 1$ が接続されている。メモリセル $M C 2$ 、 $M C 6$ の選択

50

トランジスタST2、ST6の第1の端子は、ワード線WL2が接続されている。メモリセルMC3、MC7の選択トランジスタST3、ST7の第1の端子は、ワード線WL3が接続されている。第1の端子は、ゲート（制御ゲート）として機能する。

【0027】

メモリセルMC0、MC1、MC4、MC5のメモリトランジスタMT0、MT1、MT4、MT5の第2の端子は、ソース線SL0が接続されている。メモリセルMC2、MC3、MC6、MC7のメモリトランジスタMT2、MT3、MT6、MT7の第2の端子は、ソース線SL1が接続されている。

【0028】

メモリセルMC0、MC1、MC4、MC5の選択トランジスタST0、ST1、ST4、ST5の第2の端子の各々は、メモリトランジスタMT0、MT1、MT4、MT5の各々を介して、ソース線SL0が接続されている。メモリセルMC2、MC3、MC6、MC7の選択トランジスタST2、ST3、ST6、ST7の第2の端子の各々は、メモリトランジスタMT2、MT3、MT6、MT7の各々を介して、ソース線SL1が接続されている。

10

【0029】

メモリセルMC0～MC3の選択トランジスタST0～ST3の第3の端子は、ビット線BL0が接続されている。メモリセルMC4～MC7の選択トランジスタST4～ST7の第3の端子は、ビット線BL1が接続されている。

【0030】

20

メモリセルMC0～MC3のメモリトランジスタMT0～MT3の第3の端子の各々は、選択トランジスタST0～ST3の各々を介して、ビット線BL0が接続されている。メモリセルMC4～MC7のメモリトランジスタMT4～MT7の第3の端子の各々は、選択トランジスタST4～ST7の各々を介して、ビット線BL1が接続されている。

【0031】

すなわち、選択トランジスタST0～ST7の第2の端子の各々は、メモリトランジスタMT0～MT7の第3の端子の各々と接続されている。第2の端子及び第3の端子は、ソース又はドレインとして機能する。例えば、書き込み動作時には、ビット線の電圧よりもソース線の電圧の方が高くなり、第2の端子がドレインとして機能し、第3の端子がソースとして機能する。一方、読み出し動作時には、ソース線の電圧よりもビット線の電圧の方が高くなり、第2の端子がソースとして機能し、第3の電圧がドレインとして機能する。

30

【0032】

ここで、半導体記憶装置1は、複数のセクタを有する。図1の例では、第1のセクタ（図1の「セクタ0」）は、メモリセルMC0、MC1、MC4、MC5を有する。第2のセクタ（図1の「セクタ1」）は、メモリセルMC2、MC3、MC6、MC7を有する。

【0033】

ワード線ドライバWLDRV0は、ワード線WL0が接続されている。ワード線ドライバWLDRV0は、ワード線WL0に接続されたメモリセルMC0、MC4のいずれかにデータを書き込む場合、ワード線WL0に高レベルの電圧（1V）を印加する。一方、ワード線ドライバWLDRV0は、ワード線WL0に接続されたメモリセルMC0、MC4のいずれにもデータを書き込まない場合には、ワード線WL0に低レベルの電圧（0V）を印加する。なお、このように、同一の回路に関して、「高レベルの電圧」及び「低レベルの電圧」と言った場合には、「高レベルの電圧」は第1の電圧を意味し、「低レベルの電圧」は第1の電圧よりも低い第2の電圧を意味する。これについては、以降の説明でも同様である。

40

【0034】

ワード線ドライバWLDRV1は、ワード線WL1が接続されている。ワード線ドライバWLDRV1は、ワード線WL1に接続されたメモリセルMC1、MC5のいずれかに

50

データを書き込む場合、ワード線WL1に高レベルの電圧(1V)を印加する。一方、ワード線ドライバWLDRV1は、ワード線WL1に接続されたメモリセルMC1、MC5のいずれにもデータを書き込まない場合には、ワード線WL1に低レベルの電圧(0V)を印加する。

【0035】

ワード線ドライバWLDRV2は、ワード線WL2が接続されている。ワード線ドライバWLDRV2は、ワード線WL2に接続されたメモリセルMC2、MC6のいずれかにデータを書き込む場合、ワード線WL2に高レベルの電圧(1V)を印加する。一方、ワード線ドライバWLDRV2は、ワード線WL2に接続されたメモリセルMC2、MC6のいずれにもデータを書き込まない場合には、ワード線WL2に低レベルの電圧(0V)を印加する。

10

【0036】

ワード線ドライバWLDRV3は、ワード線WL3が接続されている。ワード線ドライバWLDRV3は、ワード線WL3に接続されたメモリセルMC3、MC7のいずれかにデータを書き込む場合、ワード線WL3に高レベルの電圧(1V)を印加する。一方、ワード線ドライバWLDRV3は、ワード線WL3に接続されたメモリセルMC3、MC7のいずれにもデータを書き込まない場合には、ワード線WL3に低レベルの電圧(0V)を印加する。

【0037】

制御ゲート線ドライバCGDRV0は、制御ゲート線CG0が接続されている。制御ゲート線ドライバCGDRV0は、制御ゲート線CG0に接続されたメモリセルMC0、MC1、MC4、MC5のいずれかにデータを書き込む場合、制御ゲート線CG0に高レベルの電圧(10.5V)を印加する。一方、制御ゲート線ドライバCGDRV0は、制御ゲート線CG0に接続されたメモリセルMC0、MC1、MC4、MC5のいずれにもデータを書き込まない場合には、制御ゲート線CG0に低レベルの電圧(0V)を印加する。

20

【0038】

制御ゲート線ドライバCGDRV1は、制御ゲート線CG1が接続されている。制御ゲート線ドライバCGDRV1は、制御ゲート線CG1に接続されたメモリセルMC2、MC3、MC6、MC7のいずれかにデータを書き込む場合、制御ゲート線CG1に高レベルの電圧(10.5V)を印加する。一方、制御ゲート線ドライバCGDRV1は、制御ゲート線CG1に接続されたメモリセルMC2、MC3、MC6、MC7のいずれにもデータを書き込まない場合には、制御ゲート線CG1に低レベルの電圧(0V)を印加する。

30

【0039】

ソース線ドライバSLDRV0は、ソース線SL0が接続されている。ソース線ドライバSLDRV0は、ソース線SL0に接続されたメモリセルMC0、MC1、MC4、MC5のいずれかにデータを書き込む場合、ソース線SL0に高レベルの電圧(4.5V)を印加する。一方、ソース線ドライバSLDRV0は、ソース線SL0に接続されたメモリセルMC0、MC1、MC4、MC5のいずれにもデータを書き込まない場合には、ソース線SL0に低レベルの電圧(電圧値は後述)を印加する。

40

【0040】

ソース線ドライバSLDRV1は、ソース線SL1が接続されている。ソース線ドライバSLDRV1は、ソース線SL1に接続されたメモリセルMC2、MC3、MC6、MC7のいずれかにデータを書き込む場合、ソース線SL1に高レベルの電圧(4.5V)を印加する。一方、ソース線ドライバSLDRV1は、ソース線SL1に接続されたメモリセルMC2、MC3、MC6、MC7のいずれにもデータを書き込まない場合には、ソース線SL1に低レベルの電圧(電圧値は後述)を印加する。

【0041】

書き込み回路WCは、ビット線BL0、BL1が接続されている。書き込み回路WCは

50

、ビット線 B L 0 に接続されたメモリセル M C 0 ~ M C 3 のいずれかにデータを書き込む場合、メモリセル M C 0 ~ M C 7 に誤書き込みが行われない電圧レベルの電圧 (1 . 5 V) を、全てのビット線 B L 0、B L 1 に印加する。その後、書き込み回路 W C は、ビット線 B L 1 に接続されたメモリセル M C 4 ~ M C 7 のいずれにもデータを書き込まず、かつ、ビット線 B L 0 に接続されたメモリセル M C 0 ~ M C 3 のいずれかにデータを書き込む場合、ビット線 B L 0 に定電流 (1 μ A) を印加するとともに、ビット線 B L 1 には上記電圧の印加を継続する。一方、書き込み回路 W C は、ビット線 B L 0 に接続されたメモリセル M C 0 ~ M C 3 のいずれにもデータを書き込まず、かつ、ビット線 B L 1 に接続されたメモリセル M C 4 ~ M C 7 のいずれかにデータを書き込む場合、ビット線 B L 1 に定電流 (1 μ A) を印加するとともに、ビット線 B L 0 には上記電圧の印加を継続する。

10

【 0 0 4 2 】

より具体的には、書き込み回路 W C は、スイッチ W S W 0 ~ W S W 3 と、電流源回路 W C C 0 と、電源電圧回路 W V C 0、W V C 1 とを有する。ビット線 B L 0 は、スイッチ W S W 0 を介して電流源回路 W C C 0 に接続されており、スイッチ W S W 1 を介して電源電圧回路 W V C 0 に接続されている。ビット線 B L 1 は、スイッチ W S W 2 を介して電流源回路 W C C 0 に接続されており、スイッチ W S W 3 を介して電源電圧回路 W V C 1 に接続されている。電流源回路 W C C 0 は、グランドと接続されている。言い換えると、ビット線 B L 0 は、スイッチ W S W 0 及び電流源回路 W C C 0 を介してグランドと接続されており、ビット線 B L 1 は、スイッチ W S W 2 及び電流源回路 W C C 0 を介してグランドと接続されている。

20

【 0 0 4 3 】

スイッチ W S W 0 とスイッチ W S W 1 は、排他的にオンにされる。すなわち、書き込み回路 W C は、ビット線 B L 0 に定電流を印加する場合、スイッチ W S W 0 をオンにするとともに、スイッチ W S W 1 をオフにする。これにより、ビット線 B L 0 に対して電流源回路 W C C 0 が電氣的に接続され、電源電圧回路 W V C 0 が電氣的に非接続となり、ビット線 B L 0 に電流源回路 W C C 0 が生成した定電流 (1 μ A) が印加される。一方、書き込み回路 W C は、ビット線 B L 0 に電圧を印加する場合、スイッチ W S W 0 をオフにするとともに、スイッチ W S W 1 をオンにする。これにより、ビット線 B L 0 に対して電流源回路 W C C 0 が電氣的に非接続となり、電源電圧回路 W V C 0 が電氣的に接続され、ビット線 B L 0 に電源電圧回路 W V C 1 が生成した電圧 (1 . 5 V) が印加される。

30

【 0 0 4 4 】

例えば、スイッチ W S W 0 は、N 型 M O S トランジスタであり、スイッチ W S W 1 は、P 型 M O S トランジスタである。そして、スイッチ W S W 0 及びスイッチ W S W 1 のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【 0 0 4 5 】

スイッチ W S W 2 とスイッチ W S W 3 は、排他的にオンにされる。すなわち、書き込み回路 W C は、ビット線 B L 1 に定電流を印加する場合、スイッチ W S W 2 をオンにするとともに、スイッチ W S W 3 をオフにする。これにより、ビット線 B L 1 に対して電流源回路 W C C 0 が電氣的に接続され、電源電圧回路 W V C 1 が電氣的に非接続となり、ビット線 B L 1 に電流源回路 W C C 0 が生成した定電流 (1 μ A) が印加される。一方、書き込み回路 W C は、ビット線 B L 1 に電圧を印加する場合、スイッチ W S W 2 をオフにするとともに、スイッチ W S W 3 をオンにする。これにより、ビット線 B L 1 に対して電流源回路 W C C 0 が電氣的に非接続となり、電源電圧回路 W V C 1 が電氣的に接続され、ビット線 B L 1 に電源電圧回路 W V C 1 が生成した電圧 (1 . 5 V) が印加される。

40

【 0 0 4 6 】

例えば、スイッチ W S W 2 は、N 型 M O S トランジスタであり、スイッチ W S W 3 は、P 型 M O S トランジスタである。そして、スイッチ W S W 2 及びスイッチ W S W 3 のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【 0 0 4 7 】

ダミーメモリセル M C d m y 0、M C d m y 1 は、メモリセル M C 0 ~ M C 7 と同一構

50

造である。すなわち、ダミーメモリセルM C d m y 0は、メモリトランジスタM T d m y 0と、選択トランジスタS T d m y 0とを有する。また、ダミーメモリセルM C d m y 1は、メモリトランジスタM T d m y 1と、選択トランジスタS T d m y 1とを有する。

【0048】

よって、メモリトランジスタM T 0 ~ M T 7、M T d m y 0、M T d m y 1の各々は、同一構造である。選択トランジスタS T 0 ~ S T 7、S T d m y 0、S T d m y 1の各々は、同一構造である。

【0049】

ダミーメモリセルM C d m y 0は、ダミーワード線W L d m y 0、ダミー制御ゲート線C G d m y、ダミーソース線S L d m y、及び、ダミービット線B L d m y が接続されている。ダミーメモリセルM C d m y 1は、ダミー制御ゲート線C G d m y、ダミーソース線S L d m y、及び、ダミービット線B L d m y が接続されている。なお、ダミーメモリセルM C d m y 1には、ダミーワード線は接続されない。

10

【0050】

より具体的には、ダミーメモリセルM C d m y 0、M C d m y 1のメモリトランジスタM T d m y 0、M T d m y 1の第1の端子は、ダミー制御ゲート線C G d m y が接続されている。ダミーメモリセルM C d m y 0の選択トランジスタS T d m y 0の第1の端子は、ダミーワード線W L d m y 0が接続されている。ダミーメモリセルM C d m y 1の選択トランジスタS T d m y 1の第1の端子は、グランドに接続されている。第1の端子は、ゲート（制御ゲート）として機能する。

20

【0051】

ダミーメモリセルM C d m y 0、M C d m y 1のメモリトランジスタM T d m y 0、M T d m y 1の第2の端子は、ダミーソース線S L d m y が接続されている。ダミーメモリセルM C d m y 0、M C d m y 1の選択トランジスタS T d m y 0、S T d m y 1の第2の端子の各々は、メモリトランジスタM T d m y 0、M T d m y 1の各々を介して、ダミーソース線S L d m y が接続されている。

【0052】

ダミーメモリセルM C d m y 0、M C d m y 1のメモリトランジスタM T d m y 0、M T d m y 1の第3の端子の各々は、選択トランジスタS T d m y 0、S T d m y 1の各々を介して、ダミービット線B L d m y が接続されている。ダミーメモリセルM C d m y 0、M C d m y 1の選択トランジスタS T d m y 0、S T d m y 1の第3の端子は、ダミービット線B L d m y が接続されている。

30

【0053】

すなわち、選択トランジスタS T d m y 0、S T d m y 1の第2の端子の各々は、メモリトランジスタM T 0 d m y 0、M T d m y 1の第3の端子の各々と接続されている。第2の端子及び第3の端子は、ソース又はドレインとして機能する。例えば、ダミービット線B L d m y の電圧よりもダミーソース線S L d m y の電圧の方が高い場合には、第2の端子がドレインとして機能し、第3の端子がソースとして機能する。一方、ダミーソース線S L d m y の電圧よりもダミービット線B L d m y の電圧の方が高い場合には、第2の端子がソースとして機能し、第3の電圧がドレインとして機能する。

40

【0054】

ワード線ドライバW L D R V d m y 0は、ワード線ドライバW L D R V 0 ~ W L D R V 3と同一構造である。ワード線ドライバW L D R V d m y 0は、ダミーワード線W L d m y 0が接続されている。メモリセルM C 0 ~ M C 7のいずれかにデータを書き込む場合、ダミーワード線W L d m y 0に高レベルの電圧（1 V）を印加する。一方、ワード線ドライバW L D R V d m y 0は、メモリセルM C 0 ~ M C 7のいずれにもデータを書き込まない場合には、ダミーワード線W L d m y 0に低レベルの電圧（0 V）を印加する。

【0055】

制御ゲート線ドライバC G D R V d m y は、制御ゲート線ドライバC G D R V 0、C G D R V 1と同一構造である。制御ゲート線ドライバC G D R V d m y は、ダミー制御ゲート

50

ト線 $CGdmy$ が接続されている。制御ゲート線ドライバ $CGDRVdmy$ は、メモリセル $MC0 \sim MC7$ のいずれかにデータを書き込む場合、ダミー制御ゲート線 $CGdmy$ に高レベルの電圧 ($10.5V$) を印加する。一方、制御ゲート線ドライバ $CGDRVdmy$ は、メモリセル $MC0 \sim MC7$ のいずれにもデータを書き込まない場合には、ダミー制御ゲート線 $CGdmy$ に低レベルの電圧 ($0V$) を印加する。

【0056】

ソース線ドライバ $SLDRVdmy$ は、ソース線ドライバ $SLDRV0$ 、 $SLDRV1$ と同一構造である。ソース線ドライバ $SLDRVdmy$ は、ダミーソース線 $SLdmy$ が接続されている。ソース線ドライバ $SLDRVdmy$ は、メモリセル $MC0 \sim MC7$ のいずれかにデータを書き込む場合、ダミーソース線 $SLdmy$ に高レベルの電圧 ($4.5V$) を印加する。一方、ソース線ドライバ $SLDRVdmy$ は、メモリセル $MC0 \sim MC7$ のいずれにもデータを書き込まない場合には、ダミーソース線 $SLdmy$ に低レベルの電圧 ($0V$) を印加する。

10

【0057】

より具体的には、ソース線ドライバ $SLDRVdmy$ は、スイッチ $SSWdmy0$ 、 $SSWdmy1$ と、電源電圧回路 $SVCdmy$ とを有する。ダミーソース線 $SLdmy$ は、スイッチ $SSWdmy0$ を介して電源電圧回路 $SVCdmy$ に接続されており、スイッチ $SSWdmy1$ を介してグランドに接続されている。

【0058】

スイッチ $SSWdmy0$ とスイッチ $SSWdmy1$ は、排他的にオンにされる。すなわち、ソース線ドライバ $SLDRVdmy$ は、ダミーソース線 $SLdmy$ に高レベルの電圧を印加する場合、スイッチ $SSWdmy0$ をオンにするとともに、スイッチ $SSWdmy1$ をオフにする。これにより、ダミーソース線 $SLdmy$ に対して電源電圧回路 $SVCdmy$ が電氣的に接続され、グランドが電氣的に非接続となり、ダミーソース線 $SLdmy$ に電源電圧回路 $SVCdmy$ が生成した高レベルの電圧 ($4.5V$) が印加される。一方、ソース線ドライバ $SLDRVdmy$ は、ダミーソース線 $SLdmy$ に低レベルの電圧を印加する場合、スイッチ $SSWdmy0$ をオフにするとともに、スイッチ $SSWdmy1$ をオンにする。これにより、ダミーソース線 $SLdmy$ に対して電源電圧回路 $SVCdmy$ が電氣的に非接続となり、グランドが電氣的に接続され、ダミーソース線 $SLdmy$ にグランドからの低レベルの電圧 ($0V$) が印加される。

20

30

【0059】

例えば、スイッチ $SSWdmy0$ は、P型MOSトランジスタであり、スイッチ $SSWdmy1$ は、N型MOSトランジスタである。そして、スイッチ $SSWdmy0$ 及びスイッチ $SSWdmy1$ のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【0060】

書き込み回路 $WCdmy$ は、ダミービット線 $BLdmy$ が接続されている。書き込み回路 $WCdmy$ は、メモリセル $MC0 \sim MC7$ のいずれかにデータを書き込む場合、ダミーメモリセル $MCdmy0$ に誤書き込みが行われない電圧レベルの電圧 ($1.5V$) を、ダミービット線 $BLdmy$ に印加する。その後、書き込み回路 $WCdmy$ は、ダミービット線 $BLdmy$ に定電流 ($1\mu A$) を印加する。

40

【0061】

より具体的には、書き込み回路 $WCdmy$ は、スイッチ $WSWdmy0$ 、 $WSWdmy1$ と、電流源回路 $WCCdmy$ と、電源電圧回路 $WVCdmy$ とを有する。ダミービット線 $BLdmy$ は、スイッチ $WSWdmy0$ を介して電流源回路 $WCCdmy$ に接続されており、スイッチ $WSWdmy1$ を介して電源電圧回路 $WVCdmy$ に接続されている。電流源回路 $WCCdmy$ は、グランドと接続されている。言い換えると、ダミービット線 $BLdmy$ は、スイッチ $WSWdmy0$ 及び電流源回路 $WCCdmy$ を介してグランドと接続されている。

【0062】

50

スイッチ $W S W d m y 0$ とスイッチ $W S W d m y 1$ は、排他的にオンにされる。すなわち、書き込み回路 $W C d m y$ は、ダミービット線 $B L d m y$ に定電流を印加する場合、スイッチ $W S W d m y 0$ をオンにするとともに、スイッチ $W S W d m y 1$ をオフにする。これにより、ダミービット線 $B L d m y$ に対して電流源回路 $W C C d m y$ が電氣的に接続され、電源電圧回路 $W V C d m y$ が電氣的に非接続となり、ダミービット線 $B L d m y$ に電流源回路 $W C C d m y$ が生成した定電流 ($1 \mu A$) が印加される。一方、書き込み回路 $W C d m y$ は、ダミービット線 $B L d m y$ に電圧を印加する場合、スイッチ $W S W d m y 0$ をオフにするとともに、スイッチ $W S W d m y 1$ をオンにする。これにより、ダミービット線 $B L d m y$ に対して電流源回路 $W C C d m y$ が電氣的に非接続となり、電源電圧回路 $W V C d m y$ が電氣的に接続され、ダミービット線 $B L d m y$ に電源電圧回路 $W V C d m y$ が生成した電圧 ($1.5 V$) が印加される。

10

【0063】

例えば、スイッチ $W S W d m y 0$ は、N型MOSトランジスタであり、スイッチ $W S W d m y 1$ は、P型MOSトランジスタである。そして、スイッチ $W S W d m y 0$ 及びスイッチ $W S W d m y 1$ のゲートに同一のゲート電圧を印加することで、上述の排他的なオンを可能とされている。

【0064】

また、ダミービット線 $B L d m y$ は、電圧バッファ回路 $B U F$ を介してソース線ドライバ $S L D R V 0$ 、 $S L D R V 1$ と接続されている。電圧バッファ回路 $B U F$ は、ダミービット線 $B L d m y$ から印加された電圧を、ソース線ドライバ $S L D R V 0$ 、 $S L D R V 1$ の各々に印加する。電圧バッファ回路 $B U F$ は、例えば、ボルテージフォロワ回路である。

20

【0065】

このように、ソース線ドライバ $S L D R V 0$ 、 $S L D R V 1$ は、ダミービット線 $B L d m y$ の電圧が印加される。この電圧は、上述した「低レベルの電圧」として機能する。

【0066】

より具体的には、ソース線ドライバ $S L D R V 0$ は、スイッチ $S S W 0$ 、 $S S W 1$ と、電源電圧回路 $S V C 0$ とを有する。ソース線 $S L 0$ は、スイッチ $S S W 0$ を介して電源電圧回路 $S V C 0$ に接続され、スイッチ $S S W 1$ を介して電圧バッファ回路 $B U F$ に接続されている。

30

【0067】

スイッチ $S S W 0$ とスイッチ $S S W 1$ は、排他的にオンにされる。すなわち、ソース線ドライバ $S L D R V 0$ は、ソース線 $S L 0$ に高レベルの電圧を印加する場合、スイッチ $S S W 0$ をオンにするとともに、スイッチ $S S W 1$ をオフにする。これにより、ソース線 $S L 0$ に対して電源電圧回路 $S V C 0$ が電氣的に接続され、電圧バッファ回路 $B U F$ が電氣的に非接続となり、ソース線 $S L 0$ に電源電圧回路 $S V C 0$ が生成した高レベルの電圧 ($4.5 V$) が印加される。一方、ソース線ドライバ $S L D R V 0$ は、ソース線 $S L 0$ に低レベルの電圧を印加する場合、スイッチ $S S W 0$ をオフにするとともに、スイッチ $S S W 1$ をオンにする。これにより、ソース線 $S L 0$ に対して電源電圧回路 $S V C 0$ が電氣的に非接続となり、電圧バッファ回路 $B U F$ が電氣的に接続され、ソース線 $S L 0$ に電圧バッファ回路 $B U F$ からの低レベルの電圧 (ダミービット線 $B L d m y$ の電圧) が印加される。

40

【0068】

例えば、スイッチ $S S W 0$ は、P型MOSトランジスタであり、スイッチ $S S W 1$ は、N型MOSトランジスタである。そして、スイッチ $S S W 0$ 及びスイッチ $S S W 1$ のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【0069】

また、ソース線ドライバ $S L D R V 1$ は、スイッチ $S S W 2$ 、 $S S W 3$ を有する。ソース線 $S L 1$ は、スイッチ $S S W 2$ を介して電源電圧回路 $S V C 1$ に接続され、スイッチ $S S W 3$ を介して電圧バッファ回路 $B U F$ に接続されている。

50

【0070】

スイッチSSW2とスイッチSSW3は、排他的にオンにされる。すなわち、ソース線ドライバSLDRV1は、ソース線SL1に高レベルの電圧を印加する場合、スイッチSSW2をオンにするとともに、スイッチSSW3をオフにする。これにより、ソース線SL1に対して電源電圧回路SVC1が電氣的に接続され、電圧バッファ回路BUFが電氣的に非接続となり、ソース線SL1に電源電圧回路SVC1からの高レベルの電圧(4.5V)が印加される。一方、ソース線ドライバSLDRV1は、ソース線SL1に低レベルの電圧を印加する場合、スイッチSSW2をオフにするとともに、スイッチSSW3をオンにする。これにより、ソース線SL1に対して電源電圧回路SVC1が電氣的に非接続となり、電圧バッファ回路BUFが電氣的に接続され、ソース線SL1に電圧バッファ回路BUFからの低レベルの電圧(ダミービット線BLdmyの電圧)が印加される。

10

【0071】

例えば、スイッチSSW2は、P型MOSトランジスタであり、スイッチSSW3は、N型MOSトランジスタである。そして、スイッチSSW2及びスイッチSSW3のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【0072】

続いて、図2を参照して、本実施の形態1に係る半導体記憶装置1が有するメモリセルアレイ9の構成について説明する。図2に示すように、メモリセルアレイ9は、複数のメモリセルが配置される領域と、その領域の外周に複数のダミーメモリセルが配置される領域とを有する。

20

【0073】

上述したように、この複数のメモリセルは、メモリセルMC0~MC7が含まれ、この複数のダミーメモリセルは、ダミーメモリセルMCdmy0、MCdmy1が含まれる。

【0074】

メモリセルアレイ9の外周部と、その内部とでメモリセル特性が異なることがある。その原因の一例として、ゲートポリシリコンの高さの違いがある。例えば、図3に示すように、メモリセルアレイ9では、メモリセルのゲートポリシリコンの高さは、メモリセルアレイ9の最外周に近づくほど低くなる傾向がある。そのため、メモリセルアレイ9の最外周に近づくほど、メモリセルの特性の品質低下及び不良メモリセルの発生確率が高くなる傾向にある。そこで、本実施の形態1では、図3に示すように、ゲートポリシリコンの高さが安定するまでダミーメモリセルを挿入する。そして、メモリセルアレイ9に配置された複数のダミーメモリセルのうち、ゲートポリシリコンの高さが一定に安定した領域に含まれるダミーメモリセルを、ダミーメモリセルMCdmy0、MCdmy1として利用する。

30

【0075】

すなわち、メモリセルMC0~MC7及びダミーメモリセルMCdmy0、MCdmy1は、メモリセルアレイ9において、最外周からの中心に向かった距離が、予め定められた距離以上となる領域(例えばゲートポリシリコン高さが安定するとして定められた領域)に配置される。また、図3では、メモリセルアレイ9において、メモリセルMC0~MC7が、ダミーメモリセルMCdmy0、MCdmy1よりも、より中央に近い位置に配置される例について示しているが、これに限られない。メモリセルアレイ9において、ダミーメモリセルMCdmy0、MCdmy1が、メモリセルMC0~MC7よりも、より中央に近い位置に配置されるようにしてもよい。

40

【0076】

(実施の形態1の動作)

続いて、図4を参照して、本実施の形態1に係る半導体記憶装置1の書き込み動作について説明する。以下、図1に示すように、メモリセルMC0を書き込み対象のメモリセルとし、メモリセルMC2、MC3、MC6、MC7が消去状態である例について説明する。

【0077】

50

ここで、以降の説明では、データが書き込まれるメモリセルを「選択メモリセル」とも呼び、データが書き込まれないメモリセルを「非選択メモリセル」とも呼ぶ。選択メモリセルが含まれるセクタを「選択セクタ」とも呼び、選択メモリセルが含まれないセクタを「非選択セクタ」とも呼ぶ。選択メモリセルに接続された制御ゲート線を「選択制御ゲート線」とも呼び、選択メモリセルが接続されていない制御ゲート線を「非選択制御ゲート線」とも呼ぶ。選択メモリセルに接続されたソース線を「選択ソース線」とも呼び、選択メモリセルが接続されていないソース線を「非選択ソース線」とも呼ぶ。選択メモリセルに接続されたワード線を「選択ワード線」とも呼び、選択メモリセルが接続されていないワード線を「非選択ワード線」とも呼ぶ。選択メモリセルに接続されたビット線を「選択ビット線」とも呼び、選択メモリセルが接続されていないビット線を「非選択ビット線」とも呼ぶ。

10

【0078】

書き込み動作前は、全てのワード線 $WL0 \sim WL3$ 、制御ゲート線 $CG0$ 、 $CG1$ 、ソース線 $SL0$ 、 $SL1$ 及びビット線 $BL0$ 、 $BL1$ の各々は、ワード線ドライバ $WLD RV0 \sim WLD RV3$ 、制御ゲート線ドライバ $CG DRV0$ 、 $CG DRV1$ 、ソース線ドライバ $SL DRV0$ 、 $SL DRV1$ 及び書き込み回路 WC の各々によって、低レベルの電圧($0V$)が印加されている。

【0079】

ここで、ソース線 $SL0$ 、 $SL1$ 及びビット線 $BL0$ 、 $BL1$ に関しては、より具体的には、図5に示すように、書き込み回路 WC は、さらに、スイッチ $WSWa \sim WSWd$ 及びインバータ $WNCa$ 、 $WNCb$ を有し、半導体記憶装置1は、さらに電圧バッファ回路 BUF の後段にスイッチ $BSWa$ 、 $BSWb$ 及びインバータ BNC を有する。

20

【0080】

ビット線 $BL0$ は、スイッチ $WSWa$ を介してグラウンドに接続されており、スイッチ $WSWb$ を介してスイッチ $WSW0$ に接続されている。言い換えると、ビット線 $BL0$ は、スイッチ $WSWb$ 及びスイッチ $WSW0$ を介して電流源回路 $WCC0$ と接続されている。

【0081】

スイッチ $WSWa$ とスイッチ $WSWb$ は、排他的にオンにされる。すなわち、書き込み回路 WC は、ビット線 $BL0$ に低レベルの電圧を印加する場合、スイッチ $WSWa$ をオンにするとともに、スイッチ $WSWb$ をオフにする。これにより、ビット線 $BL0$ に対してグラウンドが電氣的に接続され、スイッチ $WSW0$ が電氣的に非接続となり、ビット線 $BL0$ に低レベルの電圧($0V$)が印加される。一方、書き込み回路 WC は、ビット線 $BL0$ に定電流又は高レベルの電圧を印加する場合、スイッチ $WSWa$ をオフにするとともに、スイッチ $WSWb$ をオンにする。これにより、ビット線 $BL0$ に対してグラウンドが電氣的に非接続となり、スイッチ $WSW0$ 、 $WSW1$ の両方が電氣的に接続され、ビット線 $BL0$ に定電流($1\mu A$)又は高レベルの電圧($1.5V$)が印加される。

30

【0082】

例えば、スイッチ $WSWa$ 及びスイッチ $WSWb$ は、N型MOSトランジスタである。そして、インバータ $WNCb$ は、スイッチ $WSWa$ に印加されるゲート電圧が入力される。インバータ $WNCb$ は、入力されたゲート電圧の論理レベルを反転したゲート電圧をスイッチ $WSWb$ に印加する。これにより、上述の排他的なオンが可能とされている。

40

【0083】

よって、書き込み回路 WC は、スイッチ $WSWa$ をオンにし、スイッチ $WSWb$ をオフにし、スイッチ $WSW0$ をオンにし、スイッチ $WSW1$ をオフにすることで、ビット線 $BL0$ に低レベルの電圧($0V$)を印加する。書き込み回路 WC は、スイッチ $WSWa$ をオフにし、スイッチ $WSWb$ をオンにし、スイッチ $WSW0$ をオンにし、スイッチ $WSW1$ をオフにすることで、ビット線 $BL0$ に定電流($1\mu A$)を印加する。書き込み回路 WC は、スイッチ $WSWa$ をオフにし、スイッチ $WSWb$ をオンにし、スイッチ $WSW0$ をオフにし、スイッチ $WSW1$ をオンにすることで、ビット線 $BL0$ に高レベルの電圧($1.5V$)を印加する。

50

【 0 0 8 4 】

ビット線 BL_1 の状態と、スイッチ WSW_c 、 WSW_d 、 WSW_2 、 WSW_3 の状態との関係は、上述のビット線 BL_0 の状態と、スイッチ WSW_a 、 WSW_b 、 WSW_0 、 WSW_1 の状態との関係と同様であるため、説明を省略する。

【 0 0 8 5 】

ソース線ドライバ $SLDRV_0$ 、 $SLDRV_1$ は、スイッチ BSW_a を介してグランドに接続されており、スイッチ BSW_b を介して電圧バッファ回路 BUF に接続されている。

【 0 0 8 6 】

スイッチ BSW_a と、スイッチ BSW_b は、排他的にオンにされる。半導体記憶装置 1 は、低レベルの電圧としてソース線ドライバ $SLDRV_0$ 、 $SLDRV_1$ に第 1 の電圧を印加する場合、スイッチ BSW_a をオンにするとともに、スイッチ BSW_b をオフにする。これにより、ソース線ドライバ $SLDRV_0$ 、 $SLDRV_1$ に対してグランドが電氣的に接続され、電圧バッファ回路 BUF が電氣的に非接続となり、ソース線ドライバ $SLDRV_0$ 、 $SLDRV_1$ に第 1 の電圧 ($0V$) が印加される。一方、半導体記憶装置 1 は、低レベルの電圧としてソース線ドライバ $SLDRV_0$ 、 $SLDRV_1$ に第 2 の電圧を印加する場合、スイッチ BSW_a をオフにするとともに、スイッチ BSW_b をオンにする。これにより、ソース線ドライバ $SLDRV_0$ 、 $SLDRV_1$ に対してグランドが電氣的に非接続となり、電圧バッファ回路 BUF が電氣的に接続され、ソース線ドライバ $SLDRV_0$ 、 $SLDRV_1$ に第 2 の電圧 (電圧バッファ回路 BUF を介したダミービット線 BL_{dmy} の電圧) が印加される。

【 0 0 8 7 】

例えば、スイッチ BSW_a 及びスイッチ BSW_b は、 N 型 MOS トランジスタである。そして、インバータ BNC は、スイッチ BSW_a に印加されるゲート電圧が入力される。インバータ BNC は、入力されたゲート電圧の論理レベルを反転したゲート電圧をスイッチ BSW_b に印加する。これにより、上述の排他的なオンが可能とされている。

【 0 0 8 8 】

また、ダミーワード線 WL_{dmy_0} 、ダミー制御ゲート線 CG_{dmy} 、ダミーソース線 SL_{dmy} 及びダミービット線 BL_{dmy} の各々は、ワード線ドライバ $WLD R V d m y_0$ 、制御ゲート線ドライバ $CG D R V d m y$ 、ソース線ドライバ $SL D R V d m y$ 及び書き込み回路 WC_{dmy} の各々によって、低レベルの電圧 ($0V$) が印加されている。

【 0 0 8 9 】

ここで、ダミービット線 BL_{dmy} に関しては、より具体的には、図 5 に示すように、書き込み回路 WC_{dmy} は、さらに、スイッチ WSW_{dmy_a} 、 WSW_{dmy_b} 及びインバータ WNC_{dmy} を有する。ダミービット線 BL_{dmy} は、スイッチ WSW_{dmy_a} を介してグランドに接続されており、スイッチ WSW_{dmy_b} を介してスイッチ WSW_{dmy_0} に接続されている。言い換えると、ダミービット線 BL_{dmy} は、スイッチ WSW_{dmy_b} 及びスイッチ WSW_{dmy_0} を介して電流源回路 WCC_0 と接続されている。

【 0 0 9 0 】

このダミービット線 BL_{dmy} の状態と、スイッチ WSW_{dmy_a} 、 WSW_{dmy_b} 、 WSW_{dmy_0} 、 WSW_{dmy_1} の状態との関係は、上述のビット線 BL_0 の状態と、スイッチ WSW_a 、 WSW_b 、 WSW_0 、 WSW_1 の状態との関係とも同様であるため、説明を省略する。

【 0 0 9 1 】

第 1 のタイミング (図 4 の (1)) :

書き込み動作を開始すると、制御ゲート線ドライバ $CG D R V_0$ は、選択制御ゲート線 CG_0 に対して、低レベルの電圧 ($0V$) の印加を終了し、高レベルの電圧 ($10.5V$) の印加を開始する。ソース線ドライバ $SLDRV_0$ は、選択ソース線 SL_0 に対して、低レベルの電圧 ($0V$) の印加を終了し、高レベルの電圧 ($4.5V$) の印加を開始する。書き込み回路 WC は、全てのビット線 BL_0 、 BL_1 に対して、低レベルの電圧 ($0V$)

10

20

30

40

50

）の印加を終了し、メモリセルMC0～MC7に誤書き込みが行われない高レベルの電圧（1.5V、後述のワード線の高レベルの電圧よりも高い電圧）の印加を開始する。

【0092】

また、制御ゲート線ドライバCGDRVdmyは、ダミー制御ゲート線CGdmyに対して、低レベルの電圧（0V）の印加を終了し、高レベルの電圧（10.5V）の印加を開始する。ソース線ドライバSLDRVdmyは、ダミーソース線SLdmyに対して、低レベルの電圧（0V）の印加を終了し、高レベルの電圧（4.5V）の印加を開始する。書き込み回路WCdmyは、ダミービット線BLdmyに対して、低レベルの電圧（0V）の印加を終了し、ダミーメモリセルMCdmy0に誤書き込みが行われない高レベルの電圧（1.5V、後述のダミーワード線の高レベルの電圧よりも高い電圧）の印加を開始する。

10

【0093】

第2のタイミング（図4の（2））：

ワード線ドライバWLDRVdmy0は、ダミーワード線WLdmy0に対して、低レベルの電圧（0V）の印加を終了し、高レベルの電圧（1.0V）の印加を開始する。書き込み回路WCdmyは、ダミービット線BLdmyに対して、高レベルの電圧（1.5V）の印加を終了し、定電流（1μA）の印加を開始する。これにより、ダミーメモリセルMCdmy0において、電圧の高いダミーソース線SLdmyから、それよりも電圧の低いダミービット線BLdmyに向かって電流が流れる。それにより発生するホットエレクトロンがフローティングゲートに注入されることで、ダミーメモリセルMCdmy0のメモリトランジスタMTdmy0にデータが書き込まれる。すなわち、このときは、ダミーメモリセルMCdmy0の選択トランジスタSTdmy0及びメモリトランジスタMTdmy0の第2の端子はドレインとして機能し、第3の端子はソースとして機能する。

20

【0094】

このときに、ダミービット線BLdmyの電圧は、ダミーワード線WLdmy0の電圧（1.0V、図1の「VWLdmy0」）からダミーメモリセルMCdmy0の選択トランジスタSTdmy0の閾値電圧（0.6V、図1の「Vgs」）を引いた電圧（0.4V）となる。そして、半導体記憶装置1は、スイッチBSWaをオフにし、スイッチBSWbをオンにすることで、非選択ソース線SL1に対して、グラウンド電圧（0V）の印加を終了し、電圧バッファ回路BUF及びソース線ドライバSLDRV1を介して、このダミービット線BLdmyの電圧（0.4V）の印加を開始する。

30

【0095】

なお、他のメモリセルMC0～MC7及びダミーメモリセルMCdmy1の選択トランジスタST0～ST7、STdmy1の閾値電圧も、ダミーメモリセルMCdmy0の選択トランジスタSTdmy0と同一である。ここで、閾値電圧は、メモリセルMC0～MC7及びダミーメモリセルMCdmy0、MCdmy1の各々にデータを書き込みのための定電流を流すために必要なゲート・ソース間の電圧（ゲートの電圧からソースの電圧を引いた値）である。

【0096】

すなわち、図1に示すように、電流源回路WCC0によってグラウンドに向かって流れる定電流によって選択トランジスタSTdmy0のソース（ダミービット線BLdmy）の電圧が下がる。選択トランジスタSTdmy0のゲート（ダミーワード線WLdmy0）の電圧から、ソース（ダミービット線BLdmy）の電圧を引いた値が、選択トランジスタSTdmy0の閾値電圧になるまで、ソース（ダミービット線BLdmy）の電圧が下がる。すると、ダミーメモリセルMCdmy0において、書き込みのための電流が流れる。

40

【0097】

第3のタイミング（図4の（3））：

ワード線ドライバWLDRV0は、選択ワード線WL0に対して、低レベルの電圧（0V）の印加を終了し、高レベルの電圧（1.0V）の印加を開始する。書き込み回路WC

50

は、選択ビット線 BL_0 に対して、高レベルの電圧 ($1.5V$) の印加を終了し、定電流 ($1\mu A$) の印加を開始する。これにより、メモリセル MC_0 において、電圧の高いソース線 SL_0 から、それよりも電圧の低いビット線 BL_0 に向かって電流が流れる。それにより発生するホットエレクトロンがフローティングゲートに注入されることで、メモリセル MC_0 にデータが書き込まれる。すなわち、このときは、メモリセル MC_0 の選択トランジスタ ST_0 及びメモリトランジスタ MT_0 の第2の端子はドレインとして機能し、第3の端子はソースとして機能する。

【0098】

このときに、上述のダミーメモリセル MC_{dmy_0} と同様に、選択ビット線 BL_0 の電圧は、選択ワード線 WL_0 の電圧 ($1.0V$ 、図1の「 V_{WL_0} 」) から選択メモリセル MC_0 の選択トランジスタ ST_0 の閾値電圧 ($0.6V$ 、図1の「 V_{gs} 」) を引いた電圧値 ($0.4V$) となる。

10

【0099】

ここで、上述したように、非選択ソース線 SL_1 の電圧は、ダミービット線 BL_{dmy} の電圧と同じ電圧 ($0.4V$) となっている。よって、非選択メモリセル MC_2 、 MC_3 に接続された選択ビット線 BL_0 と、非選択メモリセル MC_2 、 MC_3 に接続された非選択ソース線 SL_1 の電圧は、同一 ($0.4V$) となる。したがって、非選択メモリセル MC_2 、 MC_3 におけるサブスレッショルド・リーク電流を遮断することができる。

【0100】

また、非選択メモリセル MC_6 、 MC_7 に接続された非選択ビット線 BL_1 の電圧 ($1.5V$) と、非選択メモリセル MC_6 、 MC_7 に接続された非選択ソース線 SL_1 の電圧 ($0.4V$) との電圧差が低減されることに加えて、ソース線 SL_1 に電圧が印加されることによる基板バイアス効果によって非選択メモリセル MC_6 、 MC_7 の閾値電圧が高くなるため、非選択メモリセル MC_6 、 MC_7 におけるサブスレッショルド・リーク電流を削減することができる。

20

【0101】

第4のタイミング (図4の (4)) :

第3のタイミングの時点から、選択メモリセル MC_0 へのデータの書き込みに十分な時間 (図4の「書き込み期間」) が経過したとき、ワード線ドライバ $WLDRV_0$ は、選択ワード線 WL_0 に対して、高レベルの電圧 ($1V$) の印加を終了し、低レベルの電圧 ($0V$) の印加を開始する。書き込み回路 WC は、選択ビット線 BL_0 に対して、定電流 ($1\mu A$) の印加を終了し、メモリセル MC_0 に誤書き込みが行われない電圧レベルの電圧 ($1.5V$) の印加を開始する。

30

【0102】

第5のタイミング (図4の (5)) :

ワード線ドライバ $WLDRV_{dmy_0}$ は、ダミーワード線 WL_{dmy_0} に対して、高レベルの電圧 ($1V$) の印加を終了し、低レベルの電圧 ($0V$) の印加を開始する。書き込み回路 WC_{dmy} は、ダミービット線 BL_{dmy} に対して、定電流 ($1\mu A$) の印加を終了し、ダミーメモリセル MC_{dmy_0} に誤書き込みが行われない高レベルの電圧 ($1.5V$) の印加を開始する。半導体記憶装置1は、スイッチ $BSWa$ をオンにし、スイッチ $BSWb$ をオフにすることで、非選択ソース線 SL_1 に対して、ダミービット線 BL_{dmy} の電圧 ($0.4V$) の印加を終了し、ソース線ドライバ $SLDRV_1$ を介して低レベルの電圧 ($0V$) の印加を開始する。

40

【0103】

第6のタイミング (図4の (6)) :

制御ゲート線ドライバ $CGDRV_0$ は、選択制御ゲート線 CG_0 に対して、高レベルの電圧 ($10.5V$) の印加を終了し、低レベルの電圧 ($0V$) の印加を開始する。ソース線ドライバ $SLDRV_0$ は、選択ソース線 SL_0 に対して、高レベルの電圧 ($4.5V$) の印加を終了し、低レベルの電圧 ($0V$) の印加を開始する。書き込み回路 WC は、全てのビット線 BL_0 、 BL_1 に対して、高レベルの電圧 ($1.5V$) の印加を終了し、低レ

50

ベルの電圧（0 V）の印加を開始する。

【0104】

また、制御ゲート線ドライバCGDRVdmyは、ダミー制御ゲート線CGdmyに対して、高レベルの電圧（10.5 V）の印加を終了し、低レベルの電圧（0 V）の印加を開始する。ソース線ドライバSLDRVdmyは、ダミーソース線SLdmyに対して、高レベルの電圧（4.5 V）の印加を終了し、低レベルの電圧（0 V）の印加を開始する。書き込み回路WCdmyは、ダミービット線BLdmyに対して、高レベルの電圧（1.5 V）の印加を終了し、低レベルの電圧（0 V）の印加を開始する。

【0105】

（実施の形態1の変形例）

10

ここで、以上の説明では、第1のタイミングでビット線BL0、BL1等の電圧レベルを変更した後に、第2のタイミングでダミーワード線WLdmy0に高レベルの電圧（1 V）の印加を開始する例について説明したが、これに限られない。ダミーメモリセルMCdmy0は、誤書き込みを気にする必要はないため、図6を参照して以下に説明するように、ダミーメモリセルMCdmy0に誤書き込みが行われない電圧（1.5 V）を印加せずに、第1のタイミングから第6のタイミングまでダミーワード線WLdmy0に高レベルの電圧（1 V）を印加するようにしてもよい。以下、その動作について、説明の簡略化のため、図4を参照して説明した動作と異なる点について説明する。

【0106】

第1のタイミング（図6の（1））：

20

ワード線ドライバWLDRVdmy0は、ダミーワード線WLdmy0に対して、低レベルの電圧（0 V）の印加を終了し、高レベルの電圧（1.0 V）の印加を開始する。書き込み回路WCdmyは、ダミービット線BLdmyに対して、低レベルの電圧（0 V）の印加を終了し、定電流（1 μ A）の印加を開始する。また、半導体記憶装置1は、スイッチBSWaをオフにし、スイッチBSWbをオンにする。これにより、上述と同様に、ダミービット線BLdmy及び非選択ソース線SL1の電圧は、ダミーワード線WLdmy0の電圧（1.0 V）からダミーメモリセルMCdmy0の選択トランジスタSTdmy0の閾値電圧（0.6 V）を引いた電圧（0.4 V）となる。

【0107】

第6のタイミング（図6の（6））：

30

ワード線ドライバWLDRVdmy0は、ダミーワード線WLdmy0に対して、高レベルの電圧（1.0 V）の印加を終了し、低レベルの電圧（0 V）の印加を開始する。また、半導体記憶装置1は、スイッチBSWaをオンにし、スイッチBSWbをオフにする。これにより、非選択ソース線SL1の電圧は、グランド電圧（0 V）となる。書き込み回路WCdmyは、ダミービット線BLdmyに対して、定電流（1 μ A）の印加を終了し、低レベルの電圧（0 V）の印加を開始する。

【0108】

これによれば、第2のタイミング（図6の（2））と、第5のタイミング（図6の（5））での制御信号の追加を不要とすることができる。より具体的には、半導体記憶装置1は、各信号線WL0～WL3、WLdmy0、CG0、CG1、CGdmy、SL0、SL1、SLdmy、BL0、BL1、BLdmyに印加する電圧又は電流の切り替えを統括的に制御する制御回路（図示せず）を有している。制御回路は、各ドライバWLDRV1～WLDRV3、WLDRVdmy0、CGDRV0、CGDRV1、CGDRVdmy、SLDRV0、SLDRV1、SLDRVdmy及び書き込み回路WC、WCdmyに対して、電圧又は電流の切り替えを指示する制御信号を出力する。各ドライバWLDRV1～WLDRV3、WLDRVdmy0、CGDRV0、CGDRV1、CGDRVdmy、SLDRV0、SLDRV1、SLDRVdmy及び書き込み回路WC、WCdmyは、制御回路からの制御信号に応じて、上述の電圧レベルの変更等を行う。

40

【0109】

これに対して、図6を参照して説明した動作によれば、第2のタイミング（図6の（2

50

))と、第5のタイミング(図6の(5))での電圧又は電流の切り替えのための制御回路による制御信号の出力を不要することができる。そのため、制御回路の構成を、より簡易にすることができる。また、本変形例によれば、書き込み回路WC d m yにおいて、スイッチWSW d m y 0、WSW d m y 1及び電源電圧回路WVC d m yを不要とすることができる。

【0110】

(実施の形態1の効果)

(1)以上に説明したように、本実施の形態1では、メモリセルMC0にデータを書き込むための所定電圧(1V)をワード線WL0に印加する場合、ダミービット線BL d m yをソース線SL1と接続し、当該所定電圧(1V)をダミーメモリセルMC d m y 0のダミーワード線WL d m y 0に印加するようにしている。

10

【0111】

これによれば、書き込み動作時に、データの書き込みが行われる選択メモリセルMC0に接続された選択ビット線BL0と同じ電圧(0.4V)が、選択ビット線BL0に接続された非選択メモリセルMC2、MC3に接続された非選択ソース線SL1に印加される。そのため、非選択メモリセルMC2、MC3において、ソース線SL1からビット線BL0方向のサブスレッショルド・リーク電流と、ビット線BL0からソース線SL1方向のサブスレッショルド・リーク電流とを共に遮断することが可能となる。

【0112】

ここで、ビット線BL0からソース線SL1に向かってリーク電流が流れる場合、非選択メモリセルMC2、MC3が流すリーク電流によって選択ビット線BL0の電圧は実際には0.4Vより低下する。このとき、非選択メモリセルMC2、MC3のソース電圧(選択ビット線BL0の電圧)とドレイン電圧(選択ソース線SL0の電圧)の差が大きくなる。その結果、非選択メモリセルMC2、MC3にデータの誤書き込み(書き込みディスタ urb)が発生することが考えられる。ソース線SL1からビット線BL0に向かってリーク電流が流れる場合、非選択メモリセルMC2、MC3が流すリーク電流によって選択ビット線BL0の電圧は実際には0.4Vより上昇する。このとき、選択メモリセルMC0のソース電圧(選択ビット線BL0の電圧)とドレイン電圧(選択ソース線SL0の電圧)の差が小さくなる。この結果、ホットエレクトロンが減少し、選択メモリセルMC0の書き込み期間が長くなる、または書き込み不良となることが考えられる。これに対し

20

30

【0113】

(2)書き込み動作時に、選択ビット線の電圧は、選択ワード線の高レベルの電圧から選択メモリセルの選択トランジスタが書き込み電流を流すのに必要なゲート・ソース間電圧(V_{gs})を引いた値となる。

【0114】

ここで、書き込み動作時に、電源電圧回路で生成するワード線の高レベル電圧と、電流源回路で生成する書き込み定電流は、温度等の変化により規定値からずれる場合がある。また、メモリセルの選択トランジスタの閾値電圧は温度によって変化する。さらに、製造時のばらつき(ゲート酸化膜厚などの出来)によって、ワード線の高レベルの電圧、書き込み電流、及び、メモリセルの選択トランジスタの閾値電圧が規定値からずれることがある。

40

【0115】

図7は、書き込み動作時における、選択ワード線の高レベル電圧に対する選択ビット線の電圧の温度依存性を示す図である。

【0116】

メモリセルの選択トランジスタの閾値電圧は、温度によって変化する。通常、温度が低くなるほど閾値電圧が高くなるため、温度が低温であるほど大きな閾値電圧 V_{gs} を必要とする(低温の閾値電圧 V_{gs_LT} > 高温の閾値電圧 V_{gs_HT})。したがって、選

50

択ワード線の電圧 V_{WL} が温度に依らず一定と仮定した場合、温度が低いほうが選択ビット線の電圧 V_{BL} が低くなる。また、選択ワード線の電圧が規格値 V_{WL} よりも高い電圧 V_{WL}' となった場合、選択ビット線の電圧が規格値 V_{BL} よりも高い電圧 V_{BL}' となる。

【0117】

したがって、選択ビット線の電圧は、温度などの環境変化、及び、製造時の素子ばらつきによって変化する。これに対して、本実施の形態1では、ダミーの書き込みでダミーメモリセル MC_{dmy0} が実際に生成するビット線 BL_{dmy} の電圧を、非選択メモリセル MC_2 、 MC_3 に接続された非選択ソース線 SL_1 に印加することによって、選択ビット線 BL_0 と、非選択ソース線 SL_1 を同電圧としている。そのため、温度等の変化や製造ばらつきによって、選択ビット線 BL_0 の電圧が変化した場合でもサブスレシヨルド・リーク電流を遮断することが可能となる。

10

【0118】

(3) また、本実施の形態1では、さらに、メモリセル MC_6 、 MC_7 を有している。書き込み回路 WC は、メモリセル MC_0 にデータを書き込む場合、メモリセル MC_6 、 MC_7 に対する誤書き込みを防止するための所定電圧 ($1.5V$) をメモリセル MC_6 、 MC_7 に接続されたビット線 BL_1 に印加する。

【0119】

また、書き込み動作時に、ダミーメモリセル MC_{dmy0} が生成するダミービット線 BL_{dmy} の電圧 ($0.4V$) が印加される非選択ソース線 SL_1 は、非選択ビット線 BL_1 に接続された非選択メモリセル MC_6 、 MC_7 も接続されている。よって、非選択メモリセル MC_6 、 MC_7 に接続された非選択ビット線 BL_1 の電圧と、非選択メモリセル MC_6 、 MC_7 に接続された非選択ソース線 SL_1 の電圧との電圧差が低減されることに加えて、ソース線 SL_1 に電圧が印加されることによる基板バイアス効果によって非選択メモリセル MC_6 、 MC_7 の閾値電圧が高くなるため、非選択ビット線 BL_1 に接続された非選択メモリセル MC_6 、 MC_7 が流すサブスレシヨルド・リーク電流も削減することができる。

20

【0120】

< 実施の形態2 >

(実施の形態2の構成)

30

続いて、図面を参照して、実施の形態2について説明する。なお、実施の形態1と同様の内容については、同一の符号を付す等して適宜省略して説明する。まず、図8を参照して、本実施の形態2に係る半導体記憶装置2の構成について説明する。

【0121】

図8に示すように、本実施の形態2に係る半導体記憶装置2は、図1に示した実施の形態1に係る半導体記憶装置1と比較して、さらに、ワード線ドライバ $WLDRV_{dmy1}$ を有する点異なる。また、本実施の形態2では、ダミーメモリセル MC_{dmy1} の選択トランジスタ ST_{dmy1} の第1の端子に、グランドではなく、ダミーワード線 WL_{dmy1} が接続されている。

40

【0122】

本実施の形態2では、ワード線ドライバ $WLDRV_{dmy0}$ は、メモリセル $MC_0 \sim MC_7$ のうち、偶数ワード線 WL_0 、 WL_2 に接続されたメモリセル MC_0 、 MC_2 、 MC_4 、 MC_6 (メモリセルアレイ9における奇数行目のメモリセル) のいずれかにデータを書き込む場合、ダミーワード線 WL_{dmy0} に高レベルの電圧 ($1V$) を印加する。一方、ワード線ドライバ $WLDRV_{dmy0}$ は、偶数ワード線 WL_0 、 WL_2 に接続されたメモリセル MC_0 、 MC_2 、 MC_4 、 MC_6 のいずれにもデータを書き込まない場合には、ダミーワード線 WL_{dmy0} に低レベルの電圧 ($0V$) を印加する。

【0123】

ワード線ドライバ $WLDRV_{dmy1}$ は、ワード線ドライバ $WLDRV_0 \sim WLDRV_3$ 、 $WLDRV_{dmy0}$ と同一構造である。ワード線ドライバ $WLDRV_{dmy1}$ は、ダ

50

ミーワード線 $W L d m y 1$ が接続されている。ワード線ドライバ $W L D R V d m y 1$ は、メモリセル $M C 0 \sim M C 7$ のうち、奇数ワード線 $W L 1$ 、 $W L 3$ に接続されたメモリセル $M C 1$ 、 $M C 3$ 、 $M C 5$ 、 $M C 7$ (メモリセルアレイ 9 における偶数行目のメモリセル) のいずれかにデータを書き込む場合、ダミーワード線 $W L d m y 1$ に高レベルの電圧 (1 V) を印加する。一方、ワード線ドライバ $W L D R V d m y 1$ は、奇数ワード線 $W L 1$ 、 $W L 3$ に接続されたメモリセル $M C 1$ 、 $M C 3$ 、 $M C 5$ 、 $M C 7$ のいずれにもデータを書き込まない場合には、ダミーワード線 $W L d m y 1$ に低レベルの電圧 (0 V) を印加する。

【0124】

(実施の形態 2 の動作)

10

すなわち、本実施の形態 2 では、偶数ワード線 $W L 0$ 、 $W L 2$ に接続されたメモリセル $M C 0$ 、 $M C 2$ 、 $M C 4$ 、 $M C 6$ (メモリセルアレイ 9 における奇数行目のメモリセル) を書き込みする場合には、偶数ダミーワード線 $W L d m y 0$ に高レベルの電圧 (1 V) を印加する。これにより、偶数ダミーメモリセル $M C d m y 0$ (メモリセルアレイ 9 における奇数行目のダミーメモリセル) にデータを書き込むことにより発生するビット線 $B L d m y$ の電圧を非選択ソース線に印加する。

【0125】

一方、奇数ワード線 $W L 1$ 、 $W L 3$ に接続されたメモリセル $M C 1$ 、 $M C 3$ 、 $M C 5$ 、 $M C 7$ (メモリセルアレイ 9 における偶数行目のメモリセル) を書き込みする場合には、奇数ダミーワード線 $W L d m y 1$ を高レベルの電圧 (1 V) を印加する。これにより、奇数ダミーメモリセル (メモリセルアレイ 9 における偶数行目のダミーメモリセル) にデータを書き込むことにより発生するビット線 $B L d m y$ の電圧を非選択ソース線に印加する。

20

【0126】

(実施の形態 2 の変形例)

なお、本実施の形態 2 でも、実施の形態 1 の変形例と同様に、ダミーメモリセル $M C d m y 0$ 、 $W L d m y 1$ に誤書き込みが行われない電圧 (1.5 V) を印加せずに、第 1 のタイミングから第 6 のタイミングまでダミーワード線 $W L d m y 0$ 、 $W L d m y 1$ に高レベルの電圧 (1 V) を印加するようにしてもよい。

【0127】

30

(実施の形態 2 の効果)

以上に説明したように、本実施の形態 2 では、メモリセル $M C 0$ にデータを書き込むための所定電圧 (1 V) がワード線 $W L 0$ に印加される場合、ダミービット線 $B L d m y$ をソース線 $S L 1$ と接続し、当該所定電圧 (1 V) をダミーメモリセル $M C d m y 0$ のダミーワード線 $W L d m y 0$ に印加するようにしている。一方で、メモリセル $M C 1$ にデータを書き込むための所定電圧 (1 V) がワード線 $W L 1$ に印加される場合、ダミービット線 $B L d m y$ をソース線 $S L 1$ と接続し、当該所定電圧をダミーメモリセル $M C d m y 1$ のダミーワード線 $W L d m y 1$ に印加するようにしている。

【0128】

ここで、メモリセルアレイ 9 において、メモリセル $M C 0$ 及びダミーメモリセル $M C d m y 0$ は奇数行目に配置され、メモリセル $M C 1$ 及びダミーメモリセル $M C d m y 1$ は偶数行目に配置されている。

40

【0129】

(1) 半導体製造時のフォトマスク露光時の目ずれなどにより、偶数ワード線 $W L 0$ 、 $W L 2$ に接続されたメモリセル $M C 0$ 、 $M C 2$ 、 $M C 4$ 、 $M C 6$ と、奇数ワード線 $W L 1$ 、 $W L 3$ に接続されたメモリセル $M C 1$ 、 $M C 3$ 、 $M C 5$ 、 $M C 7$ とで異なる性質を示すことがある。例えば、選択トランジスタのゲートポリエッチングの工程において目ずれが発生した場合、偶数ワード線 $W L 0$ 、 $W L 2$ に接続されたメモリセル $M C 0$ 、 $M C 2$ 、 $M C 4$ 、 $M C 6$ の選択トランジスタ $S T 0$ 、 $S T 2$ 、 $S T 4$ 、 $S T 6$ の L サイズが規格より細くなることもある。この場合、奇数ワード線 $W L 1$ 、 $W L 3$ に接続されたメモリセル $M C$

50

1、MC3、MC5、MC7の選択トランジスタST1、ST3、ST5、ST7のLサイズは規格より太くなる。

【0130】

この場合、偶数ワード線WL0、WL2に接続されたメモリセルMC0、MC2、MC4、MC6の選択トランジスタST0、ST2、ST4、ST6の閾値電圧は低くなり、奇数ワード線WL1、WL3に接続されたメモリセルMC1、MC3、MC5、MC7の選択トランジスタST1、ST3、ST5、ST7の閾値電圧は高くなる。

【0131】

図9は、偶数ワード線WL0、WL2に接続されたメモリセルMC0、MC2、MC4、MC6の選択トランジスタST0、ST2、ST4、ST6の閾値電圧が低くなり、奇数ワード線WL1、WL3に接続されたメモリセルMC1、MC3、MC5、MC7の選択トランジスタST1、ST3、ST5、ST7の閾値電圧が高くなった場合の影響を示す図である。

【0132】

偶数ワード線WL0、WL2に接続されたメモリセルMC0、MC2、MC4、MC6の選択トランジスタST0、ST2、ST4、ST6の閾値電圧 V_{gs_E} が低く、奇数ワード線WL1、WL3に接続されたメモリセルMC1、MC3、MC5、MC7の選択トランジスタST1、ST3、ST5、ST7の閾値電圧 V_{gs_O} が高い場合($V_{gs_E} < V_{gs_O}$)、書き込み動作時の偶数ワード線WL0、WL2のビット線の電圧 V_{BL_E} は、奇数ワード線WL1、WL3のビット線の電圧 V_{BL_O} よりも高い電圧となる。

【0133】

実施の形態1では、偶数ワード線に接続されたダミーメモリセルMCdmy0のみを使用しており、偶数ワード線WL0のメモリセルMC0にデータを書き込む場合は、非選択メモリセルMC2、MC3に接続されたビット線BL0の電圧 V_{BL_E} と、非選択ソース線SL1の電圧 V_{BL_E} は同電圧であるため、リーク電流を遮断可能である。一方、奇数ワード線WL1のメモリセルMC1にデータを書き込む場合、非選択ソース線SL1の電圧は、非選択メモリセルMC2、MC3に接続されたビット線BL0の電圧 V_{BL_E} よりも低い電圧 V_{BL_O} となる。そのため、ビット線BL0からソース線SL1に向かってリーク電流が発生する。

【0134】

それに対して、実施の形態2によれば、偶数ワード線WL0、WL2に接続されたメモリセルMC0、MC2、MC4、MC6にデータを書き込む場合は、偶数ワード線WLdmy0に接続されたダミーメモリセルMCdmy0にデータを書き込むことにより発生するダミービット線BLdmyの電圧を、非選択メモリセルMC2、MC3に接続されたソース線SL1に印加する。そのため、非選択メモリセルMC2、MC3に接続されたビット線BL0とソース線SL1は同電圧となる。よって、サブスレッショルド・リーク電流を遮断可能である。

【0135】

また、奇数ワード線WL1、WL3に接続されたメモリセルMC1、MC3、MC5、MC7にデータを書き込む場合は、奇数ワード線WLdmy1に接続されたダミーメモリセルMCdmy1にデータを書き込むことにより発生するダミービット線BLdmyの電圧を、非選択メモリセルMC2、MC3に接続されたソース線SL1に印加する。そのため、非選択メモリセルMC2、MC3に接続されたビット線BL0とソース線SL1は同電圧となる。よって、サブスレッショルド・リーク電流を遮断可能である。

【0136】

したがって、製造時の目ずれの影響により、偶数ワード線WL0、WL2に接続されたメモリセルMC0、MC2、MC4、MC6と、奇数ワード線WL1、WL3に接続されたメモリセルMC1、MC3、MC5、MC7とでメモリセルの選択トランジスタの閾値電圧のずれが発生した場合でも、サブスレッショルド・リーク電流を遮断することが可能

10

20

30

40

50

となる。

【0137】

<実施の形態3>

(実施の形態3の構成)

続いて、図面を参照して、実施の形態3について説明する。なお、実施の形態1と同様の内容については、同一の符号を付す等して適宜省略して説明する。まず、図10を参照して、本実施の形態3に係る半導体記憶装置3の構成について説明する。

【0138】

図10に示すように、本実施の形態3に係る半導体記憶装置3は、図1に示した実施の形態1に係る半導体記憶装置1と比較して、制御ゲート線ドライバCGDRVdmy、ソース線ドライバSLDRVdmy及び書き込み回路WCdmyを有さず、ワード線トランジスタWLT、定電流回路LCC及び電源電圧回路VCを有する点が異なる。

10

【0139】

また、本実施の形態3では、半導体記憶装置3は、ダミー制御ゲート線CGdmy及びダミーソース線SLdmyを有さない。全てのダミーメモリセルは、第1の端子及び第2の端子がグランドに接続されており、第3の端子はフローティング状態(図10の「FLT」)にされている。また、ダミーワード線WLdmy0は、ダミーメモリセルMCdmy0の選択トランジスタSTdmy0の第1の端子ではなく、ワード線トランジスタWLTの第1の端子に接続されている。

20

【0140】

ワード線トランジスタWLTは、メモリセルMC0~MC7の選択トランジスタST0~ST7と同一構造である。ワード線トランジスタWLTは、メモリセルMC0~MC7の選択トランジスタST0~ST7と閾値電圧が同じとなるように、例えばゲート酸化膜厚やイオン注入条件が同一とされている。

【0141】

ワード線トランジスタWLTの第2の端子は、電源電圧回路VCと接続されている。ワード線トランジスタWLTの第3の端子は、ダミービット線BLdmyと接続されている。よって、本実施の形態3では、電圧バッファ回路BUFは、ワード線トランジスタWLTからダミービット線BLdmyに印加された電圧を、ソース線ドライバSLDRV0、SLDRV1の各々に印加する。なお、電源電圧回路VCは、所定の電圧を生成して、ワード線トランジスタWLTに印加する。この電圧は、書き込み動作時のBLdmyの電圧(0.4V)に対して定電流(1μA)を流すのに必要なドレインソース間電圧(Vds)を考慮した上で、任意の値(例えば1V以上)としてよい。

30

【0142】

定電流回路LCCは、ダミービット線BLdmyが接続されている。定電流回路LCCは、書き込み回路WCが書き込み動作時に選択ビット線に印加する定電流と同じ流量の定電流(1μA)を、ダミービット線BLdmyに印加する。より具体的には、定電流回路LCCは、電流源回路CCを有する。ダミービット線BLdmyは、電流源回路CCと接続されている。ダミービット線BLdmyは、電流源回路CCが生成した定電流(1μA)が印加される。

40

【0143】

このように、本実施の形態3では、メモリセルMC0~MC7のいずれかにデータを書き込む場合には、メモリセルMC0~MC7の選択トランジスタST0~ST7に印加される電圧と同じ電圧(1V)がワード線トランジスタWLTに印加される。そして、ワード線トランジスタWLTの閾値電圧は、メモリセルMC0~MC7の選択トランジスタST0~ST7の電圧閾値(0.6V)と同じである。

【0144】

よって、書き込み動作時には、ダミービット線BLdmyの電圧は、ダミーワード線WLdmy0の電圧(1.0V)から閾値電圧(0.6V)を引いた電圧(0.4V)となる。すなわち、本実施の形態3でも、書き込み動作時には、選択ビット線の電圧と同じ電

50

圧が、非選択ソース線に印加される。そのため、リーク電流を遮断することができる。このように、選択ビット線の電圧（ 0.4 V ）と同じ電圧（ 0.4 V ）を生成する目的であれば、メモリトランジスタは不要である。

【0145】

（実施の形態3の動作）

続いて、図11を参照して、本実施の形態3に係る半導体記憶装置3の書き込み動作について説明する。以下、図10に示すように、メモリセルMC0を書き込み対象のメモリセルとし、メモリセルMC2、MC3、MC6、MC7が消去状態である例について説明する。

【0146】

書き込み動作前は、ワード線WL0～WL3、制御ゲート線CG0、CG1、ソース線SL0、SL1、ダミーワード線WLdmy0（図11の「ワード線トランジスタワード線」）、ダミービット線BLdmy（図11の「ワード線トランジスタビット線」）の各々の状態については、実施の形態1と同様である。

【0147】

ここで、ダミービット線BLdmyに関しては、より具体的には、図12に示すように、定電流回路LCCは、さらに、スイッチLSWa、LSWb及びインバータLNCを有する。ダミービット線BLdmyは、スイッチLSWaを介してグランドに接続されており、スイッチLSWbを介して電流源回路CCに接続されている。電流源回路CCは、グランドと接続されている。言い換えると、ダミービット線BLdmyは、スイッチLSWb及び電流源回路CCを介してグランドと接続されている。

【0148】

スイッチLSWaとスイッチLSWbは、排他的にオンにされる。すなわち、定電流回路LCCは、ダミービット線BLdmyに低レベルの電圧を印加する場合、スイッチLSWaをオンにするとともに、スイッチLSWbをオフにする。これにより、ダミービット線BLdmyに対してグランドが電氣的に接続され、電流源回路CCが電氣的に非接続となり、ダミービット線BLdmyに低レベルの電圧（ 0 V ）が印加される。一方、定電流回路LCCは、ダミービット線BLdmyに定電流を印加する場合、スイッチLSWaをオフにするとともに、スイッチLSWbをオンにする。これにより、ダミービット線BLdmyに対してグランドが電氣的に非接続となり、電流源回路CCが電氣的に接続され、ダミービット線BLdmyに定電流（ $1\text{ }\mu\text{ A}$ ）が印加される。

【0149】

例えば、スイッチLSWa及びスイッチLSWbは、N型MOSトランジスタである。そして、インバータLNCは、スイッチLSWaに印加されるゲート電圧が入力される。インバータLNCは、入力されたゲート電圧の論理レベルを反転したゲート電圧をスイッチLSWbに印加する。これにより、上述の排他的なオンが可能とされている。

【0150】

ソース線SL0、SL1及びビット線BL0、BL1に関しては、図5を参照して実施の形態1の説明で述べた通りであるため、説明を省略する。

【0151】

第1のタイミング（図11の（1））：

書き込み動作を開始すると、選択制御ゲート線CG0、選択ソース線SL0、ビット線BL0、BL1の各々の電圧は、実施の形態1と同様に变化する。

【0152】

第2のタイミング（図11の（2））：

ダミーワード線WLdmy0の電圧は、実施の形態1と同様に变化する。定電流回路LCCは、ダミービット線BLdmyに対して、低レベルの電圧（ 0 V ）の印加を終了し、定電流（ $1\text{ }\mu\text{ A}$ ）の印加を開始する。このときに、ダミービット線BLdmyの電圧は、ダミーワード線WLdmy0の電圧（ 1.0 V 、図1の「VWLdmy0」）からワード線トランジスタWLTの閾値電圧（ 0.6 V 、図1の「Vgs」）を引いた電圧（ 0.4

10

20

30

40

50

V)となる。そして、半導体記憶装置3は、実施の形態1と同様に、スイッチBSWaをオフにし、スイッチBSWbをオンにすることで、非選択ソース線SL1に対して、グラウンド電圧(0V)の印加を終了し、電圧バッファ回路BUF及びソース線ドライバSLDRV1を介して、このダミービット線BLdmyの電圧(0.4V)の印加を開始する。

【0153】

第3のタイミング(図11の(3)):

選択ワード線WL0及び選択ビット線BL0の各々の電圧は、実施の形態1と同様に化する。

【0154】

ここで、本実施の形態3でも、非選択ソース線SL1の電圧は、ダミービット線BLdmyの電圧と同じ電圧(0.4V)となっている。よって、非選択メモリセルMC2、MC3に接続された選択ビット線BL0と、非選択メモリセルMC2、MC3に接続された非選択ソース線SL1の電圧は、同一(0.4V)となる。したがって、非選択メモリセルMC2、MC3におけるサブスレッショルド・リーク電流を遮断することができる。

10

【0155】

また、非選択メモリセルMC6、MC7に接続された非選択ビット線BL1の電圧(1.5V)と、非選択メモリセルMC6、MC7に接続された非選択ソース線SL1の電圧(0.4V)との電圧差が低減されることに加えて、ソース線SL1に電圧が印加されることによる基板バイアス効果によって非選択メモリセルMC6、MC7の閾値電圧が高くなるため、非選択メモリセルMC6、MC7におけるサブスレッショルド・リーク電流を削減することができる。

20

【0156】

第4のタイミング(図11の(4)):

選択ワード線WL0及び選択ビット線BL0の各々の電圧は、実施の形態1と同様に化する。

【0157】

第5のタイミング(図11の(5)):

ダミーワード線WLdmy0及び非選択ソース線SL1の各々の電圧は、実施の形態1と同様に化する。定電流回路LCCは、ダミービット線BLdmyに対して、定電流(1 μ A)の印加を終了し、低レベルの電圧(0V)の印加を開始する。

30

【0158】

第6のタイミング(図11の(6)):

選択制御ゲート線CG0、選択ソース線SL0及びビット線BL0、BL1の各々の電圧は、実施の形態1と同様に化する。

【0159】

(実施の形態3の変形例)

ここで、以上の説明では、第1のタイミングでビット線BL0、BL1等の電圧レベルを変更した後に、第2のタイミングでダミーワード線WLdmy0に高レベルの電圧の印加を開始する例について説明したが、これに限られない。図13を参照して以下に説明するように、第1のタイミングから第6のタイミングまでダミーワード線WLdmy0に高レベルの電圧(1V)を印加するようにしてもよい。以下、その動作について、説明の簡略化のため、図11を参照して説明した動作と異なる点について説明する。

40

【0160】

第1のタイミング(図13の(1)):

ワード線ドライバWLDRVdmy0は、ダミーワード線WLdmy0に対して、低レベルの電圧(0V)の印加を終了し、高レベルの電圧(1.0V)の印加を開始する。定電流回路LCCは、ダミービット線BLdmyに対して、低レベルの電圧(0V)の印加を終了し、定電流(1 μ A)の印加を開始する。また、半導体記憶装置3は、スイッチBSWaをオフにし、スイッチBSWbをオンにする。これにより、上述と同様に、ダミービット線BLdmy及び非選択ソース線SL1の電圧は、ダミーワード線WLdmy0の

50

電圧 (1 . 0 V) からワード線トランジスタ W L T の閾値電圧 (0 . 6 V) を引いた電圧 (0 . 4 V) となる。

【 0 1 6 1 】

第 6 のタイミング (図 1 3 の (6)) :

ワード線ドライバ W L D R V d m y 0 は、ダミーワード線 W L d m y 0 に対して、高レベルの電圧 (1 . 0 V) の印加を終了し、低レベルの電圧 (0 V) の印加を開始する。また、半導体記憶装置 3 は、スイッチ B S W a をオンにし、スイッチ B S W b をオフにする。これにより、非選択ソース線 S L 1 の電圧は、グランド電圧 (0 V) となる。定電流回路 L C C は、ダミービット線 B L d m y に対して、定電流 (1 μ A) の印加を終了し、低レベルの電圧 (0 V) の印加を開始する。

10

【 0 1 6 2 】

これによれば、実施の形態 1 と同様に、第 2 のタイミング (図 1 1 の (2)) と、第 5 のタイミング (図 1 1 の (5)) での電圧又は電流の切り替えのための制御回路による制御信号の出力を不要することができる。そのため、制御回路の構成を、より簡易にすることができる。

【 0 1 6 3 】

(実施の形態 3 の効果)

以上に説明したように、本実施の形態 3 では、ワード線トランジスタ W L T は、メモリセルに含まれるトランジスタではない。そして、メモリセル M C 0 にデータを書き込む場合に、ワード線トランジスタ W L T に接続されたダミーワード線 W L d m y 0 に印加される電圧は、メモリセル M C 0 のメモリトランジスタ M T 0 に接続された制御ゲート線に印加される電圧よりも低い。

20

【 0 1 6 4 】

ここで、実施の形態 1 及び実施の形態 2 においては、書き込み動作中、ダミーメモリセル M C d m y 0、M C d m y 1 のゲートには書き込み動作に必要な高電圧 (1 0 . 5 V) が常に印加され続ける。書き込み動作中、ダミーメモリセルは書き込み時の高電圧により常にホットエレクトロンが発生する状態にある。ホットエレクトロンが選択トランジスタのゲート酸化膜中にトラップされると選択トランジスタの閾値変動を引き起こす。通常のメモリセルもホットエレクトロンによる閾値変動が起きるが、ダミーメモリセルの数と通常のメモリセルの数の違いから、ダミーメモリセルのほうが、高電圧が印加される時間が長く、影響が大きくなるためである。

30

【 0 1 6 5 】

このとき、ダミービット線 B L d m y の電圧、つまり非選択ソース線 S L 1 の電圧と、書き込みしている選択ビット線の電圧が異なるため、リーク電流を遮断するという所望の結果が得られない。

【 0 1 6 6 】

これに対して、実施の形態 3 によれば、ワード線トランジスタ W L T には高電圧が印加されないため、ホットエレクトロンによる特性変動の影響を抑えることが可能となる。

【 0 1 6 7 】

< 実施の形態 4 >

40

(実施の形態 4 の構成)

続いて、図面を参照して、実施の形態 4 について説明する。なお、実施の形態 1 と同様の内容については、同一の符号を付す等して適宜省略して説明する。まず、図 1 4 を参照して、本実施の形態 4 に係る半導体記憶装置 4 の構成について説明する。

【 0 1 6 8 】

図 1 4 に示すように、本実施の形態 4 に係る半導体記憶装置 4 は、実施の形態 1 に係る半導体記憶装置 1 と比較して、ワード線ドライバ W L D R V d m y、制御ゲート線ドライバ C G D R V d m y 及びソース線ドライバ S L D R V d m y を有さない点異なる。

【 0 1 6 9 】

また、半導体記憶装置 4 は、ダミーワード線 W L d m y 0、ダミー制御ゲート線 C G d

50

m y、ダミーソース線 S L d m y 及びダミービット線 B L d m y を有さない。よって、全てのダミーメモリセルは、第 1 の端子及び第 2 の端子がグランドに接続されており、第 3 の端子はフローティング状態にされている。なお、本実施の形態 4 では、ダミーメモリセルの図示は省略している。

【 0 1 7 0 】

本実施の形態 4 では、記憶領域として使用されるメモリセルとして、さらに、メモリセル M C 8 ~ M C 1 5 を明示している。それに伴い、ビット線 B L 2、B L 3 も明示している。また、本実施の形態 4 では、電圧バッファ回路 B U F は、ダミービット線 B L d m y ではなく、書き込み回路 W C と接続されている。

【 0 1 7 1 】

メモリセル M C 8 ~ M C 1 1 は、同一の列に属する。メモリセル M C 1 2 ~ M C 1 5 は、同一の列に属する。メモリセル M C 8、M C 1 2 は、メモリセル M C 0、M C 4 と同一の行に属する。メモリセル M C 9、M C 1 3 は、メモリセル M C 1、M C 5 と同一の行に属する。メモリセル M C 1 0、M C 1 4 は、メモリセル M C 2、M C 6 と同一の行に属する。メモリセル M C 1 1、M C 1 5 は、メモリセル M C 3、M C 7 と同一の行に属する。

【 0 1 7 2 】

よって、メモリセル M C 8、M C 9、M C 1 2、M C 1 3 のメモリトランジスタ M T 8、M T 9、M T 1 2、M T 1 3 の第 1 の端子は、メモリセル M C 0、M C 1、M C 4、M C 5 のメモリトランジスタ M T 0、M T 1、M T 4、M T 5 の第 1 の端子とともに、制御ゲート線 C G 0 が接続されている。メモリセル M C 1 0、M C 1 1、M C 1 4、M C 1 5 のメモリトランジスタ M T 1 0、M T 1 1、M T 1 4、M T 1 5 の第 1 の端子は、メモリセル M C 2、M C 3、M C 6、M C 7 のメモリトランジスタ M T 2、M T 3、M T 6、M T 7 の第 1 の端子とともに、制御ゲート線 C G 1 が接続されている。

【 0 1 7 3 】

メモリセル M C 8、M C 1 2 の選択トランジスタ S T 8、S T 1 2 の第 1 の端子は、メモリセル M C 0、M C 4 の選択トランジスタ S T 0、S T 4 の第 1 の端子とともに、ワード線 W L 0 が接続されている。メモリセル M C 9、M C 1 3 の選択トランジスタ S T 9、S T 1 3 の第 1 の端子は、メモリセル M C 1、M C 5 の選択トランジスタ S T 1、S T 5 のゲートとともに、ワード線 W L 1 が接続されている。メモリセル M C 1 0、M C 1 4 の選択トランジスタ S T 1 0、S T 1 4 の第 1 の端子は、メモリセル M C 2、M C 6 の選択トランジスタ S T 2、S T 6 の第 1 の端子とともに、ワード線 W L 2 が接続されている。メモリセル M C 1 1、M C 1 5 の選択トランジスタ S T 1 1、S T 1 5 の第 1 の端子は、メモリセル M C 3、M C 7 の選択トランジスタ S T 3、S T 7 の第 1 の端子とともに、ワード線 W L 3 が接続されている。

【 0 1 7 4 】

メモリセル M C 8、M C 9、M C 1 2、M C 1 3 のメモリトランジスタ M T 8、M T 9、M T 1 2、M T 1 3 の第 2 の端子は、メモリセル M C 0、M C 1、M C 4、M C 5 のメモリトランジスタ M T 0、M T 1、M T 4、M T 5 の第 2 の端子とともに、ソース線 S L 2 が接続されている。メモリセル M C 1 0、M C 1 1、M C 1 4、M C 1 5 のメモリトランジスタ M T 1 0、M T 1 1、M T 1 4、M T 1 5 の第 2 の端子は、メモリセル M C 2、M C 3、M C 6、M C 7 のメモリトランジスタ M T 2、M T 3、M T 6、M T 7 の第 2 の端子とともに、ソース線 S L 3 が接続されている。

【 0 1 7 5 】

メモリセル M C 8、M C 9、M C 1 2、M C 1 3 の選択トランジスタ S T 8、S T 9、S T 1 2、S T 1 3 の第 2 の端子の各々は、メモリトランジスタ M T 8、M T 9、M T 1 2、M T 1 3 の各々を介して、ソース線 S L 0 が接続されている。メモリセル M C 1 0、M C 1 1、M C 1 4、M C 1 5 の選択トランジスタ S T 1 0、S T 1 1、S T 1 4、S T 1 5 の第 2 の端子の各々は、メモリトランジスタ M T 1 0、M T 1 1、M T 1 4、M T 1 5 の各々を介して、ソース線 S L 1 が接続されている。

【 0 1 7 6 】

メモリセルMC 8 ~ MC 11の選択トランジスタST 8 ~ ST 11の第3の端子は、ビット線BL 2が接続されている。メモリセルMC 12 ~ MC 15の選択トランジスタST 12 ~ ST 15の第3の端子は、ビット線BL 3が接続されている。

【0177】

メモリセルMC 8 ~ MC 11のメモリトランジスタMT 8 ~ MT 11の第3の端子の各々は、選択トランジスタST 8 ~ ST 11の各々を介して、ビット線BL 2が接続されている。メモリセルMC 12 ~ MC 15のメモリトランジスタMT 12 ~ MT 15の第3の端子の各々は、選択トランジスタST 12 ~ ST 15の各々を介して、ビット線BL 3が接続されている。すなわち、選択トランジスタST 8 ~ ST 15の第2の端子の各々は、メモリトランジスタMT 8 ~ MT 15の第3の端子の各々と接続されている。

10

【0178】

本実施の形態4に係る書き込み回路WCは、実施の形態1に係る書き込み回路WCと比較して、さらに、ビット線BL 2、BL 3が接続されている。書き込み回路WCは、ビット線BL 2に接続されたメモリセルMC 8 ~ MC 15のいずれかにデータを書き込む場合、メモリセルMC 8 ~ MC 15に誤書き込みが行われない電圧レベルの電圧（例えば1.5V）を、ビット線BL 2及びビット線BL 3の各々にも印加する。その後、書き込み回路WCは、ビット線BL 2に接続されたメモリセルMC 12 ~ MC 15のいずれにもデータを書き込まず、かつ、ビット線BL 3に接続されたメモリセルMC 8 ~ MC 11のいずれかにデータを書き込む場合、ビット線BL 2に定電流（例えば1 μ A）を印加するとともに、ビット線BL 3には上記電圧の印加を継続する。一方、書き込み回路WCは、ビット線BL 2に接続されたメモリセルMC 8 ~ MC 11のいずれにもデータを書き込まず、かつ、ビット線BL 3に接続されたメモリセルMC 12 ~ MC 15のいずれかにデータを書き込む場合、ビット線BL 3に定電流（例えば1 μ A）を印加するとともに、ビット線BL 2には上記電圧の印加を継続する。

20

【0179】

より具体的には、本実施の形態4に係る書き込み回路WCは、実施の形態1に係る書き込み回路WCと比較して、さらに、スイッチWSW 4 ~ WSW 7と、電流源回路WCC 1と、電源電圧回路WVC 2、WVC 3とを有する点異なる。ビット線BL 2は、スイッチWSW 4を介して電流源回路WCC 1に接続されており、スイッチWSW 5を介して電源電圧回路WVC 2に接続されている。ビット線BL 3は、スイッチWSW 6を介して電流源回路WCC 1に接続されており、スイッチWSW 7を介して電源電圧回路WVC 3に接続されている。電流源回路WCC 1は、グランドと接続されている。言い換えると、ビット線BL 2は、スイッチWSW 4及び電流源回路WCC 1を介してグランドと接続されており、ビット線BL 3は、スイッチWSW 6及び電流源回路WCC 1を介してグランドと接続されている。

30

【0180】

スイッチWSW 4とスイッチWSW 5は、排他的にオンにされる。すなわち、書き込み回路WCは、ビット線BL 2に定電流を印加する場合、スイッチWSW 4をオンにするとともに、スイッチWSW 5をオフにする。これにより、ビット線BL 2に対して電流源回路WCC 1が電氣的に接続され、電源電圧回路WVC 2が電氣的に非接続となり、ビット線BL 2に電流源回路WCC 1が生成した定電流（1 μ A）が印加される。一方、書き込み回路WCは、ビット線BL 2に電圧を印加する場合、スイッチWSW 4をオフにするとともに、スイッチWSW 5をオンにする。これにより、ビット線BL 2に対して電流源回路WCC 1が電氣的に非接続となり、電源電圧回路WVC 2が電氣的に接続され、ビット線BL 2に電源電圧回路WVC 2が生成した電圧（1.5V）が印加される。

40

【0181】

例えば、スイッチWSW 4は、N型MOSトランジスタであり、スイッチWSW 5は、P型MOSトランジスタである。そして、スイッチWSW 4及びスイッチWSW 5のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【0182】

50

スイッチW S W 6 とスイッチW S W 7 は、排他的にオンにされる。すなわち、書き込み回路W C は、ビット線B L 3 に定電流を印加する場合、スイッチW S W 6 をオンにするとともに、スイッチW S W 7 をオフにする。これにより、ビット線B L 3 に対して電流源回路W C C 1 が電氣的に接続され、電源電圧回路W V C 3 が電氣的に非接続となり、ビット線B L 3 に電流源回路W C C 1 が生成した定電流 ($1 \mu A$) が印加される。一方、書き込み回路W C は、ビット線B L 3 に電圧を印加する場合、スイッチW S W 6 をオフにするとともに、スイッチW S W 7 をオンにする。これにより、ビット線B L 3 に対して電流源回路W C C 1 が電氣的に非接続となり、電源電圧回路W V C 3 が電氣的に接続され、ビット線B L 3 電源電圧回路W V C 3 が生成した電圧 ($1.5 V$) が印加される。

【0183】

10

例えば、スイッチW S W 6 は、N型M O S トランジスタであり、スイッチW S W 7 は、P型M O S トランジスタである。そして、スイッチW S W 6 及びスイッチW S W 7 のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【0184】

また、書き込み回路W C は、ビット線B L 0 に接続されたメモリセルM C 0 ~ M C 3 のいずれかにデータを書き込む場合、ビット線B L 0 の電圧を、電圧バッファ回路B U F に印加する。書き込み回路W C は、ビット線B L 1 に接続されたメモリセルM C 4 ~ M C 7 のいずれかにデータを書き込む場合、ビット線B L 1 の電圧を、電圧バッファ回路B U F に印加する。書き込み回路W C は、ビット線B L 2 に接続されたメモリセルM C 8 ~ M C 11 のいずれかにデータを書き込む場合、ビット線B L 2 の電圧を、電圧バッファ回路B U F に印加する。書き込み回路W C は、ビット線B L 3 に接続されたメモリセルM C 12 ~ M C 15 のいずれかにデータを書き込む場合、ビット線B L 3 の電圧を、電圧バッファ回路B U F に印加する。

20

【0185】

より具体的には、本実施の形態4に係る書き込み回路W C は、実施の形態1に係る書き込み回路W C と比較して、さらに、スイッチS W 0、S W 1を有する点異なる。スイッチW S W 0 及びスイッチW S W 2 の各々と、電流源回路W C C 0 とを接続する信号線は、スイッチS W 0 を介して電圧バッファ回路B U F に接続されている。スイッチW S W 4 及びスイッチW S W 6 の各々と、電流源回路W C C 1 とを接続する信号線は、スイッチS W 1 を介して電圧バッファ回路B U F に接続されている。

30

【0186】

よって、書き込み回路W C は、ビット線B L 0 の電圧を電圧バッファ回路B U F に印加する場合、スイッチW S W 0 及びスイッチS W 0 をオンにする。これにより、ビット線B L 0 と電圧バッファ回路B U F が電氣的に接続され、ビット線B L 0 の電圧が電圧バッファ回路B U F に印加される。書き込み回路W C は、ビット線B L 1 の電圧を電圧バッファ回路B U F に印加する場合、スイッチW S W 2 及びスイッチS W 0 をオンにする。これにより、ビット線B L 1 と電圧バッファ回路B U F が電氣的に接続され、ビット線B L 1 の電圧が電圧バッファ回路B U F に印加される。書き込み回路W C は、ビット線B L 2 の電圧を電圧バッファ回路B U F に印加する場合、スイッチW S W 4 及びスイッチS W 1 をオンにする。これにより、ビット線B L 2 と電圧バッファ回路B U F が電氣的に接続され、ビット線B L 2 の電圧が電圧バッファ回路B U F に印加される。書き込み回路W C は、ビット線B L 3 の電圧を電圧バッファ回路B U F に印加する場合、スイッチW S W 6 及びスイッチS W 1 をオンにする。これにより、ビット線B L 3 と電圧バッファ回路B U F が電氣的に接続され、ビット線B L 3 の電圧が電圧バッファ回路B U F に印加される。

40

【0187】

例えば、スイッチS W 0 及びスイッチS W 1 は、N型M O S トランジスタである。そして、スイッチS W 0 及びスイッチS W 1 のゲートの各々に、ゲート電圧を印加することで、上述のオンが可能とされている。

【0188】

ここで、本実施の形態4では、半導体記憶装置4が、マルチチャンネルアクセスが可能

50

な不揮発性メモリである例について説明する。すなわち、半導体記憶装置 4 は、複数のメモリセルに対して並行してデータを書き込み可能である。図 14 では、2 チャンネルアクセスが可能な例について説明している。メモリセル MC 0 ~ MC 7 は、第 1 のチャンネルによって書き込みが行われる単位 (図 14 の「I/O__0」) であり、メモリセル MC 8 ~ MC 15 は、第 2 のチャンネルによって書き込みが行われる単位 (図 14 の「I/O__1」) である。

【0189】

I/O__0 に含まれるメモリセルと、I/O__1 に含まれるメモリセルにデータを書き込む場合は、スイッチ SW 0、SW 1 のいずれか一方のみをオンにして、I/O__0 の選択ビット線 BL 0 又は BL 1 と、I/O__1 の選択ビット線 BL 2 又は BL 3 とのいずれか一方の電圧を、非選択セクタのソース線に印加する。ビット線 BL 0 または BL 1 と、BL 2 または BL 3 のショートを避けるため、スイッチ SW 0、SW 1 のいずれか一方のみをオンにする。

【0190】

ここで、本実施の形態 4 では、実施の形態 1 と比較して、第 1 のセクタ (図 14 の「セクタ 0」) は、さらに、メモリセル MC 8、MC 9、MC 12、MC 13 を有する。また、第 2 のセクタ (図 14 の「セクタ 1」) は、さらに、メモリセル MC 10、MC 11、MC 14、MC 15 を有する。

【0191】

上述の構成により、本実施の形態 4 は、実施の形態 1 ~ 3 と比較して、非選択メモリのソース線 SL 1 に印加する電圧として、ダミーメモリセル MC dmy 0、MC dmy 1 又はワード線トランジスタ WLT の生成するダミービット線 BL dmy の電圧を用いず、書き込み動作時に選択メモリセルが生成するビット線の電圧を用いるものである。

【0192】

また、本実施の形態 4 では、メモリセル MC 0 ~ MC 15 にデータとして“1”を書き込む場合に利用するスイッチ BSW 0、BSW 1 及び電源電圧回路 BVC を明示している。“0”データの書き込みはフローティングゲートに電子を注入する動作であることに對して、“1”データの書き込みはフローティングゲートに電子が入るのを禁止 (書き込みを禁止) する動作である。“0”データを書き込みする場合はビット線に定電流 (1 μ A) を印加し、“1”データの書き込みをする場合はビット線に高レベルの電圧 (1.5 V) を印加する。

【0193】

ソース線ドライバ SLDRV 0、SLDRV 1 は、スイッチ BSW 0 を介して電圧バッファ回路 BUF と接続されており、スイッチ BSW 1 を介して電源電圧回路 BVC と接続されている。図 5 に示したスイッチ BSW a、BSW b は、例えば、電圧バッファ回路 BUF と、スイッチ BSW 0 の間に接続されるが、その動作は実施の形態 1 と同様であるため、説明を省略する。

【0194】

スイッチ BSW 0 と、スイッチ BSW 1 は、排他的にオンにされる。半導体記憶装置 4 は、低レベルの電圧としてソース線ドライバ SLDRV 0、SLDRV 1 に第 1 の電圧又は第 2 の電圧を印加する場合、スイッチ BSW 0 をオンにするとともに、スイッチ BSW 1 をオフにする。これにより、ソース線ドライバ SLDRV 0、SLDRV 1 に対してグランド又は電圧バッファ回路 BUF が電氣的に接続され、電源電圧回路 BVC が電氣的に非接続となり、ソース線ドライバ SLDRV 0、SLDRV 1 に第 1 の電圧 (0 V) 又は第 2 の電圧 (電圧バッファ回路 BUF を介したダミービット線 BL dmy の電圧) が印加される。一方、半導体記憶装置 4 は、低レベルの電圧としてソース線ドライバ SLDRV 0、SLDRV 1 に第 3 の電圧を印加する場合、スイッチ BSW 0 をオフにするとともに、スイッチ BSW 1 をオンにする。これにより、ソース線ドライバ SLDRV 0、SLDRV 1 に対してグランド及び電圧バッファ回路 BUF が電氣的に非接続となり、電源電圧回路 BVC が電氣的に接続され、ソース線ドライバ SLDRV 0、SLDRV 1 に第 3 の

電圧（１．５Ｖ）が印加される。

【０１９５】

例えば、スイッチＢＳＷ０は、Ｎ型ＭＯＳトランジスタであり、スイッチＢＳＷ１は、Ｐ型ＭＯＳトランジスタである。そして、スイッチＢＳＷ０及びスイッチＢＳＷ１のゲートに同一のゲート電圧を印加することで、上述の排他的なオンが可能とされている。

【０１９６】

（実施の形態４の動作）

続いて、図１５を参照して、本実施の形態４に係る半導体記憶装置４の書き込み動作について説明する。以下、図１４に示すように、Ｉ／Ｏ_—０のメモリセルＭＣ０と、Ｉ／Ｏ_—１のメモリセルＭＣ８とに同時にデータとして“０”を書き込む例について説明する。また、メモリセルＭＣ２、ＭＣ３、ＭＣ６、ＭＣ７、ＭＣ１０、ＭＣ１１、ＭＣ１４、ＭＣ１５が消去状態である例について説明する。

【０１９７】

書き込み動作前は、ワード線ＷＬ０～ＷＬ３、制御ゲート線ＣＧ０、ＣＧ１、ソース線ＳＬ０、ＳＬ１、ビット線ＢＬ０、ＢＬ１の各々の状態については、実施の形態１と同様である。スイッチＳＷ０、ＳＷ１は、ゲート電圧として、低レベルの電圧（０Ｖ）が印加されている。すなわち、スイッチＳＷ０、ＳＷ１は、オフである。スイッチＢＳＷ０、ＢＳＷ１は、ゲート電圧として、高レベルの電圧（ＶＣＣ）が印加されている。すなわち、スイッチＢＳＷ０は、オンであり、スイッチＢＳＷ１は、オフである。この電圧ＶＣＣは、スイッチＢＳＷ０をオンにできる程度に、後述の低レベルの電圧（０Ｖ）よりも大きい電圧である。

【０１９８】

ビット線ＢＬ２、ＢＬ３も、書き込み回路ＷＣによって、ビット線ＢＬ０、ＢＬ１と同様に、低レベルの電圧（０Ｖ）が印加されている。すなわち、本実施の形態４では、半導体記憶装置４は、ビット線ＢＬ２、ＢＬ３に対しても、図５及び図１２に示したスイッチＷＳＷ_a～ＷＳＷ_d及びインバータＷＮＣ_a、ＷＮＣ_bに相当する低レベル（０Ｖ）を印加するためのスイッチ（トランジスタ）及びインバータが必要であることは、実施の形態１～３の説明から自明である。そのため、ここでは、図示及びその説明を省略する。

【０１９９】

第１のタイミング（図１５の（１））：

書き込み動作を開始すると、制御ゲート線ＣＧ０、ソース線ＳＬ０、ビット線ＢＬ０、ＢＬ１の各々の電圧は、実施の形態１と同様に变化する。本実施の形態４では、書き込み回路ＷＣは、ビット線ＢＬ２、ＢＬ３に対しても、低レベルの電圧（０Ｖ）の印加を終了し、メモリセルＭＣ８～ＭＣ１５に誤書き込みが行われない高レベルの電圧（１．５Ｖ、後述のワード線の高レベルの電圧よりも高い電圧）の印加を開始する。

【０２００】

第２のタイミング（図１５の（２））：

本実施の形態４では、このタイミングでは、非選択ソース線ＳＬ１の電圧は変化しない。

【０２０１】

第３のタイミング（図１５の（３））：

選択ワード線ＷＬ０及び選択ビット線ＢＬ０の各々の電圧は、実施の形態１と同様に变化する。本実施の形態４では、書き込み回路ＷＣは、選択ビット線ＢＬ２に対しても、高レベルの電圧（１．５Ｖ）の印加を終了し、定電流（１μＡ）を印加する。これにより、メモリセルＭＣ８において、電圧の高いソース線ＳＬ０から、それよりも電圧の低いビット線ＢＬ２に向かって電流が流れる。それにより発生するホットエレクトロンがフローティングゲートに注入されることで、メモリセルＭＣ８にもデータが書き込まれる。

【０２０２】

ここで、書き込み回路ＷＣは、スイッチＳＷ０のゲート電圧として、低レベルの電圧（０Ｖ）の印加を終了し、高レベルの電圧（ＶＣＣ）の印加を開始する。すなわち、スイッ

チSW0をオンにする。この電圧VCCは、スイッチSW0をオンにできる程度に、上述の低レベルの電圧(0V)よりも大きい電圧である。そして、半導体記憶装置4は、スイッチBSWaをオフにし、スイッチBSWbをオンにすることで、非選択ソース線SL1に対して、グランド電圧(0V)の印加を終了し、電圧バッファ回路BUF及びソース線ドライバSLDRV1を介して、この選択ビット線BL0の電圧(0.4V)の印加を開始する。

【0203】

ここで、上述したように、非選択ソース線SL1の電圧は、選択ビット線BL0の電圧と同じ電圧(0.4V)となる。よって、非選択メモリセルMC2、MC3に接続された選択ビット線BL0の電圧と、非選択メモリセルMC2、MC3に接続された非選択ソース線SL1の電圧は、同一(0.4V)となる。また、非選択メモリセルMC10、MC11に接続された選択ビット線BL2の電圧と、非選択メモリセルMC10、MC11に接続されたソース線SL1の電圧も、同一(0.4V)となる。したがって、非選択メモリセルMC2、MC3、MC10、MC11におけるサブスレッショルド・リーク電流を遮断することができる。

10

【0204】

また、非選択メモリセルMC6、MC7に接続された非選択ビット線BL1の電圧(1.5V)と、非選択メモリセルMC6、MC7に接続された非選択ソース線SL1の電圧(0.4V)との電圧差が低減される。非選択メモリセルMC14、MC15に接続された非選択ビット線BL3の電圧(1.5V)と、非選択メモリセルMC14、MC15に接続された非選択ソース線SL1の電圧(0.4V)との電圧差が低減される。これらに加えて、ソース線SL1に電圧が印加されることによる基板バイアス効果によって非選択メモリセルMC6、MC7、MC14、MC15の閾値電圧が高くなるため、非選択メモリセルMC6、MC7、MC14、MC15におけるサブスレッショルド・リーク電流を削減することができる。

20

【0205】

第4のタイミング(図15の(4)):

選択ワード線WL0及び選択ビット線BL0の各々の電圧は、実施の形態1と同様に变化する。本実施の形態4では、書き込み回路WCは、メモリセルMC0に誤書き込みが行われない電圧レベルの電圧(1.5V)を、ビット線BL2にも印加する。

30

【0206】

書き込み回路WCは、スイッチSW0のゲート電圧として、高レベルの電圧(VCC)の印加を終了し、低レベルの電圧(0V)の印加を開始する。すなわち、スイッチSW0をオフにする。半導体記憶装置4は、スイッチBSWaをオンにし、スイッチBSWbをオフにすることで、非選択ソース線SL1に対して、選択ビット線BL0の電圧(0.4V)の印加を終了し、ソース線ドライバSLDRV1を介して低レベルの電圧(0V)の印加を開始する。

【0207】

第5のタイミング(図15の(5)):

本実施の形態4では、このタイミングでは、非選択ソース線SL1の電圧は変化しない。

40

【0208】

第6のタイミング(図15の(6)):

制御ゲート線CG0、選択ソース線SL0及びビット線BL0、BL1の各々の電圧は、実施の形態1と同様に变化する。本実施の形態4では、書き込み回路WCは、ビット線BL2、BL3に対しても、高レベルの電圧(1.5V)の印加を終了し、低レベルの電圧(0V)の印加を開始する。

【0209】

続いて、図16を参照して、本実施の形態4に係る半導体記憶装置4の全てのI/O(チャンネル)に“1”のデータを書き込みする場合について説明する。以下、I/O__0

50

のメモリセルMC 0と、I/O 1のメモリセルMC 8とに同時にデータとして“1”を書き込む例について説明する。また、メモリセルMC 2、MC 3、MC 6、MC 7、MC 10、MC 11、MC 14、MC 15が消去状態である例について説明する。

【0210】

書き込み動作前は、ワード線WL 0～WL 3、制御ゲート線CG 0、CG 1、ソース線SL 0、SL 1、ビット線BL 0、BL 1の各々の状態については、上述の書き込み動作（“0”の書き込み）前と同様である。スイッチSW 0、SW 1、BSW 0、BSW 1の状態についても、上述の書き込み動作（“0”の書き込み）前と同様である。

【0211】

第1のタイミング（図16の（1））：

10

書き込み動作を開始すると、制御ゲート線CG 0、ソース線SL 0、ビット線BL 0～BL 3の各々の電圧は、上述の書き込み動作（“0”の書き込み）前と同様に变化する。本実施の形態4では、半導体記憶装置4は、スイッチBSW 0、BSW 1に対して、高レベルの電圧（VCC）の印加を終了し、低レベルの電圧（0V）の印加を開始する。これにより、スイッチBSW 0をオフにし、スイッチBSW 1をオンにすることで、非選択ソース線SL 1に対して、第1の電圧（0V）の印加を終了し、第3の電圧（1.5V）の電圧の印加を開始する。

【0212】

第2のタイミング（図16の（2））：

このタイミングでは、信号線の電圧は変化しない。

20

【0213】

第3のタイミング（図16の（3））：

ワード線ドライバWLDRV 0、WLDRV 2は、選択ワード線WL 0、WL 2に対して、低レベルの電圧（0V）の印加を終了し、高レベルの電圧（1.0V）の印加を開始する。これにより、メモリセルMC 0、MC 8に“1”のデータが書き込まれる。

【0214】

ここで、非選択メモリセルMC 2、MC 3、MC 6、MC 7、MC 10、MC 11、MC 14、MC 15に接続されたビット線BL 0～BL 3の電圧と、非選択メモリセルMC 2、MC 3、MC 6、MC 7、MC 10、MC 11、MC 14、MC 15に接続された非選択ソース線SL 1の電圧は、同一（1.5V）となる。したがって、非選択メモリセルMC 2、MC 3、MC 6、MC 7、MC 10、MC 11、MC 14、MC 15におけるサブスレッショルド・リーク電流を遮断することができる。

30

【0215】

第4のタイミング（図16の（4））：

ワード線ドライバWLDRV 0、WLDRV 2は、選択ワード線WL 0、WL 2に対して、高レベルの電圧（1.0V）の印加を終了し、低レベルの電圧（0V）の印加を開始する。

【0216】

第5のタイミング（図16の（5））：

このタイミングでは、信号線の電圧は変化しない。

40

【0217】

第6のタイミング（図16の（6））：

制御ゲート線CG 0、ソース線SL 0、ビット線BL 0～BL 3の各々の電圧は、上述の書き込み動作（“0”の書き込み）前と同様に变化する。本実施の形態4では、半導体記憶装置4は、スイッチBSW 0、BSW 1に対して、低レベルの電圧（0V）の印加を終了し、高レベルの電圧（VCC）の印加を開始する。これにより、スイッチBSW 0をオンにし、スイッチBSW 1をオフにすることで、非選択ソース線SL 1に対して、第3の電圧（1.5V）の印加を終了し、第1の電圧（0V）の電圧の印加を開始する。

【0218】

なお、実施の形態1～3では“1”のデータを書き込む場合でも、ダミーメモリセルM

50

C d m y 0、M C d m y 1 またはワード線トランジスタ W L T が生成するビット線の電圧を非選択ソース線に印加すればよい。このため、実施の形態 4 で示したスイッチ B S W 0、B S W 1 は、実施の形態 1 ~ 3 では必要ない。

【0219】

(実施の形態 4 の効果)

以上に説明したように、本実施の形態 4 では、メモリセル M C 0 にデータとして “ 0 ” を書き込む場合、メモリセル M C 0 のビット線 B L 0 をソース線 S L 1 と接続している。

【0220】

これによれば、非選択ソース線 S L 1 に印加する電圧としてダミーメモリセル M C d m y 0、M C d m y 1 又はワード線トランジスタ W L T を用いる必要はない。また、ダミーメモリセル M C d m y 0、M C d m y 1 又はワード線トランジスタ W L T 用のワード線ドライバ W L D R V d m y 0、W L D R V d m y 1、制御ゲート線ドライバ C G D R V d m y、ソース線ドライバ S L D R V d m y 及び書き込み回路 W C d m y も必要ない。したがって半導体チップの面積を削減することができる。また、実施の形態 3 で説明した、書き込み動作中にダミーメモリセルに高電圧が印加され続けることによって発生するホットエレクトロンによる特性変動の影響もない。

【0221】

また、本実施の形態 4 では、メモリセル M C 0 にデータとして “ 1 ” を書き込む場合、非選択ソース線 S L 1 には選択ビット線 B L 0、B L 2 の高レベルと同じ電圧を印加する。非選択セクタのメモリセル M C 2、M C 3、M C 6、M C 7、M C 1 0、M C 1 1、M C 1 4、M C 1 5 に接続されたソース線とビット線が同じ電圧となるため、非選択メモリセル M C 2、M C 3、M C 6、M C 7、M C 1 0、M C 1 1、M C 1 4、M C 1 5 におけるサブスレッショルド・リーク電流を遮断することができる。

【0222】

< 実施の形態の概略構成 >

続いて、図 17 を参照して、上述した実施の形態 1 ~ 3 に係る半導体記憶装置 1 ~ 3 の概略構成となる半導体記憶装置 10 の構成について説明する。すなわち、実施の形態 1 ~ 3 に係る半導体記憶装置 1 ~ 3 における特徴的構成の一部は、図 12 に示すように抽出される。

【0223】

図 17 に示すように、半導体記憶装置 10 は、第 1 のメモリセル 11 と、第 2 のメモリセル 12 と、ダミートランジスタ 13 と、電圧制御回路 14 とを有する。

【0224】

第 1 のメモリセル 11 は、第 1 のトランジスタ 110 を有する。第 1 のトランジスタ 110 は、第 1 のワード線と、第 1 のソース線と、ビット線とに接続される第 1 のトランジスタを有する。第 1 のメモリセル 11 は、メモリセル M C 0 ~ M C 7 のいずれか (上述の例ではメモリセル M C 0) に対応する。

【0225】

第 2 のメモリセル 12 は、第 2 のトランジスタ 120 を有する。第 2 のトランジスタ 120 は、第 2 のワード線と、第 2 のソース線と、上記ビット線とに接続される。第 2 のメモリセル 12 は、メモリセル M C 0 ~ M C 7 のいずれか (上述の例ではメモリセル M C 2) に対応する。

【0226】

第 1 のダミートランジスタ 13 は、第 1 のトランジスタ 110 と同一構造である。第 1 のダミートランジスタ 13 は、ダミーワード線と、ダミーソース線と、ダミービット線とに接続される。第 1 のダミートランジスタ 13 は、メモリトランジスタ M T d m y 0、M T d m y 1 のいずれか (上述の例ではメモリトランジスタ M T d m y 0)、又は、ワード線トランジスタ W L T に対応する。

【0227】

電圧制御回路 14 は、第 1 のメモリセル 11 にデータを書き込むための所定電圧が第 1

10

20

30

40

50

のワード線に印加される場合、ダミービット線を第２のソース線と接続する。電圧制御回路１４は、上記所定電圧をダミーワード線に印加する。電圧制御回路１４は、ドライバＷＬＤＲＶ１～ＷＬＤＲＶ３、ＷＬＤＲＶｄｍｙ０、ＷＬＤＲＶｄｍｙ１、ＣＧＤＲＶ０、ＣＧＤＲＶ１、ＣＧＤＲＶｄｍｙ、ＳＬＤＲＶ０、ＳＬＤＲＶ１、ＳＬＤＲＶｄｍｙ、書き込み回路ＷＣ、ＷＣｄｍｙ及び定電流回路ＬＣＣに対応する。

【０２２８】

続いて、図１８を参照して、上述した実施の形態４に係る半導体記憶装置４の概略構成となる半導体記憶装置２０の構成について説明する。すなわち、実施の形態４に係る半導体記憶装置４における特徴的構成の一部は、図１３に示すように抽出される。

【０２２９】

図１８に示すように、半導体記憶装置２０は、第１のメモリセル２１と、第２のメモリセル２２と、電圧制御回路２３とを有する。

【０２３０】

第１のメモリセル２１は、第１のトランジスタ２１０を有する。第１のトランジスタ２１０は、第１のワード線と、第１のソース線と、ビット線とに接続される。第１のメモリセル２１は、メモリセルＭＣ０～ＭＣ１５のいずれか（上述の例ではメモリセルＭＣ０又はメモリセルＭＣ８）に対応する。

【０２３１】

第２のメモリセル２２は、第２のトランジスタ２２０を有する。第２のトランジスタ２２０は、第２のワード線と、第２のソース線と、上記ビット線とに接続される。第２のメモリセル２２は、メモリセルＭＣ０～ＭＣ１５のいずれか（上述の例ではメモリセルＭＣ２又はメモリセルＭＣ１０）に対応する。

【０２３２】

電圧制御回路２３は、第１のメモリセル２１にデータを書き込む場合、ビット線を第２のソース線と接続する。電圧制御回路２３は、ドライバＷＬＤＲＶ１～ＷＬＤＲＶ３、ＣＧＤＲＶ０、ＣＧＤＲＶ１、ＳＬＤＲＶ０、ＳＬＤＲＶ１及び書き込み回路ＷＣに対応する。

【０２３３】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【符号の説明】

【０２３４】

１、２、３、４ 半導体記憶装置

９ メモリセルアレイ

ＢＬ０、ＢＬ１、ＢＬ２、ＢＬ３ ビット線

ＢＬｄｍｙ ダミービット線

ＢＮＣ、ＬＮＣ、ＷＮＣａ、ＷＮＣｂ、ＷＮＣｄｍｙ インバータ

ＢＳＷ０、ＢＳＷ１、ＢＳＷａ、ＢＳＷｂ、ＬＳＷａ、ＬＳＷｂ、ＳＷ０、ＳＷ１、ＳＳＷ０、ＳＳＷ１、ＳＳＷ２、ＳＳＷ３、ＳＳＷｄｍｙ０、ＳＳＷｄｍｙ１、ＷＳＷ０、ＷＳＷ１、ＷＳＷ２、ＷＳＷ３、ＷＳＷ４、ＷＳＷ５、ＷＳＷ６、ＷＳＷ７、ＷＳＷａ、ＷＳＷｂ、ＷＳＷｃ、ＷＳＷｄ、ＷＳＷｄｍｙａ、ＷＳＷｄｍｙｂ スイッチ

ＢＵＦ 電圧バッファ回路

ＢＶＣ、ＳＶＣ０、ＳＶＣ１、ＳＶＣｄｍｙ、ＷＶＣ０、ＷＶＣ１、ＷＶＣｄｍｙ、ＶＣ 電源電圧回路

ＣＣ、ＷＣＣ０、ＷＣＣｄｍｙ 電流源回路

ＣＧｄｍｙ ダミー制御ゲート線

ＣＧ０、ＣＧ１ 制御ゲート線

ＣＧＤＲＶ０、ＣＧＤＲＶ１、ＣＧＤＲＶｄｍｙ 制御ゲート線ドライバ

ＬＣＣ 定電流回路

10

20

30

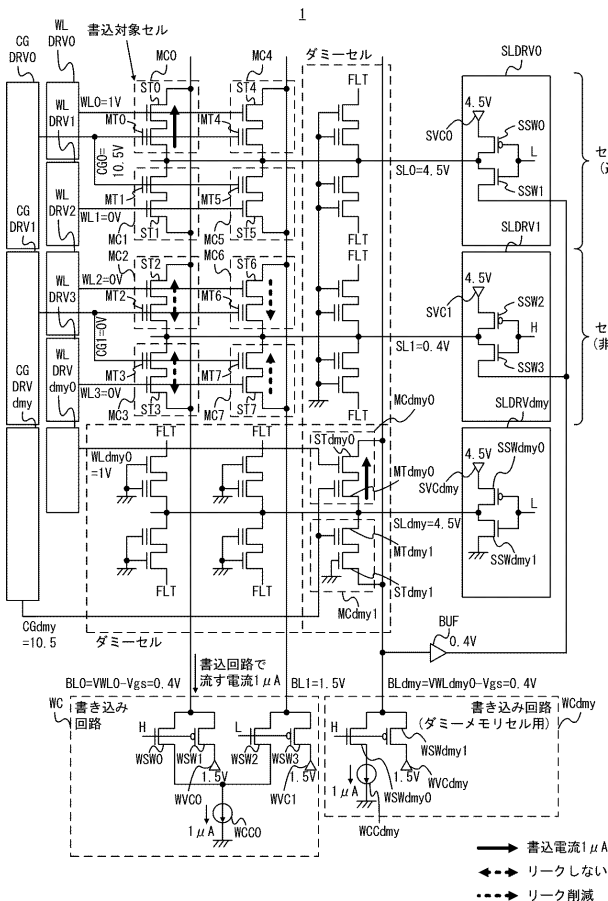
40

50

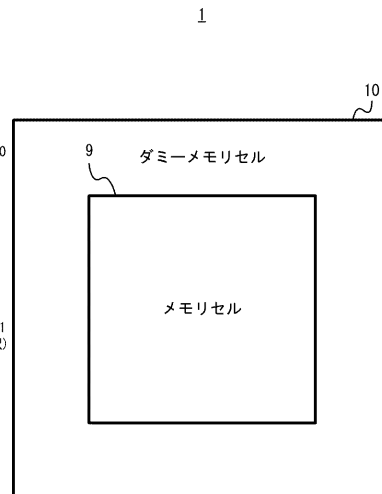
MC0、MC1、MC2、MC3、MC4、MC5、MC6、MC7、MC8、MC9、
 MC10、MC11、MC12、MC13、MC14、MC15 メモリセル
 MCdmy0、MCdmy1 ダミーメモリセル
 MT0、MT1、MT2、MT3、MT4、MT5、MT6、MT7、MT8、MT9、
 MT10、MT11、MT12、MT13、MT14、MT15、MTdmy0、MTdmy1 メモリトランジスタ
 SL0、SL1 ソース線
 SLDRV0、SLDRV1、SLDRVdmy ソース線ドライバ
 SLdmy ダミーソース線
 ST0、ST1、ST2、ST3、ST4、ST5、ST6、ST7、ST8、ST9、
 ST10、ST11、ST12、ST13、ST14、ST15、STdmy0、STdmy1 選択トランジスタ
 WC、WCdmy 書き込み回路
 WL0、WL1、WL2、WL3 ワード線
 WLDRV1、WLDRV2、WLDRV3、WLDRV4、WLDRVdmy0、WLDRVdmy1 ワード線ドライバ
 WLdmy0、WLdmy1 ダミーワード線
 WLT ワード線トランジスタ

10

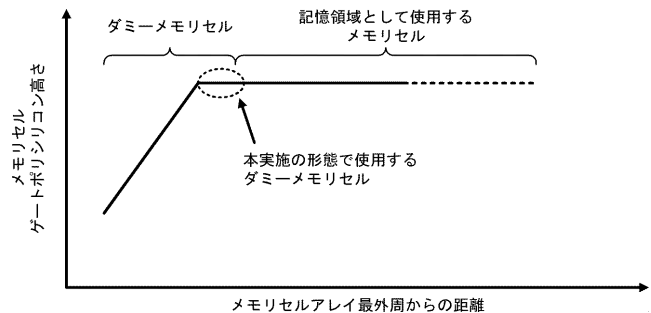
【図1】



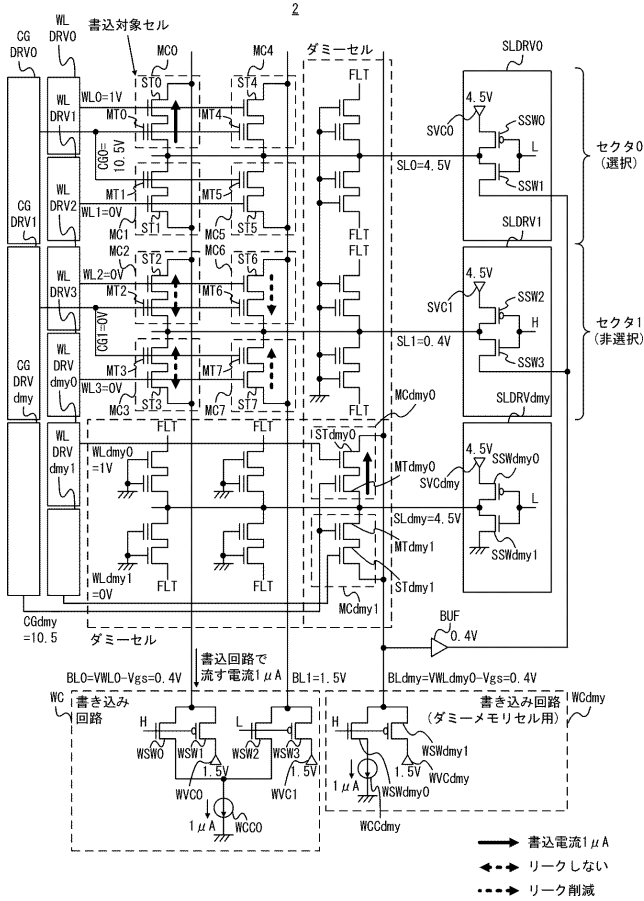
【図2】



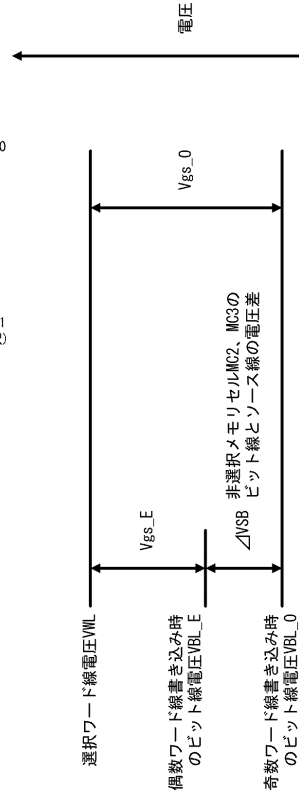
【図3】



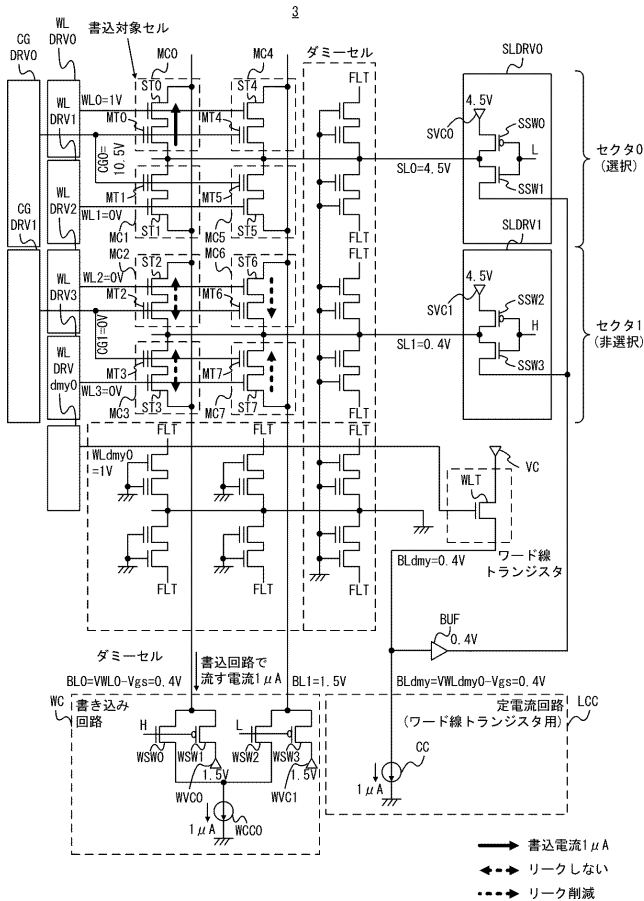
【図 8】



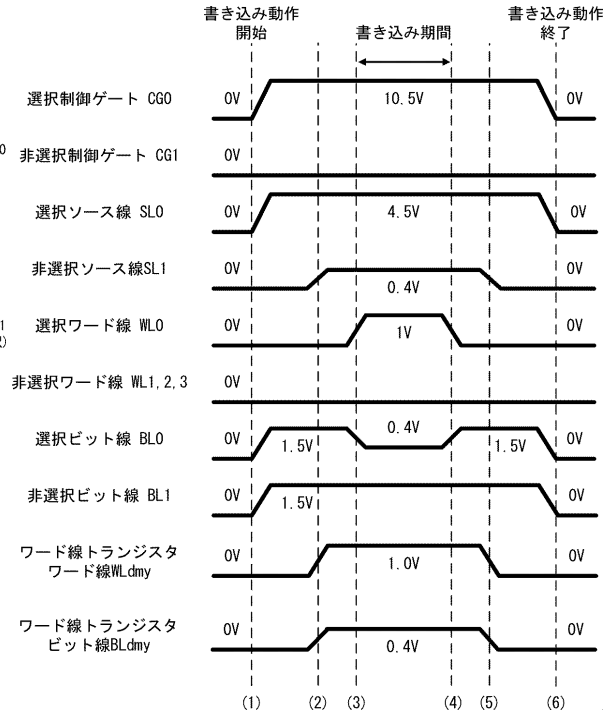
【図 9】



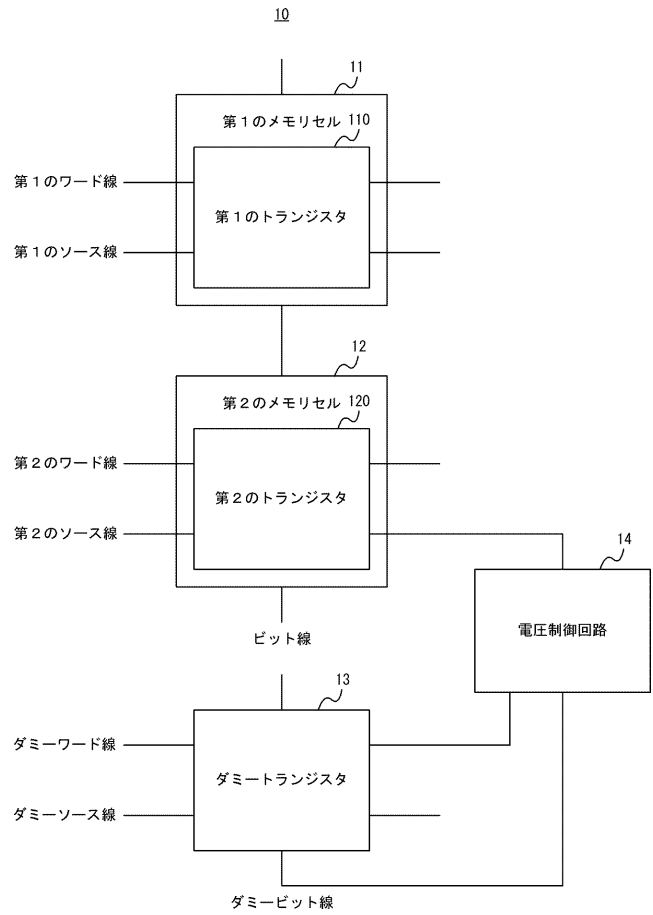
【図 10】



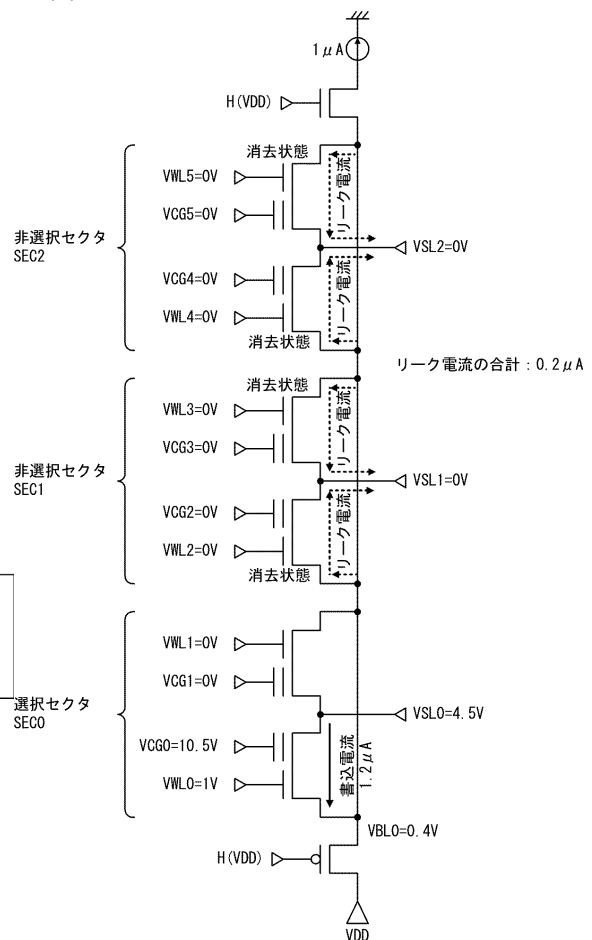
【図 11】



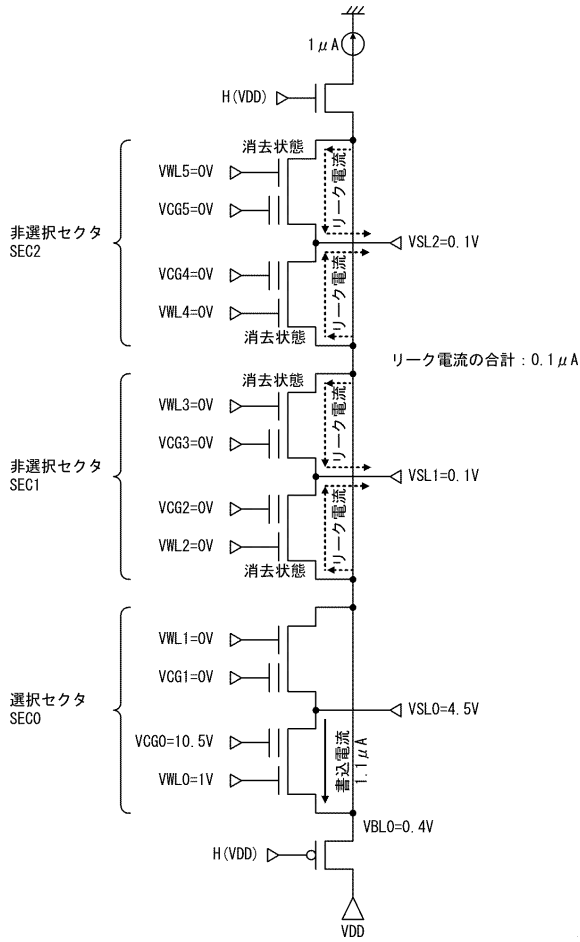
【 図 1 7 】



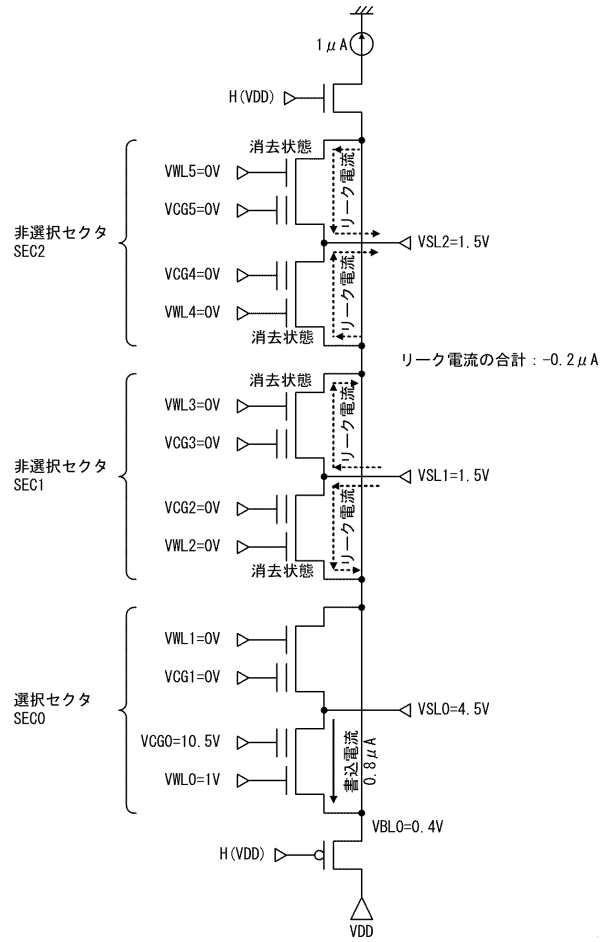
【 図 1 9 】



【図 20】



【図 21】



フロントページの続き

F ターム(参考) 5B225 BA02 BA03 BA09 CA19 DB02 DB22 EA07 EB10 EC06 EC09
EG09 EG18 EJ06 EJ09 EJ10 FA02 FA05 FA07