

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 2 部門第 4 区分
 【発行日】平成 24 年 5 月 24 日 (2012.5.24)

【公開番号】特開 2009-292147 (P2009-292147A)
 【公開日】平成 21 年 12 月 17 日 (2009.12.17)
 【年通号数】公開・登録公報 2009-050
 【出願番号】特願 2009-108465 (P2009-108465)
 【国際特許分類】

B 4 1 J 2/05 (2006.01)

H 0 4 N 1/034 (2006.01)

【F I】

B 4 1 J 3/04 1 0 3 B

H 0 4 N 1/034

【手続補正書】
 【提出日】平成 24 年 4 月 4 日 (2012.4.4)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項 1】

複数の記録素子を備える第 1 の記録素子列と、
 複数の記録素子を備える第 2 の記録素子列と、
前記第 1 の記録素子列の複数の記録素子を、複数のブロックに区分けし、各ブロックごとに時分割駆動を行う第 1 の駆動回路と、
前記第 2 の記録素子列の複数の記録素子を、複数のブロックに区分けし、各ブロックごとに時分割駆動を行う第 2 の駆動回路と、
前記第 1 の記録素子列の前記複数の記録素子を駆動するための第 1 データと、前記第 2 の記録素子列の前記複数の記録素子を駆動するための第 2 データと、前記第 1 及び第 2 の記録素子列それぞれの前記複数のブロックの内、駆動するブロックを選択するための選択情報とを保持するシフトレジスタ回路とを有することを特徴とする記録素子基板。

【請求項 2】

前記第 1 データと前記第 2 データと前記選択情報とは、前記シフトレジスタ回路に、1 つの入力端子から入力されることを特徴とする請求項 1 に記載の記録素子基板。

【請求項 3】

前記第 1 の記録素子列と前記第 2 の記録素子列とは、並行して設けられていることを特徴とする請求項 1 又は 2 に記載の記録素子基板。

【請求項 4】

前記第 1 の記録素子列と前記第 2 の記録素子列とは、それぞれ異なるインク供給口から供給されるインクを吐出するために用いられることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の記録素子基板。

【請求項 5】

前記第 1 の駆動回路と前記第 2 の駆動回路とは、前記第 1 の記録素子列と前記第 2 の記録素子列との間の領域に設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の記録素子基板。

【請求項 6】

前記選択情報をデコードして、前記第 1 の駆動回路へ第 1 のブロック制御信号を出力し

、前記第 2 の駆動回路へ第 2 のブロック制御信号を出力するデコーダをさらに有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の記録素子基板。

【請求項 7】

前記第 1 の駆動回路は、前記第 1 のブロック制御信号と前記第 1 データとに基づいて、前記第 1 の記録素子列の前記複数の記録素子を時分割駆動し、

前記第 2 の駆動回路は、前記第 2 のブロック制御信号と前記第 2 データとに基づいて、前記第 2 の記録素子列の前記複数の記録素子を時分割駆動することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の記録素子基板。

【請求項 8】

前記第 1 の駆動回路で実行される時分割の数と前記第 2 の駆動回路で実行される時分割の数は等しいことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の記録素子基板。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の記録素子基板を有することを特徴とする記録ヘッド。

【請求項 10】

請求項 9 に記載の記録ヘッドを装着することが可能なキャリッジを有することを特徴とする記録装置。

【請求項 11】

前記記録ヘッドに転送されるデータを生成する回路をさらに有することを特徴とする請求項 10 に記載の記録装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

上記課題を解決するための本発明は、複数の記録素子を備える第 1 の記録素子列と、複数の記録素子を備える第 2 の記録素子列と、前記第 1 の記録素子列の複数の記録素子を、複数のブロックに区分けし、各ブロックごとに時分割駆動を行う第 1 の駆動回路と、前記第 2 の記録素子列の複数の記録素子を、複数のブロックに区分けし、各ブロックごとに時分割駆動を行う第 2 の駆動回路と、前記第 1 の記録素子列の前記複数の記録素子を駆動するための第 1 データと、前記第 2 の記録素子列の前記複数の記録素子を駆動するための第 2 データと、前記第 1 及び第 2 の記録素子列それぞれの前記複数のブロックの内、駆動するブロックを選択するための選択情報とを保持するシフトレジスタ回路とを有することを特徴とする記録素子基板である。