



(12) 发明专利申请

(10) 申请公布号 CN 103199823 A

(43) 申请公布日 2013. 07. 10

(21) 申请号 201310118684. 0

(22) 申请日 2013. 04. 08

(71) 申请人 宁波大学

地址 315211 浙江省宁波市江北区风华路
818 号

(72) 发明人 郭杨波 范晓慧 倪海燕 胡建平

(74) 专利代理机构 宁波奥圣专利代理事务所
(普通合伙) 33226

代理人 邱积权

(51) Int. Cl.

H03K 3/012(2006. 01)

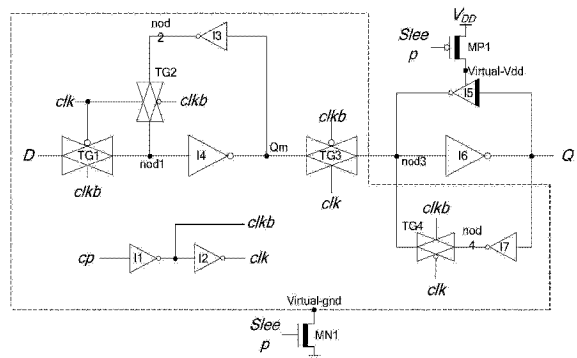
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种高性能低漏功耗主从型 D 触发器

(57) 摘要

本发明公开了一种高性能低漏功耗主从型 D 触发器,特点是包括时钟信号反相器电路、主锁存器电路、从锁存器电路、NMOS 管功控开关、PMOS 管功控开关和保持反相器,时钟信号反相器电路与主锁存器电路相连,时钟信号反相器电路与从锁存器电路相连,主锁存器电路与从锁存器电路相连,从锁存器电路与保持反相器相连,保持反相器与 PMOS 管功控开关相连,时钟信号反相器电路、主锁存器电路和从锁存器电路均与 NMOS 管功控开关相连,保持反相器与 PMOS 管功控开关相连;优点是电路结构简单,晶体管数较少,正常工作状态和休眠模式时序切换简单,工作性能良好且动态功耗和漏功耗较低;在深亚微米 CMOS 工艺下,非常适合作为数字电路的标准单元应用于低功耗集成电路的设计中。



1. 一种高性能低漏功耗主从型 D 触发器,其特征在于包括时钟信号反相器电路、主锁存器电路、从锁存器电路、NMOS 管功控开关、PMOS 管功控开关和保持反相器(data-path inverters),所述的时钟信号反相器电路与所述的主锁存器电路相连,所述的时钟信号反相器电路与所述的从锁存器电路相连,所述的主锁存器电路与所述的从锁存器电路相连,所述的从锁存器电路与所述的保持反相器相连,所述的保持反相器与所述的 PMOS 管功控开关相连,所述的时钟信号反相器电路、所述的主锁存器电路和所述的从锁存器电路均与所述的 NMOS 管功控开关相连。

2. 根据权利要求 1 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的时钟信号反相器电路包括用于对输入的时钟信号进行反相的第一反相器和第二反相器,所述的第一反相器的输出端与所述的第二反相器的输入端相连,时钟信号从所述的第一反相器的输入端输入。

3. 根据权利要求 2 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的主锁存器电路包括第一传输门、第二传输门、第三反相器和第四反相器,所述的第一传输门的输出端与所述的第四反相器的输入端相连,所述的第一传输门的同相控制端与所述的第一反相器的输出端相连,所述的第一传输门的反相控制端与所述的第二传输门的同相控制端相连,所述的第二传输门的同相控制端与所述的第二反相器的输出端相连,所述的第二传输门的反相控制端与所述的第一反相器的输出端相连,所述的第四反相器的输入端与所述的第二传输门的输出端相连,所述的第四反相器的输出端与所述的第三反相器的输入端相连,所述的第三反相器的输出端与所述的第二传输门的输入端相连。

4. 根据权利要求 3 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的从锁存器电路包括第三传输门、第六反相器、第七反相器和第四传输门,所述的第三传输门的输入端与所述的第四反相器的输出端相连,所述的第三传输门的同相控制端与所述的第二反相器的输出端相连,所述的第三传输门的反相控制端与所述的第一反相器的输出端相连,所述的第三传输门的输出端与所述的第六反相器的输入端相连,所述的第六反相器的输出端与所述的第七反相器的输入端相连,所述的第七反相器的输出端与所述的第四传输门的输入端相连,所述的第四传输门的同相控制端与所述的第一反相器的输出端相连,所述的第四传输门的反相控制端与所述的第二反相器的输出端相连,所述的第四传输门的输出端与所述的第六反相器的输入端相连。

5. 根据权利要求 4 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的 NMOS 管功控开关为第一 NMOS 管,所述的第一 NMOS 管的衬底端和源极接地,所述的第一 NMOS 管的栅极与用于输入休眠控制信号的休眠信号控制端相连。

6. 根据权利要求 5 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的第一反相器、所述的第二反相器、所述的第三反相器、所述的第四反相器和所述的第七反相器中的 NMOS 管的衬底端和源极均与所述的第一 NMOS 管的漏极相连,所述的第一传输门、所述的第二传输门、所述的第三传输门和所述的第四传输门中的 NMOS 管的衬底端均与所述的第一 NMOS 管的漏极相连。

7. 根据权利要求 6 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的 PMOS 管功控开关为第一 PMOS 管,所述的第一 PMOS 管的栅极与所述的休眠信号控制端相连,所述的第一 PMOS 管的衬底端和源极均与电源相连。

8. 根据权利要求 7 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的保持反相器的输入端与所述的第六反相器的输出端相连,所述的保持反相器的输出端与所述的第六反相器的输入端相连,所述的保持反相器中的 PMOS 管的源极与所述的第一 PMOS 管的漏极相连。

9. 根据权利要求 8 所述的一种高性能低漏功耗主从型 D 触发器,其特征在于所述的第一 NMOS 管为高阈值 NMOS 管,所述的第一 PMOS 管为高阈值 PMOS 管,所述的保持反相器中的 MOS 管为高阈值 MOS 管。

一种高性能低漏功耗主从型 D 触发器

技术领域

[0001] 本发明涉及一种 D 触发器,尤其是一种高性能低漏功耗主从型 D 触发器。

背景技术

[0002] 随着集成电路制造工艺的快速发展,现有的集成电路的规模和复杂性日益增大,集成电路的功耗问题也越来越突出,功耗已成为集成电路设计中除速度和面积之外的另一个重要约束问题,因此集成电路的低功耗设计技术成为当前集成电路设计领域中一个重要的研究热点。CMOS 数字集成电路的功耗主要由动态功耗、短路功耗和漏电流功耗构成。在 $0.13\mu\text{m}$ 以上的 CMOS 工艺中,动态功耗占集成电路总功耗的绝大部分。随着 CMOS 工艺的进一步发展,工艺尺寸进入纳米数量级,漏电流功耗(漏功耗)在集成电路总功耗中的比重逐步增加。研究表明在 90nm 工艺下,漏功耗已占到整个电路总功耗的约三分之一(见文献 S. G. Narendra and A. Chandrakasan,“Leakage in nanometer CMOS technologies”, Springer, 2006.)。

[0003] 在纳米级的 CMOS 集成电路工艺下, MOS 器件主要存在三种漏电流:亚阈值漏电流、栅极漏电流和漏源-衬底反偏结电流,其中亚阈值漏电流和栅极漏电流功耗占泄漏功耗中的绝大部分(见文献 F. Fallah, M. Pedram,“Standby and active leakage current control and minimization in CMOS VLSI circuits”, IEICE trans. on Electronics, Vol. E88-C(4), pp. 509-519, 2005.)。

[0004] 触发器电路单元在数字集成电路中有广泛的应用。图 1 为 D 触发器电路单元示意图。图 2 为广泛应用于数字集成电路设计中的传统单阈值传输门 D 触发器(ST-TG FF)电路单元基本电路结构,这种电路的特点是电路结构比较简单,其缺点在于没有考虑漏功耗抑制问题,因此在纳米 CMOS 工艺下其漏功耗较大。

[0005] S. Mutoh 提出了一种采用多阈值技术的 D 触发器电路 Mutoh-FF(见文献 S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada, 1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS. IEEE Journal of Solid-State Circuits Vol. 30(8), August 1995.)。如图 3 所示,该技术的特点在于对关键路径采用高速低阈值晶体管,同时采用低漏电流的高阈值晶体管作为功耗开关,在触发器空闲期间关断关键路径单元电源,从而减小触发器的亚阈值漏功耗。但是这种电路的缺点是功耗开关仅仅关断关键路径单元,其他单元如时钟反相器等依然处于活动状态,对漏功耗的减小有限;引入功耗开关不仅增大了动态功耗,减慢了工作速度,同时由于多个功耗开关的设置导致触发器的面积较大,提高了制造成本。

[0006] 在 Mutoh-FF 电路的基础上, S. Shigematsu 等提出了一种具有数据保持功能的多阈值 D 触发器电路 Balloon-FF(见文献 S. Shigematsu, S. Mutoh, Y. Matsuya, Y. Tanabe, and J. Yamada,“A 1-V High-Speed MTCMOS circuit scheme for power down application circuits,” IEEE Journal of Solid-State Circuits, Vol. 32(6), June 1997.)。如图 4 所示,该电路的优点在于引用一个功耗开关来减小触发器休眠期间的漏功耗,同时利用连接

在从锁存器的存储单元保存触发器关断期间的数据,解决了功控开关关闭导致输出接点浮空的问题。但是该电路存在的缺点是时钟反相器仍处于活动状态,而且进入休眠和激活状态需要额外的控制信号,导致操作时序复杂;存储单元一直处于活动状态,增大了触发器的动态功耗,而且使用较多的晶体管增大了触发器的硅片面积,从而提高了制造成本。

发明内容

[0007] 本发明所要解决的技术问题是提供一种操作时序简单的高性能低漏功耗主从型 D 触发器,能够实现较低的动态功耗和漏功耗。

[0008] 本发明解决上述技术问题所采用的技术方案为:一种高性能低漏功耗主从型 D 触发器,包括时钟信号反相器电路、主锁存器电路、从锁存器电路、NMOS 管功控开关、PMOS 管功控开关和保持反相器(data-path inverters),所述的时钟信号反相器电路与所述的主锁存器电路相连,所述的时钟信号反相器电路与所述的从锁存器电路相连,所述的主锁存器电路与所述的从锁存器电路相连,所述的从锁存器电路与所述的保持反相器相连,所述的保持反相器与所述的 PMOS 管功控开关相连,所述的时钟信号反相器电路、所述的主锁存器电路和所述的从锁存器电路均与所述的 NMOS 管功控开关相连。

[0009] 所述的时钟信号反相器电路包括用于对输入的时钟信号进行反相的第一反相器和第二反相器,所述的第一反相器的输出端与所述的第二反相器的输入端相连,时钟信号从所述的第一反相器的输入端输入。

[0010] 所述的主锁存器电路包括第一传输门、第二传输门、第三反相器和第四反相器,所述的第一传输门的输出端与所述的第四反相器的输入端相连,所述的第一传输门的同相控制端与所述的第一反相器的输出端相连,所述的第一传输门的反相控制端与所述的第二传输门的同相控制端相连,所述的第二传输门的同相控制端与所述的第二反相器的输出端相连,所述的第二传输门的反相控制端与所述的第一反相器的输出端相连,所述的第四反相器的输入端与所述的第二传输门的输出端相连,所述的第四反相器的输出端与所述的第三反相器的输入端相连,所述的第三反相器的输出端与所述的第二传输门的输入端相连。

[0011] 所述的从锁存器电路包括第三传输门、第六反相器、第七反相器和第四传输门,所述的第三传输门的输入端与所述的第四反相器的输出端相连,所述的第三传输门的同相控制端与所述的第二反相器的输出端相连,所述的第三传输门的反相控制端与所述的第一反相器的输出端相连,所述的第三传输门的输出端与所述的第六反相器的输入端相连,所述的第六反相器的输出端与所述的第七反相器的输入端相连,所述的第七反相器的输出端与所述的第四传输门的输入端相连,所述的第四传输门的同相控制端与所述的第一反相器的输出端相连,所述的第四传输门的反相控制端与所述的第二反相器的输出端相连,所述的第四传输门的输出端与所述的第六反相器的输入端相连。

[0012] 所述的 NMOS 管功控开关为第一 NMOS 管,所述的第一 NMOS 管的衬底端和源极接地,所述的第一 NMOS 管的栅极与用于输入休眠控制信号的休眠信号控制端相连。

[0013] 所述的第一反相器、所述的第二反相器、所述的第三反相器、所述的第四反相器和所述的第七反相器中的 NMOS 管的衬底端和源极均与所述的第一 NMOS 管的漏极相连,所述的第一传输门、所述的第二传输门、所述的第三传输门和所述的第四传输门中的 NMOS 管的衬底端均与所述的第一 NMOS 管的漏极相连。

[0014] 所述的 PMOS 管功控开关为第一 PMOS 管, 所述的第一 PMOS 管的栅极与所述的休眠信号控制端相连, 所述的第一 PMOS 管的衬底端和源极均与电源相连。

[0015] 所述的保持反相器的输入端与所述的第六反相器的输出端相连, 所述的保持反相器的输出端与所述的第六反相器的输入端相连, 所述的保持反相器中的 PMOS 管的源极与所述的第一 PMOS 管的漏极相连。

[0016] 所述的第一 NMOS 管为高阈值 NMOS 管, 所述的第一 PMOS 管为高阈值 PMOS 管, 所述的保持反相器中的 MOS 管为高阈值 MOS 管。

[0017] 与现有技术相比, 本发明的优点在于电路结构简单, 晶体管数较少, 正常工作状态和休眠模式时序切换简单, 能够达到较好的工作性能和较低的动态功耗和漏功耗; 与传统的单阈值传输门 D 触发器电路相比, 在相同的测试条件下, 在 45nm 工艺下可以节省 41.8% 的漏功耗, 所提出的技术在深亚微米 CMOS 工艺下, 非常适合作为数字电路的标准单元应用于低功耗集成电路的设计中。

附图说明

[0018] 图 1 为现有技术中的 D 触发器单元示意图, 其中 D 为数据信号输入端, cp 为时钟信号输入端, Q 和 Qb 分别为互补信号输出端;

[0019] 图 2 为传统的单阈值传输门 D 触发器 ST-TG FF 电路结构图;

[0020] 图 3 为采用多阈值技术的 D 触发器 Mutoh-FF 电路结构图;

[0021] 图 4 为具有数据保持功能的多阈值 D 触发器 Balloon-FF 电路结构图;

[0022] 图 5 为本发明的电路结构图;

[0023] 图 6 为本发明的电路活动状态和休眠模式转换时序图。

具体实施方式

[0024] 以下结合附图实施例对本发明作进一步详细描述。

[0025] 一种高性能低漏功耗主从型 D 触发器, 包括时钟信号反相器电路、主锁存器电路、从锁存器电路、NMOS 管功控开关、PMOS 管功控开关和保持反相器 I5, 时钟信号反相器电路包括用于对输入的时钟信号进行反相的第一反相器 I1 和第二反相器 I2, 第一反相器 I1 的输出端与第二反相器 I2 的输入端相连, 主锁存器电路包括第一传输门 TG1、第二传输门 TG2、第三反相器 I3 和第四反相器 I4, 第一传输门 TG1 的输出端与第四反相器 I4 的输入端相连, 第一传输门 TG1 的同相控制端与第一反相器 I1 的输出端相连, 第一传输门 TG1 的反相控制端与第二传输门 TG2 的同相控制端相连, 第二传输门 TG2 的同相控制端与第二反相器 I2 的输出端相连, 第二传输门 TG2 的反相控制端与第一反相器 I1 的输出端相连, 第四反相器 I4 的输入端与第二传输门 TG2 的输出端相连, 第四反相器 I4 的输出端与第三反相器 I3 的输入端相连, 第三反相器 I3 的输出端与第二传输门 TG2 的输入端相连, 从锁存器电路包括第三传输门 TG3、第六反相器 I6、第七反相器 I7 和第四传输门 TG4, 第三传输门 TG3 的输入端与第四反相器 I4 的输出端相连, 第三传输门 TG3 的同相控制端与第二反相器 I2 的输出端相连, 第三传输门 TG3 的反相控制端与第一反相器 I1 的输出端相连, 第三传输门 TG3 的输出端与第六反相器 I6 的输入端相连, 第六反相器 I6 的输出端与第七反相器 I7 的输入端相连, 第七反相器 I7 的输出端与第四传输门 TG4 的输入端相连, 第四传输门 TG4 的同相

控制端与第一反相器 I1 的输出端相连,第四传输门 TG4 的反相控制端与第二反相器 I2 的输出端相连,第四传输门 TG4 的输出端与第六反相器 I6 的输入端相连,NMOS 管功控开关为第一 NMOS 管 MN1,第一 NMOS 管 MN1 为高阈值 NMOS 管,第一 NMOS 管 MN1 的衬底端和源极接地,第一 NMOS 管 MN1 的栅极与用于输入休眠控制信号的休眠信号控制端相连,第一反相器 I1、第二反相器 I2、第三反相器 I3、第四反相器 I4 和第七反相器 I7 中的 NMOS 管的衬底端和源极均与第一 NMOS 管 MN1 的漏极相连,第一传输门 TG1、第二传输门 TG2、第三传输门 TG3 和第四传输门 TG4 中的 NMOS 管的衬底端均与第一 NMOS 管 MN1 的漏极相连,PMOS 管功控开关为第一 PMOS 管 MP1,第一 PMOS 管 MP1 为高阈值 PMOS 管,第一 PMOS 管 MP1 的栅极与休眠信号控制端相连,第一 PMOS 管 MP1 的衬底端和源极与电源的正极相连,保持反相器 I5 的输入端与第六反相器 I6 的输出端相连,保持反相器 I5 的输出端与第六反相器 I6 的输入端相连,保持反相器 I5 中的 PMOS 管的源极与第一 PMOS 管 MP1 的漏极相连,保持反相器 I5 中的 MOS 管为高阈值 MOS 管。

[0026] 本发明的工作原理如下:

[0027] 高性能低漏功耗主从型 D 触发器根据睡眠信号 Sleep 可以有两种工作状态:正常工作状态和休眠模式。如图 6 所示,当睡眠信号 Sleep 为高电平时,高性能低漏功耗主从型 D 触发器处于正常工作状态(活动模式);当睡眠信号 Sleep 由高电平转换为低电平时,高性能低漏功耗主从型 D 触发器立即进入休眠模式。

[0028] 正常工作状态时,睡眠信号 Sleep 为高电平,第一 NMOS 管 MN1 导通,第一 PMOS 管 MP1 截止,保持反相器 I5 关断。

[0029] 当输入时钟信号 cp 为低电平时,主锁存器的第一传输门 TG1 导通,第二传输门 TG2 关断,输入数据信号 D 经过第四反相器 I4 反相后出现在第四反相器 I4 的输出端;而此时从锁存器的第三传输门 TG3 关断,第四传输门 TG4 导通,经交叉耦合的第六反相器 I6 和第七反相器 I7,触发器保持原状态。

[0030] 当输入时钟信号 cp 由低电平翻转到高电平时,主锁存器的第一传输门 TG1 关断,第二传输门 TG2 导通,交叉耦合的第三反相器 I3 和第四反相器 I4 保存当输入时钟信号 cp 为上升沿时对应的输入数据信号 D 的状态,此后无论输入数据信号 D 的状态如何改变,在 cp = 1 的全部时间里,主锁存器的状态不再改变;与此同时,从锁存器的第三传输门 TG3 导通,第四传输门 TG4 关断,主锁存器的状态经第六反相器 I6 反相后输出。在输入时钟信号 cp 的一个变化周期中,触发器的输出状态只能改变一次,因此电路实现了上升沿触发的 D 触发器功能。

[0031] 例如,当 cp=1 时,D 触发器的初始状态为输出数据信号 Q=0,当 cp 由 1 变为 0 以后,若 D=1,主锁存器的输出信号 Qm 将被置零,即 Qm=0,而从锁存器保持 Q=0 的状态不变;当 cp 回到高电平以后,从锁存器的第三传输门 TG3 导通,主锁存器的输出信号 Qm 经第六反相器 I6 反相后输出,即 Q=1。

[0032] 当睡眠信号 Sleep 为低电平时,第一 NMOS 管 MN1 截止,D 触发器进入休眠模式。此时主锁存器和从锁存器中的第一反相器 I1、第二反相器 I2、第三反相器 I3、第四反相器 I4、第七反相器 I7 中的 NMOS 管衬底端和源极浮地,第一传输门 TG1、第二传输门 TG2、第三传输门 TG3 和第四传输门 TG4 中的 NMOS 管衬底端浮地;同时,第一 PMOS 管 MP1 导通,保持反相器 I5 处于工作状态,保持反相器 I5 和第六反相器 I6 交叉耦合以保持 D 触发器的输出状态

不变。

[0033] 低漏功耗主从型 D 触发器应用功控技术和双阈值技术以降低触发器电路在不同工作状态的漏功耗,并保持电路高性能的工作状态。两种技术的工作原理如下:

[0034] 第一,应用功控技术实现 D 触发器的两种工作状态,当没有数据需要处理时使 D 触发器进入休眠模式,减少 D 触发器的活动性,从而降低 D 触发器功耗,实现 D 触发器的功控功能;睡眠信号 Sleep 为高电平时,第一 NMOS 管 MN1 导通, D 触发器处于正常工作状态,当第一 PMOS 管 MP1 截止时,保持反相器 I5 进入休眠模式,以降低电路的动态功耗;睡眠信号 Sleep 为低电平时,第一 NMOS 管 MN1 截止,触发器进入休眠模式,第一 PMOS 管 MP1 导通,保持反相器 I5 进入工作状态并和第六反相器 I6 交叉耦合,保持 D 触发器的输出状态不变,同时,第一 NMOS 管 MN1 和第一 PMOS 管 MP1 分别采用高阈值 NMOS 管和高阈值 PMOS 管,以降低休眠模式时第一 NMOS 管 MN1 和第一 PMOS 管 MP1 本身所带来的亚阈值漏电流功耗。

[0035] 第二,应用双阈值技术在保证电路性能的前提下能够降低触发器的亚阈值漏电流。D 触发器中使用的 MOS 管分为两类:高阈值 MOS 管和低阈值 MOS 管。高阈值 MOS 管相对于低阈值 MOS 管具有较低的亚阈值漏电流,因此,D 触发器中的保持反相器 I5、第一 NMOS 管 MN1 和第一 PMOS 管 MP1 均使用高阈值 MOS 管以减小电路休眠期间的漏功耗,其余部件均使用低阈值 MOS 管以保持触发器的高性能。

[0036] 此二种技术的应用在降低了电路漏功耗的同时也保证了电路的高性能;与此同时,由于电路结构简单且晶体管数目较少,电路的动态功耗大大降低。

[0037] 为了比较本发明所提出的高性能低功耗主从型 D 触发器与传统的 ST-TG FF 触发器、LFB FF 触发器、GLB FF 触发器的性能特点,我们采用了 BSIM4 深亚微米 CMOS 工艺预测模型,在 45nm 工艺下,使用电路仿真工具对 4 种电路结构进行了仿真比较分析。

[0038] 电路动态功耗仿真中时钟信号输入 c_p 为 100MHz,50% 占空比的方波信号。数据信号输入 D 为 20MHz,50% 占空比的方波信号(0V-1.0V)。表 1 所示在 45nm 工艺下,四种触发器电路功耗数据比较。功耗数据单位为微瓦特(μW)。

[0039] 表 1 触发器能耗的比较

[0040]

触发器	动态功耗 (μW)	静态功耗 (nW)	总功耗 (μW)
ST-TG FF	0.851	28.7	0.880
Muton-DFE	0.994	20.5	1.015
Balloon-DFE	0.915	10.8	0.926
本发明	0.883	16.7	0.900

[0041] 表 2 在 45nm 工艺下,四种触发器电路延时性能的比较。延时性能可以表述如下。建立时间:指输入信号应先于时钟信号到达的时间,分别有上升建立时间 $t_{su}(1-h)$,下降建立时间 $t_{su}(h-1)$ 。保持时间:为保证触发器可靠的翻转,输入信号需要保持一定时间,用 t_{hold} 表示,对于主从触发器保持时间为 0。传输延迟时间:指从时钟信号的边沿开始到输出端新状态稳定地建立起来所需时间,上升传播延时 $t_{c-q}(1-h)$ 和下降传播延时

$t_{c-q}(h-1)$ 。则触发器的延时可以表示为：

[0042] 上升延时 $t_{d-q}(l-h) = t_{su}(l-h) + t_{c-q}(l-h)$ ；

[0043] 下降延时 $t_{d-q}(h-1) = t_{su}(h-1) + t_{c-q}(h-1)$ 。

[0044] 那么触发器的总延时可以表示为： $t_{d-q} = \text{Max}[t_{d-q}(l-h), t_{d-q}(h-1)]$ 。四种触发器采用相同的电路配置。延时的数据单位为纳秒(ps)。

[0045] 表 2 触发器延时比较

触发器	建立时间(ps)		传播延时(ps)		触发器延时(ps)
	$t_{su}(l-h)$	$t_{su}(h-1)$	$t_{c-q}(l-h)$	$t_{c-q}(h-1)$	t_{d-q}
[0046] ST-TG-DFF	5.7	11.0	68.9	66.6	77.6
Muton-DFF	12.0	24.8	155.6	86.5	167.6
Balloon-DFF	6.7	11.1	81.9	73.9	88.6
本发明	6.7	12.0	79.6	78.0	90.0

[0047] 表 3 触发器晶体管数比较

[0048]

触发器	ST-TG DFF	Muton-DFF	Balloon-DFF	本发明
晶体管数	20	26	31	24

[0049] 从表中计算可知，与 ST-TG DFF 触发器电路相比，本发明的低漏功耗主从型 D 触发器节省了近 41.8% 的漏功耗和 -2.3% 的总功耗。而与 Muton-DFF 触发器相比节省了近 18.5% 的漏功耗和 11.3% 的总功耗。与 Balloon-DFF 触发器相比漏功耗增加了 38.0%，但是节省了 2.8% 的总功耗。本发明所提出的触发器相对于传统的 ST-TG DFF 和 Muton-DFF 触发器相比在漏功耗减小上明显优势。而在延时性能上，略有增加。同时由表 3 可见，本发明所提出的触发器与 Muton-DFF 触发器、Balloon-DFF 触发器相比具有更少的晶体管数目。

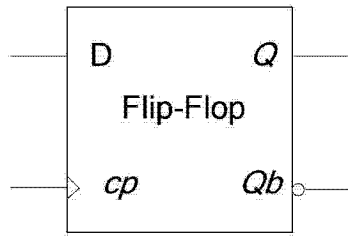


图 1

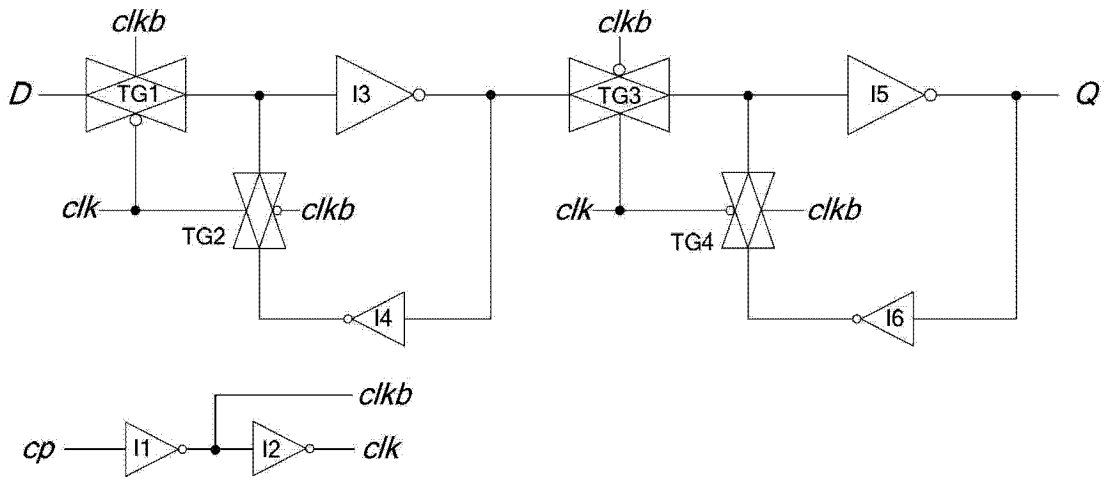


图 2

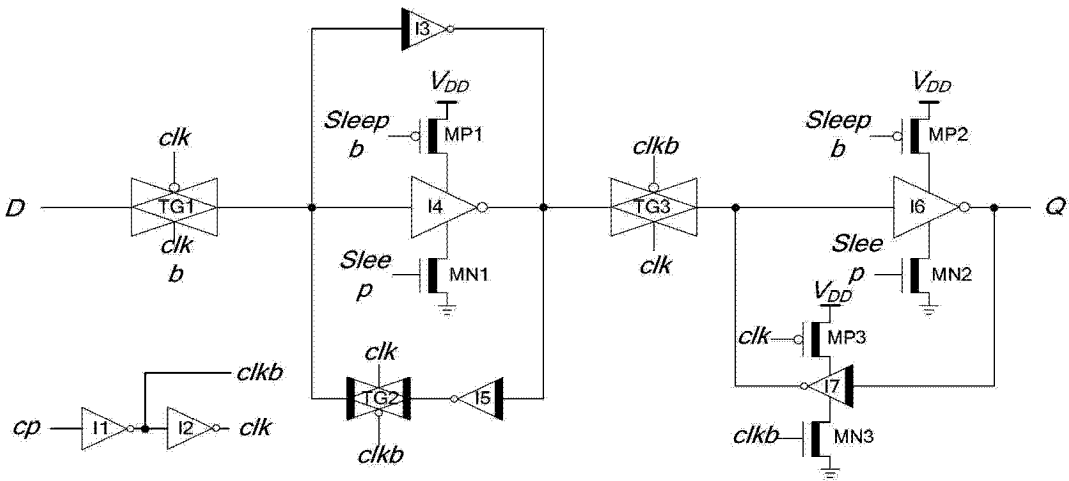


图 3

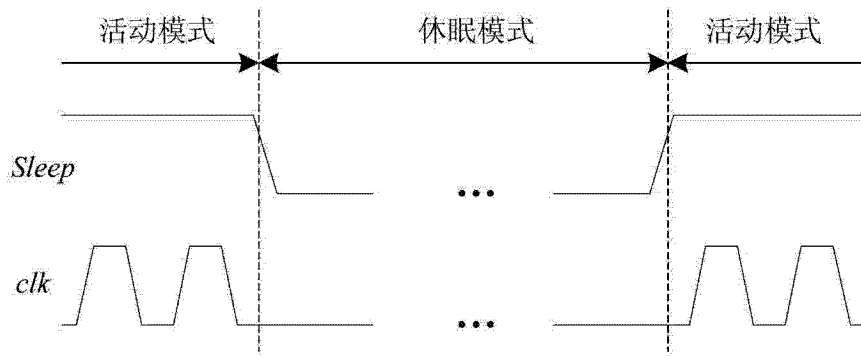


图 6