

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月25日(25.04.2019)



(10) 国際公開番号

WO 2019/078367 A1

(51) 国際特許分類:

H01L 21/8239 (2006.01) H01L 45/00 (2006.01)
H01L 27/10 (2006.01) H01L 49/00 (2006.01)
H01L 27/105 (2006.01)

(21) 国際出願番号: PCT/JP2018/039111

(22) 国際出願日: 2018年10月19日(19.10.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-202437 2017年10月19日(19.10.2017) JP

(71) 出願人: 学校法人 龍谷大学 (RYUKOKU UNIVERSITY) [JP/JP]; 〒5202194 滋賀県大津市瀬田大江町横谷 1 - 5 Shiga (JP).
ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 木村 睦 (KIMURA Mutsumi); 〒5202194 滋賀県大津市瀬田大江町横谷 1 - 5 学

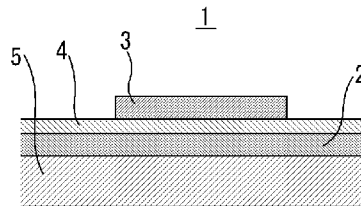
校法人 龍谷大学内 Shiga (JP). 杉崎 澄生 (SUGISAKI Sumio); 〒5202194 滋賀県大津市瀬田大江町横谷 1 - 5 学校法人 龍谷大学内 Shiga (JP). 宮前 義範 (MIYAMAE Yoshinori); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 藤河 恒生 (FUJIKAWA Tsuneo); 〒5202144 滋賀県大津市大萱一丁目 1 8 番 2 号大昭ビル 3 0 4 号室 くすもと国際特許商標事務所 Shiga (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: MEMRISTOR AND NEURAL NETWORK USING SAME

(54) 発明の名称: メモリスタ及びそれを用いたニューラルネットワーク



(57) Abstract: Provided is a memristor which can be manufactured at low temperature and does not include metals that could potentially dry up as a resource. The memristor 1 is provided with: a first electrode 2; a second electrode 3; and an oxide memristor layer 4 which is disposed between the first electrode 2 and the second electrode 3 and includes the elements of Ga, Sn, and oxygen. A current flows when a positive or negative voltage is applied to the first electrode 2 with respect to the second electrode 3. When the voltage of a data-set voltage value is applied, a high-resistance state transitions to a low-resistance state. When the voltage of a data-reset voltage value of the opposite polarity to that of the data-set voltage value is applied, the low-resistance state transitions to the high-resistance state.

(57) 要約: 低温で製造可能であり、資源として枯渇してしまう恐れのあるような金属を含まないメモリスタを提供する。このメモリスタ 1 は、第 1 電極 2 と、第 2 電極 3 と、第 1 電極 2 と第 2 電極 3 との間に配置され、Ga、Sn 及び酸素の元素を有する酸化物のメモリスタ層 4 とを備え、第 2 電極 3 に対して第 1 電極 2 に正又は負の電圧が印加されると電流が流れ、データセット電圧値の電圧が印加されると高抵抗状態から低抵抗状態に遷移し、このデータセット電圧値と正負逆のデータリセット電圧値の電圧が印加されると低抵抗状態から高抵抗状態に遷移する。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

メモリスタ及びそれを用いたニューラルネットワーク

技術分野

[0001] 本発明は、酸化物を有するメモリスタ及びそれを用いたニューラルネットワークに関する。

背景技術

[0002] メモリスタは、所定の条件で電流が流れると抵抗値が変化し、その状態を保持できる素子である。メモリスタには、第1電極と第2電極との間にメモリスタ層を配置した構造のものが知られている。例えば、特許文献1及び特許文献2には、典型的なメモリスタ層としてTi酸化物が開示されている。Ti酸化物は、結晶構造又は多結晶構造である。特許文献1には、その他、メモリスタ層として、Zr、Hf、V、Nb、Ta、Mo、W、Cr、鉄、Ni、Co、Sc、Y、又はLuの元素を有する酸化物が開示されている。また、特許文献2には、その他、メモリスタ層として、Ta酸化物又はNb酸化物が開示されている。このようなメモリスタは集積することにより、抵抗変化型メモリ（ReRAM）のメモリ素子に用いることができ、また、脳の構造を模したニューラルネットワーク（特許文献1及び特許文献2参照）においてニューロン回路同士を接続するシナプス素子に用いることができる。

先行技術文献

特許文献

[0003] 特許文献1：特表2015-502031号公報

特許文献2：特表2016-510501号公報

発明の概要

発明が解決しようとする課題

[0004] Ti酸化物のメモリスタ層を用いるメモリスタは、製造において高温（例

えば、200℃～300℃又はそれ以上の温度)のプロセスを必要とする。
また、特許文献1及び特許文献2に開示されているTi以外の元素を有する酸化物のメモリスタ層を用いるメモリスタについては、構造及び製造プロセスの多くは明らかでないが、特許文献1に記載される例では、300℃のプロセスが用いられており、この例の通りTi酸化物と同程度の温度が必要とされるものと考えられる。

[0005] 一方、ニューラルネットワークでは、メモリスタが適用されるシナプス素子の数が極めて多く、それらをできるだけ大きなサイズの基板を用いて高集積化するのが好ましい。

[0006] しかしながら、大きなサイズの基板を用いて高集積化する場合は、高温のプロセスでなく、できるだけ低温のプロセスによって製造するのが製造設備の点で望ましく、また、極めて高価にならないように、資源として枯渇してしまう恐れのあるような金属を含まないものとするのが望ましい。

[0007] 本発明に係る事由に鑑みてなされたものであり、その目的は、低温で製造可能であり、資源として枯渇してしまう恐れのあるような金属を含まないメモリスタを提供し、また、それを用いることによりシナプス素子の高集積化が可能なニューラルネットワークを提供することにある。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の実施形態に係るメモリスタは、第1電極と、第2電極と、前記第1電極と前記第2電極との間に配置され、Ga、Sn及び酸素の元素を有する酸化物のメモリスタ層とを備え、前記第2電極に対して前記第1電極に正又は負の電圧が印加されると電流が流れ、データセット電圧値の電圧が印加されると高抵抗状態から低抵抗状態に遷移し、前記データセット電圧値と正負逆のデータリセット電圧値の電圧が印加されると低抵抗状態から高抵抗状態に遷移する。

[0009] 好ましくは、前記酸化物は非晶質酸化物である。

[0010] 好ましくは、前記第1電極及び／又は前記第2電極は、アルミニウムの堆積により形成されたものである。

- [0011] 本発明の実施形態に係るニューラルネットワークは、複数個のニューロン回路と複数個のシナプス素子とを備えるニューラルネットワークであって、該シナプス素子は、前述したメモリストを含む。
- [0012] 或いは、本発明の実施形態に係るニューラルネットワークは、複数個のニューロン回路と複数個のシナプス素子とを備えるニューラルネットワークであって、該ニューロン回路は、前述したメモリストを含む。
- [0013] 好ましくは、前記複数個のシナプス素子は、マトリクス状に配置され、そのうち第1方向に配置された前記複数個のシナプス素子では前記第1電極又は前記第2電極の一方が共通に接続され、かつ、第2方向に配置された前記複数個のシナプス素子では前記第1電極又は前記第2電極の他方が共通に接続されており、前記複数個のニューロン回路の各々は、共通に接続された前記第1電極又は前記第2電極の一方に接続され、共通に接続された前記第1電極又は前記第2電極の他方に接続される。
- [0014] 好ましくは、前記ニューロン回路は、薄膜トランジスタを有しており、該薄膜トランジスタは、ドレイン電極と、ソース電極と、ゲート電極と、該ドレイン電極と該ソース電極の間及び該ゲート電極と該ソース電極の間に電圧が印加されると、それらの電圧に応じた電流が該ドレイン電極と該ソース電極の間に流れるチャネル層とを備え、該チャネル層は、前記メモリスト層と同じ層を用いている。

発明の効果

- [0015] 本発明のメモリストによれば、低温で製造可能であり、資源として枯渇してしまう恐れのあるような金属を含まないようにすることができる。また、本発明のニューラルネットワークによれば、そのメモリストを用いることによりシナプス素子などの高集積化が可能になる。

図面の簡単な説明

- [0016] [図1]本発明の実施形態に係るメモリストの構造を示す断面図である。
- [図2]同上のメモリストにより構成されるメモリストアレイを示す回路図である。

[図3]同上のメモristaにより構成されるメモristaアレイを示す平面図である。

[図4]同上のメモristaのデータセッ トーデータリセッ トの実験における電流ー電圧特性図であり、(a)が第1回目、(b)が第10回目、(c)が第20回目、(d)が第30回目のものである。

[図5]同上のメモristaのデータセッ トーデータリセッ トの実験における図4(a)～(d)の電流ー電圧特性を重ねて示した電流ー電圧特性図である。

[図6]同上のメモristaの実験におけるデータセッ トーデータリセッ トの繰返し回数に対する高抵抗状態(HRS)と低抵抗状態(LRS)の抵抗値を示した特性図である。

[図7]同上のメモristaを用いたニューラルネットワークを模式的に示す平面図である。

[図8]同上のメモristaと薄膜トランジスタを用いたニューラルネットワークの構造を示す断面図である。

発明を実施するための形態

[0017] 以下、本発明を実施するための形態について図面を参照しながら説明する。本発明の実施形態に係るメモrista1は、図1に示すように、第1電極2と、第2電極3と、第1電極2と第2電極3との間に配置されるメモrista層4と、を備える。このメモrista1は、樹脂基板、ガラス基板、又はポリエチレンナフタレートフィルム等のフレキシブル基板などの基板5の上に形成される。メモrista1は、絶縁膜を介して基板5の上に形成することもできる。また、図1では、基板5の上に、上に向かって、第1電極2、メモrista層4、第2電極3の順に形成されているが、第2電極3、メモrista層4、第1電極2の順に形成してもよい。

[0018] 第1電極2と第2電極3は、特に限定されることはないが、アルミニウムを用いることができる。アルミニウムは、廉価である。アルミニウムは、蒸着又はスパッタリングなどにより堆積され、その後或いはその前に必要な形状にパターニングされることにより第1電極2又は第2電極3を形成する。

第1電極2と第2電極3はそれぞれ、多層にすることも可能である。また、第1電極2と第2電極3は、互いに異なる材質にすることも可能である。但し、本願発明者による実験では、アルミニウムに他物質を意図的に混合させて形成した電極（第1電極2又は第2電極3）は、良好な特性を示さないものも少なくなかったため、好ましくはアルミニウムに対し他物質が原子の数の比で10%以下（更に好ましくは、5%以下）のものを用いて電極を形成するのがよい。

[0019] メモリスタ層4は、Ga（ガリウム）、Sn（錫）及び酸素の元素から構成される酸化物よりなるものである。この酸化物は、非晶質酸化物（アモルファス酸化物）が好適である。Ga、Sn及び酸素の元素から構成される非晶質酸化物は、低温（例えば、25℃）のプロセスで製造可能である。また、Ga及びSnは、従来より電子デバイスで広く用いられている元素であり、例えば、In（インジウム）のように資源として枯渇してしまう恐れのあるような金属の元素ではない。従って、このメモリスタ層4を用いたメモリスタ1は、大きなサイズの基板5を用いて高集積化するのが可能であり、価格も抑えられる。Ga：Snは、例えば原子の数の比で1：5～5：1の範囲で、調整することができる。なお、メモリスタ層4は、Ga、Sn、酸素の元素を主成分として有する酸化物よりなるものならば、Ga、Sn、酸素以外にも微量な元素を含むことも可能である。その微量な元素は、不可避免的に混入した不純物又は意図的に混合した不純物であり、例えば、GaとSnを合わせたものに対し原子の数の比で5%以下である。

[0020] メモリスタ1は、第2電極3に対して第1電極2に正又は負の電圧が印加すると、第1電極2と第2電極3の間の部分に電流が流れる。そして、メモリスタ1は、後述する評価サンプルの特性で示すように、データセット電圧値 V_{DST} の電圧（例えば、正の電圧）を印加すると、高抵抗状態から低抵抗状態に遷移させるようにすることができ、また、データリセット電圧値 V_{DRST} の電圧（例えば、負の電圧）を印加すると、低抵抗状態から高抵抗状態に遷移させるようにすることができる。データセット電圧値 V_{DST} とデータリセッ

ト電圧値 $V_{D_{RST}}$ は、互いに正負逆である。

[0021] 従って、メモ리스タ 1 は、高抵抗状態と低抵抗状態を 0 と 1 又は 1 と 0 に対応させることでデータを記憶し、また、例えば、データセット電圧値 $V_{D_{ST}}$ と 0 V との間であって高抵抗状態から低抵抗状態への遷移が起こらない読み出し電圧値 V_{D_R} の電圧を印加することで、データを読み出すようにできることになる。なお、印加するデータセット電圧値 $V_{D_{ST}}$ を変更するなどして低抵抗状態の抵抗値を何種類かに変更して、多値のデータを記憶したり、低抵抗状態の抵抗値をアナログ的に連続して変更して、連続的なアナログ値のデータを記憶したりすることも可能である。

[0022] メモ리스タ 1 は、例えば、図 2 及び図 3 に示すように、複数個をマトリクス状に配置して、メモ리스タアレイ 6 を構成するようにすることが可能である。ここで、複数個のメモリスタ 1 のうち第 1 方向（図において左右方向）に配置された複数個（図においては 10 個）のメモリスタ 1 では第 1 電極 2 が共通に接続され、かつ、第 1 方向に直交する第 2 方向（図において上下方向）に配置された複数個（図においては 10 個）のメモリスタ 1 では第 2 電極 3 が共通に接続される。従って、メモリスタアレイ 6 では、複数個（図においては 10 個）のメモリスタ 1 に共通に接続された第 1 電極 2 が第 1 方向（図において左右方向）に延伸しており、それが互いに平行に複数本（図においては 10 本）並んだものとなり、また、複数個（図においては 10 個）のメモリスタ 1 に共通に接続された第 2 電極 3 が第 2 方向（図において上下方向）に延伸しており、それが互いに平行に複数本（図においては 10 本）並んだものとなる。メモリスタアレイ 6 を構成するメモリスタ 1 の数は、図 2 及び図 3 では図示の都合上、計 100 個を示しているが、様々なものが可能である。なお、複数個のメモリスタ 1 のうち第 1 方向に配置された複数個のメモリスタ 1 では第 2 電極 3 が共通に接続され、かつ、第 2 方向に配置された複数個のメモリスタ 1 では第 1 電極 2 が共通に接続されるようにすることも可能である。

[0023] 本願発明者は、メモリスタアレイ 6 の評価サンプルを製造してメモリスタ

1 の特性評価を行ったので、それについて説明する。

[0024] 本願発明者は、評価サンプルのメモristaアレイ 6 を以下のようにして製造した。まず、 $3\text{ mm} \times 3\text{ mm}$ のガラス基板の基板 5 の上に、真空蒸着法により成膜し、メタルマスクを用いたパターニングにより、幅が $150\text{ }\mu\text{m}$ で第 1 方向に延伸する第 1 電極 2 を平行に 80 本、形成した（図 3 参照）。次に、酸化ガリウム (Ga_2O_3) と酸化スズ (SnO_2) を $\text{Ga} : \text{Sn}$ が原子の数の比で 1 : 3 になるように混合した 2 インチの焼結セラミックターゲットを用いて RF マグネトロンスパッタリング法により成膜し、Ga、Sn 及び酸素の元素から構成される非晶質酸化物のメモrista層 4 を形成した。成膜条件は、成膜時間 3 min、投入電力 60 W、Ar ガス流量 20 sccm 、酸素ガス流量 1 sccm 、成膜圧力 5.0 Pa とした。次に、真空蒸着法により成膜し、メタルマスクを用いたパターニングにより、幅が $150\text{ }\mu\text{m}$ で第 2 方向に延伸する第 2 電極 3 を平行に 80 本、形成した。なお、本特性評価では、パターニングにメタルマスクを用いたが、半導体製造工程で量産時に通常用いられるホトマスクを用いることができるのは言うまでもない。

[0025] こうして製造したメモristaアレイ 6 を構成する複数個のメモrista 1 のうちの 1 個について、第 1 電極 2 に電圧（バイアス電圧）を印加し、第 2 電極 3 を接地とし、半導体パラメータアナライザーを用いて電気的特性を評価した。評価するメモrista 1 の第 1 電極 2 及び第 2 電極 3 以外の第 1 電極 2 及び第 2 電極 3 については、評価するメモrista 1 に影響しない状態とした。

[0026] 図 4（a）に示すのは、メモrista 1 の電圧（ V_D で示す。）を 0 V から徐々に増加させ、 3.5 V に到達すると徐々に減少させ、 -3.5 V に到達すると徐々に増加させて 0 V に到達させて測定した電流（ I_D で示す。）を示す電流－電圧特性の実験結果である。図中の矢印は、電流－電圧特性における変化を示している。メモrista 1 について続けて同様に測定し、第 10 回目、第 20 回目、第 30 回目の実験結果が、図 4（b）～図 4（d）に示すものである。図 4（a）より、メモrista 1 の電圧を 3.5 V にすると、高抵

抗状態から低抵抗状態へ抵抗値が変化していることが分かる。また、メモリスタ1の電圧を -3.5 V にすると、低抵抗状態から高抵抗状態へ抵抗値が変化していることが分かる。図4(b)～図4(d)についても、同様のことが分かる。

[0027] 図5は、図4(a)～図4(d)で示した電流－電圧特性の実験結果の曲線(4回分)を全て重ねて示したものである。これより、正の電圧で安定して高抵抗状態と低抵抗状態が得られていることが分かる。また、 3.5 V よりも小さい正の電圧(例えば、 1 V)において、高抵抗状態と低抵抗状態に応じた電流が流れ、その電流により高抵抗状態と低抵抗状態が安定して区別可能なことが分かる。

[0028] 図4(a)～図4(d)及び図5より、データセット電圧値 V_{DST} を 3.5 V 、データリセット電圧値 V_{DRST} を -3.5 V 、読み出し電圧値 V_{DR} を例えば 1 V とすることが可能であることがわかる。

[0029] 図6は、上記4回分を含む計30回の測定について、電圧 1 V のときの高抵抗状態(図中、HRSで示す)と低抵抗状態(図中、LRSで示す)の抵抗値を示すものである。低抵抗状態は、約 $5\text{ K}\Omega$ ～約 $8\text{ K}\Omega$ であり、第1回目からほぼ変動はないことが分かる。高抵抗状態は、第1回目の約 $100\text{ K}\Omega$ から第7回目の約 $40\text{ K}\Omega$ まで減少して行くが、それからは約 $30\text{ K}\Omega$ ～約 $40\text{ K}\Omega$ でほぼ変動はないことが分かる。このように、高抵抗状態は、初めの回数近くの変動は有るが、全体を通じて低抵抗状態の抵抗値との差異は大きく、高抵抗状態と低抵抗状態が安定して区別可能なことが分かる。

[0030] 以上、メモリスタ1について説明したが、メモリスタ1は、複数個のニューロン回路7と複数個のシナプス素子8とを備えるニューラルネットワーク9に適用可能である。この場合、複数個のシナプス素子8の各々を、メモリスタ1とすることが出来る。或いは、複数個のシナプス素子8の各々を、メモリスタ1及びその他のもの(例えば、後述する薄膜トランジスタなど)から構成することも可能である。このようなニューラルネットワーク9は、シナプス素子8に上記のメモリスタ層4を備えたメモリスタ1を用いているの

で、大きなサイズの基板 5 を用いてシナプス素子 8 を高集積化するのが可能である。なお、複数個のニューロン回路 7 の各々がメモリスタ 1 を含むようにして、ニューロン回路 7 の中において状態を記憶できるようにすることも可能である。

[0031] 複数個のシナプス素子 8 は、上記のメモリスタアレイ 6 と同様に配置することができる。すなわち、シナプス素子 8 は、図 7 に示すように、マトリクス状に配置され、そのうち第 1 方向（図において左右方向）に配置された複数個のシナプス素子 8 では第 1 電極 2 が共通に接続され、かつ、第 2 方向（図において上下方向）に配置された複数個のシナプス素子 8 では第 2 電極 3 が共通に接続されてようにできる。なお、複数個のシナプス素子 8 のうち第 1 方向に配置された複数個のシナプス素子 8 では第 2 電極 3 が共通に接続され、かつ、第 2 方向に配置された複数個のシナプス素子 8 では第 1 電極 2 が共通に接続されるようにすることも可能である。

[0032] 複数個のニューロン回路 7 の各々は、共通に接続された第 1 電極 2 に第 1 方向制御回路 10 を介して接続され、かつ、共通に接続された第 2 電極 3 に第 2 方向制御回路 11 を介して接続されるようにできる。図 7 に示すニューラルネットワーク 9 では、複数個のニューロン回路 7 の各々は、シナプス素子 8 の状態に応じて、第 1 方向制御回路 10、シナプス素子 8、及び第 2 方向制御回路 11 を介して他の全てのニューロン回路 7 と接続可能となっている。なお、複数個のニューロン回路 7 の各々は、共通に接続された第 2 電極 3 に第 1 方向制御回路 10 を介して接続され、かつ、共通に接続された第 1 電極 2 に第 2 方向制御回路 11 を介して接続されるようにすることも可能である。

[0033] 各シナプス素子 8 のデータセット時及びデータリセット時には、第 1 方向制御回路 10 は、共通に接続された複数個のメモリスタ 1 の第 1 電極 2 の電圧を制御し、第 2 方向制御回路 11 は、共通に接続された複数個のメモリスタ 1 の第 2 電極 3 の電圧を制御する。

[0034] ニューロン回路 7（及び第 1 方向制御回路 10 及び第 2 方向制御回路 11

）を構成するトランジスタは、薄膜トランジスタ 12 を用いることが可能である。薄膜トランジスタ 12 は、図 8 に示すように、ドレイン電極 13 と、ソース電極 14 と、ゲート電極 15 と、ドレイン電極 13 とソース電極 14 の間及びゲート電極 15 とソース電極 14 の間に電圧が印加されると、それらの電圧に応じた電流がドレイン電極 13 とソース電極 14 の間に流れるチャネル層 16 とを備えるものであり、メモrista 1 と同じ基板 5 の上に形成されるようにできる。ここで、薄膜トランジスタ 12 のチャネル層 16 は、メモrista 層 4 と同じ層（同時に形成される層）、つまり Ga、Sn 及び酸素の元素を有する酸化物の薄膜を用いている。また、図 8 に示した例では、ゲート電極 15 は第 1 電極 2 と同じ層（例えば、アルミニウムの堆積層）を用いており、ドレイン電極 13 及びソース電極 14 は第 2 電極 3 と同じ層（例えば、アルミニウムの堆積層）を用いている。なお、図 8 においては、理解を容易にするために、メモrista 1 を薄膜トランジスタ 12 の近くに配置して示している。また、符号 17 で示すのは、ゲート絶縁膜である。

[0035] このように、ニューラルネットワーク 9 は、薄膜トランジスタ 12 のチャネル層 16 をメモrista 層 4 と同じ層を用いることで、製造プロセスが簡単化されて、製造コストが抑えられるとともに、大きなサイズの基板 5 を用い易くなる。なお、本発明者は、Ga、Sn 及び酸素の元素から構成される非晶質酸化物の薄膜によって、上述したようにメモrista 層 4 が形成可能であるとともに、チャネル層 16 が形成可能であることを確認している。

[0036] 以上、本発明の実施形態について説明したが、本発明は、実施形態に記載したものに限られることなく、請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。例えば、メモrista 層 4 を形成する Ga、Sn 及び酸素の元素を有する酸化物は、メモrista 1 としての特性を維持できるのならば、通常は高温の製造プロセスが必要になるが、多結晶酸化物にすることも場合によっては可能である。また、メモrista 1 は、ニューラルネットワーク 9 以外にも、例えばメモリ装置等に適用可能である。

符号の説明

- [0037]
- 1 メモリスタ
 - 2 第1電極
 - 3 第2電極
 - 4 メモリスタ層
 - 5 基板
 - 6 メモリスタアレイ
 - 7 ニューロン回路
 - 8 シナプス素子
 - 9 ニューラルネットワーク
 - 10 第1方向制御回路
 - 11 第2方向制御回路
 - 12 薄膜トランジスタ
 - 13 ドレイン電極
 - 14 ソース電極
 - 15 ゲート電極
 - 16 チャネル層
 - 17 ゲート絶縁膜

請求の範囲

- [請求項1] 第1電極と、
 第2電極と、
 前記第1電極と前記第2電極との間に配置され、Ga、Sn及び酸素の元素を有する酸化物のメモリスタ層と
 を備え、
 前記第2電極に対して前記第1電極に正又は負の電圧が印加されると電流が流れ、データセット電圧値の電圧が印加されると高抵抗状態から低抵抗状態に遷移し、前記データセット電圧値と正負逆のデータリセット電圧値の電圧が印加されると低抵抗状態から高抵抗状態に遷移することを特徴とするメモリスタ。
- [請求項2] 請求項1に記載のメモリスタにおいて、
 前記酸化物は非晶質酸化物であることを特徴とするメモリスタ。
- [請求項3] 請求項1又は2に記載のメモリスタにおいて、
 前記第1電極及び／又は前記第2電極は、アルミニウムの堆積により形成されたものであることを特徴とするメモリスタ。
- [請求項4] 複数個のニューロン回路と複数個のシナプス素子とを備えるニューラルネットワークであって、
 該シナプス素子は、請求項1～3のいずれか1項に記載のメモリスタを含むことを特徴とするニューラルネットワーク。
- [請求項5] 複数個のニューロン回路と複数個のシナプス素子とを備えるニューラルネットワークであって、
 該ニューロン回路は、請求項1～3のいずれか1項に記載のメモリスタを含むことを特徴とするニューラルネットワーク。
- [請求項6] 請求項4又は5に記載のニューラルネットワークにおいて、
 前記複数個のシナプス素子は、マトリクス状に配置され、そのうち第1方向に配置された前記複数個のシナプス素子では前記第1電極又は前記第2電極の一方が共通に接続され、かつ、第2方向に配置され

た前記複数個のシナプス素子では前記第 1 電極又は前記第 2 電極の他方が共通に接続されており、

前記複数個のニューロン回路の各々は、共通に接続された前記第 1 電極又は前記第 2 電極の一方に接続され、共通に接続された前記第 1 電極又は前記第 2 電極の他方に接続されることを特徴とするニューラルネットワーク。

[請求項 7] 請求項 4 ～ 6 のいずれか 1 項に記載のニューラルネットワークにおいて、

前記ニューロン回路は、薄膜トランジスタを有しており、

該薄膜トランジスタは、

ドレイン電極と、

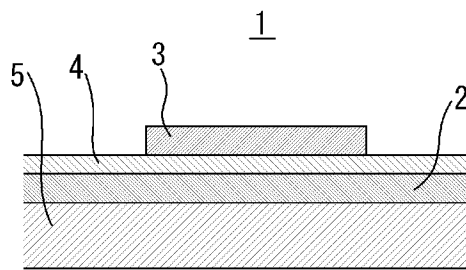
ソース電極と、

ゲート電極と、

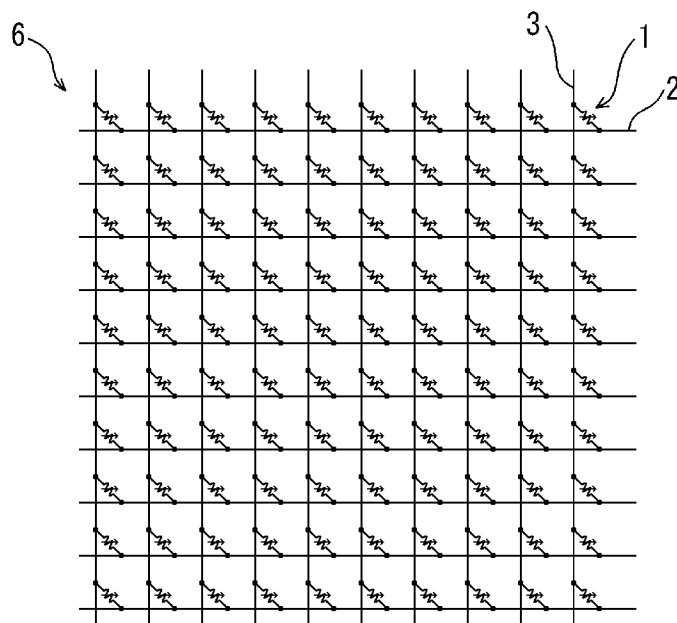
該ドレイン電極と該ソース電極の間及び該ゲート電極と該ソース電極の間に電圧が印加されると、それらの電圧に応じた電流が該ドレイン電極と該ソース電極の間に流れるチャネル層とを備え、

該チャネル層は、前記メモrista層と同じ層を用いていることを特徴とするニューラルネットワーク。

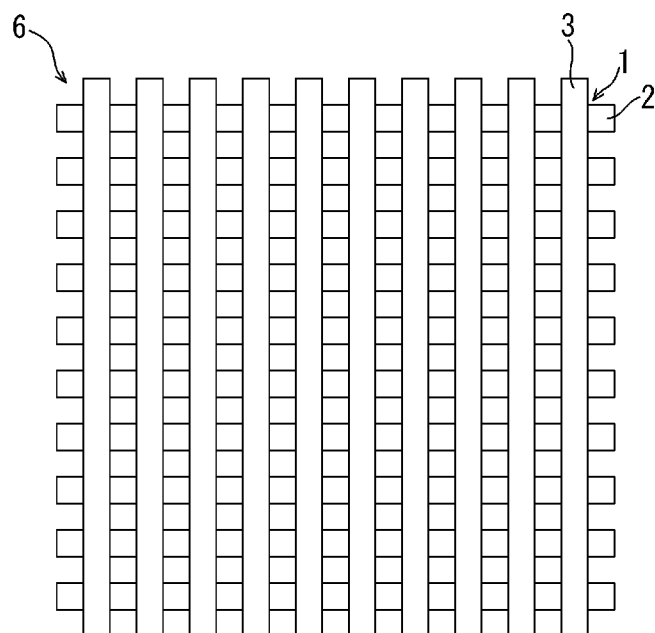
[図1]



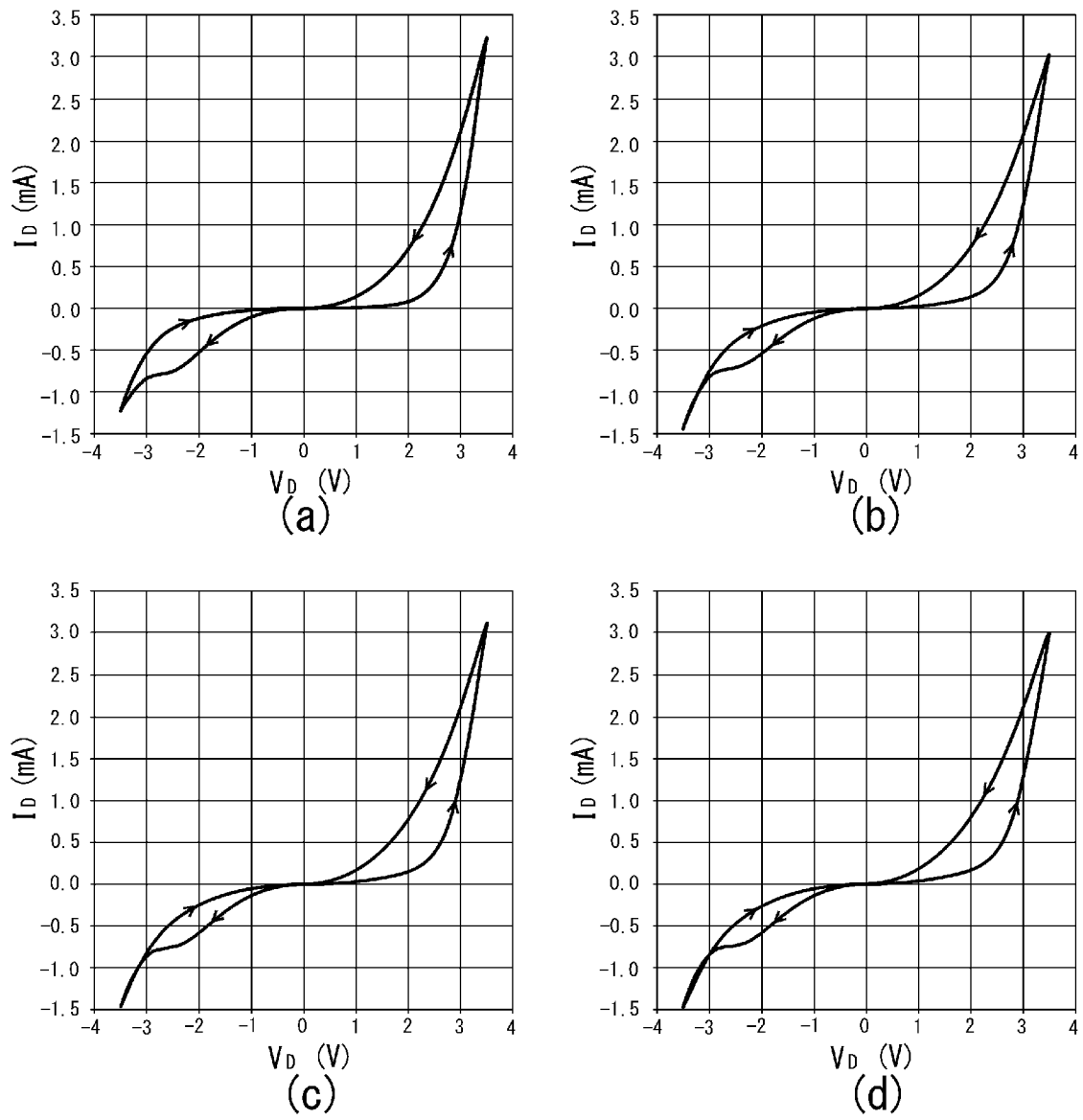
[図2]



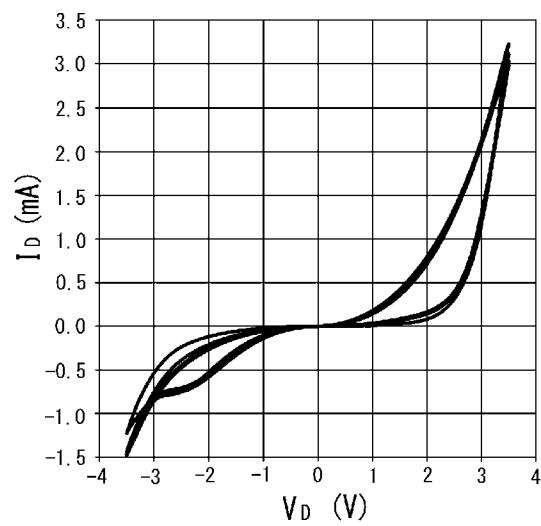
[図3]



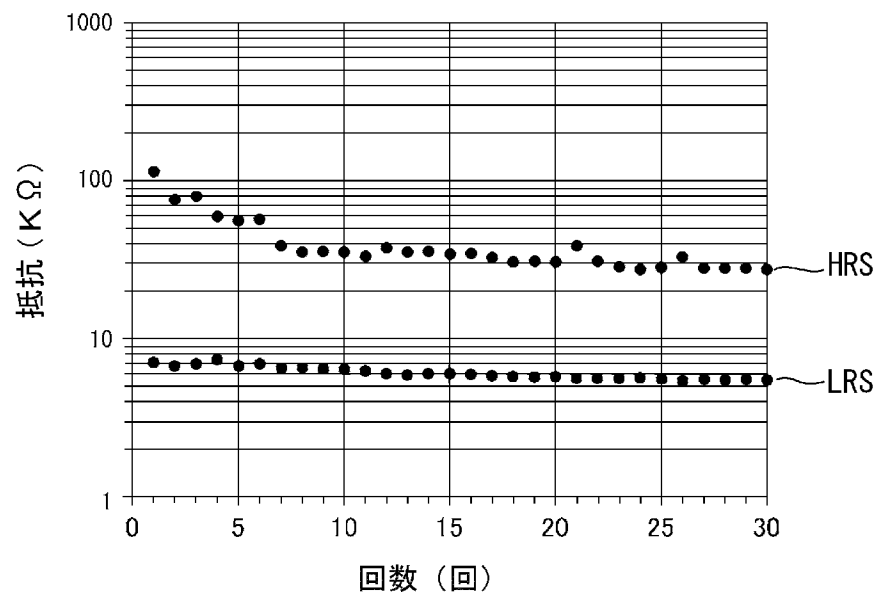
[図4]



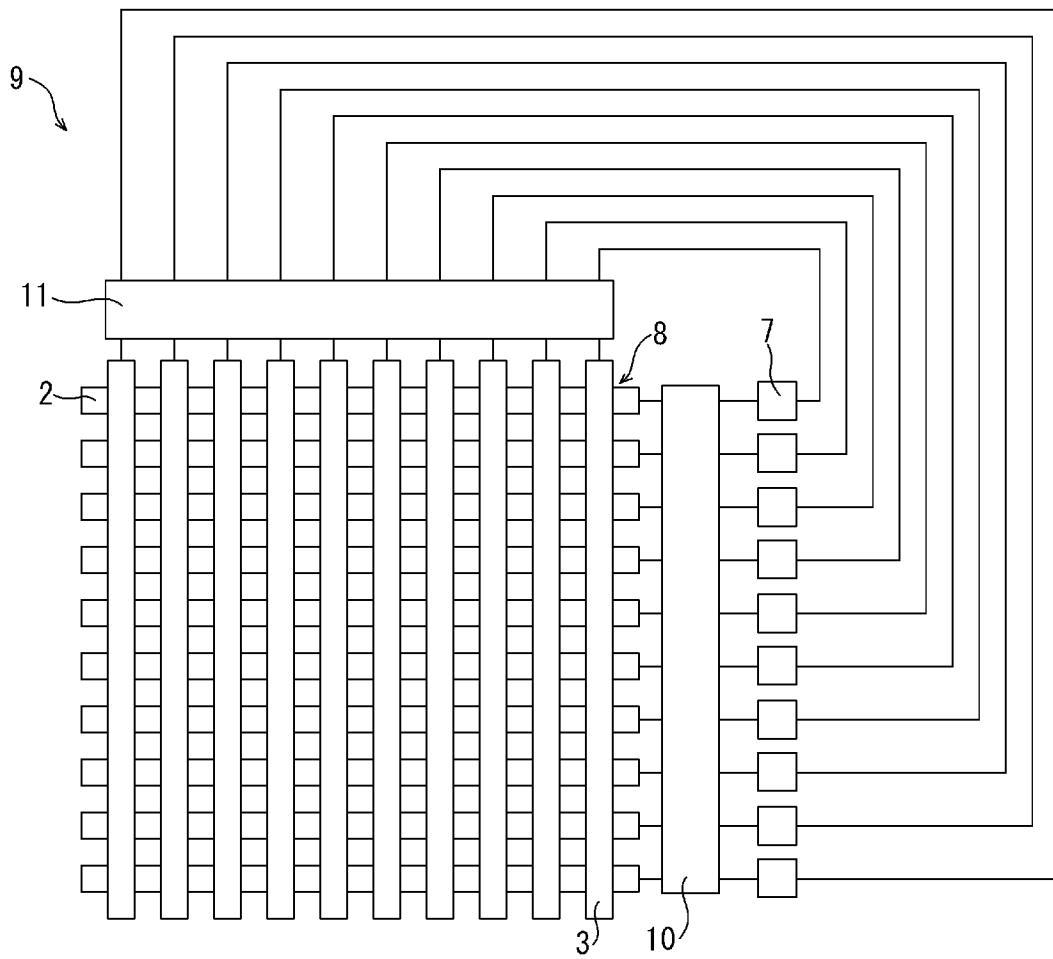
[図5]



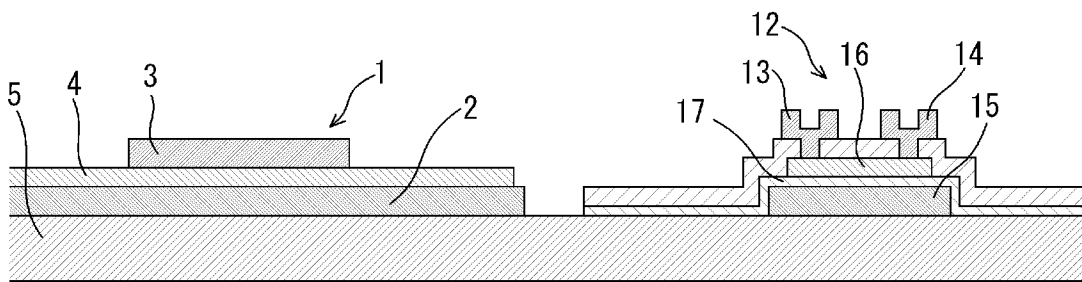
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/039111

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/8239(2006.01)i, H01L27/10(2006.01)i, H01L27/105(2006.01)i,
H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8239, H01L27/10, H01L27/105, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2012-43896 A (TOSHIBA CORP.) 01 March 2012, paragraphs [0003], [0039], [0139], [0142], [0145], [0146], fig. 1-61 & US 2012/0043517 A1, paragraphs [0004], [0105], [0202], [0206], [0232], [0233], fig. 1-61	1-3 4-6 7
Y	US 2016/0379110 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 29 December 2016, paragraphs [0020], [0022], [0045], fig. 1-12 & JP 2018-524698 A & WO 2017/001956 A1	4-6
Y	JP 2013-546064 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 26 December 2013, paragraph [0012], fig. 1-17 & US 2012/0109866 A1, paragraph [0031], fig. 1-8 & WO 2012/055592 A1	6
P, X	JP 2018-6696 A (TOSHIBA MEMORY CORPORATION) 11 January 2018, paragraphs [0021], [0059], [0061], fig. 1-21 & US 2018/0013061 A1, paragraphs [0043], [0091], [0093], fig. 1-21	1-3

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 December 2018 (17.12.2018)	Date of mailing of the international search report 25 December 2018 (25.12.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/8239(2006.01)i, H01L27/10(2006.01)i, H01L27/105(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/8239, H01L27/10, H01L27/105, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-43896 A (株式会社東芝)	1-3
Y	2012.03.01, 段落 0003, 0039, 0139, 0142, 0145, 0146, 図 1-61	4-6
A	& US 2012/0043517 A1, 段落 0004, 0105, 0202, 0206, 0232, 0233, 図 1-61	7
Y	US 2016/0379110 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2016.12.29, 段落 0020, 0022, 0045, 図 1-12 & JP 2018-524698 A & WO 2017/001956 A1	4-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.12.2018

国際調査報告の発送日

25.12.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小山 満

5 F

9458

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-546064 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2013.12.26, 段落 0012, 図 1-17 & US 2012/0109866 A1, 段落 0031, 図 1-8 & WO 2012/055592 A1	6
P, X	JP 2018-6696 A (東芝メモリ株式会社) 2018.01.11, 段落 0021, 0059, 0061, 図 1-21 & US 2018/0013061 A1, 段落 0043, 0091, 0093, 図 1-21	1-3