

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016 年 10 月 20 日(20.10.2016)



(10) 国際公開番号  
**WO 2016/166930 A1**

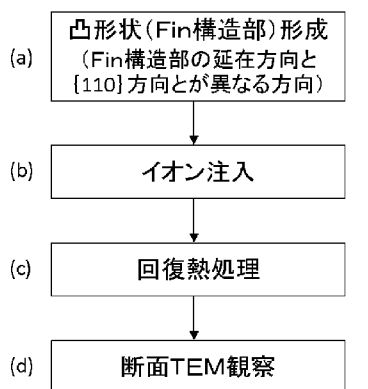
- (51) 国際特許分類:  
*H01L 21/336* (2006.01) *H01L 21/66* (2006.01)  
*H01L 21/265* (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2016/001236
- (22) 国際出願日: 2016 年 3 月 8 日(08.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2015-083169 2015 年 4 月 15 日(15.04.2015) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-  
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田  
区大手町二丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 大槻 剛(OHTSUKI, Tsuyoshi); 〒3790196  
群馬県安中市磯部 2 丁目 1 3 番 1 号信越半導体  
株式会社 半導体磯部研究所内 Gunma (JP). 中杉  
直(NAKASUGI, Sunao); 〒3790196 群馬県安中市磯  
部 2 丁目 1 3 番 1 号信越半導体株式会社 半導  
体磯部研究所内 Gunma (JP).
- (74) 代理人: 好宮 幹夫, 外(YOSHIMIYA, Mikio et  
al.); 〒1100005 東京都台東区上野 7 丁目 6 番 1 1  
号第一下谷ビル 8 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,  
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,  
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー  
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,  
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,  
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND METHOD FOR EVALUATING SEMI-  
CONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法及び半導体装置の評価方法



- (a) Convex shape (Fin structure portion) formation  
(the direction in which the Fin structure portion  
extends differing from direction {110})  
(b) Ion implantation  
(c) Recovery heat treatment  
(d) Cross-section TEM observation

(57) Abstract: The present invention provides a method for manufacturing a semiconductor device, having the steps for: forming, on a semiconductor silicon substrate, a Fin structure portion having a convex shape on the top; subjecting the Fin structure portion to ion implantation; then subjecting the semiconductor silicon substrate to a recovery heat treatment; and recrystallizing the silicon in the Fin structure portion; characterized in that the Fin structure portion is formed such that the Fin structure portion extends in at least one direction, and the direction in which the Fin structure portion extends is different from the direction {110} of the semiconductor silicon substrate. Accordingly, provided is a method for manufacturing a semiconductor device wherein a Fin structure portion is formed on a semiconductor silicon substrate, and after having subjected the Fin structure portion to ion implantation and the semiconductor silicon substrate to a recovery heat treatment, no defects from the ion implantation remain in the Fin structure portion.

(57) 要約: 本発明は、半導体シリコン基板上に、上に凸形状を有する Fin 構造部を形成し、Fin 構造部にイオン注入を行った後、半導体シリコン基板に回復熱処理を行い、Fin 構造部のシリコンを再結晶化する工程を有する半導体装置の製造方法であって、Fin 構造部は少なくとも一方向に延在し、Fin 構造部が延在する方向と半導体シリコン基板の {110} 方向とが異なる方向となるように Fin 構造部を形成することを特徴とする半導体装置の製造方法を提供する。これにより、半導体シリコン基板上に Fin 構造部を形成し、その Fin 構造部にイオン注入し、半導体シリコン基板に回復熱処理を行った後に、Fin 構造部にイオン注入による欠陥が残留しない半導体装置の製造方法が提供される。

## 明 細 書

### 発明の名称：半導体装置の製造方法及び半導体装置の評価方法 技術分野

[0001] 本発明は半導体装置の製造方法及び半導体装置の評価方法に関するものであり、より詳しくは半導体シリコン基板上にF i n構造を形成する工程を有する半導体装置の製造方法及び半導体装置の評価方法に関する。

### 背景技術

[0002] イオン注入技術は各種トランジスタをはじめとする半導体部品の製造において非常に重要な手法である。しかし、ドーパントとなる注入元素をイオン化して加速し、シリコンに注入する手法であるため、加速されたイオンによるシリコンへのダメージが発生する。このダメージ回避のために種々の手法が検討されているが、基本はダメージを受けたシリコンの結合（例えばアモルファス化したシリコン）を再構成し単結晶化するのに十分な高温で熱処理して回復させる手法である。

[0003] シリコン基板に酸化膜を形成してリソグラフィー工程及びエッチング工程により窓開けを行い、ここにイオン注入にて拡散層を形成する工程で作製される従来の平面構造トランジスタでは、ダメージの回復、すなわち、イオン注入層の再結晶化が埋め込み底部と側壁の両方向から起こる。

[0004] 一方、微細な先端デバイスで採用されているF i n構造では、イオン注入後の再結晶化がF i n底部からのみ進むため、双晶などの欠陥が入ることがある（非特許文献1）。F i n構造では従来の埋め込み構造のイオン注入領域に比べて、イオン注入される領域が非常に小さいこと、上に凸形状の柱状構造に均一にイオン注入するために、従来の埋め込み構造のように、ウェーハ垂直方向からだけでなく、斜め方向からも注入を行うなどの特徴がある。さらに、微細化構造で採用されることから、イオン注入ダメージの回復アニールは非常に短時間となる傾向がある。これらのことから示唆されるように、F i n F E T（F E T；電界効果トランジスタ）の柱状構造ではイオン注

入後のダメージ・欠陥回復が不十分になる可能性がある。

## 先行技術文献

## 非特許文献

[0005] 非特許文献1: Ext. Abs. the 13th International Workshop on Junction Technology, 2013, p. 22.

非特許文献2: M. Tamura and M. Horiuchi, "Lattice Defects in High-dose As Implantation into Localized Si Area", Jpn. J. Appl. Phys., 27, p. 2209-2217, 1988.

## 発明の概要

## 発明が解決しようとする課題

[0006] 本発明は、上記問題点に鑑みてなされたものであって、半導体シリコン基板上にFin構造部を形成し、そのFin構造部にイオン注入し、半導体シリコン基板に回復熱処理を行った後に、Fin構造部にイオン注入による欠陥が残留しない半導体装置の製造方法を提供することを目的とする。また、本発明はFin構造部のイオン注入による欠陥の評価を簡便に行うことができる半導体装置の評価方法を提供することを目的とする。

## 課題を解決するための手段

[0007] 上記目的を達成するために、本発明は、半導体シリコン基板上に、上に凸形状を有するFin構造部を形成し、該Fin構造部にイオン注入を行った後、前記半導体シリコン基板に回復熱処理を行い、前記Fin構造部のシリコンを再結晶化する工程を有する半導体装置の製造方法であって、

前記Fin構造部は少なくとも一方向に延在し、該Fin構造部が延在する方向と前記半導体シリコン基板の{110}方向とが異なる方向となるように前記Fin構造部を形成することを特徴とする半導体装置の製造方法を

提供する。

[0008] このように、F i n構造部が延在する方向と半導体シリコン基板の {1 1 0} 方向とが異なる方向となるようにF i n構造部を形成することにより、回復熱処理後にF i n構造部内にイオン注入による欠陥が残留するのを抑制することができる。

[0009] このとき、前記F i n構造部が延在する方向と前記半導体シリコン基板の {1 1 0} 方向とのなす角度が1° 以上となるように前記F i n構造部を形成することが好ましい。

このような角度となるようにF i n構造部を形成すれば、F i n構造部の内部に欠陥が残留することをより確実に防ぐことができる。

[0010] さらに、上記目的を達成するために、本発明では、半導体シリコン基板上に、上に凸形状を有するF i n構造部を形成し、該F i n構造部にイオン注入を行った後、前記半導体シリコン基板に回復熱処理を行い、前記F i n構造部のシリコンを再結晶化して、前記F i n構造部のイオン注入による欠陥を評価する方法であって、

前記F i n構造部は少なくとも一方向に延在し、該F i n構造部が延在する方向と前記半導体シリコン基板の {1 1 0} 方向とが異なる方向となるように前記F i n構造部を形成し、

前記回復熱処理を時間を変えて実施し、前記F i n構造部の前記延在する方向に垂直方向の断面をTEMで観察することにより、前記再結晶化の進行過程でのイオン注入による欠陥の評価を行うことを特徴とする半導体装置の評価方法を提供する。

[0011] このような半導体装置の評価方法であれば、微細化した最先端プロセスを用いなくともF i n構造部の欠陥の挙動を簡便に評価することができる。

[0012] このとき、前記回復熱処理を抵抗加熱式のバッチ式熱処理炉を用いた場合は熱処理温度を550℃以上650℃以下の温度範囲で行うことが好ましい。

このような温度範囲の抵抗加熱式のバッチ式熱処理炉による回復熱処理で

あれば、再結晶化する速度が極めて遅いので、結晶化の進行過程での欠陥の評価を正確かつ詳細に行うことができる。

[0013] このとき、前記回復熱処理をR T A熱処理炉を用いた場合は熱処理温度を800℃以上1200℃以下の温度範囲で行うことが好ましい。

このような温度範囲のR T A熱処理炉による回復熱処理であれば、回復熱処理を数十秒以下の短い時間で行えるので、F i n構造部の欠陥の挙動を簡便かつ短時間で評価することができる。

### 発明の効果

[0014] 以上のように、本発明の半導体装置の製造方法によれば、先端デバイスで採用されるF i n構造において、イオン注入後の残留ダメージによる欠陥発生を防ぐことが可能になり、F i n構造を使用した先端デバイスを高品質で製造することができる。また、本発明の半導体装置の評価方法によれば、微細化した最先端プロセスを用いなくともF i n構造部のイオン注入による欠陥の挙動を簡便に評価することができる。

### 図面の簡単な説明

[0015] [図1]本発明の半導体装置の製造方法及び半導体装置の評価方法の工程フローを示す図である。

[図2]イオン注入直後のF i n構造部の断面のT E M写真（a）、及びイオン注入の方向を示す模式図（b）である。

[図3]実施例のラインアンドスペースパターン（F i n構造部）と、ノッチの方向の関係を示す模式図である。

[図4]実施例1の回復熱処理温度600℃、F i n構造部が延在する方向とシリコン基板の{110}方向とのなす角度が45°、回復熱処理時間60minのF i n構造部の断面のT E M写真（（a））である。（b）は（a）の部分拡大写真である。

[図5]実施例1の回復熱処理温度600℃、F i n構造部が延在する方向とシリコン基板の{110}方向とのなす角度が1°、回復熱処理時間60minのF i n構造部の断面のT E M写真（（a））である。（b）は（a）の

部分拡大写真である。

[図6]実施例2の回復熱処理温度1200℃、Fin構造部が延在する方向とシリコン基板の{110}方向とのなす角度が45°、回復熱処理時間10secのFin構造部の断面のTEM写真((a))である。(b)は(a)の部分拡大写真である。

[図7]比較例におけるラインアンドスペースパターン(Fin構造部)と、ノッチの方向の関係を示す模式図である。

[図8]比較例における回復熱処理温度600℃、Fin構造部が延在する方向とシリコン基板の{110}方向が同方向、回復熱処理時間10min((a))、30min((b))、60min((c))のFin構造部の断面のTEM写真である。(d)は(c)の部分拡大写真である。

[図9]比較例における回復熱処理温度1200℃、Fin構造部が延在する方向とシリコン基板の{110}方向が同方向、回復熱処理時間10secのFin構造部の断面のTEM写真((a))である。(b)は(a)の部分拡大写真である。

### 発明を実施するための形態

[0016] 以下、本発明をより詳細に説明する。

本発明者らはFin構造部の端部に残留する双晶をはじめとしたイオン注入欠陥は回復熱処理の過程で形成されたもので、Fin構造部における結晶性の回復速度の違いが原因になっていると推定した。

[0017] 一般にFin構造を有するFinFETは、(100)ウェーハでノッチが形成されている{110}方向を基準として平行方向または垂直方向に形成されている。これはMOS(Metal Oxide Semiconductor)構造としたときの界面順位密度と関係があり、(111)面は界面準位が高くなり、チャンネル移動度が低下するためである。このため、MOSデバイスではこれまで(100)ウェーハを採用してきた経緯がある。

[0018] この場合、回復熱処理におけるFin構造部の再結晶化は<111>軸方

向に成長する。この $\langle 111 \rangle$ 軸方向の結晶性の回復は $(111)$ 面全体の結晶性が回復してから次の $(111)$ 面の結晶性が回復するファセット成長機構となる。このとき、Fin構造部の温度分布が不均一な熱環境では $(111)$ 面全体の結晶性の回復が終了しない状態で次の $(111)$ 面の結晶性の回復が開始してしまい、結晶性が完全に回復しない状態で結晶成長（結晶性の回復）が進んでしまう。その結果、Fin構造部にイオン注入欠陥が残留しやすくなると推定した。

[0019] そして、Fin構造部が $\langle 111 \rangle$ 軸方向に結晶成長をしないように、Fin構造部が延在する方向を $\{110\}$ 方向からわずかにずらせば、Fin構造部の再結晶化の速度の違いが小さくなり、イオン注入欠陥の残留を防止することができることを本発明者らは見出し、本発明を完成させた。

[0020] 以下、本発明について、実施態様の一例として、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

[0021] 最初に、本発明の半導体装置の製造方法について、図1及び図2を参照して説明する。

まず、シリコン基板を用意し、フォトリソグラフィ工程を行った後にドライエッチング工程を行い、シリコン基板上に上に凸の柱状の構造（Fin構造部）を形成する。このとき、シリコン基板の $\{110\}$ 方向とFin構造部が延在する方向が異なる方向となるように、Fin構造部を形成する（図1の（a）工程）。ここで、 $\{110\}$ 方向とは $(110)$ 面と等価な面群の方向を意味している。

また、Fin構造部が延在する方向とシリコン基板の $\{110\}$ 方向とのなす角度が $1^\circ$ 以上、 $89^\circ$ 以下となるようにFin構造部を形成することが好ましい。このような角度となるようにFin構造部を形成すれば、Fin構造部の内部に欠陥が残留することをより確実に防ぐことができる。

尚、Fin構造部を形成する工程の前に他の工程を有していてもよい。

[0022] 次に、この柱状構造にイオン注入を行うが、従来のイオン注入のように直上（垂直）方向からだけではなく、柱状構造の側壁へもドーパントを注入す

る必要があることから、垂直に対して傾けた角度から柱状構造の左右の側壁にもイオンを打ち込み、柱状構造全体にドーパントを注入する（図1の（b）工程）。このとき、垂直に対して傾ける角度は特に限定されないが、例えば $45^{\circ}$ とすることができる。また、注入するイオン種や注入エネルギーは特に限定されないが、例えばAsを400keVで直上と左右の三方向から注入することができる。

[0023] この傾けた角度からのイオン注入を図2に模式的に示した。図2（a）は柱状構造の断面のTEM（Transmission Electron Microscope）写真であり、イオン注入の方向を破線で示している。図2（a）において、コントラストのついた濃い黒の部分が、As注入によりアモルファス化した部分である。図2（b）はシリコン基板に形成された柱状パターン（ラインアンドスペース（L/S）パターン；ラインとスペースが交互にあるパターン）とイオン注入の方向を示す模式図である。但し、垂直方向のイオン注入は図2（b）では省略してある。シリコン基板10にはノッチ11が形成されている。

[0024] その後、欠陥回復と活性化を兼ねた回復熱処理（アニール）を行う（図1の（c）工程）。通常の先端デバイスの製造工程では、一般にFLA（フラッシュランプアニール）のような数ミリ秒という短時間アニールや、RTA（急速加熱・急速冷却熱処理）という数秒のアニールが行われる。このような熱処理を施しても、柱状構造の上側先端部をはじめとする柱状構造内には、イオン注入にて生じた欠陥が残留する。それに対し、柱状構造の形成方向をシリコン基板の $\{110\}$ 方向から変更すると、柱状構造先端部の欠陥の残留がなくなることが本発明者らは見出した。

[0025] イオン注入後は、柱状構造部のシリコンはアモルファスになり、これの再結晶化がイオン注入後の回復熱処理で起こるが、柱状構造では再結晶化の種となる単結晶部が柱状構造部の下部にしかなく、回復熱処理による再結晶化は柱状構造下部の単結晶部分から進んでいく。このとき、柱状構造部の内部では再結晶化の速度が異なっていると考えられる（非特許文献2）。そのた

め、回復熱処理で結晶が $\langle 111 \rangle$ 軸方向に成長するとイオン注入欠陥が残留しやすくなる。

[0026] これに対し、シリコン基板の $\{110\}$ 方向とFin構造部が延在する方向が異なる方向とすることにより、 $\langle 111 \rangle$ 軸方向に結晶成長させなければ、柱状構造部の内部の再結晶化速度の違いが小さくなり、イオン注入欠陥の残留を防止することができる。

[0027] 次に、本発明の半導体装置の評価方法について、図1及び図2を参照して説明する。

シリコン基板10上に凸形状のFin構造部を形成し（図1の工程（a））、垂直及び左右の三方向からイオン注入を行う（図1の工程（b））。続いて、欠陥回復と活性化を兼ねた回復熱処理を行うが（図1の（c）工程）、このとき回復熱処理の時間を変えたサンプルを作製する。回復熱処理の時間は熱処理の方式に依存するが、抵抗加熱式で多数枚を一度に処理可能なバッチ式の熱処理炉を使用した場合には、例えば3分から3時間とすることができる。また、RTAを用いた場合には、例えば1秒から30秒とすることができる。

[0028] そして、作製したサンプルのFin構造部が延在する方向に垂直方向の断面をTEMにより観察することにより（図1の（d）工程）、アモルファスシリコンの再結晶化の進行過程でのイオン注入による欠陥の評価を行うことができる。

[0029] ここで、回復熱処理を抵抗加熱式のバッチ式熱処理炉を用いた場合は熱処理温度を550℃以上650℃以下の温度範囲で行うことが好ましい。このように、アモルファスシリコンが単結晶化する速度を抑える、すなわち、低温でのアニールを行うことで、再結晶化が時間をかけてゆっくり進行するため、欠陥回復挙動をより正確に調査検討することが可能になる。

[0030] また、回復熱処理をRTA熱処理炉を用いた場合は熱処理温度を800℃以上1200℃以下の温度範囲で行うことが好ましい。このような温度範囲のRTA熱処理炉による回復熱処理であれば、回復熱処理を数十秒以下の短

い時間で行えるので、F i n構造部の欠陥の挙動を簡便かつ短時間で評価することができる。

## 実施例

[0031] 以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0032] (実施例1)

抵抗率 $10\Omega\cdot\text{cm}$ のボロンをドーブした直径 $200\text{mm}$ シリコン基板を材料として、まずこの基板にフォトレジストを塗布し、フォトリソグラフィ工程を実施した。そして、このシリコン基板のL/Sパターンを通常 $\{110\}$ 方向から $1^\circ$  および $45^\circ$  傾けたものを準備した。図3(a)及び(b)はL/Sパターンの方向を $\{110\}$ 方向から $1^\circ$  及び $45^\circ$  傾けたことを示す模式図である。図3(b)では $\{110\}$ 方向に形成したノッチを $45^\circ$  傾けてL/Sパターンを形成しているので、F i n構造部は $\{110\}$ 方向に対して $45^\circ$  傾いている。

[0033] そして、フォトレジストとしてネガレジストを選択し、 $1.2\mu\text{m}$ のL/Sパターンをシリコン基板(ウェーハ)面内に形成した。このレジスト付きウェーハをドライエッチングにてエッチングし、硫酸過酸化水素混合液にてレジストを除去後、RCA洗浄を実施した。このときのドライエッチング条件は、HBrと $\text{Cl}_2$ を $1:1$ として、圧力を $1200\text{mmTorr}$ 、 $300\text{W}$ の出力条件とした。これらのF i n構造部を形成したウェーハに加速電圧(加速エネルギー) $450\text{keV}$ 、ドーズ量を $1\times 10^{15}\text{atoms}/\text{cm}^2$ としてAsをL/Sパターンの直上と左右の3方向から打ちこんだ。

[0034] このようにしてF i n構造部を作製したウェーハをアニールし、回復状況を断面TEMで観察した。アニールの雰囲気は $\text{N}_2$ とした。アニール温度はアモルファスが再結晶化する際に欠陥が残留しやすい $600^\circ\text{C}$ とし、時間はF i n構造部のアモルファスシリコンが単結晶化するのに十分な時間として60分とした。その結果のTEM写真を図4及び図5に示す。図4は、シリコン基板の $\{110\}$ 方向とF i n構造部が延在する方向のなす角度が、 $45^\circ$

° の場合であり、図5は1° の場合である。いずれの場合も、F i n構造部の先端には欠陥が残留していなかった。

[0035] (実施例2)

実施例1と同様に、抵抗率10Ω・cmのボロンをドーブした直径200mmシリコン基板を材料として、フォトリソグラフィー工程を実施した。このシリコン基板のノッチ位置は通常の{110}方向であるが、フォトリソグラフィー工程時にノッチ位置を本来の位置から1° および45° 傾けて実施した。図3(b)にノッチ位置を45° 傾けてF i n構造部(L/Sパターン)を形成した場合のシリコン基板10、ノッチ11、及びL/Sパターンの関係の模式図を示す。

[0036] フォトレジストとしてネガレジストを選択し、1.2μmL/Sパターンをウェーハ面内へ形成した。このレジスト付きウェーハを、実施例1と同条件でドライエッチングにてエッチングし、硫酸過酸化水素混合液にてレジストを除去後、RCA洗浄を実施した。これらのウェーハに加速電圧(加速エネルギー)450keVで、ドーズ量を $1 \times 10^{15} \text{ atoms/cm}^2$ としてAsをL/Sパターンの直上と左右の3方向から打ちこんだ。

[0037] このようにしてF i n構造を作製したウェーハをアニールし、回復状況を断面TEMで観察した。アニールにはRTAを使用し、アニール温度はアモルファスが再結晶化する際に欠陥が残留しやすい1200℃とした。アニールの雰囲気はN<sub>2</sub>とした。アニール時間はF i n構造部のアモルファスシリコンが単結晶化するのに十分な時間として10secとした。その結果のTEM写真を図6に示す。図6は、ノッチ位置を45° 傾けた場合のTEM写真である。この場合も、F i n構造部の先端には欠陥が導入されていなかった。

[0038] (比較例1)

抵抗率10Ω・cmのボロンをドーブした直径200mmのシリコン基板を材料として、これにフォトレジストを塗布し、フォトリソグラフィー工程を行った。このときのノッチ位置は{110}方向で、L/Sパターンは図

7に示すように、そのまま{110}方向に形成した。フォトリジストはネガレジストを使用し、 $1.2\mu\text{mL}/\text{S}$ パターンをウェーハ面内へ形成した。このレジスト付きウェーハをドライエッチングにてエッチングし、硫酸過酸化水素混合液にてレジストを除去後、RCA洗浄を実施した。このときのドライエッチング条件はHBrと $\text{Cl}_2$ を1:1として、圧力 $1200\text{mmTorr}$ 、 $300\text{W}$ の出力条件とした。これらのウェーハに加速電圧（加速エネルギー） $450\text{keV}$ 、ドーズ量を $1\times 10^{15}\text{atoms}/\text{cm}^2$ としてAsをL/Sパターンの直上と左右の3方向から打ちこんだ。

[0039] このようにしてFin構造部を作製したウェーハをアニールし回復状況を断面TEMで観察した。アニール温度はアモルファスシリコンが再結晶化する速度が極めて遅いと考えられるバッチ式熱処理炉による $600^\circ\text{C}$ と、RTAを使った $1200^\circ\text{C}$ の2つの条件とした。アニールの雰囲気はいずれも $\text{N}_2$ とした。

[0040] 図8に回復熱処理温度 $600^\circ\text{C}$ で時間を変えてアニールしたときの再結晶化の進行過程のTEM写真を示す。 $600^\circ\text{C}$ 、10分のアニールではFin構造部のアモルファスシリコンは完全に再結晶化せず、アモルファス部（EOR（End-of-Range）欠陥）が残留していることが分かる（図8（a）参照）。 $600^\circ\text{C}$ 、30分のアニールでは、Fin構造部の先端部に一部アモルファス部が残留している（図8（b）参照）。 $600^\circ\text{C}$ 、60分のアニールではFin構造部内は単結晶化しアモルファス部は残っていないが、Fin構造部の先端部に欠陥が残留していることが分かる（図8（c）参照）。更に、TEMサンプルを薄膜化し、高倍率で観察したところ、Fin構造部の先端部に双晶が確認された（図8（d）参照）。面方位による成長方向の違いで、双晶が生じたのではないかと考えられる。

[0041] 次に、RTAにて回復熱処理温度を $1200^\circ\text{C}$ として、10秒のアニールを行った結果を図9に示す。高温になることで、Fin構造部の先端部の欠陥量は $600^\circ\text{C}$ の場合より少なくなったが、このような高温であっても、イオン注入により導入された欠陥が残留することが分かった。

[0042] 以上のように、F i n構造部が延在する方向と半導体シリコン基板の { 1 1 0 } 方向とが異なる場合は、回復熱処理後のF i n構造部にはイオン注入による欠陥は観察されなかった。これに対して、F i n構造部が延在する方向とシリコン基板の { 1 1 0 } 方向とが同じ場合には、回復熱処理を十分実施してもF i n構造部の先端部のイオン注入による欠陥をなくすことはできなかった。

[0043] また、本発明の半導体装置の評価方法により、微細化した最先端プロセスを用いなくとも、F i n構造部のイオン注入による欠陥やアモルファス化したシリコンの再結晶化を簡便に評価することができた。

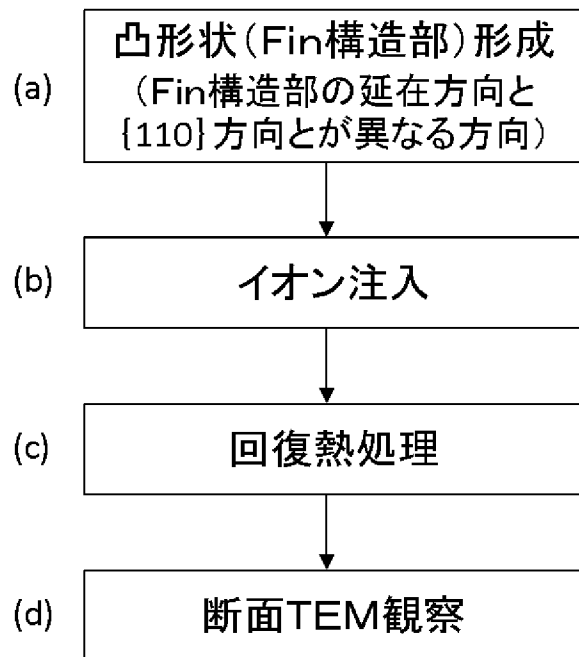
[0044] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

## 請求の範囲

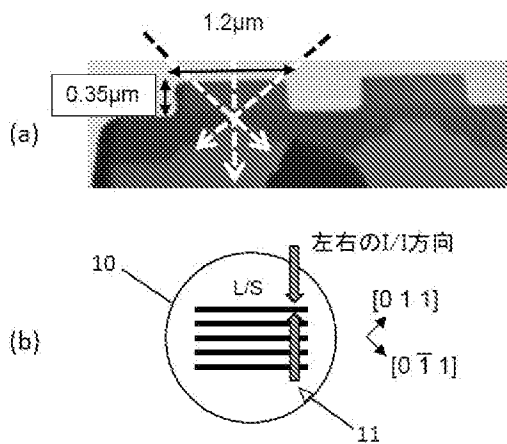
- [請求項1] 半導体シリコン基板上に、上に凸形状を有するF i n構造部を形成し、該F i n構造部にイオン注入を行った後、前記半導体シリコン基板に回復熱処理を行い、前記F i n構造部のシリコンを再結晶化する工程を有する半導体装置の製造方法であって、
- 前記F i n構造部は少なくとも一方向に延在し、該F i n構造部が延在する方向と前記半導体シリコン基板の{1 1 0}方向とが異なる方向となるように前記F i n構造部を形成することを特徴とする半導体装置の製造方法。
- [請求項2] 前記F i n構造部が延在する方向と前記半導体シリコン基板の{1 1 0}方向とのなす角度が1°以上となるように前記F i n構造部を形成することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 半導体シリコン基板上に、上に凸形状を有するF i n構造部を形成し、該F i n構造部にイオン注入を行った後、前記半導体シリコン基板に回復熱処理を行い、前記F i n構造部のシリコンを再結晶化して、前記F i n構造部のイオン注入による欠陥を評価する方法であって、
- 前記F i n構造部は少なくとも一方向に延在し、該F i n構造部が延在する方向と前記半導体シリコン基板の{1 1 0}方向とが異なる方向となるように前記F i n構造部を形成し、
- 前記回復熱処理を時間を変えて実施し、前記F i n構造部の前記延在する方向に垂直方向の断面をT E Mで観察することにより、前記再結晶化の進行過程でのイオン注入による欠陥の評価を行うことを特徴とする半導体装置の評価方法。
- [請求項4] 前記回復熱処理を抵抗加熱式のバッチ式熱処理炉を用いた場合は熱処理温度を5 5 0℃以上6 5 0℃以下の温度範囲で行うことを特徴とする請求項3に記載の半導体装置の評価方法。
- [請求項5] 前記回復熱処理をR T A熱処理炉を用いた場合は熱処理温度を8 0

0℃以上1200℃以下の温度範囲で行うことを特徴とする請求項3に記載の半導体装置の評価方法。

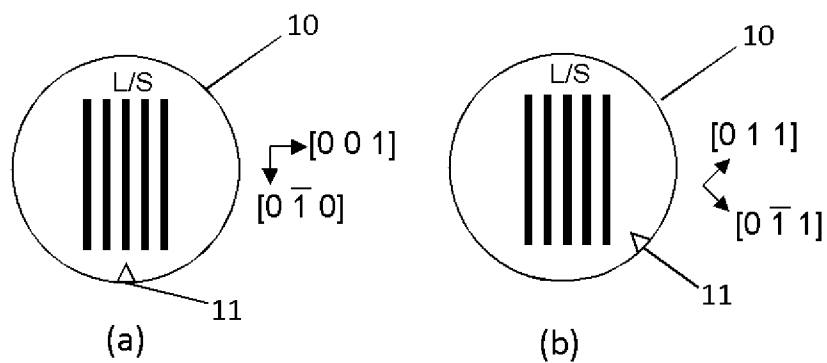
[図1]



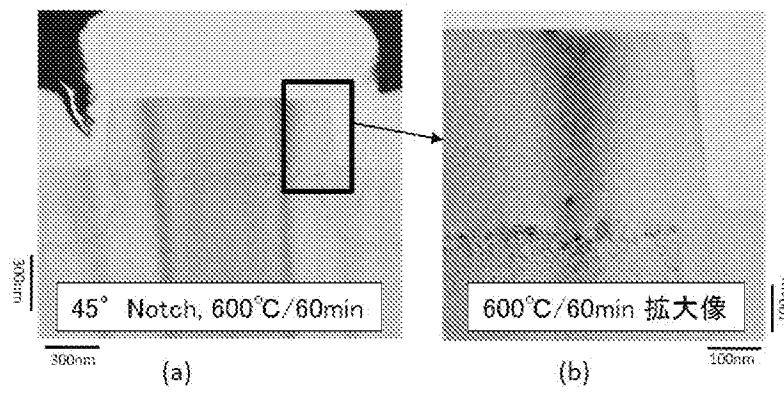
[図2]



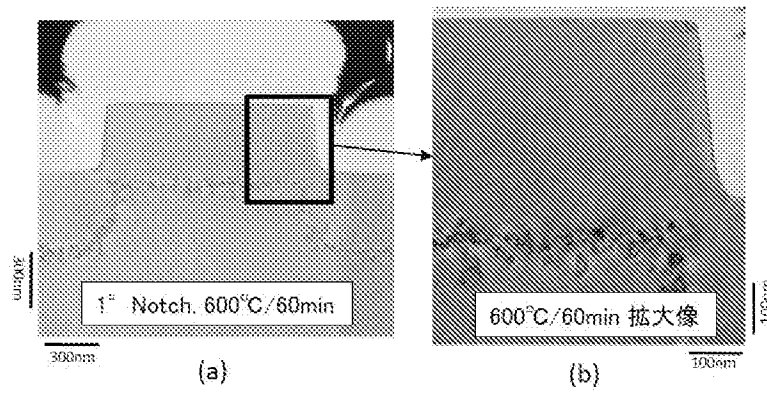
[図3]



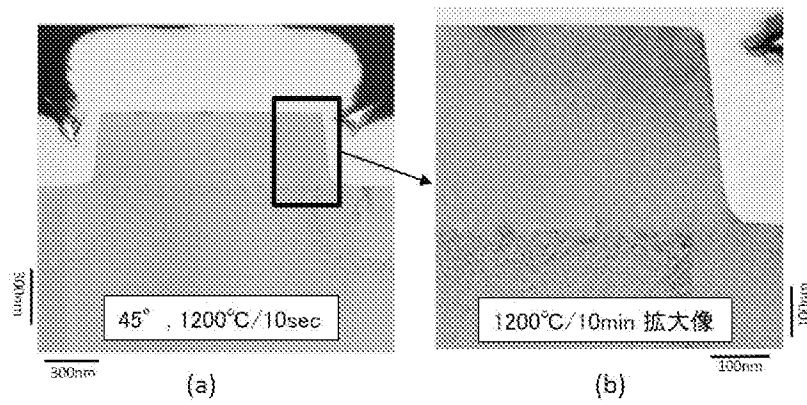
[図4]



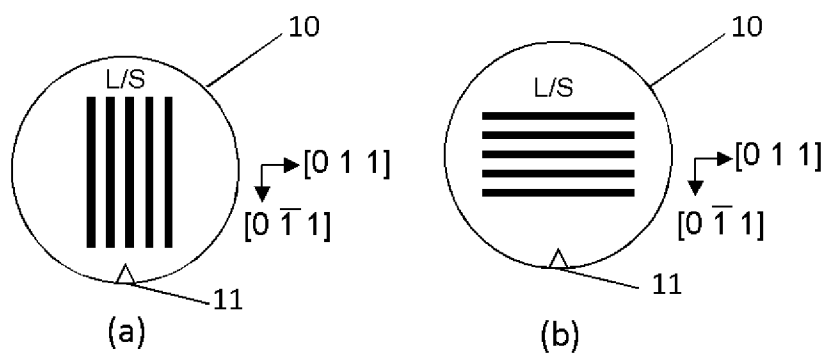
[図5]



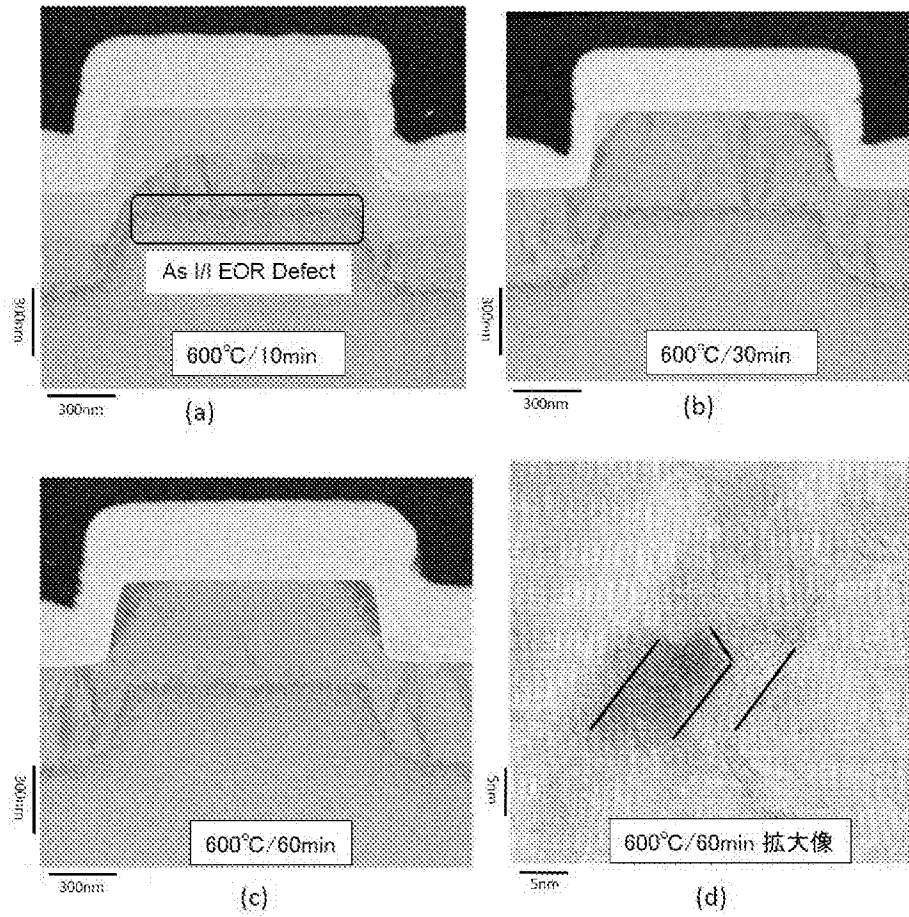
[図6]



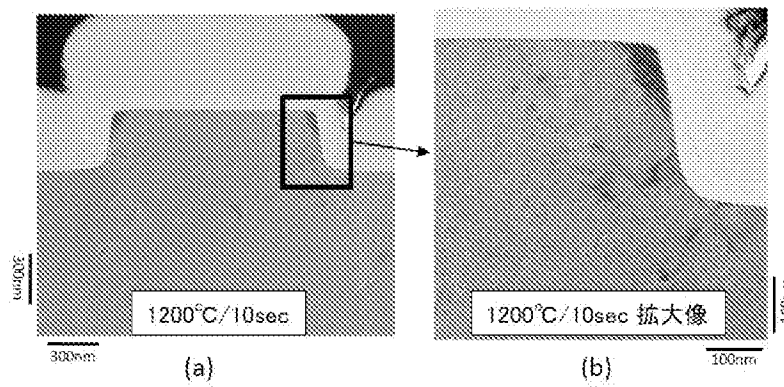
[図7]



[図8]



[図9]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001236

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/265(2006.01)i, H01L21/66(2006.01)i,  
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/265, H01L21/66, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                            | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2014-63897 A (Toshiba Corp.),<br>10 April 2014 (10.04.2014),<br>paragraphs [0057] to [0068]; fig. 21(a) to (f)<br>& US 2014/0087547 A1<br>paragraphs [0081] to [0090]; fig. 21A to 21F                                                                                                     | 1-5                   |
| Y         | JP 2005-236305 A (Samsung Electronics Co.,<br>Ltd.),<br>02 September 2005 (02.09.2005),<br>paragraphs [0041] to [0046], [0052]; fig. 2A to<br>3<br>& US 2005/0184283 A1<br>paragraphs [0061] to [0066], [0072]; fig. 2A to<br>3<br>& EP 1566844 A2 & KR 10-2005-0082763 A<br>& TW 200529434 A | 1-5                   |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
23 May 2016 (23.05.16)

Date of mailing of the international search report  
31 May 2016 (31.05.16)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001236

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                          | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | US 2015/0024565 A1 (MAEDA, Shigenobu et al.),<br>22 January 2015 (22.01.2015),<br>paragraphs [0134] to [0143]; fig. 28 to 31<br>& KR 10-2014-0001306 A & CN 103515441 A<br>& TW 201401511 A | 1-5                   |
| Y         | WO 97/06564 A1 (Hitachi, Ltd.),<br>20 February 1997 (20.02.1997),<br>page 38, lines 7 to 22<br>& TW 302538 B                                                                                | 3-5                   |
| Y         | JP 2011-249780 A (Semiconductor Energy<br>Laboratory Co., Ltd.),<br>08 December 2011 (08.12.2011),<br>paragraph [0057]<br>(Family: none)                                                    | 4                     |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/265(2006.01)i, H01L21/66(2006.01)i, H01L29/78(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/265, H01L21/66, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                         | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| Y               | JP 2014-63897 A（株式会社東芝）2014.04.10、段落[0057]-[0068]、<br>図21(a)-(f) & US 2014/0087547 A1、段落[0081]-[0090]、図21A-21F                                                                            | 1-5            |
| Y               | JP 2005-236305 A（三星電子株式会社）2005.09.02、<br>段落[0041]-[0046]、段落[0052]、図2A-3<br>& US 2005/0184283 A1、段落[0061]-[0066]、段落[0072]、図2A-3<br>& EP 1566844 A2 & KR 10-2005-0082763 A & TW 200529434 A | 1-5            |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                              |                                                                    |
|--------------------------------------------------------------|--------------------------------------------------------------------|
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献                                     | 「&」同一パテントファミリー文献                                                   |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                    |

国際調査を完了した日

23.05.2016

国際調査報告の発送日

31.05.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

6299

電話番号 03-3581-1101 内線 3516

| C (続き) . 関連すると認められる文献 |                                                                                                                                                  |                |
|-----------------------|--------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                | 関連する<br>請求項の番号 |
| Y                     | US 2015/0024565 A1 (MAEDA, Shigenobu et al.) 2015.01.22、<br>段落 [0134]-[0143]、図 28-31 & KR 10-2014-0001306 A<br>& CN 103515441 A & TW 201401511 A | 1-5            |
| Y                     | WO 97/06564 A1 (株式会社日立製作所) 1997.02.20、<br>第 38 頁第 7 行-22 行 & TW 302538 B                                                                         | 3-5            |
| Y                     | JP 2011-249780 A (株式会社半導体エネルギー研究所) 2011.12.08、<br>段落 0057 (ファミリーなし)                                                                              | 4              |