

ČESKOSLOVENSKÁ  
SOCIALISTICKÁ  
REPUBLIKA  
(19)



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 21 12 84  
(21) (PV 10 247-84)

(40) Zveřejněno 22 08 85

(45) Vydáno 15 09 87

242048

(11)

(B1)

(51) Int. Cl.<sup>4</sup>  
G 06 F 13/14

(75)

Autor vynálezu

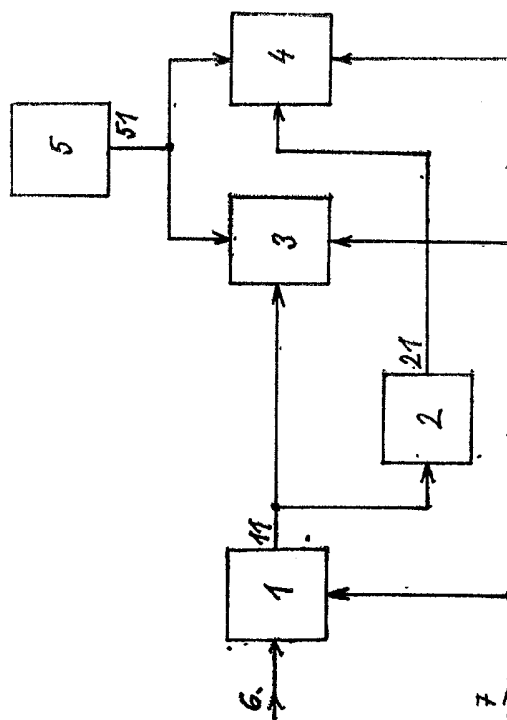
KELBLER JOSEF ing., PRAHA

(54) Zapojení obvodu pro umístění nového bloku do rychlé vyrovnávací paměti

1

Řešení se týká oboru počítačové techniky a řeší problémy snížení nákladů na operační procesor počítače. Tento problém je řešen tak, že obvod pro umístění nového bloku do paměti Cache je realizován řízeným čítačem modulu 2, který pracuje jeho pseudonáhodný generátor. Hodnota tohoto čítače určuje do které poloviny paměti Cache se bude nový blok nahrávat.

2



Vynález se týká zapojení obvodu pro umístění nového bloku do rychlé vyrovnávací paměti, dále jen paměti Cache.

Dosavadní známá zapojení obvodů pro umístění nového bloku z hlavní paměti do rychlé vyrovnávací paměti, paměti Cache, používala algoritmus LRU — Least recently used — případně FIFO — First in — first out, pro umístění nového bloku. Realizace těchto algoritmů je poměrně náročná na technické prostředky. U každého rámu bloku je nutné uchovávat informaci LRU, případně FIFO. Navíc jsou zapotřebí obvody pro generaci zapisovacího signálu do této paměti LRU, případně FIFO.

Tyto nevýhody odstraňuje zapojení obvodu pro umístění nového bloku do rychlé vyrovnávací paměti, jehož podstata spočívá v tom, že blokovací vstup celého obvodu je spojen s blokovacím vstupem čítače, jehož výstup je spojen jak s výběrovým vstupem levé poloviny paměti Cache, tak se vstupem invertoru, jehož výstup je spojen s výběrovým vstupem pravé poloviny paměti Cache, zatímco výstup datového registru je spojen s datovým vstupem levé poloviny paměti Cache a s datovým vstupem pravé poloviny paměti Cache, přičemž hodinový vstup celého obvodu je spojen jak s hodinovým vstupem čítače, tak s hodinovým vstupem levé poloviny paměti Cache a s hodinovým vstupem pravé poloviny paměti Cache.

Na připojeném výkresu je znázorněn příklad zapojení obvodu pro umístění nového bloku do rychlé vyrovnávací paměti.

Blokovací vstup 6 celého obvodu je spojen s blokovacím vstupem čítače 1, jehož výstup 11 je spojen jak se vstupem invertoru 2, tak s výběrovým vstupem levé poloviny paměti Cache 3. Výstup 21 invertoru 2 je spojen s výběrovým vstupem pravé poloviny paměti Cache 4. Datové vstupy levé poloviny paměti Cache 3 i pravé poloviny paměti Cache 4 jsou spojeny s výstupem 51 datového registru 5. Hodinový vstup 7 celého obvodu je spojen s hodinovým vstupem čí-

tače 1, dále s hodinovým vstupem levé poloviny paměti Cache 3 a s hodinovým vstupem pravé poloviny paměti Cache 4.

Zapojení podle vynálezu pracuje takto: obvod realizuje algoritmus RAND pro umístění nového bloku do paměti Cache. Algoritmus RAND je řešen pomocí pseudonáhodného generátoru. Pseudonáhodný generátor je tvořen jednobitovým čítačem 1 modulo 2, který v každém cyklu paměti Cache mění svoji hodnotu. V případě nahrávání nového bloku do paměti Cache je čítač 1 zablokovan pomocí svého blokovacího vstupu 6. Hodnota čítače 1 pak určuje do které asociativní poloviny paměti Cache se bude nový blok z hlavní paměti nahrávat.

Signál, který je přiveden z blokovacího vstupu 6 celého obvodu na blokovací vstup čítače 1, ovládá čítání jednobitového čítače 1, tj. pseudonáhodného generátoru. Čítač 1 čítá pomocí hodin, které jsou přivedeny z hodinového vstupu 7 celého obvodu na hodinový vstup čítače 1. Tyto hodiny jsou také přivedeny na hodinové vstupy levé poloviny paměti Cache 3 a pravé poloviny paměti Cache 4. Ovládací signál z výstupu 11 čítače 1, je přiveden na výběrový vstup levé poloviny paměti Cache 3 a vstup invertoru 2. Po inverzi v invertoru 2 je invertovaný ovládací signál z výstupu 21 invertoru 2 přiveden na výběrový vstup pravé poloviny paměti Cache 4. Data, která mají být nahrána do paměti Cache jsou umístěna v datovém registru 5, odtud jsou přivedena z jeho výstupu 51 na datové vstupy obou polovin paměti Cache 3, 4. Nahrávání dat do paměti Cache 3, 4 je podmíněno nejen hodinovým signálem z hodinového vstupu 7 celého obvodu, ale také signálem z čítače 1.

Zapojení obvodu pro umístění nového bloku do rychlé vyrovnávací paměti podle vynálezu má proti známým zapojením výhodu v tom, že šetří technické prostředky.

Zapojení podle vynálezu lze s výhodou použít v počítačích používajících rychlou vyrovnávací paměť, Cache.

#### PŘEDMĚT VYNÁLEZU

Zapojení obvodu pro umístění nového bloku do rychlé vyrovnávací paměti, vyznačené tím, že blokovací vstup (6) celého obvodu je spojen s blokovacím vstupem čítače (1), jehož výstup (11) je spojen jak s výběrovým vstupem levé poloviny paměti Cache (3), tak se vstupem invertoru (2), jehož výstup (21) je spojen s výběrovým vstupem pravé poloviny paměti Cache (4), za-

tímco výstup (51) datového registru (5) je spojen s datovým vstupem levé poloviny paměti Cache (3) a s datovým vstupem pravé poloviny paměti Cache (4), přičemž hodinový vstup (7) celého obvodu je spojen jak s hodinovým vstupem čítače (1), tak s hodinovým vstupem levé poloviny paměti Cache (3) a s hodinovým vstupem pravé poloviny paměti Cache (4).

