

双面影印

公告本

466487

申請日期	89.2.9
案 號	89102119
類 別	G11C11/22

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	留存ROM資料之鐵電記憶體元件
	英 文	FERROELECTRIC MEMORY DEVICE RETAINING ROM DATA
二、發明人	姓 名	加藤達夫
	國 籍	日 本
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
1999.3.17 特願平11-072634

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

發明領域

本發明係關於一種採用鐵電電容器之鐵電記憶體裝置，特別係關於可保有於製造過程儲存的ROM資料之鐵電記憶體裝置。特別，根據本發明之鐵電記憶體裝置更適合設置於微控制器(舉例)之非依電性記憶體。

相關技術之說明

近年來，提議採用鐵電電容器之鐵電記憶體裝置做為非依電性記憶體。鐵電記憶體裝置藉由採用其遲滯特性以及涵括於鐵電電容器之鐵電薄膜的殘餘偏振作用而儲存及讀取資料。經由於一方向施加電場至鐵電電容器，鐵電電容器於一方向變成偏振態。另外，經由於另一方向外加電場至鐵電電容器，鐵電電容器於反向變成偏振態。即使於外加於鐵電電容器的電場消失後，偏振態仍可保有做為殘餘偏振。因此，鐵電記憶體裝置可用做非依電性記憶體，即使於電源關閉後仍可保有資料。

第9圖為根據先前技術之鐵電記憶體單元之電路圖。第9圖之記憶體單元MC之結構稱做2T2C結構，其中涵括一對電晶體Q1，Q2以及一對連結各電晶體之鐵電電容器C1，C2。各電晶體Q1，Q2有一閘極連結至字線WL，源極或汲極其分別連結位元線對BL，/BL之一。此外，鐵電電容器C1，C2係連結至板線PL。感測放大器10係連結至位元線對BL，/BL。

資料係經由偏振第9圖所示記憶體單元MC之一電容器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

對C1、C2記錄，記錄的資料係於後文解說方法裝中讀出。

第10圖顯示鐵電薄膜之遲滯曲線。第10圖顯示外加電場或電壓於橫座標軸及偏振電荷於縱座標軸。於遲滯曲線，鐵電薄膜之偏振態，例如由點K改變，經由點L、M、N改變返回點K。

第11圖舉例說明此處說明之鐵電電容器之偏振方向定義。第11圖顯示第10圖所示各偏振態K、L、M、N。現在根據第10及11圖說明鐵電薄膜之遲滯特性。

如第11圖所示，經由外加5伏(舉例)電壓而外加向下電場 E_k 至鐵電電容器C1、C2時，於電容器C1、C2產生第11圖之向下偏振 $-q_s$ 。當電容器C1、C2經由外加的電壓由此態K移開時，隨後態移動至態L，偏振電荷 $-q_s$ 留在電容器C1、C2上。它方面，當5伏電壓於第11圖之向上方向外加於鐵電電容器C1、C2時，外加向上電場 E_m ，態變成偏振電荷 $+q_s$ 之偏振態M。即使外加至電容器的電壓由此態M移開，偏振電荷 $+q_s$ 之偏振態仍保留於電容器做為態N。

因此，此處說明中，電場或電壓外加至電容器之態K或M係以粗體箭頭線顯示，電容器與電場間未外加電位差的殘餘偏振態L或N係以虛線箭頭顯示。箭頭方向指示偏振方向。

第12圖為根據先前技術寫入及讀取資料至具有2T2C結構之記憶體單元之時序圖。本時序圖中顯示字線WL、板線P1、感測放大器操作、位元線對B1、B1、電容器C1

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (3)

，C2各自偏振方向。第12圖顯示時間於橫座標軸。

第9圖之記憶體單元之資料讀寫作業模將參照第10及12說明。首先，假定於鐵電記憶體單元寫入資料於寫入周期之時間Wt0為無限。位元線對BL，/BL復置至準位H與L間中間電位，字線WL及板線PL設定至L準位。當字線WL於時間Wt1被驅動至H準位時，記憶體單元之電晶體Q1，Q2變成導通，電容器對C1，C2分別連結線對BL，/BL。然後，於時間Wt2，感測放大器10根據寫入資料被主動化而設定位元線對BL及/BL分別至H及L準位。結果，向下電場外加至鐵電電容器C1，態變成態K，態K為向下偏振態。然後，無電場外加至其它鐵電電容器C2，故偏振方向不變。

當板線PL於時間Wt3被驅動至H準位時，連結至L準位位元線/BL的電容器C2於電容器C1之相反方向偏振。換言之，電容器C2變成態M，及電容器C1變成態L。於板線PL返回L準位以及電容器C1再度偏振時，字線WL返回L準位，單元電晶體Q1，Q2於時間Wt5變成關。因此理由故，電容器C1變成向下偏振態L，電容器C2變成向上偏振態N。即使電源關時，偏振態仍然維持且被保有。

於讀取作業模，位元線對BL，/BL於時間Rt0被預充電至0伏。當字線WL於時間Rt1被驅動至H準位而板線PL被驅動至H準位時，電容器C1之態由態L移動至態M且偏振方向顛倒。它方面，電容器C2之態由態N移動至態M。結果，其偏振被顛倒的鐵電電容器C1，偏振未被顛倒的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 4 ）

鐵電電容器C2放出更多電荷至各位元線，如此，於位元線對BL，/BL間產生預定電位差。

於時間Rt2，板線PL設定L準位。結果，雖然位元線對BL，/BL之電位略為下拉，但可保有前述電位差。於時間Rt3，位元線對BL及/BL間的電位差可被偵測且被經由主動化感測放大器10而放大。結果，儲存於鐵電電容器之資料可經由各位元線讀取出。

由於電容器C1，C2於時間Rt1皆係於向上偏振態，故儲存的資料破碎。因此，放大感測放大器10的結果供給鐵電電容器C1，C2，於各時間Rt4及Rt5經由驅動板線PL分別至H及L準位而改寫資料。當字線WL於時間Rt6被設定為L準位時，根據儲存資料的殘餘偏振態可被保有於記憶體單元電容器。

前述鐵電記憶裝置經由建立於微控制器使用，以及用做可改寫的ROM(舉例)。有某些情況由於鐵電記憶體裝置為非依電性，故程式中被寫入主動化微控制器之程序。建立於微控制器的中央處理單元根據於鐵電記憶體被寫入的程式而執行要求的作業。

但當使用鐵電記憶體裝置替代建立於習知微控制器的ROM時造成下列不便。

於完成製造過程後，記憶體資料即刻於鐵電記憶裝置變成無限。因此，資料須以某種方法寫入記憶體。雖然唯讀裝置可用於此寫入方法，但於微控制器須設有特殊電路時由唯讀裝置使由唯讀裝置傳輸來的資料係儲存於鐵電記

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

憶體。因此，需要所需資料可如同習知ROM般於製造過程預先記錄。

它方面，一旦所需資料寫於習知ROM之製造過程，隨後無法改寫資料。因此，當程式記錄於微記錄器的ROM時，隨後無法改變程式。但，因鐵電記憶裝置儲存的資料可自由改變，因此使用鐵電記憶裝置替代習知ROM可改變程式。換言之，自由程式改變表示於製造過程儲存的資料可能喪失，因此也需要可復原或回復喪失的資料。

發明概述

如此，本發明之目的係提供一種鐵電記憶裝置，此處預定資料可於製造過程記錄。

本發明之另一目的係提供一種鐵電記憶裝置，此處即使於製造過程儲存的資料隨後改變時，最初資料仍可視需要復原會回復。

為達前述目的，根據本發明之一種鐵電記憶裝置包含一記憶體單元具有多個鐵電電容器，記憶體單元包括各自具有不同的遲滯特性之鐵電電容器。具有不同遲滯特性做為ROM資料的電容器係於製造過程形成。然後遲滯特性差異用來復原原先於製造過程寫入的ROM資料，以及於偏振方向記錄資料。此外，記錄的資料可藉正常寫入方法自由改變，即使於電源關後仍可保有記錄資料。即使於最初ROM資料改變，經由採用前述遲滯特性仍可復原或回復原先ROM資料。

為了達成前述目的，根據本發明之一種鐵電記憶裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

包括複數記憶單元位於複數位元線及字線的交叉點，複數記憶單元各別包括一第一記憶單元，其包括一鐵電電容器具有第一遲滯特性及一第二記憶體單元包括一具有第二遲滯特性鐵電電容器。

此外，於前述發明，第一遲滯特性包括第一偏振變化至外加至鐵電電容器之預定電壓或電場改變，以及第二遲滯特性包括大於第一偏振變化至第二偏振變化至預定電壓或電場改變之變化。

此外，前述發明中，

具有第一遲滯特性之鐵電電容器容量係有於具有第二遲滯特性之鐵電電容器容量。考慮更為具體結構，具有第一遲滯特性之鐵電電容器具有比具有第二遲滯特性之鐵電電容器更小的尺寸及更厚的膜厚度。

根據本發明，ROM資料可經由製造過程根據最初資料(ROM資料)形成各自具有不同的遲滯特性之鐵電電容器寫入。遲滯特性之差異可經由使用電容器之偏振電荷變化量復原，該復原係發生於當鐵電電容器之第一電壓或電場改成第二電壓或電場時。具有1T1C結構或2T2C結構之記憶體單元可應用於本發明。

圖式之簡單說明

第1圖顯示根據本發明之具有2T2C結構之鐵電記憶體單元。

第2圖為略圖顯示具有不同尺寸之電容器之遲滯曲線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

第3圖為根據本發明儲存2T2C形成的記憶體單元之最初資料(ROM資料)之處理之時序圖。

第4圖為根據本發明之具有1T1C結構(帶有一個電晶體及一個電容器)之記憶體單元之電路圖。

第5圖為略圖顯示具有不同唯讀之電容器之遲滯曲線。

第6圖為根據本發明之1T1C形式之記憶體單元中復原最初資料之處理之時序圖。

第7圖顯示根據本發明之鐵電記憶裝置之整體構造。

第8圖為根據本發明之2T2C形式記憶體單元之寫入最初資料之說明圖。

第9圖為先前技術之鐵電記憶體單元之電路圖。

第10圖為略圖顯示鐵電薄膜之遲滯曲線。

第11圖為略圖顯示於本說明書之鐵電電容器之偏振方向之定義。

第12圖為先前技術之2T2C形式記憶體單元之讀寫資料之時序圖。

較佳具體例之說明

後文將參照附圖說明本發明之較佳具體實施例。但本發明之技術範圍非圍限於此等具體實施例。

第1圖為根據本發明之具有2T2C結構之鐵電記憶體單元。類似第9圖所示先前技術，設置一位元線對BL，/BL，及一字線WL及一板線PL與自線交叉，以及一記憶體單元MC包括一記憶體對Q1，Q2及一鐵電電容器對C1，C2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

，位於位元線對BL，/BL、字線WL及板線PL的交叉。本具體實施例中，於製造過程，鐵電電容器C2之尺寸形成為比電容器C1尺寸更大，電容器C2容量形成為比電容器C1容量更大。感測放大器10及復置電路12連結至位元線對BL，/BL。感測放大器10於資料寫入時間根據被寫入的資料而驅動位元線對，以及於資料讀取時間偵測且放大於位元線對形成的極微小電位差，此點係類似先前技術。此外，復置電路12各別復置位元線對至H準位俾讀取於製造時記錄的最初資料。

第2圖為略圖顯示各自具有不同尺寸之電容器之遲滯曲線。如第1圖所示，鐵電電容器C1尺寸係大於另一鐵電電容器C2尺寸。藉此方式，電容器C2尺寸大於電容器C1尺寸之狀態表示ROM資料(最初資料)「0」。因此，電容器C1尺寸大於電容器C2尺寸之案例表示ROM資料「2」。

如第2圖所示，具有較小尺寸之電容器C1之遲滯曲線具有較小偏振電荷改變成恆定電場或電壓電荷，如出現顯示。此外，具有較大尺寸的電容器2之遲滯曲線具有較大的偏振電荷改變成恆定電場或電壓電荷，如第2圖之虛線顯示。本具體實施例中，於製造過程儲存的ROM資料可讀出且經由採用各遲滯曲線的差異再生及改寫於記憶體單元。因此，於微控制器無須提供特別寫入電路，如先前技術所示。

第3圖為根據本發明之2T2C形成的記憶體單元之復原最初資料(ROM資料)之過程之時間圖。第3圖所示各時間t0

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

至t9舉例說明於第2圖之各態K, L, M, N。現在參照第2及3圖說明復原ROM資料之過程。

恰於製造過程完成後即刻, 於時間t0鐵電電容器C1, C2偏振方向無限。位元線對BL, /BL設定於預定中間電位, 板線PL於時間t0復置於L準位。然後, 於時間t1字線WL被驅至H準位, 使位元線對BL, /BL各別連結至鐵電電容器C1, C2。

復置電路12於時間t2被驅動而驅使位元線對BL, /BL至H準位。結果, 於板線方向(向下方向)之電場與電位外加至電容器C1, C2二者, 然後電容器C1, C2變成向下偏振態。換言之, 電容器分別變成第2圖之態K1及K2。復置電路12於時間t3預充電位元線對BL, /BL至L準位。雖然去除二電容器間的電位差, 但如第3圖之向下虛線箭頭舉例說明, 保有殘餘偏振態。換言之, 二電容器變成第2圖之態L1及L2。

當板線PL於時間t4被驅至H準位時, 電容器C1及C2出現極性顛倒。特別, 於第2圖電容器C1之態由態L1移動至態M1及電容器C2之態由態L2移動至態M2。結果, 遲滯曲線較大的電容器C2比遲滯曲線較小的電容器C1放電更多電荷至位元線。因此, 如第3圖時間t4顯示, 位元線/BL之電位變成高於位元線BL之電位。

當於時間t5板線PL復置至L準位時, 位元線對之電位略為降低, 但仍保有電位差關係。於此狀態, 電容器分別變成第2圖之態N1及N2。當感測放大器10被主動化而偵測

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (10)

第 89102119 號專利申請案修正頁

修正日期 2001 年 9 月

且放大出現於位元線對的微小電位差時，位元線/BL被驅至H準位及位元線BL被驅至L準位。

此種情況下，根據於時間t7板線PL之H準位及時間t8板線PL之L準位，於位元線對產生之資料供給記憶體單元之鐵電電容器C1及C2，最初資料(ROM資料)藉正常改寫原理(類似先前技術)被寫入記憶體單元之電容器。即使於時間t9，當字線WL被復置在L準位時仍可保有資料寫入的電容器之偏振態。

如由前文說明顯然易知，對應於製造過程寫入資料各電容器尺寸大小之ROM資料由時間t1至t7被讀出至位元線對。ROM資料由時間t6至時間t9藉操作由位元線對寫至記憶體單元。藉此方式，類似習知ROM，經由於製造過程改變記憶體單元之電容器的遲滯曲線可改寫預定資料。此外，被寫入ROM的資料可由時間t0至t6藉指示的作業讀取出，由時間t6至時間t9資料被寫入記憶體單元。因此，無須使用特殊寫入裝置，於製造過程寫入ROM的資料(最初資料)可被寫入鐵電記憶體單元做為偏振態。

於第1圖所示記憶體單元MC，感測放大器10根據寫入資料驅動位元線對，因此任何預定資料可被寫入且可由正常讀取作業讀取出。換言之，於製造過程記錄的最初ROM資料不同的某些資料可於稍後被寫至記憶體單元。此外，於製造過程寫入最初ROM資料可再度執行第3圖所示最初資料復原過程而再度儲存至記憶體單元。

如前述，當復原最初ROM資料時，由於遲滯曲線較

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(11)

大的電容器C2給予的偏振電荷量($qs2 + qr2$)變成大於遲滯曲線較小的電容器C1給予的偏振電荷量($qs1 + qr1$)，因此藉於位元線對間可產生極微小電位差異。此外，正常讀取作業要求當電容器C1由態L1改變成態M1時的偏振電荷量($qs1 + qr1$)係大於當電容器C2之反相偏振態由態N2改成M2時的偏振電荷量($qs2 - qr2$)。最初資料係於製造過程寫入而具有可滿足前述條件的遲滯曲線。

類似習知程式ROM，預定資料可於製造過程寫入係將鐵電電容器建立成為微控制器的程式記錄記憶體，於製造過程完成以後資料可被改寫。因此，當用做建立於微控制器的程式ROM時，程式可經修正及改變，原先最初資料可於程式做錯誤改變時單純復原。

第4圖為根據本具體實施例由一電晶體及一電容器(具有1T1C結構)組成的記憶體單元之電路圖。第4圖中，三組字線及位元線交叉於位元線對BL，/BL。WL0，WL1為正常字線，WLr為參考字線。同理，PL0，PL1為正常板線及PLr為參考板線。第4圖中，正常記憶體單元MC1，MC2分別連結至一位元線BL之一邊。相反地，參考用記憶體單元MCr係連結至位元線/BL另一邊。一電晶體Q及一鐵電電容器C供給各記憶體單元。

本具體實施例中，記憶體單元MC1之鐵電電容器C1之尺寸係小於記憶體單元MC2之鐵電電容器C2尺寸。此外，參考用記憶體單元MCr之鐵電電容器Cref具有介於電容器C1及C2中間的尺寸。特別，尺寸以電容器C1，Cref

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

及C2順序加大，電容器總量也以該順序變大。

第5圖為略圖各自顯示具有不同尺寸之電容器之遲滯曲線。如前文於第4圖所述，尺寸係以電容器C1，Cref及C2順序變大，故各電容器之遲滯曲線也以該順序變大。

當於具有第4圖之具有1T1C結構之記憶體單元陣列讀取記憶體單元MC1時，採用參考用記憶體單元MCr。當讀取記憶體單元MC2時，同樣採用參考用記憶體單元MCr。特別當採用1T1C記憶體單元陣列時，各記憶體單元係由一電晶體記憶體鐵電電容器組成，連結至另一位元線/BL之參考用記憶體單元MCr係由連結至同一位元線BL之多個記憶體單元所共用。因此，一記憶體單元之元件數目減少，而該記憶體之容量增加。

如由前述原理顯然易知，當最初資料(ROM資料)復原且由記憶體單元MC1讀取出時，採用第5圖所示電容器C1及Cref之遲滯曲線。此種資訊同第1圖所示2T2C形式的記憶體單元案例。它方面，當最初資料(ROM資料)被復原或由記憶體單元MC2讀取出時，類似第2圖之案例，採用第5圖之電容器Cref及C2之遲滯曲線。

第6圖為根據本發明於1T1C記憶體單元陣列復原最初資料過程之時序圖。此時序圖舉例說明最初資料再度儲存於記憶體單元MC1之案例。第6圖之時序圖約略同第3圖之時序圖。不同點在於舉例說明之電容器C1及Cref之偏振方向。也說明記憶體單元MC1之字線及板線WL0及PL0以及參考用之字線及板線WLr及PLr。其它部份同第3圖之時序

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

圖。

特別，當採用1T1C記憶體單元時，最初資料由時間 t_0 至 t_6 讀取出，由時間 t_0 至時間 t_6 讀取出之最初資料記錄於記憶體單元做為偏振態。類似第3圖之案例，於時間 t_1 字線被驅動至H準位，於時間 t_2 復置電路12驅動位元線對BL，/BL至H準位。結果，於電容器C1，Cref發生向下偏振。於時間 t_3 於復置電路12預充電位元線對二者至L準位時，於時間 t_4 板線PL0及PLr被驅動至H準位。然後，根據二電容器之遲滯曲線大小的差異，不等量電荷流至位元線對。第6圖所示例中，較多電荷流至位元線/BL而較少電荷流至位元線BL，如此於位元線對出現微小電位差。

藉該方式出現的位元線對間之微小電位差可於時間 t_6 藉主動化感測放大器10而偵測及放大。結果，位元線對/BL及BL分別被驅動至H準位及L準位，然後最初資料被讀出至位元線對。隨後，於時間 t_7 ，各板線分別被驅動至H準位，於電容器C1產生向上偏振態。於時間 t_8 板線分別被驅動至L準位，以及於參考用電容器Cref產生向下偏振態。然後於時間 t_9 位元線復置至L準位及偏振態記錄於記憶體單元。

由於採用第4圖所示之1T1C記憶體單元時僅設置電容器C1於記憶體單元MC1，故於時間 t_8 無須對參考用電容器Cref產生偏振。

如前文說明，即使經由使用具有一電晶體及一鐵電電容器之記憶體單元結構，仍可復原於製造過程記錄的最初

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

資料(ROM資料)，隨後儲存於記憶體單元的資料可視需要被改寫，以及當資料被錯誤改寫時可回復最初資料(ROM資料)。

第7圖顯示根據本發明之鐵電記憶裝置之整個構造。鐵電裝置具有記憶單元MC各自有四列及八行，其連結字線及板線WL及PL及位元線對BL，/BL。感測放大器S/A連結至各位元線對。位址信號A0，A1分別給予行選擇器22，24，位址信號A2，A3分別給予列選擇器20。第7圖所示最初資料(ROM資料)「0」或「1」於製造過程被寫至各記憶體單元。

以下說明再度儲存前述最初資料於第7圖所示鐵電記憶裝置之案例。首先，參照第3圖及第6圖所示時序圖中介於時間t0與t9間隔說明。列選擇器20經由分別設定位址A2，A3為0而驅動於第一列的字線WL0及板線PL0。結果，最初資料對全部八個記憶體單元MC可再度儲存於第一列。其次，經由改變位址A2，A3，對全部八個記憶體單元最初資料可再度儲存於第二列。藉此方式，對全部記憶體單元最初資料可再度儲存於第三及第四列。因此，顯然經由驅動字線及板線可將製造過程寫入的最初資料(ROM資料)對全部複數記憶體單元再度儲存於同一列而只須耗用即少時間即可執行再度儲存最初資料之過程。

第8圖為根據本具體實施例之2T2C形式記憶體單元之寫入最初資料之說明圖。電容器C1或C2之尺寸可經由與製造過程連結或解除連結開關SW1或SW2而變大或縮小。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

最初資料可經由使用罩蓋資料而關係開關SW1或SW2寫入，而與罩蓋資料顯示，例如是否形成通孔。另外，開關SW1及SW2係藉熔絲形成俾割斷一種絲來寫入最初資料。

當一電晶體及一電容器形成記憶體單元時，最初資料可藉平行連結或未連結額外電容器寫入。

前述具體實施例中，最初資料(ROM資料)可藉由改變記憶體單元之各電容器尺寸寫入而獲得不同的遲滯特性。本發明非僅限於此，經由減薄記憶體單元之鐵電電容器厚度來使容量增加可產生更大的遲滯特性。另外，鐵電電容器材料改變而使遲滯曲線變大或減小來記錄最初資料(ROM資料)。

如前文說明，根據本發明，初步資料(ROM資料)可於製造過程寫入。然後最初資料可復原而將最初資料寫入記憶體單元。進一步，資料可於製造後藉正常寫入操作改變成任何資料，以及最初資料可再度復原。

元件標號對照

10…感測放大器

12…復置電路

20…列選擇器

22, 24…行選擇器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：留存ROM資料之鐵電記憶體元件)

提供一種鐵電電容器其可於製造過程寫入ROM資料，隨後改變資料，以及復原被改寫的最初資料。鐵電記憶體裝置包含一記憶體單元，其中設置多個鐵電電容器，記憶體單元包括各自具有不同的遲滯特性之鐵電電容器。具有不同的遲滯特性之電容器係於製造過程形成做為ROM資料。於製造過程寫入的最初ROM資料可經由採用遲滯特性間之差異被復原且可被記錄做為偏振方向。此外，記錄的資料可由正常寫入過程自由改寫，即使於電源關閉後仍可維持記錄的資料。即使於最初ROM資料改良後，經由採用前述不同的遲滯特性可復原或回復最初ROM資料。

英文發明摘要(發明之名稱：FERROELECTRIC MEMORY DEVICE RETAINING ROM DATA)

A ferroelectric capacitor is provided that can write ROM data at a manufacturing process, change the data after that, and restore the rewritten initial data. The ferroelectric memory device composing a memory cell, in which ferroelectric capacitors are provided, the memory cell includes ferroelectric capacitors each having a different hysteresis characteristic. The capacitor having the different hysteresis characteristic is formed at a manufacturing process as ROM data. The initial ROM data written at the manufacturing process can be restored and can be recorded as a polarizing direction by employing the difference between the hysteresis characteristics. In addition, the recorded data can be freely rewritten by a normal writing method and the recorded data can be maintained even when a power is OFF. Even after the initial ROM data is changed, the initial ROM data can be restored or recovered by employing the above-described different hysteresis characteristic.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種鐵電記憶裝置，包括複數記憶體單元位在複數位元線與複數字元線的交叉點，

其中各複數記憶體單元包括一第一記憶體單元包含一具有第一遲滯特性之鐵電電容器及一第二記憶體單元包含一具有第二遲滯特性之鐵電電容器。

2. 如申請專利範圍第1項之鐵電記憶裝置，

其中第一遲滯特性包括第一偏振變化改變外加至鐵電電容器之預定電壓或電場電荷，以及第二遲滯特性包括比第一偏振變化更大的第二偏振變化加至預定電壓或電場電荷。

3. 如申請專利範圍第1項之鐵電記憶裝置，

其中具有第一遲滯特性之鐵電電容器具有比具有第二遲滯特性之鐵電電容器更小的容量。

4. 如申請專利範圍第1項之鐵電記憶裝置，

其中具有第一遲滯特性之鐵電電容器具有比具有第二遲滯特性之鐵電電容器更小的尺寸或更大的厚度。

5. 如申請專利範圍第1至4項中任一項之鐵電記憶裝置，

其中記憶單元具有一單元電晶體位在位元線間及鐵電電容器之導通係由字線控制以及

預定記錄資料可讀取出，係藉由外加第一電壓或電場至鐵電電容器使鐵電電容器根據遲滯特性於第一偏振態，以及經由改變第一電壓或電場至第二電壓或電場，使鐵電電容器根據遲滯特性於第二偏振態，此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

時鐵電電容器係連結至位元線，故位元線電位根據由第一偏振態至第二偏振態的變化而改變。

6. 如申請專利範圍第5項之鐵電記憶裝置，

其中當預定記錄的資料被讀取出時，鐵電電容器係根據位元線的電位被設定於對應偏振態，故預定記錄的資料被寫入記憶體單元。

7. 如申請專利範圍第1項之鐵電記憶裝置，進一步包含：

一復置電路用以驅動位元線對至預定電位來外加第一電壓或電場至鐵電電容器；以及

一感測放大器用以偵測位元線之電位電荷，同時第一偏振態改成第二偏振態。

8. 如申請專利範圍第1至4項中任一項之鐵電記憶裝置，

其中位元線包括一對位元線，記憶體單元包括一對單元電晶體連結至位元線對及一對鐵電電容器連結至該對位元線對，該對鐵電電容器具有不同的遲滯特性，預定資料可藉遲滯特性的組合記錄。

9. 如申請專利範圍第1至4項中任一項之鐵電記憶裝置，

其中記憶體單元包括一單元電晶體連結至位元線及鐵電電容器連結至單元電晶體。

10. 如申請專利範圍第5項之鐵電記憶裝置，

其中位元線包括一對位元線，記憶體單元包括一對單元電晶體連結至位元線對及一對鐵電電容器連結至該對位元線對，該對鐵電電容器具有不同的遲滯特性，預定資料可藉遲滯特性的組合記錄。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

11. 如申請專利範圍第5項之鐵電記憶裝置，

其中記憶體單元包括一單元電晶體連結至位元線
及鐵電電容器連結至單元電晶體。

(請先閱讀背面之注意事項再填寫本頁)

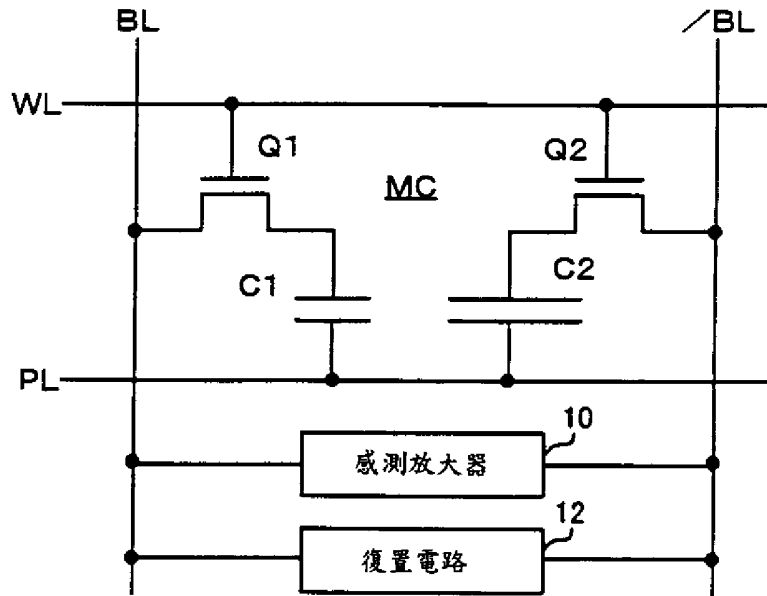
裝

訂

466487

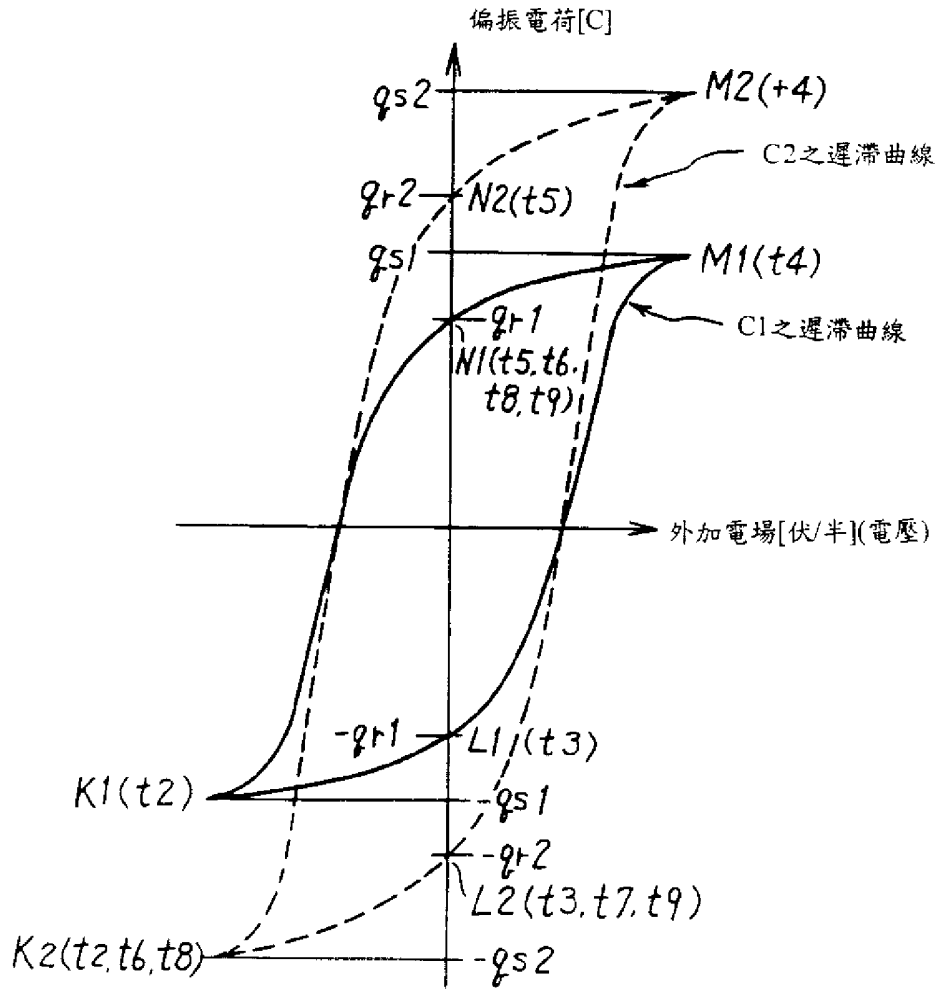
第 1 圖

2T2C單元根據本發明



第 2 圖

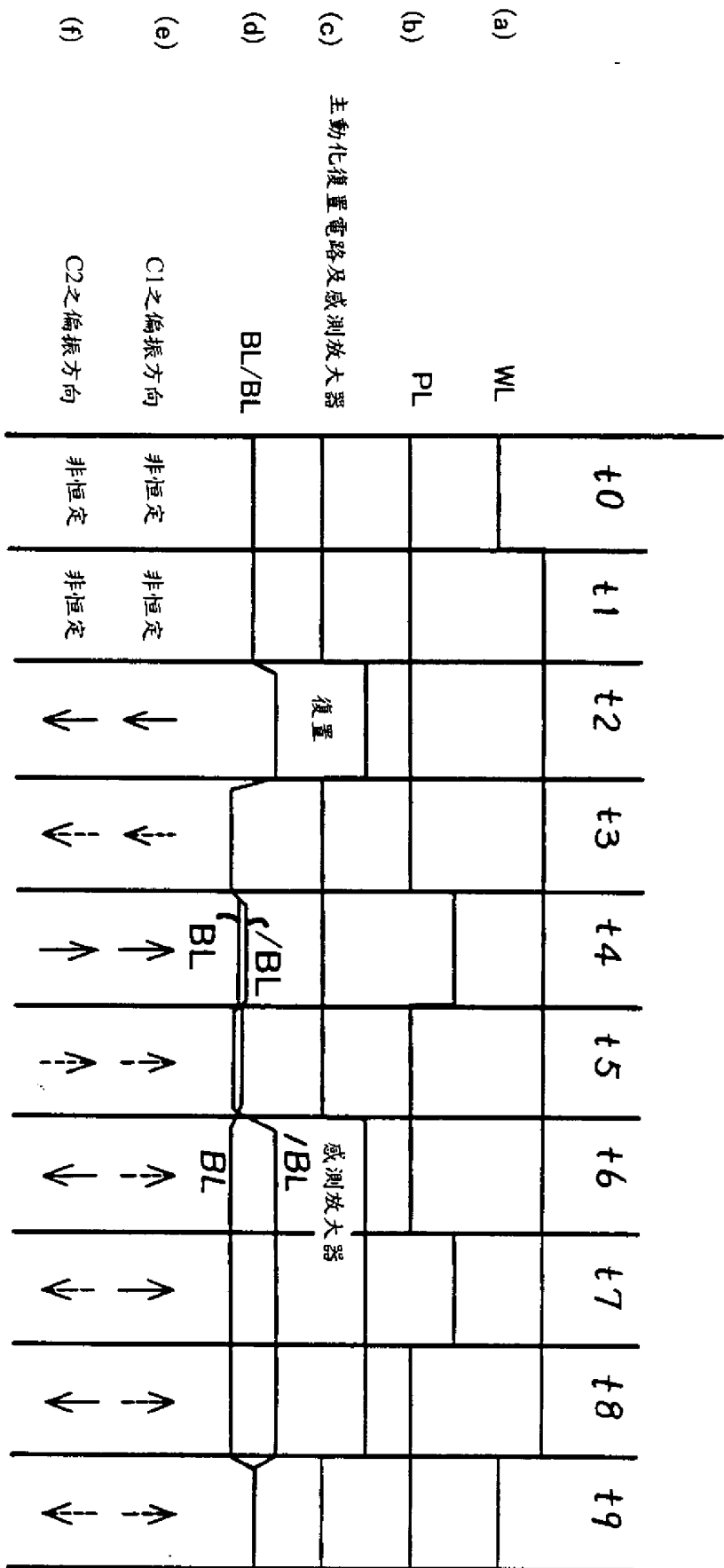
各自具有不同維度的
電容器之遲滯曲線



$$q_{s2} + q_{r2} > q_{s1} + q_{r1} > q_{s2} - q_{r2}$$

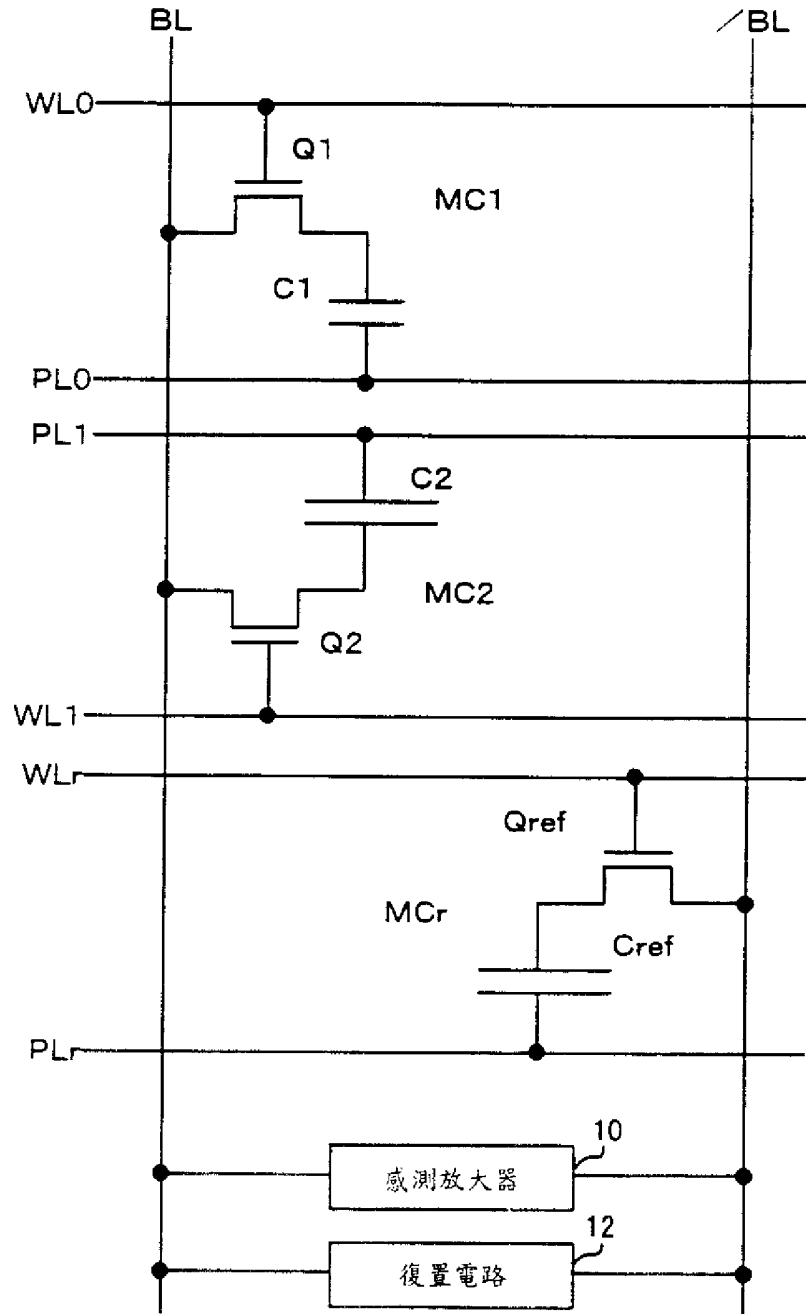
第 3 圖

復原-2T2C單元之最初資料過程之時序圖



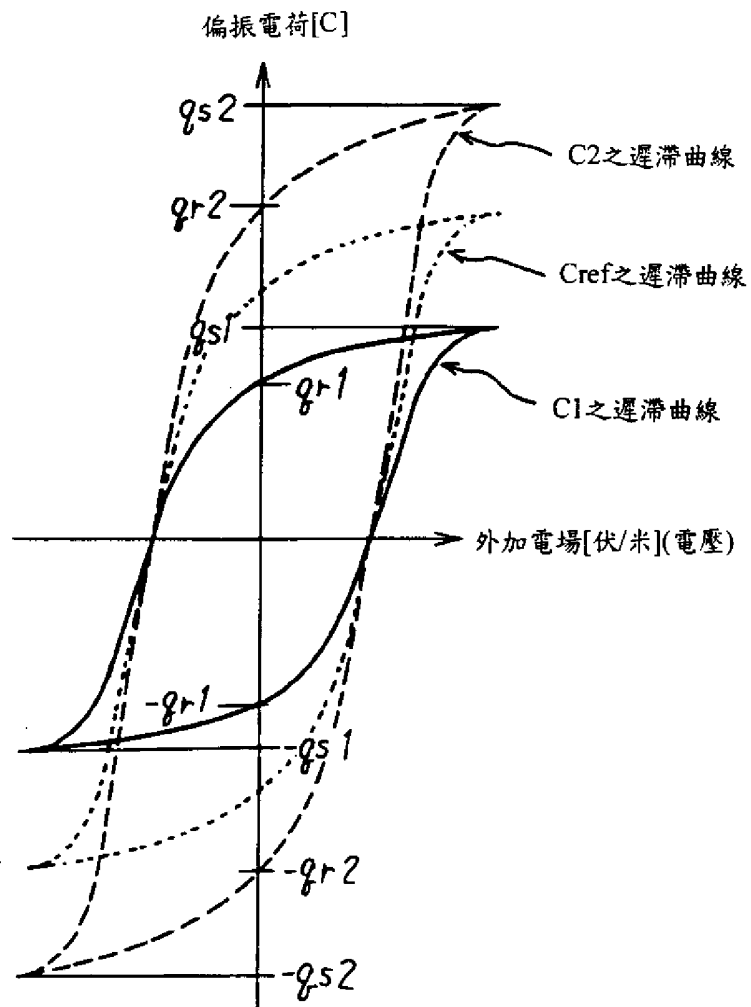
第 4 圖

根據本發明之ITIC單元



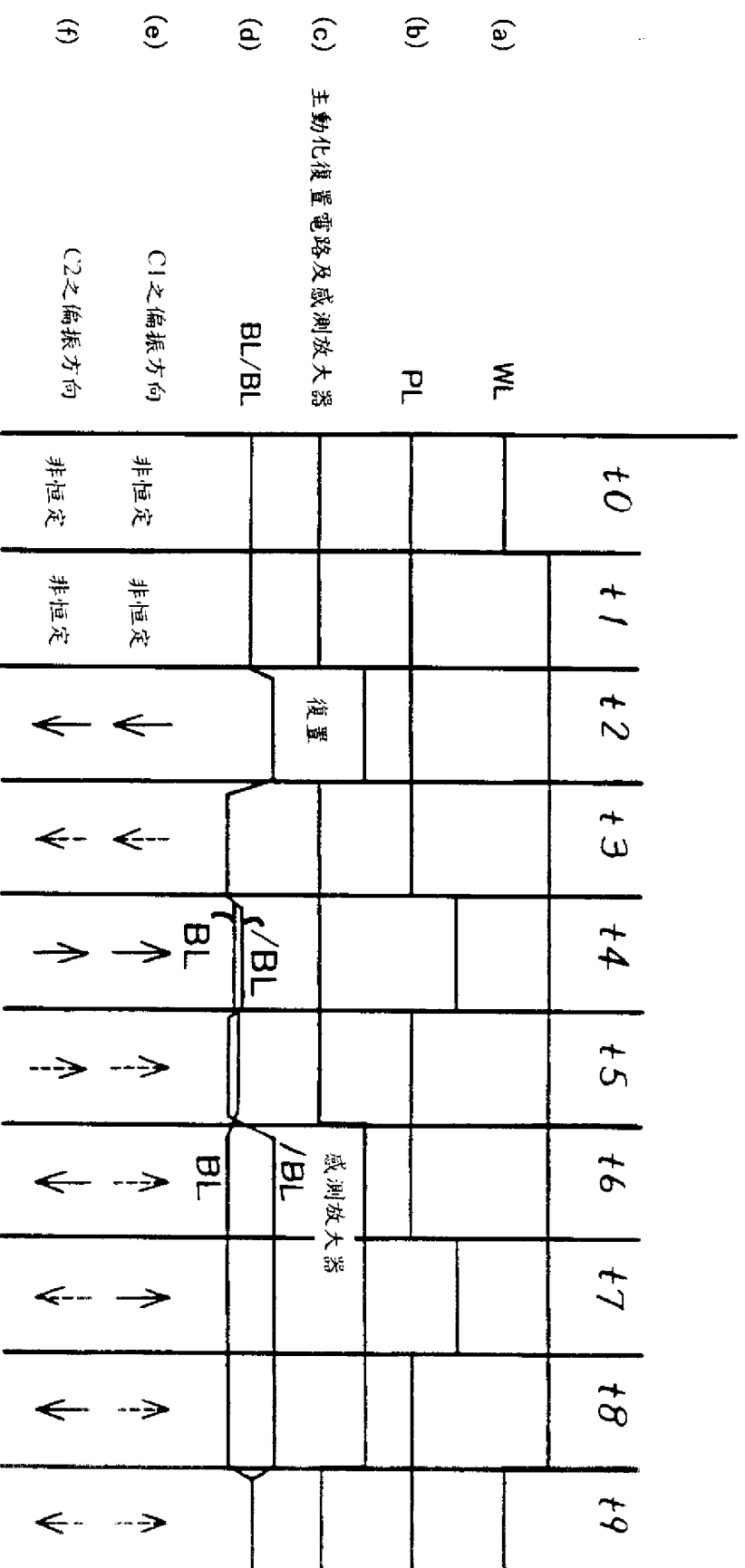
第 5 圖

各自具有不同維度之電容器之遲滯曲線



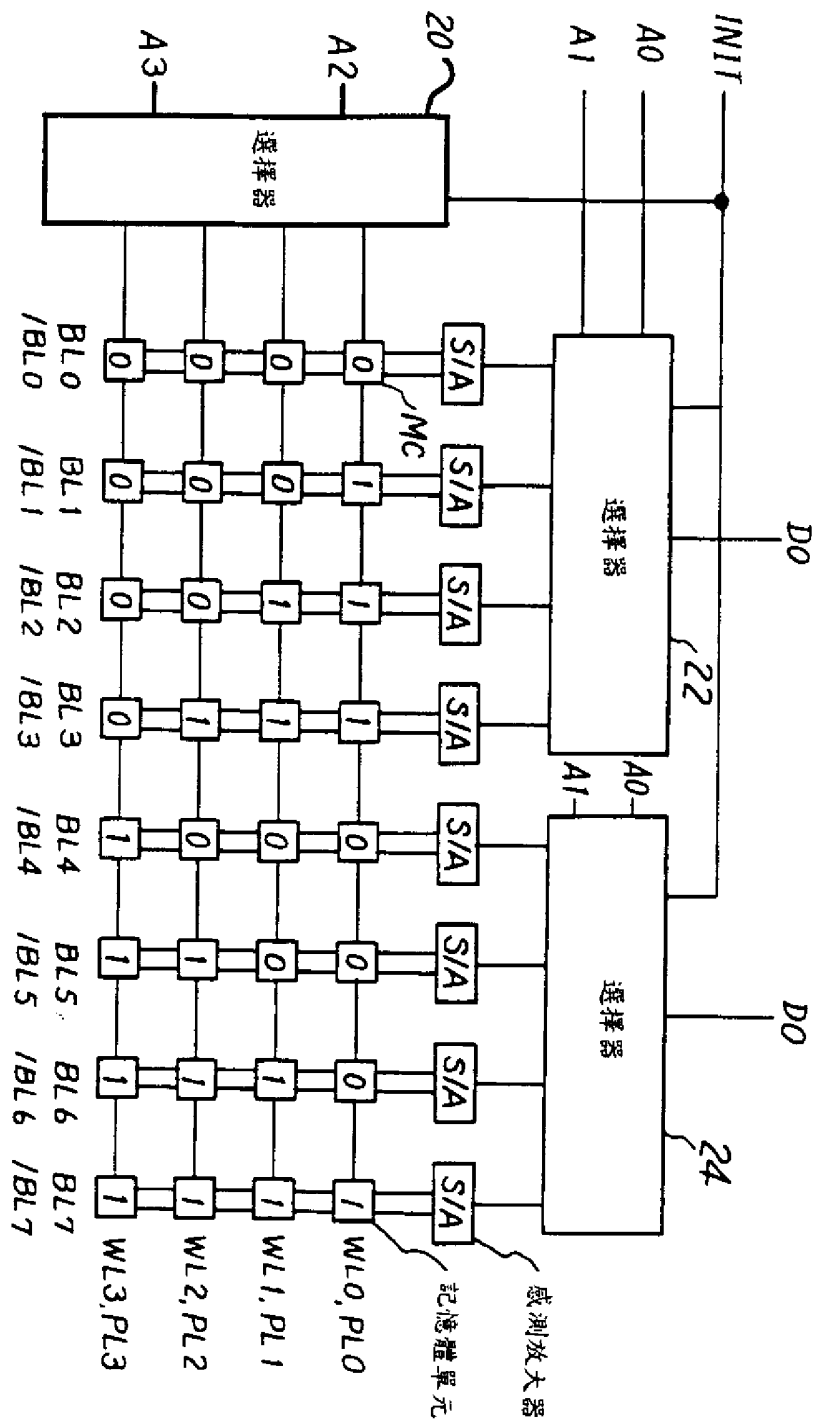
第 6 圖

ITIC單元(開聯C1)之最初資料復原過程之時序圖



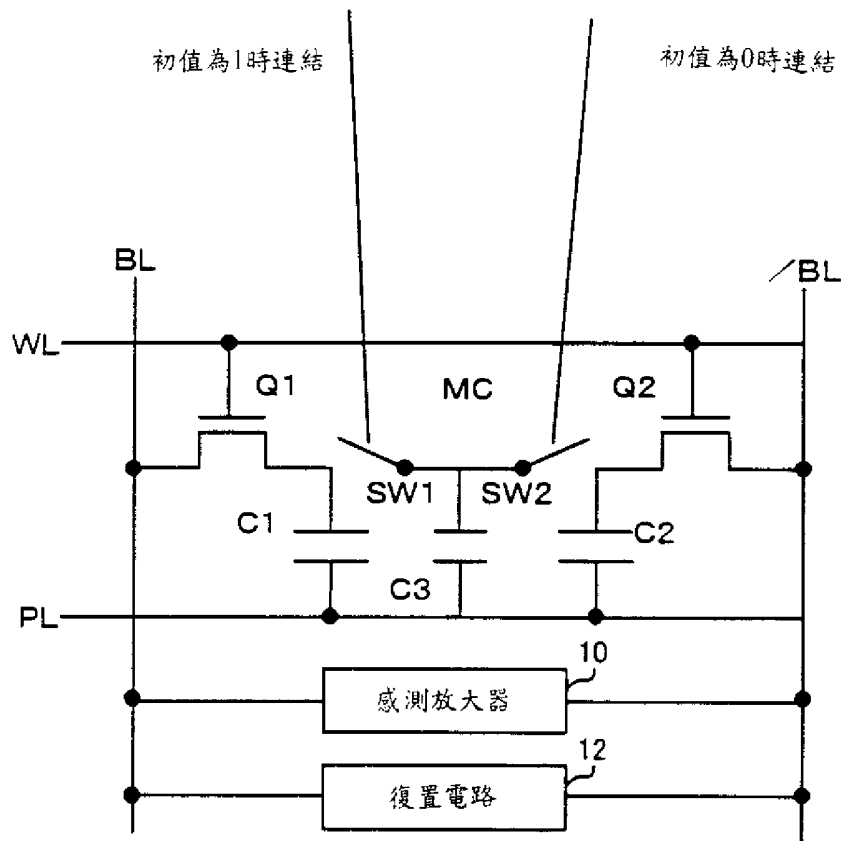
第 7 圖

電纖記憶裝置的完整結構



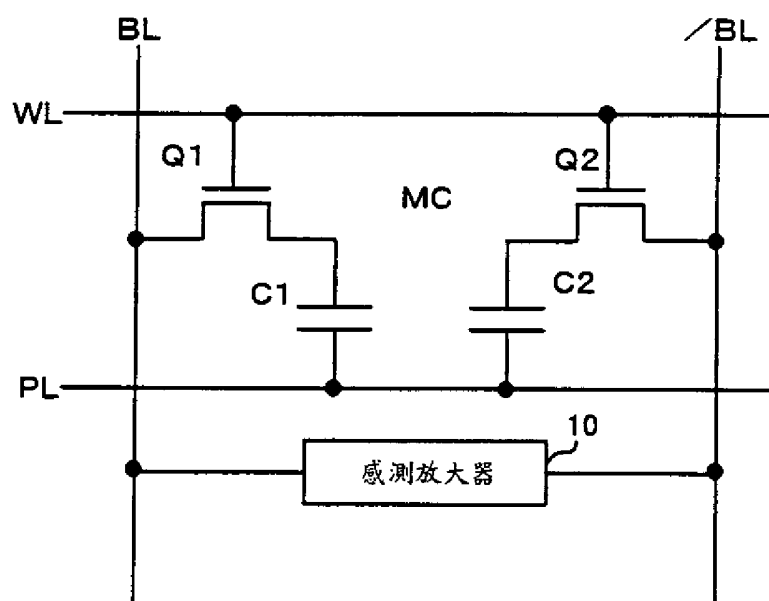
第 8 圖

2T2C單元



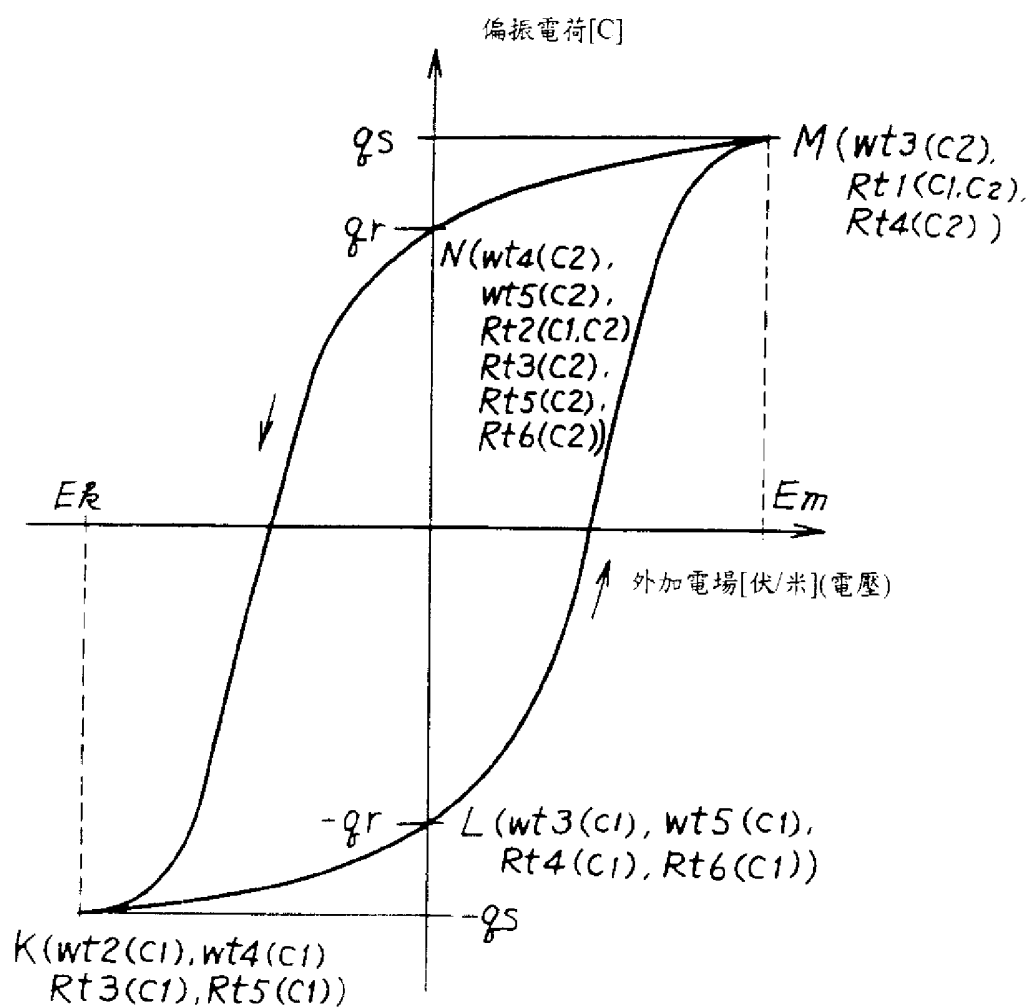
第 9 圖

根據先前技術之2T2C單元



第 10 圖

電鐵薄膜之遲滯曲線



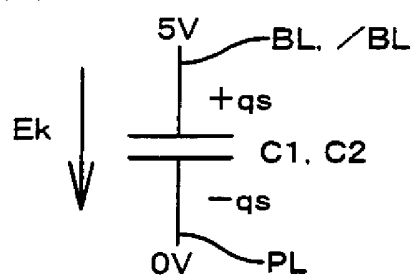
第 11 圖

偏振方向定儀

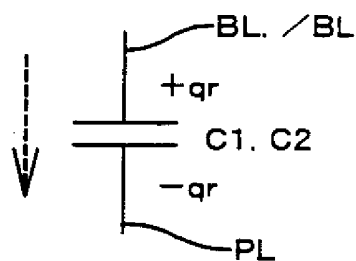
電壓外加於電容器間時

無電壓外加於電容器間時

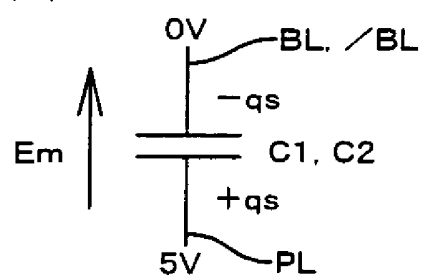
(K)



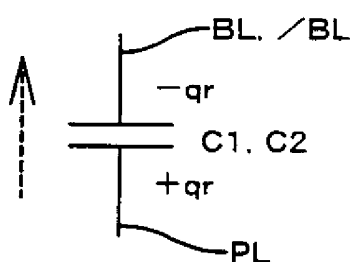
(L)



(M)

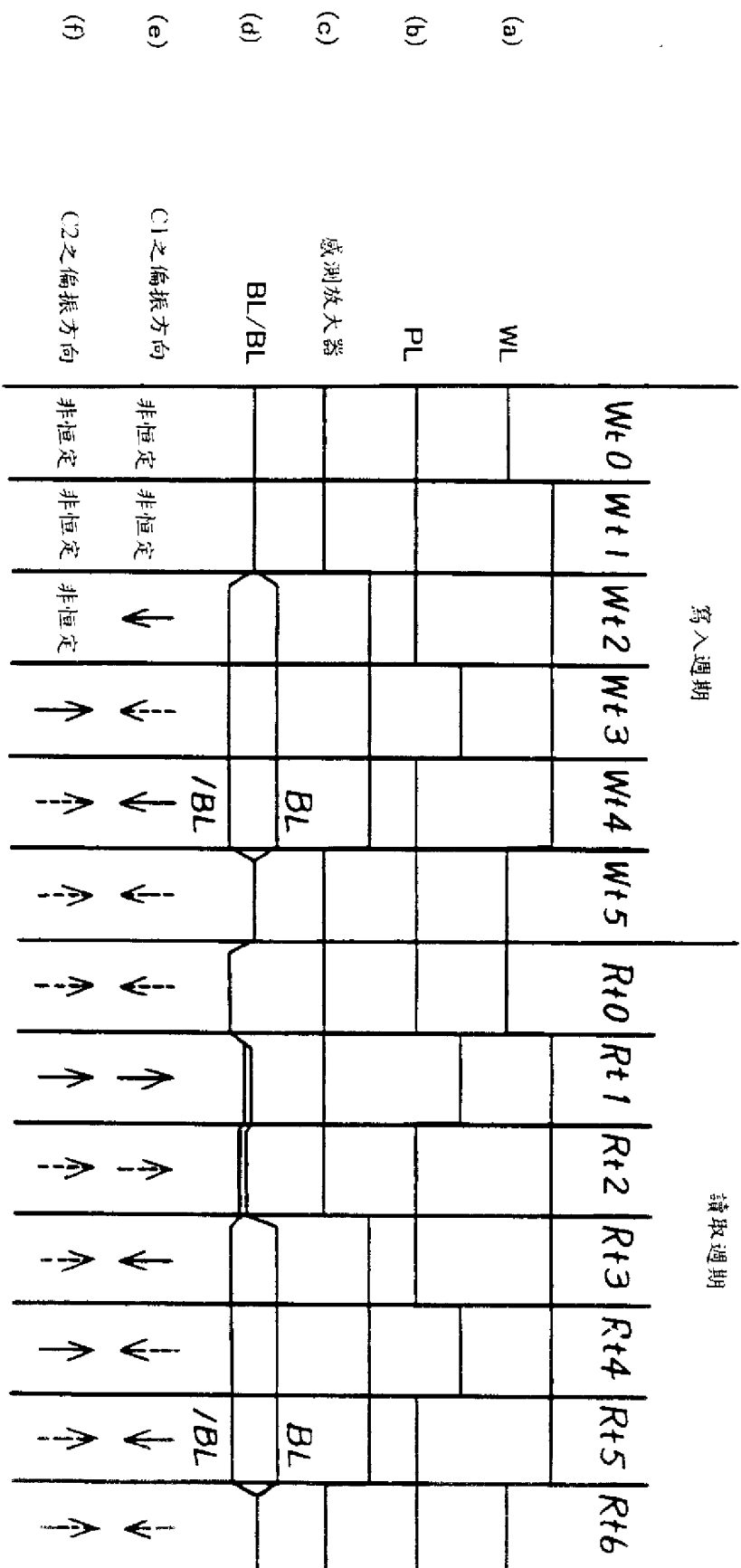


(N)



第 12 圖

根據先前技術之2T2C單元之資料寫入和讀取操作之時序圖



五、發明說明(9)

至t9舉例說明於第2圖之各態K, L, M, N。現在參照第2及3圖說明復原ROM資料之過程。

恰於製造過程完成後即刻, 於時間t0鐵電電容器C1, C2偏振方向無限。位元線對BL, /BL設定於預定中間電位, 板線PL於時間t0復置於L準位。然後, 於時間t1字線WL被驅至H準位, 使位元線對BL, /BL各別連結至鐵電電容器C1, C2。

復置電路12於時間t2被驅動而驅使位元線對BL, /BL至H準位。結果, 於板線方向(向下方向)之電場與電位外加至電容器C1, C2二者, 然後電容器C1, C2變成向下偏振態。換言之, 電容器分別變成第2圖之態K1及K2。復置電路12於時間t3預充電位元線對BL, /BL至L準位。雖然去除二電容器間的電位差, 但如第3圖之向下虛線箭頭舉例說明, 保有殘餘偏振態。換言之, 二電容器變成第2圖之態L1及L2。

當板線PL於時間t4被驅至H準位時, 電容器C1及C2出現極性顛倒。特別, 於第2圖電容器C1之態由態L1移動至態M1及電容器C2之態由態L2移動至態M2。結果, 遲滯曲線較大的電容器C2比遲滯曲線較小的電容器C1放電更多電荷至位元線。因此, 如第3圖時間t4顯示, 位元線/BL之電位變成高於位元線BL之電位。

當於時間t5板線PL復置至L準位時, 位元線對之電位略為降低, 但仍保有電位差關係。於此狀態, 電容器分別變成第2圖之態N1及N2。當感測放大器10被主動化而偵測

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

11. 如申請專利範圍第5項之鐵電記憶裝置，

其中記憶體單元包括一單元電晶體連結至位元線
及鐵電電容器連結至單元電晶體。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂