

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6278711号
(P6278711)

(45) 発行日 平成30年2月14日(2018.2.14)

(24) 登録日 平成30年1月26日(2018.1.26)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 K

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/8242 (2006.01)

H O 1 L 29/78 6 1 8 C

H O 1 L 27/108 (2006.01)

H O 1 L 29/78 6 1 9 A

H O 1 L 27/10 (2006.01)

H O 1 L 29/78 6 1 6 S

請求項の数 5 (全 68 頁) 最終頁に続く

(21) 出願番号 特願2014-6562 (P2014-6562)
 (22) 出願日 平成26年1月17日(2014.1.17)
 (65) 公開番号 特開2014-160809 (P2014-160809A)
 (43) 公開日 平成26年9月4日(2014.9.4)
 審査請求日 平成28年12月23日(2016.12.23)
 (31) 優先権主張番号 特願2013-10829 (P2013-10829)
 (32) 優先日 平成25年1月24日(2013.1.24)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 下村 明久
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁膜上のゲート電極と、
 前記第1の絶縁膜上であって、前記ゲート電極の側面の下側に接する第2の絶縁膜と、
 前記第2の絶縁膜上および前記ゲート電極上のゲート絶縁膜と、
 前記ゲート絶縁膜上の酸化物半導体膜と、
 前記酸化物半導体膜上に接するソース電極およびドレイン電極と、を有し、
 前記酸化物半導体膜の膜厚は、前記ゲート電極の膜厚と前記第2の絶縁膜の膜厚との差より小さいことを特徴とする半導体装置。

【請求項2】

請求項1において、
 前記ソース電極および前記ドレイン電極上に第3の絶縁膜を有し、
 前記酸化物半導体膜のチャネル形成領域側に位置する、前記第3の絶縁膜の端部と、前記ソース電極および前記ドレイン電極の端部とは揃うことを特徴とする半導体装置。

【請求項3】

第1の絶縁膜上にゲート電極を形成し、
 前記第1の絶縁膜上に前記ゲート電極の下側部分を埋め込む第2の絶縁膜を形成して、
 前記ゲート電極の上側部分が前記第2の絶縁膜から突出するようにし、
 前記第2の絶縁膜上および前記ゲート電極上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に酸化物半導体膜を形成し、

10

20

前記酸化物半導体膜上に導電膜を形成し、
前記導電膜上に第3の絶縁膜を形成し、
前記導電膜の一部を露出するように前記第3の絶縁膜をエッチングし、
前記エッチング後に、前記第3の絶縁膜をマスクとして前記導電膜をエッチングして、
ソース電極およびドレイン電極を形成することを特徴とする半導体装置の作製方法。

【請求項4】

請求項3において、

前記ソース電極および前記ドレイン電極をマスクとして、前記酸化物半導体膜に酸素を添加することを特徴とする半導体装置の作製方法。

【請求項5】

請求項3または請求項4において、

前記ソース電極及び前記ドレイン電極形成後に、前記第3の絶縁膜上に、前記酸化物半導体膜の一部と接する酸化物絶縁膜を形成し、

前記酸化物絶縁膜形成後に熱処理を行い、前記酸化物半導体膜に酸素を供給することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物（プロダクト。機械（マシン）、製品（マニファクチャ）、組成物（コンポジション・オブ・マター）を含む。）、および方法（プロセス。単純方法および生産方法を含む。）に関する。特に、本発明の一形態は、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、またはそれらの製造方法に関する。特に、本発明の一形態は、酸化物半導体を有する半導体装置、表示装置、または発光装置に関する。

【背景技術】

【0002】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコンまたは多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路（IC）などにも利用されている。

【0003】

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶことにする。

【0004】

例えば、酸化物半導体として、酸化亜鉛、またはIn-Ga-Zn系酸化物を用いたトランジスタが開示されている（特許文献1参照）。

【0005】

ところで、 $\text{InMO}_3(\text{ZnO})_m$ （MはFe、Ga、Al；mは自然数）で表されるホモロガス化合物が知られている（非特許文献1参照。）。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-165528号公報

【非特許文献】

【0007】

【非特許文献1】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 -Z

10

20

30

40

50

n O System」、J. Solid State Chem.、1995、Vol. 116, p. 170 - 178

【発明の概要】

【発明が解決しようとする課題】

【0008】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜に接して形成されるソース電極またはドレイン電極となる導電膜の材料が酸化物半導体膜を構成する金属元素よりも酸素と結合しやすい導電材料である場合、酸化物半導体膜中の酸素が酸化物半導体膜を構成する金属元素よりも酸素と結合しやすい導電材料側に拡散する。この拡散により、酸化物半導体膜の、導電膜との界面近傍の領域に酸素欠損が発生する。また、酸化物半導体膜上にソース電極またはドレイン電極となる導電膜を形成する際の酸化物半導体膜上面への損傷により酸素欠損が発生する。これらの酸素欠損により低抵抗領域が形成され、酸化物半導体膜とソース電極またはドレイン電極との接触抵抗が低減されることによって導電性が向上してトランジスタの高速動作を実現することができる。しかし、導電膜は、酸化物半導体膜中のチャネル形成領域とも接するため、チャネル形成領域の、導電膜との界面近傍の領域にも酸素欠損が発生し、トランジスタの電気特性の不良に繋がってしまう。

10

【0009】

そこで、本発明の一態様は、酸化物半導体中のチャネル形成領域における酸素欠損を低減する半導体装置などを提供することを課題の一とする。

【0010】

20

また、トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化等を達成するためにはトランジスタの微細化が必須である。

【0011】

より高性能な半導体装置を実現するため、微細化されたトランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置などの高速応答、高速駆動を実現する半導体装置などを提供することを課題の一とする。

【0012】

また、トランジスタの微細化に伴って作製工程における歩留まりの低下が懸念される。

【0013】

微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することを課題の一とする。

30

【0014】

または、該トランジスタを含む半導体装置などにおいても、高性能化、高信頼性化、および高生産化を達成することを課題の一とする。

【0015】

または、新規な半導体装置などを提供することを課題の一とする。

【0016】

なお、本発明の一態様では、上記課題の少なくとも一を達成すればよい。

【課題を解決するための手段】

【0017】

40

本発明の一態様は、絶縁表面上のゲート電極と、絶縁表面上にあり、ゲート電極が突出するように設けられた下地絶縁膜と、下地絶縁膜およびゲート電極上のゲート絶縁膜と、ゲート絶縁膜上の酸化物半導体膜と、酸化物半導体膜に接するソース電極およびドレイン電極と、を有し、酸化物半導体膜の膜厚は、ゲート電極の膜厚と下地絶縁膜の膜厚の差より小さいことを特徴とする半導体装置である。

【0018】

また、上記構成において、ソース電極およびドレイン電極上に第1の絶縁膜を有し、第1の絶縁膜の端部と、ソース電極およびドレイン電極の端部とが揃うことを特徴とする。

【0019】

また、上記構成において、酸化物半導体膜および第1の絶縁膜上に第2の絶縁膜を有す

50

ることを特徴とする。

【0020】

また、上記構成において、酸化物半導体膜は、チャネル形成領域と、チャネル形成領域を挟む一対の低抵抗領域と、を有することを特徴とする。

【0021】

また、上記構成において、酸化物半導体膜は、凹部を有することを特徴とする。

【0022】

また、本発明の他の一態様は、絶縁表面上にゲート電極を形成し、絶縁表面およびゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に酸化物半導体膜を形成し、酸化物半導体膜上に導電膜を形成し、導電膜上に第1の絶縁膜を形成し、導電膜においてゲート電極と重畳する領域を露出するように第1の絶縁膜を平坦化して第2の絶縁膜を導電膜上に形成し、第2の絶縁膜をマスクとして導電膜をエッチングして、ソース電極およびドレイン電極を形成することを特徴とする半導体装置の作製方法である。

10

【0023】

また、本発明の他の一態様は、絶縁表面上にゲート電極を形成し、ゲート電極が突出するように絶縁表面上に下地絶縁膜を形成し、下地絶縁膜およびゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に酸化物半導体膜を形成し、酸化物半導体膜上に導電膜を形成し、導電膜上に第1の絶縁膜を形成し、導電膜においてゲート電極と重畳する領域を露出するように第1の絶縁膜を平坦化して第2の絶縁膜を導電膜上に形成し、第2の絶縁膜をマスクとして導電膜をエッチングして、ソース電極およびドレイン電極を形成することを特徴とする半導体装置の作製方法である。

20

【0024】

また、上記作製方法において、下地絶縁膜は、絶縁表面およびゲート電極上に第1の下地絶縁膜を形成し、第1の下地絶縁膜を平坦化してゲート電極を露出させ、平坦化した第1の下地絶縁膜をエッチングして形成することを特徴とする。

【0025】

また、上記作製方法において、第1の絶縁膜の平坦化の後に、第1の絶縁膜をエッチングして、第2の絶縁膜を形成することを特徴とする。

【0026】

また、上記作製方法において、第1の絶縁膜は、酸化物半導体膜の膜厚以上、酸化物半導体膜と重畳する露出した導電膜上の第1の絶縁膜の膜厚未満、エッチングされることを特徴とする。

30

【0027】

また、上記作製方法において、ソース電極およびドレイン電極をマスクとして、酸化物半導体膜に酸素を添加し、チャネル形成領域と、チャネル形成領域を挟む一対の低抵抗領域を形成することを特徴とする。

【0028】

または、上記作製方法において、ソース電極およびドレイン電極をマスクとして、ゲート電極と重畳する領域の酸化物半導体膜表面をエッチングして除去し、チャネル形成領域と、チャネル形成領域を挟む一対の低抵抗領域を形成することを特徴とする。

40

【0029】

また、上記作製方法において、前記酸化物半導体膜および第2の絶縁膜上に第3の絶縁膜を形成することを特徴とする。

【発明の効果】

【0030】

本発明の一態様の構成および作製方法を用いることにより、酸化物半導体中のチャネル形成領域における酸素欠損を低減することができる。また、酸化物半導体を用いた半導体装置において、電気特性を向上させることができる。また、微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することができる。また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、および高生産化を達成すること

50

ができる。

【図面の簡単な説明】

【0031】

【図1】トランジスタを説明する上面図および断面図。

【図2】トランジスタの作製方法を説明する図。

【図3】トランジスタの作製方法を説明する図。

【図4】トランジスタの作製方法を説明する図。

【図5】トランジスタの作製方法を説明する図。

【図6】トランジスタを説明する上面図および断面図。

【図7】トランジスタの作製方法を説明する図。

10

【図8】トランジスタを説明する上面図および断面図。

【図9】トランジスタを説明する上面図および断面図。

【図10】多層膜の断面拡大図。

【図11】多層膜のエネルギーバンド構造を説明する図。

【図12】トランジスタを説明する上面図および断面図。

【図13】表示装置に適用可能な画素回路の一例を説明する図。

【図14】表示装置の一例を説明する図。

【図15】表示装置の一例を説明する図。

【図16】表示装置に適用可能な画素回路の一例を説明する図。

【図17】表示装置の一例を説明する図。

20

【図18】タッチセンサを説明する図。

【図19】タッチパネルおよび電子機器の構成例を説明する図。

【図20】タッチセンサを備える画素を説明する図。

【図21】タッチセンサおよび画素の動作を説明する図。

【図22】画素の構成を説明する図。

【図23】電子機器の一例を示す図。

【図24】電子機器の一例を示す図。

【図25】半導体装置の断面図および回路図。

【図26】半導体装置の回路図および斜視図。

【図27】半導体装置のブロック図。

30

【図28】半導体装置の断面図。

【図29】半導体装置のブロック図。

【図30】半導体装置を適用することができる電子機器を説明する図。

【図31】トランジスタの断面拡大図。

【図32】トランジスタを説明する上面図および断面図。

【図33】トランジスタを説明する上面図および断面図。

【図34】トランジスタの作製方法を説明する図。

【図35】トランジスタの作製方法を説明する図。

【図36】トランジスタの作製方法を説明する図。

【図37】トランジスタの作製方法を説明する図。

40

【発明を実施するための形態】

【0032】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。

【0033】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタ

50

を採用する場合や、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0034】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0035】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0036】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置であるトランジスタについて図面を用いて説明する。

【0037】

[1-1 トランジスタ構成(1)]

図1は、本発明の一態様のトランジスタ150の上面図および断面図である。図1(A)は、上面図であり、図1(A)に示す一点鎖線A1-A2の断面が図1(B)に相当し、図1(A)に示す一点鎖線B1-B2の断面が図1(C)に相当する。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0038】

図1に示すトランジスタ150は、基板100上の下地絶縁膜101と、下地絶縁膜101上の下地絶縁膜102と、下地絶縁膜102から突出するゲート電極104と、下地絶縁膜102およびゲート電極104上のゲート絶縁膜106と、ゲート絶縁膜106上の酸化物半導体膜108と、酸化物半導体膜108に接するソース電極110aおよびドレイン電極110bと、ソース電極110aおよびドレイン電極110b上の絶縁膜112と、酸化物半導体膜108および絶縁膜112上の絶縁膜114と、絶縁膜112および絶縁膜114に設けられた開口を介して、ソース電極110aおよびドレイン電極110bとそれぞれ電気的に接続する配線116aおよび配線116bと、を有する。なお、ソース電極110aおよびドレイン電極110bと酸化物半導体膜108の界面近傍には、酸化物半導体膜108から酸素が引き抜かれ、低抵抗領域111aおよび低抵抗領域111bが形成される。

【0039】

[1-1-1 ソース電極110aおよびドレイン電極110b]

ソース電極110aおよびドレイン電極110bは、酸化物半導体膜を構成する金属元素よりも酸素と結合しやすい導電材料を用いることができる。例えば、Al、Cr、Cu、Ta、Mo、W、Tiなどを用いることができる。後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることが特に好ましい。なお、酸化物半導体膜を構成する金属元素よりも酸素と結合しやすい導電材料には、酸素が拡散しやすい材料も含まれる。また、ソース電極110aおよびドレイン電極110bにTiを用いる場合、加熱処理により、接する酸化物半導体膜にTiが拡散して低抵抗領域の形成を助長する傾向がある。また、W上にCuなど上記材料を複数積層してもよい。

【0040】

[1-1-2 低抵抗領域111aおよび低抵抗領域111b]

ソース電極110aおよびドレイン電極110bとなる導電膜の材料が酸化物半導体膜を構成する金属元素よりも酸素と結合しやすい導電材料であるため、酸化物半導体膜108中の酸素が酸素と結合しやすい導電材料側に拡散する。この拡散により、酸化物半導体膜108の、導電膜との界面近傍の領域に酸素欠損が発生する。また、酸化物半導体膜108上に形成される導電膜を形成する際の酸化物半導体膜108上面へのダメージにより

10

20

30

40

50

酸素欠損が発生する。これらの酸素欠損により、低抵抗化された領域、つまり、低抵抗領域 111a および低抵抗領域 111b が形成され、酸化物半導体膜 108 とソース電極 110a またはドレイン電極 110b との接触抵抗が低減される。

【0041】

なお、トランジスタ 150 のチャンネル形成領域は、酸化物半導体膜 108 において、低抵抗領域 111a と低抵抗領域 111b との間の領域となる。トランジスタ 150 のチャンネル形成領域は、ソース電極 110a およびドレイン電極 110b を形成するまで導電膜と接していたため低抵抗化（n 型化ともいう）されている。そのため、酸化物半導体膜の不純物濃度を低減し、高純度真性化する必要がある。高純度真性化とは、酸化物半導体膜を真性または実質的に真性にするをいう。なお、実質的に真性という場合、酸化物半導体膜のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満である。

10

【0042】

トランジスタ 150 のチャンネル形成領域を高純度真性化するためには、酸化物半導体膜 108 に対して、酸素を添加すればよい。このようにすることで酸素欠損を低減することができ、高純度真性な領域を形成することができる。よって、自己整合的に高純度真性な領域と低抵抗領域を形成することができる。

【0043】

また、下地絶縁膜 102、ゲート絶縁膜 106、絶縁膜 114 に酸素が過剰に含まれている場合、加熱処理により、下地絶縁膜 102、ゲート絶縁膜 106、絶縁膜 114 から酸素を放出しやすくして、酸化物半導体膜 108 の酸素欠損を低減することができる。この結果、酸化物半導体膜 108 中のチャンネル形成領域は、さらに酸素欠損が低減し、高純度真性化となる。

20

【0044】

酸化物半導体膜 108 中で酸素欠損は、欠陥準位を形成し、その一部がドナー準位となる。従って、酸化物半導体膜 108 中の酸素欠損（特にチャンネル領域の酸素欠損）を低減することで、酸化物半導体膜 108（特にチャンネル領域）のキャリア密度を低減することができ、トランジスタに安定した電気特性を付与することができる。

【0045】

ここで、加熱処理によって酸素を放出する膜は、表面温度が 100 以上 700 以下、好ましくは 100 以上 500 以下の加熱処理で行われる昇温脱離ガス（TDS：Thermal Desorption Spectroscopy）分析において $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以上または $1 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以上の酸素（酸素原子数に換算）を放出することもある。

30

【0046】

また、加熱処理によって酸素を放出する膜は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins} / \text{cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む膜は、電子スピン共鳴（ESR：Electron Spin Resonance）にて、g 値が 2.01 近傍に非対称の信号を有することもある。

40

【0047】

また、過剰な酸素を含む絶縁膜は、酸素が過剰な酸化シリコン（ SiO_x （ $x > 2$ ））であってもよい。酸素が過剰な酸化シリコン（ SiO_x （ $x > 2$ ））は、シリコン原子数の 2 倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数および酸素原子数は、ラザフォード後方散乱分光法（RBS：Rutherford Backscattering Spectrometry）により測定した値である。

【0048】

[1-1-3 下地絶縁膜 102、ゲート電極 104 および絶縁膜 112]

下地絶縁膜 102 および絶縁膜 112 は、酸化シリコン膜、酸化ガリウム膜、酸化亜鉛

50

膜、酸化アルミニウム膜、ガリウム亜鉛酸化物膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層膜を用いる。また、有機シランガスを用いたCVD法（化学気相成長法）により形成した酸化絶縁膜を用いることができる。

【0049】

下地絶縁膜102および絶縁膜112として、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設ける。有機シランガスとしては、珪酸エチル（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）などのシリコン含有化合物を用いることができる。また、基板温度400で成膜すると脱ガス量が低減するため好ましい。

10

【0050】

ゲート電極104は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、TaおよびWなどの導電膜を用いることができる。また、ゲート電極104は、上記材料の積層であってもよい。

【0051】

下地絶縁膜102の膜厚は、ゲート電極104の膜厚と酸化物半導体膜108の膜厚との差より小さい。このようにすることで、ソース電極110aおよびドレイン電極110bとなる導電膜に段差を設けることができる。

20

【0052】

また、当該導電膜の段差は、下地絶縁膜102から突出しているゲート電極104の高さhによって変化する。高さhが高いほど導電膜の段差は大きくなる。また、ゲート電極104の端部をテーパ形状とし、テーパ形状を有するゲート電極104を、基板100の表面と平行な方向から観察した際に、当該ゲート電極104の側面と底面がなす傾斜角をテーパ角とすると、ゲート電極104のテーパ角は、大きいほうが導電膜の段差が峻急になるため、絶縁膜112となる絶縁膜のエッチング量によって、トランジスタ150のチャンネル長を調整することのできる範囲が広がるため好ましい。また、ゲート電極104のテーパ角が大きすぎると半導体装置を微細化しにくい。このため、ゲート電極104のテーパ角は、最適な条件にて角度を調整することが好ましい。

30

【0053】

なお、絶縁膜112となる絶縁膜のエッチング量は、酸化物半導体膜108の膜厚以上、下地絶縁膜102から突出しているゲート電極104の高さh未満である。絶縁膜112となる絶縁膜のエッチング量が酸化物半導体膜108の膜厚未満であると、ゲート電極104と重畳する領域の導電膜が全てエッチングされず、ソース電極110aおよびドレイン電極110bの分離ができない。また、絶縁膜112となる絶縁膜のエッチング量が下地絶縁膜102から突出しているゲート電極104の高さh以上であると、酸化物半導体膜108と重畳する領域の導電膜はエッチングされてしまい、ソース電極110aおよびドレイン電極110bは酸化物半導体膜108の端部と接し、接触面積が小さくなるため、接触抵抗の影響が非常に大きくなってしまう。

40

【0054】

当該導電膜の段差を利用して、導電膜上の平坦化した絶縁膜112をマスクとして、導電膜を選択的に加工することで、トランジスタを微細化しても自己整合的に位置精度よく、ソース電極110aおよびドレイン電極110bを形成することができる。

【0055】

[1-1-4 基板100]

基板100に大きな制限はない。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基

50

板、SOI (Silicon On Insulator) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 100 として用いてもよい。

【0056】

また、基板 100 として、第 5 世代 (1000 mm × 1200 mm または 1300 mm × 1500 mm)、第 6 世代 (1500 mm × 1800 mm)、第 7 世代 (1870 mm × 2200 mm)、第 8 世代 (2200 mm × 2500 mm)、第 9 世代 (2400 mm × 2800 mm)、第 10 世代 (2880 mm × 3130 mm) などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板 100 の縮みによって、微細な加工が困難になる場合がある。そのため、前述したような大型ガラス基板を基板 100 として用いる場合、加熱処理による縮みの小さいものを用いることが好ましい。例えば、基板 100 として、400℃、好ましくは 450℃、さらに好ましくは 500℃ の温度で 1 時間加熱処理を行った後の縮み量が 10 ppm 以下、好ましくは 5 ppm 以下、さらに好ましくは 3 ppm 以下である大型ガラス基板を用いればよい。

10

【0057】

また、基板 100 として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板 100 に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

20

【0058】

[1-1-5 下地絶縁膜 101]

下地絶縁膜 101 は、酸化シリコン膜、酸化ガリウム膜、酸化亜鉛膜、酸化アルミニウム膜、ガリウム亜鉛酸化物膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層膜を用いる。下地絶縁膜 101 により、基板 100 側からの不純物の侵入を抑制することができる。なお、下地絶縁膜 101 は、必ずしも設けなくともよい。

【0059】

下地絶縁膜 101 は、基板 100 からの不純物の拡散を防止する役割を有するほか、酸化物半導体膜 108 に酸素を供給する役割を担うことができるため、酸素を含む絶縁膜であることが好ましく、過剰な酸素を含む絶縁膜がより好ましい。また、上述のように基板 100 が他のデバイスが形成された基板である場合、下地絶縁膜 101 は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

30

【0060】

[1-1-6 ゲート絶縁膜 106]

ゲート絶縁膜 106 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を、単層で、または積層で用いればよい。

【0061】

ゲート絶縁膜 106 は、例えば、1 層目を窒化シリコン膜とし、2 層目を酸化シリコン膜とした積層膜とすればよい。この場合、酸化シリコン膜は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。酸化シリコン膜は、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的には ESR にて g 値が 2.001 の信号に由来するスピンの密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン膜を用いる。酸化シリコン膜は、過剰な酸素を含む酸化シリコン膜を用いると好ましい。窒化シリコン膜は水素ガスおよびアンモニアガスの放出量が少ない窒化シリコン膜を用いる。水素ガス、アンモニアガスの放出量は、TDS 分析にて測定すればよい。

40

【0062】

50

[1 - 1 - 7 酸化物半導体膜 108]

酸化物半導体膜 108 は、少なくともインジウムを含む酸化物半導体膜である。例えば、インジウムの他に亜鉛を含んでもよい。

【 0063 】

以下では、酸化物半導体膜 108 のシリコン濃度について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物半導体膜 108 中の不純物濃度を低減し、酸化物半導体膜を真性または実質的に真性にすることが有効である。具体的には、酸化物半導体膜のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満にするとよい。また、酸化物半導体膜において、主成分以外（1 原子% 未満）の軽元素、半金属元素、金属元素などは不純物となる。例えば、水素、窒素、炭素、シリコン、ゲルマニウムは、酸化物半導体膜中で不純物となる。

10

【 0064 】

また、酸化物半導体膜 108 中で水素および窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。酸化物半導体膜 108 の水素濃度は二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、SIMS において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

20

【 0065 】

また、酸化物半導体膜 108 の水素濃度および窒素濃度を低減するために、近接するゲート絶縁膜 106 中の水素濃度および窒素濃度を低減すると好ましい。

【 0066 】

また、酸化物半導体膜 108 は、SIMS 分析において、アルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流を増大させることがある。

30

【 0067 】

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さく、トランジスタのチャネル幅で規格化したオフ電流は、 $\text{数 } \mu\text{A} / \mu\text{m}$ 乃至 $\text{数 } \text{A} / \mu\text{m}$ にまで低減することが可能となる。

【 0068 】

なお、ここで、酸化物半導体膜の構造について説明する。酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜などをいう。

40

【 0069 】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有せず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【 0070 】

微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【 0071 】

50

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【0072】

C A A C - O S 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。)を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

10

【0073】

C A A C - O S 膜を、試料面と概略平行な方向からTEMによって観察 (断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。)または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0074】

一方、C A A C - O S 膜を、試料面と概略垂直な方向からTEMによって観察 (平面TEM観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

20

【0075】

断面TEM観察および平面TEM観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0076】

C A A C - O S 膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、回折角(2 θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【0077】

一方、C A A C - O S 膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2 θ を56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、C A A C - O S 膜の場合は、2 θ を56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0078】

40

以上のことから、C A A C - O S 膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0079】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶のc軸がC A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

50

【0080】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0081】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

10

【0082】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0083】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0084】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタ用ターゲットを用い、スパッタ法によって成膜することができる。当該スパッタ用ターゲットにイオンが衝突すると、スパッタ用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタ粒子として剥離することがある。この場合、当該平板状のスパッタ粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

20

【0085】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0086】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物を低減すればよい。具体的には、露点が-80

30

以下、好ましくは-100以下、さらに好ましくは-120以下である成膜ガスを用いる。

【0087】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタ粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタ粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタ粒子の平らな面が基板に付着する。

【0088】

40

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0089】

スパッタ用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0090】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のモル数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここ

50

で、粉末の種類、およびその混合するモル数比は、作製するスパッタ用ターゲットによって適宜変更すればよい。

【0091】

また、酸化物半導体膜108にシリコンおよび炭素が高い濃度で含まれることにより、酸化物半導体膜108の結晶性を低下させることがある。酸化物半導体膜108の結晶性を低下させないためには、酸化物半導体膜108のシリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とすればよい。また、酸化物半導体膜108の結晶性を低下させないためには、酸化物半導体膜108の炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とすればよい。

10

【0092】

このように、チャネルが形成される酸化物半導体膜108が高い結晶性を有し、かつ不純物や欠陥などに起因する準位密度が低い場合、酸化物半導体膜108を用いたトランジスタは安定した電気特性を有する。

【0093】

[1-1-8 絶縁膜114]

絶縁膜114は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を、単層で、または積層で用いればよい。

20

【0094】

絶縁膜114は、例えば、1層目を酸化シリコン膜とし、2層目を窒化シリコン膜とした積層膜とすればよい。この場合、酸化シリコン膜は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。酸化シリコン膜は、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的には、ESRにてg値が2.001の信号に由来するスピンの密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン膜を用いる。窒化シリコン膜は水素ガスおよびアンモニアガスの放出量が少ない窒化シリコン膜を用いる。水素ガス、アンモニアガスの放出量は、TDS分析にて測定すればよい。また、窒化シリコン膜は、水素、水および酸素を透過しない、またはほとんど透過しない窒化シリコン膜を用いる。

30

【0095】

また、絶縁膜114は、例えば、1層目を第1の酸化シリコン膜とし、2層目を第2の酸化シリコン膜とし、3層目を窒化シリコン膜とした積層膜とすればよい。この場合、第1の酸化シリコン膜および第2の酸化シリコン膜の一方または双方は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。第1の酸化シリコン膜は、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的には、ESRにてg値が2.001の信号に由来するスピンの密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン膜を用いる。第2の酸化シリコン膜は、過剰な酸素を含む酸化シリコン膜を用いる。窒化シリコン膜は水素ガスおよびアンモニアガスの放出量が少ない窒化シリコン膜を用いる。また、窒化シリコン膜は、水素、水および酸素を透過しない、またはほとんど透過しない窒化シリコン膜を用いる。水素ガス、アンモニアガスの放出量は、TDS分析にて測定すればよい。

40

【0096】

ゲート絶縁膜106および絶縁膜114の少なくとも一方が過剰な酸素を含む絶縁膜を含む場合、酸化物半導体膜108の酸素欠損が低減され、トランジスタに安定した電気特性を付与することができる。

【0097】

[1-1-9 配線116aおよび配線116b]

配線116aおよび配線116bは、ゲート電極104と同様な材料を用いて形成する

50

ことができる。

【0098】

以上のようにして、導電膜の段差を利用して、導電膜上の平坦化した絶縁膜112をマスクとして、導電膜を選択的に加工することで、トランジスタを微細化しても自己整合的に位置精度よく、ソース電極110aおよびドレイン電極110bを形成することができる。また、ソース電極110aおよびドレイン電極110bをマスクとして、酸化物半導体膜108に酸素を添加することにより酸素欠損が低減し、チャネル形成領域を高純度真性な領域とすることができる。よって、酸化物半導体膜108にチャネルが形成されることにより、安定した電気特性を有し、高い電界効果移動度を有する。

【0099】

[1-2. トランジスタ構造(1)の作製方法]

ここで、トランジスタの作製方法について図2乃至図5を用いて説明する。

【0100】

まずは、基板100を準備する。

【0101】

次に、下地絶縁膜101を成膜する。下地絶縁膜101は、基板100側からの不純物の侵入を抑制する機能を有する。ゲート電極104となる導電膜を成膜する。ゲート電極104となる導電膜は、先に示した導電膜をスパッタリング法、CVD法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積(ALD: Atomic Layer Deposition)法またはパルスレーザ堆積(PLD: Pulse Laser Deposition)法を用いて成膜すればよい。

【0102】

次に、ゲート電極104となる導電膜の一部をエッチングし、ゲート電極104を形成する。

【0103】

次に、下地絶縁膜101aを成膜する(図2(A)参照)。また、下地絶縁膜101aは、有機シランガスを用いたCVD法により形成した酸化絶縁膜、代表的には酸化シリコン膜を用いることができる。

【0104】

下地絶縁膜101aとして、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設ける。有機シランガスとしては、珪酸エチル(TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS: 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)などのシリコン含有化合物を用いることができる。また、基板温度400℃で成膜すると脱ガス量が低減するため好ましい。

【0105】

次に、下地絶縁膜101aに平坦化処理を行い、ゲート電極104の上面を露出させ、下地絶縁膜101bを形成する(図2(B)参照)。平坦化処理としては、CMP処理、エッチング(ドライエッチング、ウェットエッチング)処理や、プラズマ処理があり、これらを組み合わせてもよい。平坦化処理に、エッチング処理、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、下地絶縁膜の材料、膜厚、および表面の凹凸状態に合わせて適宜設定すればよい。また、CMP処理で下地絶縁膜の大部分を除去し、残りの下地絶縁膜をドライエッチング処理で除去してもよい。

【0106】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、下地絶縁膜の表面の平坦性をより向上させることができる。

10

20

30

40

50

【0107】

次に、下地絶縁膜101bが選択的にエッチングされる条件にて、下地絶縁膜101bをエッチングして、下地絶縁膜102を形成する(図2(C)参照)。よって、下地絶縁膜102からゲート電極104が突出している構成を形成することができる。なお、下地絶縁膜102から突出しているゲート電極104の高さhが高いほど後に形成されるソース電極110aおよびドレイン電極110bとなる導電膜の段差は大きくなる。

【0108】

次に、ゲート絶縁膜106を成膜する。ゲート絶縁膜106は、先に列挙した絶縁膜をスパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

10

【0109】

次に、酸化物半導体膜を成膜し、酸化物半導体膜の一部をエッチングし、酸化物半導体膜108を形成する(図3(A)参照)。酸化物半導体膜は、先に列挙した酸化物半導体膜をスパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0110】

スパッタリング法で酸化物半導体膜108を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0111】

スパッタリングガスは、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、希ガスおよび酸素の混合ガスを適宜用いる。なお、希ガスおよび酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

20

【0112】

また、ターゲットは、酸化物半導体膜108の組成にあわせて、適宜選択すればよい。

【0113】

スパッタリング法を用いる場合、少なくとも酸化物半導体膜108を、次のようにして形成することでCAAC-OSを形成することができる。具体的には、基板温度を150以上500以下、好ましくは150以上450以下、さらに好ましくは200以上350以下として、加熱しながら酸化物半導体膜108を形成する。

30

【0114】

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250以上650以下、好ましくは300以上500以下で行えばよい。第1の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気、または減圧状態で行う。または、第1の加熱処理の雰囲気は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気加熱処理を行ってもよい。第1の加熱処理によって、酸化物半導体膜108の結晶性を高め、さらにゲート絶縁膜106および酸化物半導体膜108から水、水素、窒素、および炭素などの不純物を除去することができる。

【0115】

次に、ソース電極110aおよびドレイン電極110bとなる導電膜109aを成膜する(図3(B)参照)。導電膜109aは、先に示したソース電極110aおよびドレイン電極110bの材料を用い、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

40

【0116】

なお、導電膜109aの材料が酸化物半導体膜108を構成する金属元素よりも酸素と結合しやすい導電材料であるため、酸化物半導体膜108中の酸素が酸化物半導体膜108を構成する金属元素よりも酸素と結合しやすい導電材料(導電膜109a)側に拡散する。この拡散により、酸化物半導体膜108の、導電膜109aとの界面近傍の領域に酸素欠損が発生する。また、酸化物半導体膜108上に形成される導電膜109aを形成す

50

る際の酸化物半導体膜 108 上面へのダメージにより酸素欠損が発生する。これらの酸素欠損により、低抵抗領域 111 が形成される。

【0117】

次に、導電膜 109 a の一部をエッチングし、導電膜 109 b を形成する（図 3（C）参照）。

【0118】

次に、ゲート絶縁膜 106 および導電膜 109 b 上に絶縁膜 113 a を形成する（図 4（A）参照）。絶縁膜 113 a は、先の下地絶縁膜 101 a と同様の材料および方法により成膜することができる。

【0119】

次に、絶縁膜 113 a に平坦化処理を行い、導電膜 109 b を露出させ、絶縁膜 113 b を形成する（図 4（B）参照）。平坦化処理としては、先の下地絶縁膜 101 b と同様の方法により形成することができる。

【0120】

次に、絶縁膜 113 b を酸化物半導体膜 108 から最も離れている導電膜 109 b の段差まで（つまり、酸化物半導体膜 108 の膜厚量）エッチングして、絶縁膜 112 を形成する（図 4（C）参照）。

【0121】

なお、絶縁膜 112 となる絶縁膜 113 b は、酸化物半導体膜 108 の膜厚以上、下地絶縁膜 102 から突出しているゲート電極 104 の高さ h 未満までエッチングすることができる。絶縁膜 113 b のエッチング量が酸化物半導体膜 108 の膜厚未満であると、ゲート電極 104 と重畳する領域の導電膜 109 b が全てエッチングされず、ソース電極 110 a およびドレイン電極 110 b の分離ができない。また、絶縁膜 113 b のエッチング量が下地絶縁膜 102 から突出しているゲート電極 104 の高さ h 以上であると、酸化物半導体膜 108 と重畳する領域の導電膜 109 b はエッチングされてしまい、ソース電極 110 a およびドレイン電極 110 b は酸化物半導体膜 108 の端部と接し、接触面積が小さくなるため、接触抵抗の影響が非常に大きくなってしまう。

【0122】

次に、絶縁膜 112 をマスクとして、ゲート電極 104 と重畳する領域の導電膜 109 b をエッチングして、ソース電極 110 a およびドレイン電極 110 b を形成する（図 5（A）参照）。

【0123】

導電膜 109 b の段差を利用して、絶縁膜 112 をマスクとして、導電膜 109 b を選択的に加工することで、トランジスタを微細化しても自己整合的に位置精度よく、ソース電極 110 a およびドレイン電極 110 b を形成することができる。また、絶縁膜 112 の端部と、ソース電極 110 a およびドレイン電極 110 b の端部とが揃っているがこれに限定されない。

【0124】

次に、酸化物半導体膜 108 の、ゲート電極 104 と重畳する領域 122 に対して、酸素 120 を添加する（図 5（B）参照）。

【0125】

酸素を添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。または、酸素の添加方法として、プラズマイメージョンイオンインプランテーション法を用いてもよい。プラズマイメージョンイオンインプランテーション法は、領域 122 が凹凸のある形状であっても酸素の添加を効率よく行うことができる。さらに、酸素の添加はイオンドーピング法またはイオンインプランテーション法などによる注入する以外の方法でも行うことができる。例えば、酸素雰囲気にてプラズマを発生させて、領域 122 に対してプラズマ処理を行うことによって、酸素を添加することができる。上記プラズマを発生させる装置としては、ドライエッチング装置やプラズマ CVD 装置、高密度プラズマ CVD 装置などを用いることができる。

10

20

30

40

50

【0126】

領域122に添加する酸素120は、酸素ラジカル、酸素原子、および酸素イオンの一以上である。また、酸素120は、領域122の少なくとも一部、代表的には、領域122の表面、領域122中、および領域122およびゲート絶縁膜106の界面のいずれかに添加されればよい。

【0127】

イオンドーピング法またはイオンインプランテーション法を用いて酸素120を領域122に添加する際の酸素添加量は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $5 \times 10^{21} / \text{cm}^3$ 以下である。この際、酸素120のエネルギーが高いと、酸化物半導体膜108の領域122にダメージが入り、物理的に欠陥が生じてしまうため、酸素120のエネルギーは酸化物半導体膜108にダメージを与えない程度とすることが好ましい。

10

【0128】

この結果、領域122は、酸素欠損が低減し、チャネル形成領域を高純度真性な領域とすることができる。また、同時に低抵抗領域111aおよび低抵抗領域111bが形成される。

【0129】

なお、酸素120の添加は、このタイミングに限られず、後に形成される絶縁膜114形成後に行ってもよい。

【0130】

次に、第2の加熱処理を行うと好ましい。第2の加熱処理は、第1の加熱処理の記載を参照して行えばよい。第2の加熱処理により、酸化物半導体膜108から水素や水などの不純物を除去することができる。水素は酸化物半導体膜108中で特に移動しやすいため、第2の加熱処理によって低減しておくこととトランジスタに安定した電気特性を付与することができる。なお、水も水素を含む化合物であるため、酸化物半導体膜108中で不純物となり得る。

20

【0131】

次に、酸化物半導体膜108および絶縁膜112上に酸化物絶縁膜として機能する絶縁膜114を形成する。

【0132】

また、絶縁膜114に酸素が過剰に含まれている場合、加熱処理により、絶縁膜114から過剰酸素を放出しやすくして、酸化物半導体膜108の酸素欠損を低減することができる。なお、この場合、絶縁膜114から酸素が酸化物半導体膜108に供給されるため、酸素を添加する処理を行わなくてもよい。よって、酸化物半導体膜108中のチャネル形成領域は、さらに酸素欠損が低減し、高純度真性化にすることができる。

30

【0133】

次に、絶縁膜112および絶縁膜114にソース電極110aおよびドレイン電極110bに達する開口を形成し、当該開口にソース電極110aおよびドレイン電極110bと電氣的に接続する配線116aおよび配線116bを形成する(図5(C)参照)。

【0134】

次に、第3の加熱処理を行うことが好ましい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、ゲート絶縁膜106、絶縁膜114から過剰酸素が放出されやすくなり、酸化物半導体膜108の酸素欠損を低減することができる。よって、酸化物半導体膜108のチャネル形成領域は、さらに酸素欠損が低減し、高純度真性化となる。

40

【0135】

[2-1 トランジスタ構成(2)]

また、トランジスタの別の構成を図6に示す。図6は、トランジスタ160の上面図および断面図である。図6(A)は、上面図であり、図6(A)に示す一点鎖線A1-A2の断面が図6(B)に相当し、図6(A)に示す一点鎖線B1-B2の断面が図6(C)に相当する。なお、図6(A)の上面図では、図の明瞭化のために一部の要素を省いて図

50

示している。

【 0 1 3 6 】

図 6 に示すトランジスタ 1 6 0 と図 1 に示すトランジスタ 1 5 0 との違いは、酸化物半導体膜 1 0 8 の一部をエッチングし、凹部状になっている点である。

【 0 1 3 7 】

[2 - 2 . トランジスタ構造 (2) の作製方法]

ここで、トランジスタの作製方法について図 7 を用いて説明する。

【 0 1 3 8 】

絶縁膜 1 1 2 をマスクとして、ゲート電極 1 0 4 と重畳する領域の導電膜 1 0 9 b をエッチングして、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b を形成する工程までは、トランジスタ 1 5 0 の作製工程の図 5 (A) までを参酌することができる (図 7 (A) 参照) 。

【 0 1 3 9 】

次に、ゲート電極 1 0 4 と重畳する領域の低抵抗領域 1 1 1 をエッチングして除去し、領域 1 2 2 をチャンネル形成領域とすることができる。また、同時に低抵抗領域 1 1 1 a および低抵抗領域 1 1 1 b が形成される。

【 0 1 4 0 】

次に、第 2 の加熱処理を行うと好ましい。第 2 の加熱処理については、先の記載を参酌することができる。

【 0 1 4 1 】

次に、酸化物半導体膜 1 0 8 および絶縁膜 1 1 2 上に酸化物絶縁膜として機能する絶縁膜 1 1 4 を形成する。その後、絶縁膜 1 1 2 および絶縁膜 1 1 4 にソース電極 1 1 0 a およびドレイン電極 1 1 0 b に達する開口を形成し、当該開口にソース電極 1 1 0 a およびドレイン電極 1 1 0 b と電氣的に接続する配線 1 1 6 a および配線 1 1 6 b を形成する (図 7 (C) 参照) 。

【 0 1 4 2 】

次に、第 3 の加熱処理を行うことが好ましい。第 3 の加熱処理については、先の記載を参酌することができる。

【 0 1 4 3 】

[3 トランジスタ構成 (3)]

また、トランジスタの別の構成を図 8 に示す。図 8 は、トランジスタ 1 7 0 の上面図および断面図である。図 8 (A) は、上面図であり、図 8 (A) に示す一点鎖線 A 1 - A 2 の断面が図 8 (B) に相当し、図 8 (A) に示す一点鎖線 B 1 - B 2 の断面が図 8 (C) に相当する。なお、図 8 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 1 4 4 】

図 8 に示すトランジスタ 1 7 0 は、基板 1 0 0 上の下地絶縁膜 1 0 1 と、下地絶縁膜 1 0 1 の下地絶縁膜 1 0 2 と、下地絶縁膜 1 0 2 から突出するゲート電極 1 0 4 と、下地絶縁膜 1 0 2 およびゲート電極 1 0 4 上のゲート絶縁膜 1 0 6 と、ゲート絶縁膜 1 0 6 上の酸化物半導体膜 1 0 8 と、酸化物半導体膜 1 0 8 に接するソース電極 1 1 0 a およびドレイン電極 1 1 0 b と、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b 上の絶縁膜 1 1 2 と、酸化物半導体膜 1 0 8 および絶縁膜 1 1 2 上の絶縁膜 1 1 8 と、絶縁膜 1 1 2 および絶縁膜 1 1 8 上の絶縁膜 1 1 4 と、絶縁膜 1 1 2 および絶縁膜 1 1 4 に設けられた開口を介して、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b とそれぞれ電氣的に接続する配線 1 1 6 a および配線 1 1 6 b と、を有する。なお、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b と酸化物半導体膜 1 0 8 の界面近傍には、酸化物半導体膜 1 0 8 から酸素が引き抜かれ、低抵抗領域 1 1 1 a および低抵抗領域 1 1 1 b が自己整合的に形成される。

【 0 1 4 5 】

図 8 に示すトランジスタ 1 7 0 と図 1 に示すトランジスタ 1 5 0 の違いは、酸化物半導体膜 1 0 8 および絶縁膜 1 1 2 上に絶縁膜 1 1 8 が形成されているか否かである。絶縁膜

10

20

30

40

50

１１８の材料は、ゲート絶縁膜１０６を参酌することができる。

【０１４６】

絶縁膜１１８を形成後、酸化物半導体膜１０８の、ゲート電極１０４と重畳する領域１２２（図５（Ａ）参照）に対して、酸素を添加する。このとき、図８（Ｂ）の一部を拡大図である図３１に示す領域１１１ｃおよび領域１１１ｄは、酸素が添加され、低抵抗領域１１１ａおよび低抵抗領域１１１ｂより抵抗の高い領域となる。なお、領域１１１ｃおよび領域１１１ｄは、絶縁膜１１８の膜厚が大きいため、領域１２２の中央部に比べ、酸素は添加されない。

【０１４７】

上記のように、絶縁膜１１８を設けることで、トランジスタのチャネルが形成される酸化物半導体膜１０８をゲート絶縁膜から離すことができ、高い電界効果移動度を有し、安定した電気特性のトランジスタを形成することができることに加え、低抵抗領域より抵抗の高い領域を形成することができ、ドレイン近傍のチャネル方向の電界を緩和することができる。

10

【０１４８】

[４ トランジスタ構成（４）]

また、トランジスタの別の構成を図３２に示す。図３２は、トランジスタ１８０の上面図および断面図である。図３２（Ａ）は、上面図であり、図３２（Ａ）に示す一点鎖線Ａ１－Ａ２の断面が図３２（Ｂ）に相当し、図３２（Ａ）に示す一点鎖線Ｂ１－Ｂ２の断面が図３２（Ｃ）に相当する。なお、図３２（Ａ）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

20

【０１４９】

図３２に示すトランジスタ１８０と図１に示すトランジスタ１５０との違いは、ソース電極１１０ａおよびドレイン電極１１０ｂの形状である。

【０１５０】

ソース電極１１０ａおよびドレイン電極１１０ｂとなる導電膜１０９ｂをエッチングする際に、マスクとなる絶縁膜１１２が若干後退して図３２に示すようなソース電極１１０ａおよびドレイン電極１１０ｂの形状になることがある。

【０１５１】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

30

【０１５２】

（実施の形態２）

本実施の形態では、実施の形態１とは一部構造が異なるトランジスタについて図面を用いて説明する。

【０１５３】

[５－１ トランジスタ構成（５）]

図３３は、本発明の一態様のトランジスタ１９０の上面図および断面図である。図３３（Ａ）は、上面図であり、図３３（Ａ）に示す一点鎖線Ａ１－Ａ２の断面が図３３（Ｂ）に相当し、図３３（Ａ）に示す一点鎖線Ｂ１－Ｂ２の断面が図３３（Ｃ）に相当する。なお、図３３（Ａ）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

40

【０１５４】

図３３に示すトランジスタ１９０は、基板１００上の下地絶縁膜１０１と、下地絶縁膜１０１上の導電膜１０５と、下地絶縁膜１０１および導電膜１０５上の下地絶縁膜１０２と、下地絶縁膜１０２から突出するゲート電極１０４と、下地絶縁膜１０２およびゲート電極１０４上のゲート絶縁膜１０６と、ゲート絶縁膜１０６上の酸化物半導体膜１０８と、酸化物半導体膜１０８に接するソース電極１１０ａおよびドレイン電極１１０ｂと、ソース電極１１０ａおよびドレイン電極１１０ｂ上の絶縁膜１１２と、酸化物半導体膜１０８および絶縁膜１１２上の絶縁膜１１４と、絶縁膜１１２および絶縁膜１１４に設けられた開口を介して、ソース電極１１０ａおよびドレイン電極１１０ｂとそれぞれ電氣的に接

50

続する配線 116a および配線 116b と、を有する。なお、ソース電極 110a およびドレイン電極 110b と酸化物半導体膜 108 の界面近傍には、酸化物半導体膜 108 から酸素が引き抜かれ、低抵抗領域 111a および低抵抗領域 111b が形成される。

【0155】

導電膜 105 の材料は、ゲート電極 104 を参照することができる。

【0156】

[5-2. トランジスタ構造(5)の作製方法]

ここで、トランジスタの作製方法について図34乃至図37を用いて説明する。

【0157】

まずは、基板 100 を準備する。次に、下地絶縁膜 101 を成膜する。次に、ゲート電極の一部として機能する導電膜 105、ゲート電極 104 を形成する。次に、下地絶縁膜 101a を成膜する(図34(A)参照)。

10

【0158】

次に、下地絶縁膜 101a に平坦化処理を行い、ゲート電極 104 の上面を露出させ、下地絶縁膜 101b を形成する(図34(B)参照)。

【0159】

次に、下地絶縁膜 101b が選択的にエッチングされる条件にて、下地絶縁膜 101b をエッチングして、下地絶縁膜 102 を形成する(図34(C)参照)。よって、下地絶縁膜 102 からゲート電極 104 が突出している構成を形成することができる。なお、下地絶縁膜 102 から突出しているゲート電極 104 の高さ h が高いほど後に形成されるソース電極 110a およびドレイン電極 110b となる導電膜の段差は大きくなる。

20

【0160】

次に、ゲート絶縁膜 106、酸化物半導体膜 107 を成膜する(図35(A)参照)。酸化物半導体膜 107 の材料は、実施の形態 1 の酸化物半導体膜 108 を参照することができる。

【0161】

次に、第 1 の加熱処理を行うと好ましい。第 1 の加熱処理は実施の形態 1 を参照することができる。次に、ソース電極 110a およびドレイン電極 110b となる導電膜 109a を成膜する(図35(B)参照)。

【0162】

30

なお、導電膜 109a の材料が酸化物半導体膜 107 を構成する金属元素よりも酸素と結合しやすい導電材料であるため、酸化物半導体膜 107 中の酸素が酸化物半導体膜 107 を構成する金属元素よりも酸素と結合しやすい導電材料(導電膜 109a)側に拡散する。この拡散により、酸化物半導体膜 107 の、導電膜 109a との界面近傍の領域に酸素欠損が発生する。また、酸化物半導体膜 107 上に形成される導電膜 109a を形成する際の酸化物半導体膜 107 上面へのダメージにより酸素欠損が発生する。これらの酸素欠損により、低抵抗領域 111 が形成される。

【0163】

次に、導電膜 109a および酸化物半導体膜 107 の一部をエッチングし、導電膜 109b および酸化物半導体膜 108 を形成する(図35(C)参照)。

40

【0164】

次に、ゲート絶縁膜 106 および導電膜 109b 上に絶縁膜 113a を形成する(図36(A)参照)。

【0165】

次に、絶縁膜 113a に平坦化処理を行い、導電膜 109b を露出させ、絶縁膜 112 を形成する(図36(B)参照)。

【0166】

次に、絶縁膜 112 をマスクとして、領域 122 と重畳する導電膜 109b をエッチングして、ソース電極 110a およびドレイン電極 110b を形成する(図36(C)参照)。

50

【 0 1 6 7 】

導電膜 1 0 9 b の段差を利用して、絶縁膜 1 1 2 をマスクとして、導電膜 1 0 9 b を選択的に加工することで、トランジスタを微細化しても自己整合的に位置精度よく、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b を形成することができる。

【 0 1 6 8 】

次に、酸化物半導体膜 1 0 8 の、領域 1 2 2 に対して、酸素 1 2 0 を添加する（図 3 7（A）参照）。この結果、領域 1 2 2 は、酸素欠損が低減し、チャネル形成領域を高純度真性な領域とすることができる。また、同時に低抵抗領域 1 1 1 a および低抵抗領域 1 1 1 b が形成される。

【 0 1 6 9 】

次に、第 2 の加熱処理を行うと好ましい。第 2 の加熱処理は、第 1 の加熱処理の記載を参照して行えばよい。

【 0 1 7 0 】

次に、酸化物半導体膜 1 0 8 および絶縁膜 1 1 2 上に酸化物絶縁膜として機能する絶縁膜 1 1 4 を形成する。次に、絶縁膜 1 1 2 および絶縁膜 1 1 4 にソース電極 1 1 0 a およびドレイン電極 1 1 0 b に達する開口を形成し、当該開口にソース電極 1 1 0 a およびドレイン電極 1 1 0 b と電氣的に接続する配線 1 1 6 a および配線 1 1 6 b を形成する（図 3 7（B）参照）。

【 0 1 7 1 】

次に、第 3 の加熱処理を行うことが好ましい。第 3 の加熱処理は、第 1 の加熱処理と同様の条件で行うことができる。

【 0 1 7 2 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 1 7 3 】

（実施の形態 3）

本実施の形態では、実施の形態 1 とは一部構造が異なるトランジスタについて図面を用いて説明する。

【 0 1 7 4 】

[6 - 1 トランジスタ構成（6）]

図 9 は、本発明の一態様のトランジスタ 2 5 0 の上面図および断面図である。図 9（A）は、上面図であり、図 9（A）に示す一点鎖線 A 1 - A 2 の断面が図 9（B）に相当し、図 9（A）に示す一点鎖線 B 1 - B 2 の断面が図 9（C）に相当する。また、図 1 0 は、図 9（B）に示す破線丸で囲まれた領域の拡大図である。なお、図 9（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 1 7 5 】

図 9 に示すトランジスタ 2 5 0 は、基板 1 0 0 上の下地絶縁膜 1 0 1 と、下地絶縁膜 1 0 1 上の下地絶縁膜 1 0 2 と、下地絶縁膜 1 0 2 から突出するゲート電極 1 0 4 と、下地絶縁膜 1 0 2 およびゲート電極 1 0 4 上のゲート絶縁膜 1 0 6 と、ゲート絶縁膜 1 0 6 上の多層膜 2 0 8 と、多層膜 2 0 8 に接するソース電極 1 1 0 a およびドレイン電極 1 1 0 b と、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b 上の絶縁膜 1 1 2 と、多層膜 2 0 8 および絶縁膜 1 1 2 上の絶縁膜 1 1 4 と、絶縁膜 1 1 2 および絶縁膜 1 1 4 に設けられた開口を介して、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b とそれぞれ電氣的に接続する配線 1 1 6 a および配線 1 1 6 b と、を有する。なお、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b と多層膜 2 0 8 の界面近傍には、多層膜 2 0 8 から酸素が引き抜かれ、低抵抗領域 1 1 1 a および低抵抗領域 1 1 1 b が形成される。

【 0 1 7 6 】

[6 - 1 - 1 多層膜 2 0 8]

多層膜 2 0 8 は、酸化物膜 2 0 8 a と、酸化物半導体膜 2 0 8 b と、酸化物膜 2 0 8 c とを有する。また、多層膜 2 0 8 は、ゲート絶縁膜 1 0 6 を介してゲート電極 1 0 4 と重

10

20

30

40

50

疊している。本実施の形態では、多層膜 208 はゲート絶縁膜 106 に接して酸化物膜 208a が設けられており、酸化物膜 208a 上に酸化物半導体膜 208b が設けられており、酸化物半導体膜 208b 上に酸化物膜 208c が設けられている。なお、多層膜 208 の積層構造はこれに限らず、たとえば、ゲート絶縁膜 106 に接して酸化物半導体膜 208b が設けられており、酸化物半導体膜 208b 上に酸化物膜 208c が設けられた構造であってもよい。

【0177】

図 9 (A) において、ゲート電極 104 と重なる領域において、ソース電極 110a とドレイン電極 110b との間隔をチャンネル長という。ただし、トランジスタが、ソース領域およびドレイン領域を含む場合、ゲート電極 104 と重なる領域において、低抵抗領域 111a と低抵抗領域 111b との間隔をチャンネル長といってもよい。

10

【0178】

多層膜 208 において、ゲート電極 104 と重なり、かつソース電極 110a とドレイン電極 110b とに挟まれる領域をチャンネル形成領域という (図 9 (B) 参照)。また、チャンネル形成領域において、電流が主として流れる領域をチャンネル領域という。ここでは、チャンネル領域は、チャンネル形成領域中の酸化物半導体膜 208b 部分である。

【0179】

また、多層膜 208 において、酸化物膜 208a、酸化物半導体膜 208b および酸化物膜 208c に用いる材料によっては、酸化物膜 208a、酸化物半導体膜 208b および酸化物膜 208c の境界を明確に確認できない場合がある。そこで、図 9 (B)、図 9 (C)、図 10 において、酸化物膜 208a、酸化物半導体膜 208b および酸化物膜 208c の境界は破線で表している。

20

【0180】

酸化物膜 208a、酸化物半導体膜 208b および酸化物膜 208c は、In もしくは Ga の一方、または両方を含む。代表的には、In - Ga 酸化物 (In と Ga を含む酸化物)、In - Zn 酸化物 (In と Zn を含む酸化物)、In - M - Zn 酸化物 (In と、元素 M と、Zn を含む酸化物。元素 M は、Al、Ti、Ga、Y、Zr、La、Ce、Nd または Hf から選ばれた 1 種類以上の元素。) がある。また、酸化物半導体膜 208b は、実施の形態 1 の酸化物半導体膜 108 を参照することができる。

【0181】

また、酸化物半導体膜 208b に接する酸化物膜 208a および酸化物膜 208c は、酸化物半導体膜 208b を構成する金属元素のうち、1 種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いることで、酸化物半導体膜 208b と、酸化物膜 208a および酸化物膜 208c との界面に界面準位を生じにくくすることができる。従って、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつきを低減することが可能となる。

30

【0182】

酸化物膜 208a、酸化物半導体膜 208b および酸化物膜 208c の形成を、途中で大気に曝すことなく、不活性ガス雰囲気、酸化性ガス雰囲気、または減圧下に維持し、連続して行うことにより、酸化物膜 208a と酸化物半導体膜 208b との界面準位、酸化物半導体膜 208b と酸化物膜 208c との界面準位をさらに生じにくくすることができる。

40

【0183】

酸化物膜 208a の厚さは、3nm 以上 50nm 以下、好ましくは 3nm 以上 20nm 以下とする。酸化物半導体膜 208b の厚さは、3nm 以上 200nm 以下、好ましくは 3nm 以上 100nm 以下、さらに好ましくは 3nm 以上 50nm 以下とする。酸化物膜 208c の厚さは、3nm 以上 100nm 以下、好ましくは 3nm 以上 50nm 以下とする。

【0184】

50

なお、本実施の形態に示すトランジスタ250は、ソース電極110aおよびドレイン電極110bが酸化物膜208cと接する構成を有する。ソース電極110aおよびドレイン電極110bと酸化物半導体膜208bの接続抵抗を低下させるため、酸化物膜208cはなるべく薄く形成することが好ましい。

【0185】

また、酸化物半導体膜208bがIn-M-Zn酸化物であり、酸化物膜208aもIn-M-Zn酸化物であるとき、酸化物膜208aを $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、酸化物半導体膜208bを $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比]とすると、 y_1/x_1 が y_2/x_2 よりも大きくなる酸化物半導体膜208bおよび酸化物膜208aを選択する。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHfなどが挙げられる。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなる酸化物半導体膜208bおよび酸化物膜208aを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなる酸化物半導体膜208bおよび酸化物膜208aを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなる酸化物半導体膜208bおよび酸化物膜208aを選択する。このとき、酸化物半導体膜208bにおいて、 y_1 が x_1 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の3倍未満であると好ましい。酸化物膜208aを上記構成とすることにより、酸化物膜208aを酸化物半導体膜208bよりも酸素欠損が生じにくい膜とすることができる。

【0186】

また、酸化物半導体膜208bがIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInおよびMの原子数比率は好ましくはInが25原子%以上、Mが75原子%未満、さらに好ましくはInが34原子%以上、Mが66原子%未満とする。また、酸化物膜208aがIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInおよびMの原子数比率は好ましくはInが50原子%未満、Mが50原子%以上、さらに好ましくはInが25原子%未満、Mが75原子%以上とする。

【0187】

例えば、酸化物半導体膜208bとして $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ または $3:1:2$ の原子数比のIn-Ga-Zn酸化物を用いることができ、酸化物膜208aとして $\text{In}:\text{Ga}:\text{Zn} = 1:3:4$ 、 $1:3:2$ 、 $1:6:2$ 、 $1:6:4$ 、 $1:6:10$ 、 $1:9:6$ 、または $1:9:0$ の原子数比のIn-Ga-Zn酸化物を用いることができる。なお、酸化物半導体膜208bおよび酸化物膜208aの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

【0188】

また、酸化物膜208cも同様に酸化物半導体膜208bがIn-M-Zn酸化物であり、酸化物膜208cもIn-M-Zn酸化物であるとき、酸化物膜208cを $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、酸化物半導体膜208bを $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比]とすると、 y_1/x_1 が y_2/x_2 よりも大きくなる酸化物半導体膜208bおよび酸化物膜208cを選択する。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHfなどが挙げられる。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなる酸化物半導体膜208bおよび酸化物膜208cを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなる酸化物半導体膜208bおよび酸化物膜208cを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなる酸化物半導体膜208bおよび酸化物膜208cを選択する。このとき、酸化物半導体膜208bにおいて、 y_1 が x_1 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の3倍未満であると好ましい。酸化

物膜 208c を上記構成とすることにより、酸化物膜 208c を酸化物半導体膜 208b よりも酸素欠損が生じにくい膜とすることができる。

【0189】

また、酸化物半導体膜 208b が In-M-Zn 酸化物であるとき、Zn および O を除いての In および M の原子数比率は好ましくは In が 25 原子%以上、M が 75 原子%未満、さらに好ましくは In が 34 原子%以上、M が 66 原子%未満とする。また、酸化物膜 208c が In-M-Zn 酸化物であるとき、Zn および O を除いての In および M の原子数比率は好ましくは In が 50 原子%未満、M が 50 原子%以上、さらに好ましくは In が 25 原子%未満、M が 75 原子%以上とする。

【0190】

例えば、酸化物半導体膜 208b として In:Ga:Zn = 1:1:1 または 3:1:2 の原子数比の In-Ga-Zn 酸化物を用いることができ、酸化物膜 208c として In:Ga:Zn = 1:3:4、1:3:2、1:6:2、1:6:4、1:6:10、1:9:6、または 1:9:0 の原子数比の In-Ga-Zn 酸化物を用いることができる。なお、酸化物半導体膜 208b および酸化物膜 208c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。

【0191】

多層膜 208 を用いたトランジスタに安定した電気特性を付与するためには、酸化物半導体膜 208b 中の酸素欠損および不純物濃度を低減し、酸化物半導体膜 208b を真性または実質的に真性とみなせる半導体膜とすることが好ましい。特に、酸化物半導体膜 208b 中のチャネル形成領域が、真性または実質的に真性とみなせることが好ましい。具体的には、酸化物半導体膜 208b のキャリア密度を、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満とする。

【0192】

また、酸化物半導体膜 208b において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。酸化物半導体膜 208b 中の不純物濃度を低減するためには、近接する酸化物膜 208a および酸化物膜 208c 中の不純物濃度も酸化物半導体膜 208b と同程度まで低減することが好ましい。

【0193】

特に、酸化物半導体膜 208b にシリコンが高い濃度で含まれることにより、シリコンに起因する不純物準位が酸化物半導体膜 208b に形成される。該不純物準位は、トラップ準位となり、トランジスタの電気特性を劣化させることがある。トランジスタの電気特性の劣化を小さくするためには、酸化物半導体膜 208b のシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。また、酸化物半導体膜 208b と酸化物膜 208a および酸化物膜 208c との界面のシリコン濃度についても上記シリコン濃度の範囲とする。

【0194】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体膜のチャネルとなる領域はゲート絶縁膜と接しないことが好ましい。また、ゲート絶縁膜と酸化物半導体膜との界面にチャネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなることがある。このような観点からも、酸化物半導体膜のチャネルとなる領域はゲート絶縁膜から離すことが好ましい。

【0195】

したがって、多層膜 208 を酸化物膜 208a、酸化物半導体膜 208b、酸化物膜 208c の積層構造とすることで、トランジスタのチャネルが形成される酸化物半導体膜 208b をゲート絶縁膜から離すことができ、高い電界効果移動度を有し、安定した電気特性のトランジスタを形成することができる。

【0196】

また、酸化物半導体膜 208b 中で水素および窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。酸化物半導体膜 208b を真性または実質的に真性とするためには、酸化物半導体膜 208b 中の水素濃度は、SIMS において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、窒素濃度は、SIMS において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0197】

なお、酸化物半導体膜 208b にシリコンおよび炭素が高い濃度で含まれることにより、酸化物半導体膜 208b の結晶性を低下させることがある。酸化物半導体膜 208b の結晶性を低下させないためには、酸化物半導体膜 208b のシリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすればよい。また、酸化物半導体膜 208b の結晶性を低下させないためには、酸化物半導体膜 208b の炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすればよい。

【0198】

また、酸化物半導体のバンドギャップは 2 eV 以上あるため、酸化物半導体を用いたトランジスタは、トランジスタがオフ状態のときのリーク電流（オフ電流ともいう）を極めて小さくすることができる。具体的には、チャネル長が $3 \mu\text{m}$ 、チャネル幅が $10 \mu\text{m}$ のトランジスタにおいて、オフ電流を $1 \times 10^{-20} \text{ A}$ 未満、好ましくは $1 \times 10^{-22} \text{ A}$ 未満、さらに好ましくは $1 \times 10^{-24} \text{ A}$ 未満とすることができる。即ち、オンオフ比が 20 桁以上 150 桁以下とすることができる。

【0199】

以下では、多層膜 208 中の局在準位について説明する。多層膜 208 中の局在準位を低減することで、多層膜 208 を用いたトランジスタに安定した電気特性を付与することができる。多層膜 208 の局在準位は、一定光電流測定法（CPM: Constant Photocurrent Method）によって評価可能である。

【0200】

トランジスタに安定した電気特性を付与するためには、多層膜 208 中の CPM 測定で得られる局在準位による吸収係数を、 $1 \times 10^{-3} \text{ cm}^{-1}$ 未満、好ましくは $3 \times 10^{-4} \text{ cm}^{-1}$ 未満とすればよい。また、多層膜 208 中の CPM 測定で得られる局在準位による吸収係数を、 $1 \times 10^{-3} \text{ cm}^{-1}$ 未満、好ましくは $3 \times 10^{-4} \text{ cm}^{-1}$ 未満とすることで、トランジスタの電界効果移動度を高めることができる。なお、多層膜 208 中の CPM 測定で得られる局在準位による吸収係数を、 $1 \times 10^{-3} \text{ cm}^{-1}$ 未満、好ましくは $3 \times 10^{-4} \text{ cm}^{-1}$ 未満とするためには、酸化物半導体膜 208b 中で局在準位を形成する元素であるシリコン、ゲルマニウム、炭素などの濃度を $2 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 未満とすればよい。

【0201】

なお、CPM 測定では、試料である多層膜 208 に接して設けられた電極間に電圧を印加した状態で光電流値が一定となるように端子間の試料面に照射する光量を調整し、照射光量から吸光係数を導出することを各波長にて行う測定である。CPM 測定において、試料に欠陥があるとき、欠陥の存在する準位に応じたエネルギー（波長より換算）における吸光係数が増加する。この吸光係数の増加分に定数を掛けることにより、試料の欠陥密度を導出することができる。

【0202】

CPM 測定で得られた局在準位は、不純物や欠陥に起因する準位と考えられる。すなわち、CPM 測定で得られる局在準位による吸収係数が小さい多層膜を用いることでトランジスタに安定した電気特性を付与することができる。

【0203】

[6 - 1 - 1 a 多層膜 208 のエネルギーバンド構造]

以下では、図 11 (A) および図 11 (B) に示すエネルギーバンド構造図を用いて本実施の形態における多層膜 208 の機能およびその効果を説明する。図 11 (A) および図 11 (B) は、図 9 (B) に示す一点破線 C 1 - C 2 におけるエネルギーバンド構造を示している。

【0204】

図 11 (A) および図 11 (B) において、E c 1 8 2、E c 1 8 3 a、E c 1 8 3 b、E c 1 8 3 c、E c 1 8 6 は、それぞれ、ゲート絶縁膜 106、酸化物膜 208 a、酸化物半導体膜 208 b、酸化物膜 208 c、絶縁膜 114 の伝導帯下端のエネルギーを示している。

10

【0205】

ここで、真空準位と伝導帯下端のエネルギーとの差（電子親和力ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（H O R I B A J O B I N Y V O N 社 U T - 3 0 0 ）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（U P S : U l t r a v i o l e t P h o t o e l e c t r o n S p e c t r o s c o p y ）装置（P H I 社 V e r s a P r o b e ）を用いて測定できる。

【0206】

20

ゲート絶縁膜 106 および絶縁膜 114 は絶縁物であるため、E c 1 8 2 および E c 1 8 6 は、E c 1 8 3 a、E c 1 8 3 b および E c 1 8 3 c よりも真空準位に近い（電子親和力が小さい）。

【0207】

また、E c 1 8 3 a および E c 1 8 3 c は、E c 1 8 3 b よりも真空準位に近い。具体的には、E c 1 8 3 b と E c 1 8 3 a とのエネルギー差、および E c 1 8 3 b と E c 1 8 3 c とのエネルギー差を 0 . 0 5 e V 以上 2 e V 以下とする。好ましくは、該エネルギー差の下限を 0 . 1 e V 以上とし、さらに好ましくは該エネルギー差の下限を 0 . 1 5 e V 以上とする。好ましくは、該エネルギー差の上限を 0 . 5 e V 以下とし、さらに好ましくは該エネルギー差の上限を 0 . 4 e V 以下とする。

30

【0208】

図 11 (A) および図 11 (B) において、酸化物半導体膜 208 b と酸化物膜 208 a との間、酸化物半導体膜 208 b と酸化物膜 208 c との間において、伝導帯下端のエネルギーは障壁が無くなだらかに変化する。換言すると、該伝導帯下端のエネルギーは連続的に変化する。これは、酸化物膜 208 a および酸化物膜 208 c は、酸化物半導体膜 208 b と共通の元素を含み、酸化物半導体膜 208 b および酸化物膜 208 a、並びに酸化物半導体膜 208 b および酸化物膜 208 c 間で、酸素が相互に移動することで混合層が形成されるためであるといえることができる。

【0209】

上記より、酸化物半導体膜 208 b と酸化物膜 208 a との界面、および酸化物半導体膜 208 b と酸化物膜 208 c との界面において、準位は存在しない、またはほとんどないといえる。従って、当該エネルギーバンド構造を有する多層膜 208 において、電子は酸化物半導体膜 208 b を主として移動することになる。つまり、チャネル領域は酸化物半導体膜 208 b に形成されるといえる。そのため、多層膜 208 の外側である絶縁膜との界面に準位が存在したとしても、該準位はチャネル領域から離れた位置に存在することから電子の移動にほとんど影響しない。また、多層膜 208 を構成する膜と膜との間に準位が存在しないか、ほとんどないため、チャネル領域において電子の移動を阻害することもない。従って、多層膜 208 の酸化物半導体膜 208 b は高い電子移動度を有する。

40

【0210】

図 11 (A) に示すようなエネルギーバンド構造を有するためには、酸化物半導体膜 2

50

08bとして、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物を用い、酸化物膜208aおよび酸化物膜208cとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物を用いることで実施できる。

【0211】

なお、酸化物膜208aおよび酸化物膜208cのバンドギャップは、酸化物半導体膜208bのバンドギャップよりも広いほうが好ましい。

【0212】

また、トランジスタ250のエネルギーバンド構造について、図11(A)だけではなく、酸化物膜208aに酸化物膜208cよりも伝導帯下端のエネルギーが真空準位に近い材料を用いてもよい(図11(B)参照)。

【0213】

図11(B)に示すエネルギーバンド構造を有するためには、酸化物半導体膜208bに $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物を用い、酸化物膜208cに $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物を用いる場合、酸化物膜208aとして、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:6:4$ の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物や、 $\text{In}:\text{Ga}:\text{Zn}=1:9:4$ の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物を用いればよい。

【0214】

上記より、図11(A)および図11(B)に示すエネルギーバンド構造を有することで、多層膜208の酸化物半導体膜208bは高い電子移動度を有し、しきい値電圧の変動が低減され、電気特性が良好なトランジスタ250を実現できる。

【0215】

以上のようにして、導電膜の段差を利用して、導電膜上の平坦化した絶縁膜112をマスクとして、導電膜を選択的に加工することで、トランジスタを微細化しても自己整合的に位置精度よく、ソース電極110aおよびドレイン電極110bを形成することができる。また、ソース電極110aおよびドレイン電極110bをマスクとして、多層膜208に酸素を添加することにより多層膜208に含まれる酸化物半導体膜208b中の酸素欠損が低減し、チャネル領域を高純度真性な領域とすることができる。よって、酸化物半導体膜208bにチャネルが形成されることにより、安定した電気特性を有し、高い電界効果移動度を有する。

【0216】

[6-2. トランジスタ構造(6)の作製方法]

本実施の形態で示すトランジスタ250の作製方法は、多層膜208の形成工程以外については実施の形態1で示したトランジスタ構造(1)の作製方法を参照することができる。

【0217】

多層膜208は、以下のように形成することができる。ゲート絶縁膜106を成膜後、ゲート絶縁膜106上に、酸化物膜208aに加工される酸化物膜を成膜し、当該酸化物膜上に酸化物半導体膜208bに加工される酸化物半導体膜を成膜し、当該酸化物半導体膜上に酸化物膜208cに加工される酸化物膜を成膜して、多層膜を形成する。当該多層膜上にレジストマスクを形成し、当該レジストマスクを用いて当該多層膜の一部を選択的にエッチングして、酸化物膜208a、酸化物半導体膜208bおよび酸化物膜208cを有する多層膜208を形成する。

【0218】

多層膜208を形成するためのエッチングは、ドライエッチング法およびウェットエッチング法的一方または双方を用いて行うことができる。

【0219】

また、ドライエッチング法で多層膜208のエッチングを行う場合のエッチングガスとして、塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化珪素(SiCl_4)もしくは四塩化炭素(CCl_4)などを代表とする塩素系ガスを用いることができる。また、ドライ

10

20

30

40

50

エッチング法で多層膜 208 のエッチングを行う場合のプラズマ源として、容量結合型プラズマ (CCP: Capacitively Coupled Plasma)、誘導結合プラズマ (ICP: Inductively Coupled Plasma)、電子サイクロトロン共鳴 (ECR: Electron Cyclotron Resonance) プラズマ、ヘリコン波励起プラズマ (HWP: Helicon Wave Plasma)、マイクロ波励起表面波プラズマ (SWP: Surface Wave Plasma) などを用いることができる。特に、ICP、ECR、HWP、および SWP は、高密度のプラズマを生成することができる。ドライエッチング法で行うエッチング (以下、ドライエッチングともいう。) は、所望の加工形状にエッチングできるように、エッチング条件 (コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等) を適宜調節して行う。

10

【0220】

ウェットエッチング法により、多層膜 208 のエッチングを行う場合は、エッチング液として、磷酸と酢酸と硝酸を混ぜた溶液や、シュウ酸を含む溶液や、リン酸を含む溶液などを用いることができる。また、ITO-07N (関東化学社製) を用いてもよい。

【0221】

また、多層膜 208 を形成するエッチング工程の前後の少なくとも一方で第 1 の加熱処理を行うと好ましい。第 1 の加熱処理は、実施の形態 1 を参酌することができる。

【0222】

また、ゲート絶縁膜 106 を形成するまでの工程および、ソース電極 110a およびドレイン電極 110b となる導電膜を形成後の工程は、実施の形態 1 を参酌することができる。

20

【0223】

[7 トランジスタ構成 (7)]

また、トランジスタの別の構成を図 12 に示す。図 12 は、本発明の一態様のトランジスタの上面図および断面図である。図 12 (A) は、上面図であり、図 12 (A) に示す一点鎖線 A1 - A2 の断面が図 12 (B) に相当し、図 12 (A) に示す一点鎖線 B1 - B2 の断面が図 12 (C) に相当する。なお、図 12 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0224】

図 12 に示すトランジスタ 260 は、基板 100 上の下地絶縁膜 101 と、下地絶縁膜 101 上の下地絶縁膜 102 と、下地絶縁膜 102 から突出するゲート電極 104 と、下地絶縁膜 102 およびゲート電極 104 上のゲート絶縁膜 106 と、ゲート絶縁膜 106 上の酸化物膜 208a と、酸化物膜 208a 上の酸化物半導体膜 208b と、酸化物半導体膜 208b に接するソース電極 110a およびドレイン電極 110b と、ソース電極 110a およびドレイン電極 110b 上の絶縁膜 112 と、酸化物半導体膜 208b および絶縁膜 112 上の酸化物膜 208c と、酸化物膜 208c および絶縁膜 112 上の絶縁膜 114 と、絶縁膜 112 および絶縁膜 114 に設けられた開口を介して、ソース電極 110a およびドレイン電極 110b とそれぞれ電氣的に接続する配線 116a および配線 116b と、を有する。なお、酸化物膜 208a、酸化物半導体膜 208b および酸化物膜 208c をまとめて、多層膜 208 とよぶ。また、ソース電極 110a およびドレイン電極 110b と多層膜 208 の界面近傍には、多層膜 208 から酸素が引き抜かれ、低抵抗領域 111a および低抵抗領域 111b が形成される。

30

40

【0225】

上記のように、酸化物膜 208c を酸化物半導体膜 208b および絶縁膜 112 上に形成することで、ソース電極 110a およびドレイン電極 110b が、チャネル領域である酸化物半導体膜 208b とコンタクトしているため、コンタクト抵抗を低減することができる。

【0226】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができ

50

る。

【 0 2 2 7 】

(実施の形態 4)

[表示装置]

上記実施の形態で説明したトランジスタは、表示装置に用いることができる。また、上述したトランジスタを用いて、トランジスタを含む駆動回路の一部または全体を画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。上記トランジスタを用いることが可能な表示装置の構成例について、図 1 3 乃至図 1 7 を用いて説明する。

【 0 2 2 8 】

10

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機 E L (E l e c t r o L u m i n e s c e n c e)、有機 E L などを含む。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も表示素子として適用することができる。以下では、表示装置の一例として E L 素子を用いた表示装置および液晶素子を用いた表示装置について説明する。

【 0 2 2 9 】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む I C などを実装した状態にあるモジュールとを含む。

20

【 0 2 3 0 】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクタ、例えば F P C、T C P が取り付けられたモジュール、T C P の先にプリント配線板が設けられたモジュールまたは表示素子に C O G 方式により I C （集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【 0 2 3 1 】

また、以下に示す表示装置は、被検知体の接触または近接によるセンシングによって行われる入力手段（タッチセンサ）を設けることができる（図示せず）。例えば、接触によるセンシングによって行われる入力手段は、抵抗膜方式、静電容量方式、赤外線方式、電磁誘導方式、表面弾性波方式など、種々の方式を用いることができる。また、近接によるセンシングによって行われる入力手段は赤外線カメラなどを用いることで実施できる。

30

【 0 2 3 2 】

当該入力手段は、以下に示す表示装置上に別途設けられた、いわゆるオンセル方式として設けてもよいし、以下に示す表示装置と一体として設けられた、いわゆるインセル方式として設けてもよい。

【 0 2 3 3 】

[E L 表示装置]

ここでは、E L 素子を用いた表示装置（E L 表示装置ともいう。）について説明する。

【 0 2 3 4 】

図 1 3 は、E L 表示装置の画素の回路図の一例である。

40

【 0 2 3 5 】

図 1 3 に示す E L 表示装置は、スイッチ素子 7 4 3 と、トランジスタ 7 4 1 と、キャパシタ 7 4 2 と、発光素子 7 2 9 と、を有する。

【 0 2 3 6 】

トランジスタ 7 4 1 のゲートはスイッチ素子 7 4 3 の一端およびキャパシタ 7 4 2 の一端と電氣的に接続される。トランジスタ 7 4 1 のソースは発光素子 7 2 9 の一端と電氣的に接続される。トランジスタ 7 4 1 のドレインはキャパシタ 7 4 2 の他端と電氣的に接続され、電源電位 V D D が与えられる。スイッチ素子 7 4 3 の他端は信号線 7 4 4 と電氣的に接続される。発光素子 7 2 9 の他端は定電位が与えられる。なお、定電位は接地電位 G N D またはそれより小さい電位とする。

50

【 0 2 3 7 】

なお、トランジスタ 7 4 1 は、上記実施の形態に記載したトランジスタを用いる。当該トランジスタは、安定した電気特性を有する。そのため、表示品位の高い E L 表示装置とすることができる。

【 0 2 3 8 】

スイッチ素子 7 4 3 としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高い E L 表示装置とすることができる。また、スイッチ素子 7 4 3 として、上記実施の形態に記載したトランジスタを用いてもよい。スイッチ素子 7 4 3 として当該トランジスタを用いることで、トランジスタ 7 4 1 と同一工程によってスイッチ素子 7 4 3 を作製することができ、E L 表示装置の生産性を高めることができる。

10

【 0 2 3 9 】

図 1 4 (A) は、E L 表示装置の上面図である。E L 表示装置は、基板 1 0 0 と、基板 7 0 0 と、シール材 7 3 4 と、駆動回路 7 3 5 と、駆動回路 7 3 6 と、画素 7 3 7 と、F P C 7 3 2 と、を有する。シール材 7 3 4 は、画素 7 3 7、駆動回路 7 3 5 および駆動回路 7 3 6 を囲むように基板 1 0 0 と基板 7 0 0 との間に設けられる。なお、駆動回路 7 3 5 および駆動回路 7 3 6 の一方または双方をシール材 7 3 4 の外側に設けてもよい。

【 0 2 4 0 】

図 1 4 (B) は、図 1 4 (A) の一点鎖線 M - N に対応する E L 表示装置の断面図である。F P C 7 3 2 は、端子 7 3 1 を介して配線 7 3 3 a と接続される。なお、配線 7 3 3 a は、ゲート電極 1 0 4 と同一層である。

20

【 0 2 4 1 】

なお、図 1 4 (B) は、トランジスタ 7 4 1 とキャパシタ 7 4 2 とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ 7 4 2 をトランジスタ 7 4 1 のゲート電極、ゲート絶縁膜およびソース電極（ドレイン電極）と同一平面に形成することができる。このように、トランジスタ 7 4 1 とキャパシタ 7 4 2 とを同一平面に設けることにより、E L 表示装置の作製工程を短縮化し、生産性を高めることができる。

【 0 2 4 2 】

図 1 4 (B) では、トランジスタ 7 4 1 として、図 1 に示したトランジスタを適用した例を示す。そのため、トランジスタ 7 4 1 の各構成のうち、以下で特に説明しないものについては、図 1 についての記載を参照する。

30

【 0 2 4 3 】

トランジスタ 7 4 1 およびキャパシタ 7 4 2 上には、絶縁膜 7 2 0 が設けられる。

【 0 2 4 4 】

ここで、絶縁膜 7 2 0、絶縁膜 1 1 4 および絶縁膜 1 1 2 には、トランジスタ 7 4 1 のソース電極 1 1 0 a に達する開口部が設けられる。

【 0 2 4 5 】

電極 7 8 1 上には、電極 7 8 1 に達する開口部を有する隔壁 7 8 4 が設けられる。

【 0 2 4 6 】

隔壁 7 8 4 上には、隔壁 7 8 4 に設けられた開口部で電極 7 8 1 と接する発光層 7 8 2 が設けられる。

40

【 0 2 4 7 】

発光層 7 8 2 上には、電極 7 8 3 が設けられる。

【 0 2 4 8 】

電極 7 8 1、発光層 7 8 2 および電極 7 8 3 の重なる領域が、発光素子 7 2 9 となる。

【 0 2 4 9 】

なお、絶縁膜 7 2 0 は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルから選ばれ

50

た絶縁膜で形成される。または、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構わない。

【0250】

発光層782は、一層に限定されず、複数種の発光層などを積層して設けてもよい。例えば、図14(C)に示すような構造とすればよい。図14(C)は、中間層785a、発光層786a、中間層785b、発光層786b、中間層785c、発光層786cおよび中間層785dの順番で積層した構造である。このとき、発光層786a、発光層786bおよび発光層786cに適切な発光色の発光層を用いると演色性の高い、または発光効率の高い、発光素子729を形成することができる。

【0251】

発光層を複数種積層して設けることで、白色光を得てもよい。図14(B)には示さないが、着色層を介して白色光を取り出す構造としてもよい。

【0252】

ここでは発光層を3層および中間層を4層設けた構造を示しているが、これに限定されるものではなく、適宜発光層の数および中間層の数を変更することができる。例えば、中間層785a、発光層786a、中間層785b、発光層786bおよび中間層785cのみで構成することもできる。また、中間層785a、発光層786a、中間層785b、発光層786b、発光層786cおよび中間層785dで構成し、中間層785cを省いた構造としてもよい。

【0253】

また、中間層は、正孔注入層、正孔輸送層、電子輸送層および電子注入層などを積層構造で用いることができる。なお、中間層は、これらの層を全て備えなくてもよい。これらの層は適宜選択して設ければよい。なお、同様の機能を有する層を重複して設けてもよい。また、中間層としてキャリア発生層のほか、電子リレー層などを適宜加えてもよい。

【0254】

電極781は、可視光透過性を有する導電膜を用いればよい。可視光透過性を有するとは、可視光領域(例えば400nm乃至800nmの波長範囲)における平均の透過率が70%以上、特に80%以上であることをいう。

【0255】

電極781としては、例えば、In-Zn-W酸化物膜、In-Sn酸化物膜、In-Zn酸化物膜、酸化インジウム膜、酸化亜鉛膜および酸化スズ膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜(好ましくは、5nm乃至30nm程度)を用いることもできる。例えば5nmの膜厚を有するAg膜、Mg膜またはAg-Mg合金膜を用いてもよい。

【0256】

または、電極781は、可視光を効率よく反射する膜が好ましい。電極781は、例えば、リチウム、アルミニウム、チタン、マグネシウム、ランタン、銀、シリコンまたはニッケルを含む膜を用いればよい。

【0257】

電極783は、電極781として示した膜から選択して用いることができる。ただし、電極781が可視光透過性を有する場合は、電極783が可視光を効率よく反射すると好ましい。また、電極781が可視光を効率よく反射する場合は、電極783が可視光透過性を有すると好ましい。

【0258】

なお、電極781および電極783を図14(B)に示す構造で設けているが、電極781と電極783を入れ替えてもよい。アノードとして機能する電極には、仕事関数の大きい導電膜を用いることが好ましく、カソードとして機能する電極には仕事関数の小さい導電膜を用いることが好ましい。ただし、アノードと接してキャリア発生層を設ける場合には、仕事関数を考慮せずに様々な導電膜を陽極に用いることができる。

10

20

30

40

50

【 0 2 5 9 】

隔壁 7 8 4 は、絶縁膜 7 2 0 の記載を参照する。

【 0 2 6 0 】

また、表示装置において、ブラックマトリクス（遮光膜）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板および位相差基板による円偏光を用いてもよい。

【 0 2 6 1 】

発光素子 7 2 9 と接続するトランジスタ 7 4 1 は、安定した電気特性を有する。そのため、表示品位の高い E L 表示装置を提供することができる。

【 0 2 6 2 】

図 1 5 (A) および図 1 5 (B) は、図 1 4 (B) と一部が異なる E L 表示装置の断面図の一例である。具体的には、F P C 7 3 2 と接続する配線が異なる。図 1 5 (A) では、端子 7 3 1 を介して F P C 7 3 2 と配線 7 3 3 b が接続している。配線 7 3 3 b は、ソース電極 1 1 0 a およびドレイン電極 1 1 0 b と同一層である。図 1 5 (B) では、端子 7 3 1 を介して F P C 7 3 2 と配線 7 3 3 c が接続している。配線 7 3 3 c は、電極 7 8 1 と同一層である。

【 0 2 6 3 】

〔液晶表示装置〕

次に、液晶素子を用いた表示装置（液晶表示装置ともいう。）について説明する。

【 0 2 6 4 】

図 1 6 は、液晶表示装置の画素の構成例を示す回路図である。図 1 6 に示す画素 7 5 0 は、トランジスタ 7 5 1 と、キャパシタ 7 5 2 と、一対の電極間に液晶の充填された素子（以下液晶素子ともいう）7 5 3 とを有する。

【 0 2 6 5 】

トランジスタ 7 5 1 では、ソースおよびドレインの一方が信号線 7 5 5 に電氣的に接続され、ゲートが走査線 7 5 4 に電氣的に接続されている。

【 0 2 6 6 】

キャパシタ 7 5 2 では、一方の電極がトランジスタ 7 5 1 のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【 0 2 6 7 】

液晶素子 7 5 3 では、一方の電極がトランジスタ 7 5 1 のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述のキャパシタ 7 5 2 の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子 7 5 3 の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【 0 2 6 8 】

なお、液晶表示装置も、上面図は E L 表示装置と概略同様である。図 1 4 (A) の一点鎖線 M - N に対応する液晶表示装置の断面図を図 1 7 (A) に示す。図 1 7 (A) において、F P C 7 3 2 は、端子 7 3 1 を介して配線 7 3 3 a と接続される。なお、配線 7 3 3 a は、ゲート電極 1 0 4 と同一層である。

【 0 2 6 9 】

図 1 7 (A) には、トランジスタ 7 5 1 とキャパシタ 7 5 2 とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ 7 5 2 をトランジスタ 7 5 1 のゲート電極、ゲート絶縁膜およびソース電極（ドレイン電極）と同一平面に作製することができる。このように、トランジスタ 7 5 1 とキャパシタ 7 5 2 とを同一平面に設けることにより、液晶表示装置の作製工程を短縮化し、生産性を高めることができる。

【 0 2 7 0 】

トランジスタ 7 5 1 としては、上述したトランジスタを適用することができる。図 1 7 (A) においては、図 1 に示したトランジスタを適用した例を示す。そのため、トランジ

10

20

30

40

50

スタ７５１の各構成のうち、以下で特に説明しないものについては、図１についての記載を参照する。

【０２７１】

なお、トランジスタ７５１は極めてオフ電流の小さいトランジスタとすることができる。従って、キャパシタ７５２に保持された電荷がリークしにくく、長期間に渡って液晶素子７５３に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ７５１をオフ状態とすることで、トランジスタ７５１の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。

【０２７２】

液晶表示装置に設けられるキャパシタ７５２の大きさは、画素部に配置されるトランジスタ７５１のリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。トランジスタ７５１を用いることにより、各画素における液晶容量に対して１／３以下、好ましくは１／５以下の容量の大きさを有するキャパシタを設ければ充分であるため、画素における開口率を高めることができる。

【０２７３】

トランジスタ７５１およびキャパシタ７５２上には、絶縁膜７２１が設けられる。

【０２７４】

ここで、絶縁膜７２１、絶縁膜１１４および絶縁膜１１２には、トランジスタ７５１のドレイン電極１１０ｂに達する開口部が設けられる。

【０２７５】

絶縁膜７２１上には、電極７９１が設けられる。電極７９１は、絶縁膜７２１、絶縁膜１１４および絶縁膜１１２に設けられた開口部を介してトランジスタ７５１のドレイン電極１１０ｂと接する。

【０２７６】

電極７９１上には、配向膜として機能する絶縁膜７９２が設けられる。

【０２７７】

絶縁膜７９２上には、液晶層７９３が設けられる。

【０２７８】

液晶層７９３上には、配向膜として機能する絶縁膜７９４が設けられる。

【０２７９】

絶縁膜７９４上には、スペーサ７９５が設けられる。

【０２８０】

スペーサ７９５および絶縁膜７９４上には、電極７９６が設けられる。

【０２８１】

電極７９６上には、基板７９７が設けられる。

【０２８２】

なお、絶縁膜７２１は、絶縁膜７２０の記載を参照する。または、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構わない。

【０２８３】

液晶層７９３は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶などを用いればよい。これらの液晶は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相などを示す。

【０２８４】

なお、液晶層７９３として、ブルー相を示す液晶を用いてもよい。その場合、配向膜として機能する絶縁膜７９２および絶縁膜７９４を設けない構成とすればよい。

【０２８５】

電極７９１は、可視光透過性を有する導電膜を用いればよい。

【０２８６】

電極７９１としては、例えば、Ｉｎ－Ｚｎ－Ｗ酸化物膜、Ｉｎ－Ｓｎ酸化物膜、Ｉｎ－

10

20

30

40

50

Zn 酸化物膜、酸化インジウム膜、酸化亜鉛膜および酸化スズ膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5nm乃至30nm程度）を用いることもできる。

【0287】

または、電極791は、可視光を効率よく反射する膜が好ましい。電極791は、例えば、アルミニウム、チタン、クロム、銅、モリブデン、銀、タンタルまたはタングステンを含む膜を用いればよい。

【0288】

電極796は、電極791として示した膜から選択して用いることができる。ただし、電極791が可視光透過性を有する場合は、電極796が可視光を効率よく反射すると好ましい。また、電極791が可視光を効率よく反射する場合は、電極796が可視光透過性を有すると好ましい。

10

【0289】

なお、電極791および電極796を図17(A)に示す構造で設けているが、電極791と電極796を入れ替えてもよい。

【0290】

絶縁膜792および絶縁膜794は、有機化合物または無機化合物から選択して用いればよい。

【0291】

20

スペーサ795は、有機化合物または無機化合物から選択して用いればよい。なお、スペーサ795の形状は、柱状、球状など様々にとることができる。

【0292】

電極791、絶縁膜792、液晶層793、絶縁膜794および電極796の重なる領域が、液晶素子753となる。

【0293】

基板797は、ガラス、樹脂または金属などを用いればよい。基板797は可撓性を有してもよい。

【0294】

図17(B)および図17(C)は、図17(A)と一部が異なる液晶表示装置の断面図の一例である。具体的には、FPC732と接続する配線が異なる。図17(B)では、端子731を介してFPC732と配線733bが接続している。配線733bは、ソース電極110aおよびドレイン電極110bと同一層である。図17(C)では、端子731を介してFPC732と配線733cが接続している。配線733cは、電極791と同一層である。

30

【0295】

液晶素子753と接続するトランジスタ751は、安定した電気特性を有する。そのため、表示品位の高い液晶表示装置を提供することができる。また、トランジスタ751はオフ電流を極めて小さくできるため、消費電力の小さい液晶表示装置を提供することができる。

40

【0296】

液晶表示装置において、動作モードは適宜選択することができる。例えば、基板に対して直交に電圧を印加する縦電界方式、基板に対して平行に電圧を印加する横電界方式がある。具体的には、TNモード、VAモード、MVAモード、PVAモード、ASMモード、TBAモード、OCBモード、FLCモード、AFLCモード、またはFFSモードなどが挙げられる。

【0297】

液晶表示装置において、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを

50

用いてもよい。

【0298】

また、バックライトとして複数の発光ダイオード（LED）を用いて、時間分割表示方式（フィールドシーケンシャル駆動方式）を行うことも可能である。フィールドシーケンシャル駆動方式を適用することで、着色層を用いることなく、カラー表示を行うことができる。

【0299】

上述したように、画素部における表示方式は、プログレッシブ方式やインターレース方式などを用いる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、RGBW（Wは白を表す）、またはRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本発明はカラー表示の液晶表示装置に限定されるものではなく、モノクロ表示の液晶表示装置に適用することもできる。

【0300】

また、ここで、本発明の一態様のトランジスタを適用し、被検知体の近接または接触によるセンシングによって行われる入力手段（タッチセンサ）の構成例について説明する。

【0301】

ここでは、静電容量方式を用いた場合について説明する。静電容量方式のタッチセンサとしては、代表的には表面型静電容量方式、投影型静電容量方式などがある。また、投影型静電容量方式としては、主に駆動方法の違いから、自己容量方式、相互容量方式などがあるが、相互容量方式を用いると、同時多点検出が可能となるため好ましい。

【0302】

[センサの検知方法の例]

図18（A）および図18（B）は、相互容量方式のタッチセンサの構成を示す模式図と、入出力波形の模式図である。タッチセンサは一对の電極を備え、これらの間に容量が形成されている。一对の電極のうち一方の電極に入力電圧が入力される。また、他方の電極に流れる電流（または、他方の電極の電位）を検出する検出回路を備える。

【0303】

例えば、図18（A）に示すように、入力電圧波形として矩形波を用いた場合、出力電流波形として鋭いピークを有する波形が検出される。

【0304】

また、図18（B）に示すように、伝導性を有する被検知体が容量に近接または接触した場合、電極間の容量値が減少するため、これに応じて出力の電流値が減少する。

【0305】

このように、入力電圧に対する出力電流（または電位）の変化を用いて、容量の変化を検出することにより、被検知体の近接、または接触を検知することができる。

【0306】

[タッチセンサの構成例]

図18（C）は、マトリクス状に配置された複数の容量を備えるタッチセンサの構成例を示す。

【0307】

タッチセンサは、X方向（紙面横方向）に延在する複数の配線と、これら複数の配線と交差し、Y方向（紙面縦方向）に延在する複数の配線とを有する。交差する2つの配線間には容量が形成される。

【0308】

また、X方向に延在する配線には、入力電圧または共通電位（接地電位、基準電位を含む）のいずれか一方が入力される。また、Y方向に延在する配線には、検出回路（例えば、ソースメータ、センスアンプなど）が電氣的に接続され、当該配線に流れる電流（または電位）を検出することができる。

10

20

30

40

50

【0309】

タッチセンサは、X方向に延在する複数の配線に対して順に入力電圧が入力されるように走査し、Y方向に延在する配線に流れる電流（または電位）の変化を検出することで、被検知体の2次元的なセンシングが可能となる。

【0310】

[タッチパネルの構成例]

以下では、複数の画素を有する表示部とタッチセンサを備えるタッチパネルの構成例と、該タッチパネルを電子機器に組み込む場合の例について説明する。

【0311】

図19(A)は、タッチパネルを備える電子機器の断面概略図である。

10

【0312】

電子機器3530は、筐体3531と、該筐体3531内に少なくともタッチパネル3532、バッテリー3533、制御部3534を有する。またタッチパネル3532は制御部3534と配線3535を介して電氣的に接続される。制御部3534により表示部への画像の表示やタッチセンサのセンシングの動作が制御される。またバッテリー3533は制御部3534と配線3536を介して電氣的に接続され、制御部3534に電力を供給することができる。

【0313】

タッチパネル3532はその表示面側が筐体3531よりも外側に露出するように設けられる。タッチパネル3532の露出した面に画像を表示すると共に、接触または近接する被検知体を検知することができる。

20

【0314】

図19(B)乃至図19(E)に、タッチパネルの構成例を示す。

【0315】

図19(B)に示すタッチパネル3532は、第1の基板3541と第2の基板3543の間に表示部3542を備える表示パネル3540と、タッチセンサ3544を備える第3の基板3545と、保護基板3546と、を備える。

【0316】

表示パネル3540としては、液晶素子、有機EL(Electro Luminescence)素子が適用された表示装置や、電子ペーパー等、様々な表示装置を適用できる。なおタッチパネル3532は、表示パネル3540の構成に応じて、バックライトや偏光板等を別途備えていてもよい。

30

【0317】

保護基板3546の一方の面に被検知体が接触または近接するため、少なくともその表面は、機械的強度が高められていることが好ましい。例えば、イオン交換法や風冷強化法等により物理的、または化学的な処理が施され、その表面に圧縮応力を加えた強化ガラスを保護基板3546に用いることができる。または、表面がコーティングされたプラスチック等の可撓性基板を用いることもできる。なお、保護基板3546上に保護フィルムや光学フィルムを設けてもよい。

【0318】

40

タッチセンサ3544は、第3の基板3545の少なくとも一方の面に設けられる。または、タッチセンサ3544を構成する一対の電極を第3の基板3545の両面に形成してもよい。また、タッチパネルの薄型化のため、第3の基板3545として可撓性のフィルムを用いてもよい。また、タッチセンサ3544は、一対の基板(フィルムを含む)に挟持された構成としてもよい。

【0319】

図19(B)では、保護基板3546とタッチセンサ3544を備える第3の基板3545とが接着層3547で接着されている構成を示しているが、必ずしもこれらは接着されていなくてもよい。また、第3の基板3545と表示パネル3540とを接着層3547により接着する構成としてもよい。

50

【 0 3 2 0 】

図 1 9 (B) に示すタッチパネル 3 5 3 2 は、表示パネルと、タッチセンサを備える基板とが独立して設けられている。このような構成を有するタッチパネルを外付け型のタッチパネルとも呼べる。このような構成とすることにより、表示パネルとタッチセンサを備える基板とをそれぞれ別途作製し、これらを重ねることにより表示パネルにタッチセンサの機能を付加することができるため、特別な作製工程を経ることなく容易にタッチパネルを作製することができる。

【 0 3 2 1 】

図 1 9 (C) に示すタッチパネル 3 5 3 2 は、タッチセンサ 3 5 4 4 が第 2 の基板 3 5 4 3 の保護基板 3 5 4 6 側の面に設けられている。このような構成を有するタッチパネルをオンセル型のタッチパネルとも呼べる。このような構成とすることにより、必要な基板の枚数を低減できるため、タッチパネルの薄型化および軽量化を実現できる。

【 0 3 2 2 】

図 1 9 (D) に示すタッチパネル 3 5 3 2 は、タッチセンサ 3 5 4 4 が保護基板 3 5 4 6 の一方の面に設けられている。このような構成とすることにより、表示パネルとタッチセンサをそれぞれ別途作製することができるため、容易にタッチパネルを作製することができる。さらに、必要な基板の枚数を低減できるため、タッチパネルの薄型化および軽量化を実現できる。

【 0 3 2 3 】

図 1 9 (E) に示すタッチパネル 3 5 3 2 は、タッチセンサ 3 5 4 4 が表示パネル 3 5 4 0 の一対の基板の内側に設けられている。このような構成を有するタッチパネルをインセル型のタッチパネルとも呼べる。このような構成とすることにより、必要な基板の枚数を低減できるため、タッチパネルの薄型化および軽量化を実現できる。このようなタッチパネルは、例えば、表示部 3 5 4 2 が備えるトランジスタや配線、電極などにより第 1 の基板 3 5 4 1 上または第 2 の基板 3 5 4 3 上にタッチセンサとして機能する回路を作り込むことにより実現できる。また、光学式のタッチセンサを用いる場合には、光電変換素子を備える構成としてもよい。

【 0 3 2 4 】

[インセル型のタッチパネルの構成例]

以下では、複数の画素を有する表示部にタッチセンサを組み込んだタッチパネルの構成例について説明する。ここでは、画素に設けられる表示素子として、液晶素子を適用した例を示す。

【 0 3 2 5 】

図 2 0 (A) は、本構成例で例示するタッチパネルの表示部に設けられる画素回路の一部における等価回路図である。

【 0 3 2 6 】

一つの画素は少なくともトランジスタ 3 5 0 3 と液晶素子 3 5 0 4 を有する。またトランジスタ 3 5 0 3 のゲートに配線 3 5 0 1 が、ソースまたはドレインの一方には配線 3 5 0 2 が、それぞれ電氣的に接続されている。

【 0 3 2 7 】

画素回路は、X 方向に延在する複数の配線（例えば、配線 3 5 1 0 _ 1、配線 3 5 1 0 _ 2）と、Y 方向に延在する複数の配線（例えば、配線 3 5 1 1）を有し、これらは互いに交差して設けられ、その間に容量が形成される。

【 0 3 2 8 】

また、画素回路に設けられる画素のうち、一部の隣接する複数の画素は、それぞれに設けられる液晶素子の一方の電極が電氣的に接続され、一つのブロックを形成する。当該ブロックは、島状のブロック（例えば、ブロック 3 5 1 5 _ 1、ブロック 3 5 1 5 _ 2）と、Y 方向に延在するライン状のブロック（例えば、ブロック 3 5 1 6）の、2 種類に分類される。なお、図 2 0 では、画素回路の一部のみを示しているが、実際にはこれら 2 種類のブロックが X 方向および Y 方向に繰り返し配置される。

10

20

30

40

50

【 0 3 2 9 】

X方向に延在する配線 3 5 1 0 __ 1 (または 3 5 1 0 __ 2) は、島状のブロック 3 5 1 5 __ 1 (またはブロック 3 5 1 5 __ 2) と電氣的に接続される。なお、図示しないが、X方向に延在する配線 3 5 1 0 __ 1 は、ライン状のブロックを介してX方向に沿って不連続に配置される複数の島状のブロック 3 5 1 5 __ 1 を電氣的に接続する。また、Y方向に延在する配線 3 5 1 1 は、ライン状のブロック 3 5 1 6 と電氣的に接続される。

【 0 3 3 0 】

図 2 0 (B) は、X方向に延在する複数の配線 3 5 1 0 と、Y方向に延在する複数の配線 3 5 1 1 の接続構成を示した等価回路図である。X方向に延在する配線 3 5 1 0 の各々には、入力電圧または共通電位を入力することができる。また、Y方向に延在する配線 3 5 1 1 の各々には接地電位を入力する、または配線 3 5 1 1 と検出回路と電氣的に接続することができる。

10

【 0 3 3 1 】

[タッチパネルの動作例]

以下、図 2 1 を用いて、上述したタッチパネルの動作について説明する。

【 0 3 3 2 】

図 2 1 (A) に示すように、1 フレーム期間を書き込み期間と、検知期間とに分ける。書き込み期間は画素への画像データの書き込みを行う期間であり、配線 3 5 1 0 (ゲート線ともいう) が順次選択される。一方、検知期間は、タッチセンサによるセンシングを行う期間であり、X方向に延在する配線 3 5 1 0 が順次選択され、入力電圧が入力される。

20

【 0 3 3 3 】

図 2 1 (B) は、書き込み期間における等価回路図である。書き込み期間では、X方向に延在する配線 3 5 1 0 と、Y方向に延在する配線 3 5 1 1 の両方に、共通電位が入力される。

【 0 3 3 4 】

図 2 1 (C) は、検知期間のある時点における等価回路図である。検知期間では、Y方向に延在する配線 3 5 1 1 の各々は、検出回路と電氣的に接続する。また、X方向に延在する配線 3 5 1 0 のうち、選択されたものには入力電圧が入力され、それ以外のものには共通電位が入力される。

【 0 3 3 5 】

このように、画像の書き込み期間とタッチセンサによるセンシングを行う期間とを、独立して設けることが好ましい。これにより、画素の書き込み時のノイズに起因するタッチセンサの感度の低下を抑制することができる。

30

【 0 3 3 6 】

[画素構成例]

以下では、上記タッチパネルに用いることのできる画素の構成例について説明する。

【 0 3 3 7 】

図 2 2 (A) は、F F S (F r i n g e F i e l d S w i t c h i n g) モードが適用された画素の一部を示す断面図である。

【 0 3 3 8 】

画素は、トランジスタ 3 5 2 1 と、電極 3 5 2 2 と、電極 3 5 2 3 と、液晶 3 5 2 4 と、カラーフィルタ 3 5 2 5 と、を備える。開口部を有する電極 3 5 2 3 はトランジスタ 3 5 2 1 のソースまたはドレインの一方に電氣的に接続される。また、電極 3 5 2 3 は絶縁層を介して電極 3 5 2 2 上に設けられる。電極 3 5 2 3 と電極 3 5 2 2 は、それぞれ液晶素子の一方の電極として機能し、これらの間に電圧を印加することにより、液晶の配向を制御することができる。

40

【 0 3 3 9 】

例えば電極 3 5 2 2 を、上述の配線 3 5 1 0 または配線 3 5 1 1 に電氣的に接続することにより、上述したタッチパネルの画素を構成することができる。

【 0 3 4 0 】

50

なお、電極 3 5 2 2 を電極 3 5 2 3 上に設けることもできる。その場合は電極 3 5 2 2 を、開口部を有する形状とし、絶縁層を介して電極 3 5 2 3 上に設ければよい。

【 0 3 4 1 】

なお、電極 3 5 2 2 を電極 3 5 2 3 上に設けることもできる。その場合は電極 3 5 2 2 を、開口部を有する形状とし、絶縁層を介して電極 3 5 2 3 上に設ければよい。

【 0 3 4 2 】

図 2 2 (B) は、IPS (In - Plane - Switching) モードが適用された画素の一部を示す断面図である。

【 0 3 4 3 】

画素に設けられる電極 3 5 2 3 と電極 3 5 2 2 はいずれも櫛歯状の形状を有し、互いにかみ合うように、且つ離間して同一平面上に設けられている。

【 0 3 4 4 】

例えば、電極 3 5 2 2 を、上述の配線 3 5 1 0 または配線 3 5 1 1 に電氣的に接続することにより、上述したタッチパネルの画素を構成することができる。

【 0 3 4 5 】

図 2 2 (C) は、VA (Vertical Alignment) モードが適用された画素の一部を示す断面図である。

【 0 3 4 6 】

電極 3 5 2 2 は、液晶 3 5 2 4 を介して電極 3 5 2 3 と対向するように設けられている。また電極 3 5 2 2 と重ねて配線 3 5 2 6 が設けられている。配線 3 5 2 6 は、例えば、図 2 2 (C) に示す画素が属するブロックとは異なるブロック間を電氣的に接続するために設けることができる。

【 0 3 4 7 】

例えば、電極 3 5 2 2 を、上述の配線 3 5 1 0 または配線 3 5 1 1 に電氣的に接続することにより、上述したタッチパネルの画素を構成することができる。

【 0 3 4 8 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 3 4 9 】

(実施の形態 5)

本発明の一態様である表示装置は、さまざまな電子機器 (遊技機も含む) に適用することができる。電子機器としては、テレビジョン装置 (テレビ、またはテレビジョン受信機ともいう。) 、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機 (パチンコ機、スロットマシン等) 、ゲーム筐体が挙げられる。これらの電子機器の一例を図 2 3 に示す。

【 0 3 5 0 】

図 2 3 (A) は、携帯電話機 9 0 0 0 を示している。携帯電話機 9 0 0 0 は、筐体 9 0 3 0 および筐体 9 0 3 1 の二つの筐体を有する。筐体 9 0 3 1 には、表示パネル 9 0 3 2 、スピーカー 9 0 3 3 、マイクロフォン 9 0 3 4 、ポインティングデバイス 9 0 3 6 、カメラ用レンズ 9 0 3 7 、外部接続端子 9 0 3 8 などを備えている。また、筐体 9 0 3 0 には、携帯型情報端末の充電を行う太陽電池セル 9 0 4 0 、外部メモリスロット 9 0 4 1 などを備えている。また、アンテナは筐体 9 0 3 1 内部に内蔵されている。上記実施の形態で示す表示装置を表示パネル 9 0 3 2 に適用することにより、携帯電話の表示品位を向上させることができる。

【 0 3 5 1 】

また、表示パネル 9 0 3 2 はタッチパネルを備えており、図 2 3 (A) には映像表示されている複数の操作キー 9 0 3 5 を点線で示している。なお、太陽電池セル 9 0 4 0 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【 0 3 5 2 】

10

20

30

40

50

表示パネル 9032 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 9032 と同一面上にカメラ用レンズ 9037 を備えているため、テレビ電話が可能である。スピーカー 9033 およびマイクロフォン 9034 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 9030 と筐体 9031 は、スライドし、図 23 (A) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0353】

外部接続端子 9038 は AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能であり、充電およびパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 9041 に記録媒体を挿入し、より大量のデータ保存および移動に対応できる。

10

【0354】

図 23 (B) は、テレビジョン装置 9100 を示している。テレビジョン装置 9100 は、筐体 9101 に表示部 9103 が組み込まれており、表示部 9103 により映像を表示することが可能である。なお、ここではスタンド 9105 により筐体 9101 を支持した構成を示している。

【0355】

テレビジョン装置 9100 の操作は、筐体 9101 が備える操作スイッチや、別体のリモコン操作機 9110 により行うことができる。リモコン操作機 9110 が備える操作キー 9109 により、チャンネルや音量の操作を行うことができ、表示部 9103 に表示される映像を操作することができる。また、リモコン操作機 9110 に、当該リモコン操作機 9110 から出力する情報を表示する表示部 9107 を設ける構成としてもよい。

20

【0356】

図 23 (B) に示すテレビジョン装置 9100 は、受信機やモデムなどを備えている。テレビジョン装置 9100 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0357】

上記実施の形態に示す表示装置は、表示部 9103、表示部 9107 に用いることが可能である。それゆえ、テレビジョン装置の表示品位を向上させることができる。

30

【0358】

図 23 (C) は、コンピュータ 9200 を示している。コンピュータ 9200 は、本体 9201、筐体 9202、表示部 9203、キーボード 9204、外部接続ポート 9205、ポインティングデバイス 9206 などを含む。

【0359】

上記実施の形態に示す表示装置は、表示部 9203 に用いることが可能である。それゆえ、コンピュータの表示品位を向上させることができる。

【0360】

表示部 9203 は、タッチ入力機能を有しており、コンピュータ 9200 の表示部 9203 に表示されたキーボード 9204 を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、または制御を可能とする、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、上記実施の形態で説明したタッチパネルを用いれば、表示部 9203 にタッチ入力機能を持たせることができる。

40

【0361】

図 24 は 2 つ折り可能なタブレット型端末 9600 である。図 24 は、開いた状態であり、タブレット型端末 9600 は、筐体 9630、表示部 9631a、表示部 9631b、表示モード切り替えスイッチ 9634、電源スイッチ 9635、省電力モード切り替えスイッチ 9636、および留め具 9633 を有する。

50

【0362】

上記実施の形態に示す表示装置は、表示部9631a、表示部9631bに用いることが可能である。それゆえ、タブレット型端末9600の表示品位を向上させることができる。

【0363】

表示部9631aは、一部をタッチパネルの領域9632aとすることができ、表示された操作キーパネル9638にふれることでデータ入力を行うことができる。なお、表示部9631aにおいては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部9631aの全ての領域がタッチパネルの機能を有する構成としても良い。例えば、表示部9631aの全面をキーボードボタン表示させてタッチパネルとし、表示部9631bを表示画面として用いることができる。

10

【0364】

また、表示部9631bにおいても表示部9631aと同様に、表示部9631bの一部をタッチパネルの領域9632bとすることができる。また、タッチパネルのキーボード表示切り替えボタン9639が表示されている位置に指やスタイラスなどでふれることで表示部9631bにキーボードボタン表示することができる。

【0365】

また、タッチパネルの領域9632aとタッチパネルの領域9632bに対して同時にタッチ入力することもできる。

20

【0366】

また、表示モード切り替えスイッチ9634は、縦表示または横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ9636は、タブレット型端末9600に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末9600は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

【0367】

また、図24では表示部9631bと表示部9631aの表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば、一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

30

【0368】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0369】

(実施の形態6)

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を、図面を用いて説明する。

40

【0370】

図25(A)に半導体装置の断面図、図25(B)に半導体装置の回路図をそれぞれ示す。

【0371】

図25(A)および図25(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ3200を有し、上部に第2の半導体材料を用いたトランジスタ3202および容量素子3204を有している。なお、トランジスタ3202としては、先の実施の形態で説明したトランジスタを用いることができ、本実施の形態では、実施の形態1の図1に示すトランジスタ150を適用する例を示している。また、容量素子3204は、一方の電極をトランジスタ3202のゲート電極、他方の電極をトランジスタ3202の

50

ソース電極またはドレイン電極、誘電体をトランジスタ3202のゲート絶縁膜と同じ材料を用いる構造とすることで、トランジスタ3202と同時に形成することができる。

【0372】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第2の半導体材料を実施の形態1で説明した酸化物半導体とすることが出来る。酸化物半導体以外の材料として、例えば結晶性シリコンを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い電気特性により長時間の電荷保持を可能とする。

【0373】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態1に示すようなトランジスタを用いる他は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0374】

図25(A)におけるトランジスタ3200は、半導体材料（例えば、結晶性シリコンなど）を含む基板3000に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、不純物領域に接する金属間化合物領域と、チャネル形成領域上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極層と、を有する。なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層との記載には、ソース領域が含まれる。

【0375】

基板3000上にはトランジスタ3200を囲むように素子分離絶縁層3106が設けられており、トランジスタ3200を覆うように酸化物絶縁膜3220が設けられている。なお、素子分離絶縁層3106は、LOCOS(Local Oxidation of Silicon)や、STI(Shallow Trench Isolation)などの素子分離技術を用いて形成することができる。

【0376】

例えば、結晶性シリコン基板を用いたトランジスタ3200は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ3202および容量素子3204の形成前の処理として、トランジスタ3200を覆う酸化物絶縁膜3220にCMP処理を施して、酸化物絶縁膜3220を平坦化すると同時にトランジスタ3200のゲート電極層の上面を露出させる。

【0377】

酸化物絶縁膜3220上にはトランジスタ3202が設けられ、そのソース電極またはドレイン電極の一方は延在して、容量素子3204の他方の電極として作用する。

【0378】

図25(A)に示すトランジスタ3202は、酸化物半導体層にチャネルが形成されるトップゲート型トランジスタである。トランジスタ3202は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0379】

また、トランジスタ3202と重畳するように酸化物絶縁膜3220を介して電極3150が設けられている。当該電極に適切な電位を供給することで、トランジスタ3202

10

20

30

40

50

のしきい値電圧を制御することができる。また、トランジスタ3202の長期信頼性を高めることができる。

【0380】

図25(A)に示すように、トランジスタ3200とトランジスタ3202は重畳するように形成することができるため、その占有面積を低減することができる。したがって、半導体装置の集積度を高めることができる。

【0381】

次に、図25(A)に対応する回路構成の一例を図25(B)に示す。

【0382】

図25(B)において、第1の配線(1st Line)とトランジスタ3200のソース電極層とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ3200のドレイン電極層とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ3202のソース電極層またはドレイン電極層の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ3202のゲート電極層とは、電氣的に接続されている。そして、トランジスタ3200のゲート電極層と、トランジスタ3202のソース電極層またはドレイン電極層の他方は、容量素子3204の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子3204の電極の他方は電氣的に接続されている。

【0383】

図25(B)に示す半導体装置では、トランジスタ3200のゲート電極層の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0384】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ3202がオン状態となる電位にして、トランジスタ3202をオン状態とする。これにより、第3の配線の電位が、トランジスタ3200のゲート電極層、および容量素子3204に与えられる。すなわち、トランジスタ3200のゲート電極層には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ3202がオフ状態となる電位にして、トランジスタ3202をオフ状態とすることにより、トランジスタ3200のゲート電極層に与えられた電荷が保持される(保持)。

【0385】

トランジスタ3202のオフ電流は極めて小さいため、トランジスタ3200のゲート電極層の電荷は長時間にわたって保持される。

【0386】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ3200のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線の電位を判別することで

、保持されている情報を読み出すことができる。

【0387】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0388】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0389】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0390】

以上のように、微細化および高集積化を実現し、かつ高い電気的特性が付与された半導体装置、および該半導体装置の作製方法を提供することができる。

【0391】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0392】

（実施の形態7）

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態6に示した構成と異なる半導体装置の説明を行う。

【0393】

図26(A)は、半導体装置の回路構成の一例を示し、図26(B)は半導体装置の一例を示す概念図である。なお、当該半導体装置に含まれるトランジスタ4162としては、先の実施の形態で説明したトランジスタを用いることができる。また、容量素子4254は、実施の形態5で説明した容量素子3204と同様に、トランジスタ4162の作製工程にて同時に作製することができる。

【0394】

図26(A)に示す半導体装置において、ビット線BLとトランジスタ4162のソース電極とは電氣的に接続され、ワード線WLとトランジスタ4162のゲート電極とは電氣的に接続され、トランジスタ4162のドレイン電極と容量素子4254の一方の端子とは電氣的に接続されている。

【0395】

次に、図26(A)に示す半導体装置（メモリセル4250）に、情報の書き込みおよび保持を行う場合について説明する。

【0396】

まず、ワード線WLの電位を、トランジスタ4162がオン状態となる電位として、ト

10

20

30

40

50

ランジスタ 4 1 6 2 をオン状態とする。これにより、ビット線 B L の電位が、容量素子 4 2 5 4 の一方の端子に与えられる（書き込み）。その後、ワード線 W L の電位を、ランジスタ 4 1 6 2 がオフ状態となる電位として、ランジスタ 4 1 6 2 をオフ状態とすることにより、容量素子 4 2 5 4 の一方の端子の電位が保持される（保持）。

【 0 3 9 7 】

酸化物半導体を用いたランジスタ 4 1 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、ランジスタ 4 1 6 2 をオフ状態とすることで、容量素子 4 2 5 4 の第 1 の端子の電位（あるいは、容量素子 4 2 5 4 に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

【 0 3 9 8 】

次に、情報の読み出しについて説明する。ランジスタ 4 1 6 2 がオン状態となると、浮遊状態であるビット線 B L と容量素子 4 2 5 4 とが導通し、ビット線 B L と容量素子 4 2 5 4 の間で電荷が再分配される。その結果、ビット線 B L の電位が変化する。ビット線 B L の電位の変化量は、容量素子 4 2 5 4 の第 1 の端子の電位（あるいは容量素子 4 2 5 4 に蓄積された電荷）によって、異なる値をとる。

【 0 3 9 9 】

例えば、容量素子 4 2 5 4 の第 1 の端子の電位を V 、容量素子 4 2 5 4 の容量を C 、ビット線 B L が有する容量成分（以下、ビット線容量とも呼ぶ）を C_B 、電荷が再分配される前のビット線 B L の電位を V_{B0} とすると、電荷が再分配された後のビット線 B L の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセル 4 2 5 0 の状態として、容量素子 4 2 5 4 の第 1 の端子の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合のビット線 B L の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合のビット線 B L の電位 ($= C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

【 0 4 0 0 】

そして、ビット線 B L の電位を所定の電位と比較することで、情報を読み出すことができる。

【 0 4 0 1 】

このように、図 2 6 (A) に示す半導体装置は、ランジスタ 4 1 6 2 のオフ電流が極めて小さいという特徴から、容量素子 4 2 5 4 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【 0 4 0 2 】

次に、図 2 6 (B) に示す半導体装置について、説明を行う。

【 0 4 0 3 】

図 2 6 (B) に示す半導体装置は、上部に記憶回路として図 2 6 (A) に示したメモリセル 4 2 5 0 を複数有するメモリセルアレイ 4 2 5 1（メモリセルアレイ 4 2 5 1 a および 4 2 5 1 b）を有し、下部に、メモリセルアレイ 4 2 5 1 を動作させるために必要な周辺回路 4 2 5 3 を有する。なお、周辺回路 4 2 5 3 は、メモリセルアレイ 4 2 5 1 と電気的に接続されている。

【 0 4 0 4 】

図 2 6 (B) に示した構成とすることにより、周辺回路 4 2 5 3 をメモリセルアレイ 4 2 5 1 a、メモリセルアレイ 4 2 5 1 b の直下に設けることができるため半導体装置の小型化を図ることができる。

【 0 4 0 5 】

周辺回路 4 2 5 3 に設けられるランジスタは、ランジスタ 4 1 6 2 とは異なる半導体材料を用いることが好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるこ

10

20

30

40

50

とがより好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0406】

なお、図26(B)に示した半導体装置では、メモリセルアレイ4251がメモリセルアレイ4251aとメモリセルアレイ4251bの積層である構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構成としても良いし、単層であってもよい。

【0407】

トランジスタ4162は、酸化物半導体を用いて形成されており、先の実施の形態で説明したトランジスタを用いることができる。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0408】

また、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【0409】

以上のように、微細化および高集積化を実現し、かつ高い電気的特性を付与された半導体装置を提供することができる。

【0410】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0411】

（実施の形態8）

本実施の形態では、先の実施の形態で説明したトランジスタを用いることのできる電子機器の例について説明する。

【0412】

先の実施の形態で説明したトランジスタは、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型またはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD（Digital Versatile Disc）などの記録媒体に記憶された静止画または動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、ICチップ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、放射線測定器、透析装置等の医療機器、などが挙げられる。また、煙感知器、ガス警報装置、防犯警報装置などの警報装置も挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、

10

20

30

40

50

自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電子機器の具体例を図27、図28、図29、および図30に示す。

【0413】

まず、警報装置の例として火災報知器の構成について図27を用いて説明する。なお、本明細書中において、火災報知器とは、火災の発生を急報する装置全般を示すものであり、例えば、住宅用火災警報器や、自動火災報知設備や、当該自動火災報知設備に用いられる火災感知器なども火災報知器に含むものとする。

【0414】

図27に示す警報装置は、マイクロコンピュータ500を少なくとも有する。ここで、
10
マイクロコンピュータ500は、警報装置の内部に設けられている。マイクロコンピュータ500は、高電位電源線VDDと電氣的に接続されたパワーゲートコントローラ503と、高電位電源線VDDおよびパワーゲートコントローラ503と電氣的に接続されたパワーゲート504と、パワーゲート504と電氣的に接続されたCPU(Central Processing Unit)505と、パワーゲート504およびCPU505と電氣的に接続された検出部509と、が設けられる。また、CPU505には、揮発性記憶部506と不揮発性記憶部507と、が含まれる。

【0415】

また、CPU505は、インターフェース508を介してバスライン502と電氣的に
20
接続されている。インターフェース508もCPU505と同様にパワーゲート504と電氣的に接続されている。インターフェース508のバス規格としては、例えば、I²Cバスなどを用いることができる。また、本実施の形態に示す警報装置には、インターフェース508を介してパワーゲート504と電氣的に接続される発光素子530が設けられる。

【0416】

発光素子530は指向性の強い光を放出するものが好ましく、例えば、有機EL素子、
無機EL素子、LED(Light Emitting Diode)などを用いることができる。

【0417】

パワーゲートコントローラ503はタイマーを有し、当該タイマーに従ってパワーゲート
30
504を制御する。パワーゲート504は、パワーゲートコントローラ503の制御に従って、CPU505、検出部509およびインターフェース508に高電位電源線VDDから供給される電源を供給または遮断する。ここで、パワーゲート504としては、例えば、トランジスタなどのスイッチング素子を用いることができる。

【0418】

このようなパワーゲートコントローラ503およびパワーゲート504を用いることにより、
40
光量を測定する期間に検出部509、CPU505およびインターフェース508への電源供給を行い、測定期間の合間には検出部509、CPU505およびインターフェース508への電源供給を遮断することができる。このように警報装置を動作させることにより、上記の各構成に常時電源供給を行う場合より消費電力の低減を図ることができる。

【0419】

また、パワーゲート504としてトランジスタを用いる場合、不揮発性記憶部507に
50
用いられる、極めてオフ電流の低いトランジスタ、例えば、酸化物半導体を用いたトランジスタを用いることが好ましい。このようなトランジスタを用いることにより、パワーゲート504で電源を遮断する際にリーク電流を低減し、消費電力の低減を図ることができる。

【0420】

本実施の形態に示す警報装置に直流電源501を設け、直流電源501から高電位電源
線VDDに電源を供給しても良い。直流電源501の高電位側の電極は、高電位電源線V

10

20

30

40

50

DDと電氣的に接続され、直流電源501の低電位側の電極は、低電位電源線VSSと電氣的に接続される。低電位電源線VSSはマイクロコンピュータ500に電氣的に接続される。ここで、高電位電源線VDDは、高電位Hが与えられている。また、低電位電源線VSSは、例えば接地電位(GND)などの低電位Lが与えられている。

【0421】

直流電源501として電池を用いる場合は、例えば、高電位電源線VDDと電氣的に接続された電極と、低電位電源線VSSに電氣的に接続された電極と、当該電池を保持することができる筐体と、を有する電池ケースを筐体に設ける構成とすればよい。なお、本実施の形態に示す警報装置は、必ずしも直流電源501を設ける必要はなく、例えば、当該警報装置の外部に設けられた交流電源から配線を介して電源を供給する構成としても良い。

10

【0422】

また、上記電池として、二次電池、例えば、リチウムイオン二次電池(リチウムイオン蓄電池、リチウムイオン電池、またはリチウムイオンバッテリーとも呼ぶ。)を用いることもできる。また、当該二次電池を充電できるように太陽電池を設けることが好ましい。

【0423】

検出部509は、異常に係る物理量を計測して計測値をCPU505に送信する。異常に係る物理量は、警報装置の用途によって異なり、火災報知器として機能する警報装置では、火災に係る物理量を計測する。故に、検出部509には、火災に係る物理量として光量を計測し、煙の存在を感知する。

20

【0424】

検出部509は、パワーゲート504と電氣的に接続された光センサ511と、パワーゲート504と電氣的に接続されたアンプ512と、パワーゲート504およびCPU505と電氣的に接続されたADコンバータ513と、を有する。発光素子530、および検出部509に設けられた光センサ511、アンプ512並びにADコンバータ513は、パワーゲート504が検出部509に電源を供給したときに動作する。

【0425】

ここで、図27に示す警報装置の断面の一部を図28に示す。当該警報装置は、p型の半導体基板601に形成された素子分離領域603と、ゲート絶縁膜607、ゲート電極層609、n型の不純物領域611a、n型の不純物領域611b、絶縁膜615および絶縁膜617を有するn型のトランジスタ719とが形成されている。n型のトランジスタ719は、単結晶シリコンなど、酸化物半導体とは異なる半導体を用いて形成されるため、十分な高速動作が可能となる。これにより、高速アクセスが可能なCPUの揮発性記憶部を形成することができる。

30

【0426】

絶縁膜615および絶縁膜617の一部を選択的にエッチングした開口部には、コンタクトプラグ619aおよびコンタクトプラグ619bが形成され、絶縁膜617、コンタクトプラグ619aおよびコンタクトプラグ619b上に溝部を有する絶縁膜621が設けられている。

【0427】

絶縁膜621の溝部に配線623aおよび配線623bが形成されており、絶縁膜621、配線623aおよび配線623b上には、スパッタリング法またはCVD法等によって形成された絶縁膜620が設けられている。

40

【0428】

絶縁膜620上には、スパッタリング法またはCVD法等により形成された酸化物絶縁膜625が設けられており、酸化物絶縁膜625上には、第2のトランジスタ717と、光電変換素子714が設けられている。

【0429】

第2のトランジスタ717は、実施の形態1に記載のトランジスタ150を用いることができる。

50

【0430】

また、本実施の形態においては、第2のトランジスタ717と配線649の接続箇所は、ドレイン電極層616bに接する。

【0431】

ここで、第2のトランジスタ717には、実施の形態1のトランジスタ150を用いているがこれに限られず、他の実施の形態に記載のトランジスタを用いることもできる。

【0432】

光センサ511は、光電変換素子714と、容量素子と、第1のトランジスタと、第2のトランジスタ717と、第3のトランジスタと、n型のトランジスタ719と、を含む。ここで光電変換素子714としては、例えば、フォトダイオードなどを用いることができる。

10

【0433】

光電変換素子714の端子の一方は、低電位電源線VSSと電氣的に接続され、端子の他方は、第2のトランジスタ717のソース電極層616aもしくはドレイン電極層616bの一方に電氣的に接続される。

【0434】

第2のトランジスタ717のゲート電極層604aには、電荷蓄積制御信号Txが与えられ、ソース電極層616aもしくはドレイン電極層616bの他方は、容量素子の一方の電極の一方、第1のトランジスタのソース電極およびドレイン電極の一方、およびn型のトランジスタ719のゲート電極と電氣的に接続される（以下、当該ノードをノードFDと呼ぶ場合がある）。

20

【0435】

容量素子の一方の電極の他方は、低電位電源線VSSと電氣的に接続される。第1のトランジスタのゲート電極は、リセット信号Resが与えられ、ソース電極およびドレイン電極の他方は、高電位電源線VDDと電氣的に接続される。

【0436】

n型のトランジスタ719のソース電極およびドレイン電極の一方は、第3のトランジスタのソース電極およびドレイン電極の一方と、アンプ512と電氣的に接続される。また、n型のトランジスタ719のソース電極およびドレイン電極の他方は、高電位電源線VDDと電氣的に接続される。第3のトランジスタのゲート電極は、バイアス信号Biasが与えられ、ソース電極およびドレイン電極の他方は、低電位電源線VSSと電氣的に接続される。

30

【0437】

なお、容量素子は必ずしも設ける必要はなく、例えば、n型のトランジスタ719などの寄生容量が十分大きい場合、容量素子を設けない構成としても良い。

【0438】

また、第1のトランジスタおよび第2のトランジスタ717には、極めてオフ電流の低いトランジスタを用いることが好ましい。また、極めてオフ電流の低いトランジスタとしては、酸化物半導体を含むトランジスタを用いることが好ましい。このような構成とすることによりノードFDの電位を長時間保持することが可能となる。

40

【0439】

また、図28に示す構成は、第2のトランジスタ717と電氣的に接続して、酸化物絶縁膜625上に光電変換素子714が設けられている。

【0440】

光電変換素子714は、酸化物絶縁膜625上に設けられた半導体膜660と、半導体膜660上に接して設けられたソース電極層616a、電極616cと、を有する。ソース電極層616aは第2のトランジスタ717のソース電極またはドレイン電極として機能する電極であり、光電変換素子714と第2のトランジスタ717とを電氣的に接続している。

【0441】

50

半導体膜 6 6 0、ソース電極層 6 1 6 a および電極 6 1 6 c 上には、絶縁膜 6 1 2 および絶縁膜 6 4 6 が設けられている。また、絶縁膜 6 4 6 上に配線 6 5 6 が設けられており、絶縁膜 6 1 2 および絶縁膜 6 4 6 に設けられた開口を介して電極 6 1 6 c と接する。

【 0 4 4 2 】

電極 6 1 6 c は、ソース電極層 6 1 6 a およびドレイン電極層 6 1 6 b と、配線 6 5 6 は、配線 6 4 9 と同様の工程で作成することができる。

【 0 4 4 3 】

半導体膜 6 6 0 としては、光電変換を行うことができる半導体膜を設ければよく、例えば、シリコンやゲルマニウムなどを用いることができる。半導体膜 6 6 0 にシリコンを用いた場合は、可視光を検知する光センサとして機能する。また、シリコンとゲルマニウムでは吸収できる電磁波の波長が異なるため、半導体膜 6 6 0 にゲルマニウムを用いる構成とすると、赤外線を中心に検知するセンサとして用いることができる。

【 0 4 4 4 】

以上のように、マイクロコンピュータ 5 0 0 に、光センサ 5 1 1 を含む検出部 5 0 9 を内蔵して設けることができるので、部品数を削減し、警報装置の筐体を縮小することができる。なお、光センサまたは光電変換素子の位置に自由度が必要な場合は、光センサまたは光電変換素子を外付けとして、マイクロコンピュータ 5 0 0 に電氣的に接続すればよい。

【 0 4 4 5 】

上述した I C チップを含む警報装置には、先の実施の形態に示したトランジスタを用いた複数の回路を組み合わせ、それらを 1 つの I C チップに搭載した C P U 5 0 5 が用いられる。

【 0 4 4 6 】

図 2 9 は、先の実施の形態で説明したトランジスタを少なくとも一部に用いた C P U の具体的な構成を示すブロック図である。

【 0 4 4 7 】

図 2 9 (A) に示す C P U は、基板 1 1 9 0 上に、A L U 1 1 9 1 (A L U : A r i t h m e t i c l o g i c u n i t、演算回路)、A L U コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、タイミングコントローラ 1 1 9 5、レジスタ 1 1 9 6、レジスタコントローラ 1 1 9 7、バスインターフェース 1 1 9 8 (B u s I / F)、書き換え可能な R O M 1 1 9 9、および R O M インターフェース 1 1 8 9 (R O M I / F) を有している。基板 1 1 9 0 は、半導体基板、S O I 基板、ガラス基板などを用いる。R O M 1 1 9 9 および R O M インターフェース 1 1 8 9 は、別チップに設けてもよい。もちろん、図 2 9 (A) に示す C P U は、その構成を簡略化して示した一例にすぎず、実際の C P U はその用途によって多種多様な構成を有している。

【 0 4 4 8 】

バスインターフェース 1 1 9 8 を介して C P U に入力された命令は、インストラクションデコーダ 1 1 9 3 に入力され、デコードされた後、A L U コントローラ 1 1 9 2、インタラプトコントローラ 1 1 9 4、レジスタコントローラ 1 1 9 7、タイミングコントローラ 1 1 9 5 に入力される。

【 0 4 4 9 】

A L U コントローラ 1 1 9 2、インタラプトコントローラ 1 1 9 4、レジスタコントローラ 1 1 9 7、タイミングコントローラ 1 1 9 5 は、デコードされた命令に基づき、各種制御を行なう。具体的に A L U コントローラ 1 1 9 2 は、A L U 1 1 9 1 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1 1 9 4 は、C P U のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1 1 9 7 は、レジスタ 1 1 9 6 のアドレスを生成し、C P U の状態に応じてレジスタ 1 1 9 6 の読み出しや書き込みを行なう。

10

20

30

40

50

【 0 4 5 0 】

また、タイミングコントローラ 1 1 9 5 は、A L U 1 1 9 1、A L U コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、およびレジスタコントローラ 1 1 9 7 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1 1 9 5 は、基準クロック信号 C L K 1 を元に、内部クロック信号 C L K 2 を生成する内部クロック生成部を備えており、内部クロック信号 C L K 2 を上記各種回路に供給する。

【 0 4 5 1 】

図 2 9 (A) に示す C P U では、レジスタ 1 1 9 6 に、メモリセルが設けられている。レジスタ 1 1 9 6 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

10

【 0 4 5 2 】

図 2 9 (A) に示す C P U において、レジスタコントローラ 1 1 9 7 は、A L U 1 1 9 1 からの指示に従い、レジスタ 1 1 9 6 における保持動作の選択を行う。すなわち、レジスタ 1 1 9 6 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1 1 9 6 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1 1 9 6 内のメモリセルへの電源電圧の供給を停止することができる。

20

【 0 4 5 3 】

電源停止に関しては、図 2 9 (B) または図 2 9 (C) に示すように、メモリセル群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 2 9 (B) および図 2 9 (C) の回路の説明を行う。

【 0 4 5 4 】

図 2 9 (B) および図 2 9 (C) では、メモリセルへの電源電位の供給を制御するスイッチング素子に、先の実施の形態で示したトランジスタを含む記憶回路の構成の一例を示す。

【 0 4 5 5 】

30

図 2 9 (B) に示す記憶装置は、スイッチング素子 1 1 4 1 と、メモリセル 1 1 4 2 を複数有するメモリセル群 1 1 4 3 とを有している。具体的に、各メモリセル 1 1 4 2 には、先の実施の形態に記載されているトランジスタを用いることができる。メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 V D D が供給されている。さらに、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 には、信号 I N の電位と、ローレベルの電源電位 V S S の電位が与えられている。

【 0 4 5 6 】

図 2 9 (B) では、スイッチング素子 1 1 4 1 として、先の実施の形態で示したトランジスタを用いており、当該トランジスタは、そのゲート電極層に与えられる信号 S i g A によりスイッチングが制御される。

40

【 0 4 5 7 】

なお、図 2 9 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【 0 4 5 8 】

また、図 2 9 (B) では、スイッチング素子 1 1 4 1 により、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 への、ハイレベルの電源電位 V D D の供給が制御されている

50

が、スイッチング素子 1 1 4 1 により、ローレベルの電源電位 V_{SS} の供給が制御されていてよい。

【 0 4 5 9 】

また、図 2 9 (C) には、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 V_{SS} が供給されている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 への、ローレベルの電源電位 V_{SS} の供給を制御することができる。

【 0 4 6 0 】

メモリセル群と、電源電位 V_{DD} または電源電位 V_{SS} の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU の動作を停止することができ、それにより消費電力を低減することができる。

10

【 0 4 6 1 】

ここでは、CPU を例に挙げて説明したが、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) 等の LSI にも応用可能である。

【 0 4 6 2 】

図 3 0 (A) において、テレビジョン装置 8 0 0 0 は、筐体 8 0 0 1 に表示部 8 0 0 2 が組み込まれており、表示部 8 0 0 2 により映像を表示し、スピーカー部 8 0 0 3 から音声を出力することが可能である。上述した表示装置を用いて表示部 8 0 0 2 に用いることが可能である。

20

【 0 4 6 3 】

テレビジョン装置 8 0 0 0 は、受信機やモデムなどを備えていてもよい。テレビジョン装置 8 0 0 0 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向 (送信者から受信者) または双方向 (送信者と受信者間、あるいは受信者間同士など) の情報通信を行うことも可能である。

【 0 4 6 4 】

30

また、テレビジョン装置 8 0 0 0 は、情報通信を行うための CPU や、メモリを備えていてもよい。テレビジョン装置 8 0 0 0 は、上述したメモリや CPU を用いることが可能である。

【 0 4 6 5 】

図 3 0 (A) において、警報装置 8 1 0 0 は、住宅用火災警報器であり、検出部と、マイクロコンピュータ 8 1 0 1 を有している。マイクロコンピュータ 8 1 0 1 は、先の実施の形態に示したトランジスタを用いた CPU を含む電気機器の一例である。

【 0 4 6 6 】

図 3 0 (A) において、室内機 8 2 0 0 および室外機 8 2 0 4 を有するエアコンディショナーは、先の実施の形態に示したトランジスタを用いた CPU を含む電気機器の一例である。具体的に、室内機 8 2 0 0 は、筐体 8 2 0 1、送風口 8 2 0 2、CPU 8 2 0 3 等を有する。図 3 0 (A) において、CPU 8 2 0 3 が、室内機 8 2 0 0 に設けられている場合を例示しているが、CPU 8 2 0 3 は室外機 8 2 0 4 に設けられていてもよい。または、室内機 8 2 0 0 と室外機 8 2 0 4 の両方に、CPU 8 2 0 3 が設けられていてもよい。先の実施の形態に示したトランジスタをエアコンディショナーの CPU に用いることによって省電力化が図れる。

40

【 0 4 6 7 】

図 3 0 (A) において、電気冷凍冷蔵庫 8 3 0 0 は、先の実施の形態に示したトランジスタを用いた CPU を含む電気機器の一例である。具体的に、電気冷凍冷蔵庫 8 3 0 0 は、筐体 8 3 0 1、冷蔵室用扉 8 3 0 2、冷凍室用扉 8 3 0 3、CPU 8 3 0 4 等を有する

50

。図30(A)では、CPU8304が、筐体8301の内部に設けられている。先の実施の形態に示したトランジスタを電気冷凍冷蔵庫8300のCPU8304に用いることによって省電力化が図れる。

【0468】

図30(B)および図30(C)において、電気機器の一例である電気自動車の例を示す。電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。先の実施の形態に示したトランジスタを電気自動車9700のCPUに用いることによって省電力化が図れる。

10

【0469】

駆動装置9703は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、を組み合わせる構成される。処理装置9704は、電気自動車9700の運転者の操作情報(加速、減速、停止など)や走行時の情報(上り坂や下り坂等の情報、駆動輪にかかる負荷情報など)の入力情報に基づき、制御回路9702に制御信号を出力する。制御回路9702は、処理装置9704の制御信号により、二次電池9701から供給される電気エネルギーを調整して駆動装置9703の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

【0470】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

20

【符号の説明】

【0471】

100	基板
101	下地絶縁膜
101a	下地絶縁膜
101b	下地絶縁膜
102	下地絶縁膜
104	ゲート電極
105	導電膜
106	ゲート絶縁膜
107	酸化物半導体膜
108	酸化物半導体膜
109a	導電膜
109b	導電膜
110a	ソース電極
110b	ドレイン電極
111	低抵抗領域
111a	低抵抗領域
111b	低抵抗領域
111c	領域
111d	領域
112	絶縁膜
113a	絶縁膜
113b	絶縁膜
114	絶縁膜
116a	配線
116b	配線
118	絶縁膜
120	酸素

30

40

50

1 2 2	領域	
1 5 0	トランジスタ	
1 6 0	トランジスタ	
1 7 0	トランジスタ	
1 8 0	トランジスタ	
1 8 2	E c	
1 8 3 a	E c	
1 8 3 b	E c	
1 8 3 c	E c	
1 8 6	E c	10
1 9 0	トランジスタ	
2 0 8	多層膜	
2 0 8 a	酸化物膜	
2 0 8 b	酸化物半導体膜	
2 0 8 c	酸化物膜	
2 5 0	トランジスタ	
2 6 0	トランジスタ	
5 0 0	マイクロコンピュータ	
5 0 1	直流電源	
5 0 2	バスライン	20
5 0 3	パワーゲートコントローラ	
5 0 4	パワーゲート	
5 0 5	C P U	
5 0 6	揮発性記憶部	
5 0 7	不揮発性記憶部	
5 0 8	インターフェース	
5 0 9	検出部	
5 1 1	光センサ	
5 1 2	アンプ	
5 1 3	A D コンバータ	30
5 3 0	発光素子	
6 0 1	半導体基板	
6 0 3	素子分離領域	
6 0 4 a	ゲート電極層	
6 0 7	ゲート絶縁膜	
6 0 9	ゲート電極層	
6 1 1 a	不純物領域	
6 1 1 b	不純物領域	
6 1 2	絶縁膜	
6 1 5	絶縁膜	40
6 1 6 a	ソース電極層	
6 1 6 b	ドレイン電極層	
6 1 6 c	電極	
6 1 7	絶縁膜	
6 1 9 a	コンタクトプラグ	
6 1 9 b	コンタクトプラグ	
6 2 0	絶縁膜	
6 2 1	絶縁膜	
6 2 3 a	配線	
6 2 3 b	配線	50

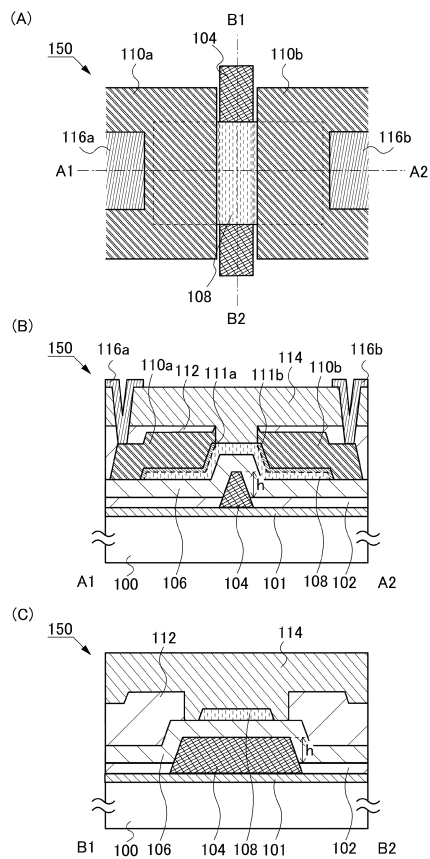
6 2 5	酸化物絶縁膜	
6 4 6	絶縁膜	
6 4 9	配線	
6 5 6	配線	
6 6 0	半導体膜	
7 0 0	基板	
7 1 4	光電変換素子	
7 1 7	トランジスタ	
7 1 9	トランジスタ	
7 2 0	絶縁膜	10
7 2 1	絶縁膜	
7 2 9	発光素子	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 3 b	配線	
7 3 3 c	配線	
7 3 4	シール材	
7 3 5	駆動回路	
7 3 6	駆動回路	20
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	キャパシタ	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	画素	
7 5 1	トランジスタ	
7 5 2	キャパシタ	
7 5 3	液晶素子	
7 5 4	走査線	30
7 5 5	信号線	
7 8 1	電極	
7 8 2	発光層	
7 8 3	電極	
7 8 4	隔壁	
7 8 5 a	中間層	
7 8 5 b	中間層	
7 8 5 c	中間層	
7 8 5 d	中間層	
7 8 6 a	発光層	40
7 8 6 b	発光層	
7 8 6 c	発光層	
7 9 1	電極	
7 9 2	絶縁膜	
7 9 3	液晶層	
7 9 4	絶縁膜	
7 9 5	スペーサ	
7 9 6	電極	
7 9 7	基板	
1 1 4 1	スイッチング素子	50

1 1 4 2	メモリセル	
1 1 4 3	メモリセル群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	10
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
3 0 0 0	基板	
3 1 0 6	素子分離絶縁層	
3 1 5 0	電極	
3 2 0 0	トランジスタ	
3 2 0 2	トランジスタ	
3 2 0 4	容量素子	
3 2 2 0	酸化物絶縁膜	20
3 5 0 1	配線	
3 5 0 2	配線	
3 5 0 3	トランジスタ	
3 5 0 4	液晶素子	
3 5 1 0	配線	
3 5 1 0 __ 1	配線	
3 5 1 0 __ 2	配線	
3 5 1 1	配線	
3 5 1 5 __ 1	ブロック	
3 5 1 5 __ 2	ブロック	30
3 5 1 6	ブロック	
3 5 2 1	トランジスタ	
3 5 2 2	電極	
3 5 2 3	電極	
3 5 2 4	液晶	
3 5 2 5	カラーフィルタ	
3 5 2 6	配線	
3 5 3 0	電子機器	
3 5 3 1	筐体	
3 5 3 2	タッチパネル	40
3 5 3 3	バッテリー	
3 5 3 4	制御部	
3 5 3 5	配線	
3 5 3 6	配線	
3 5 4 0	表示パネル	
3 5 4 1	基板	
3 5 4 2	表示部	
3 5 4 3	基板	
3 5 4 4	タッチセンサ	
3 5 4 5	基板	50

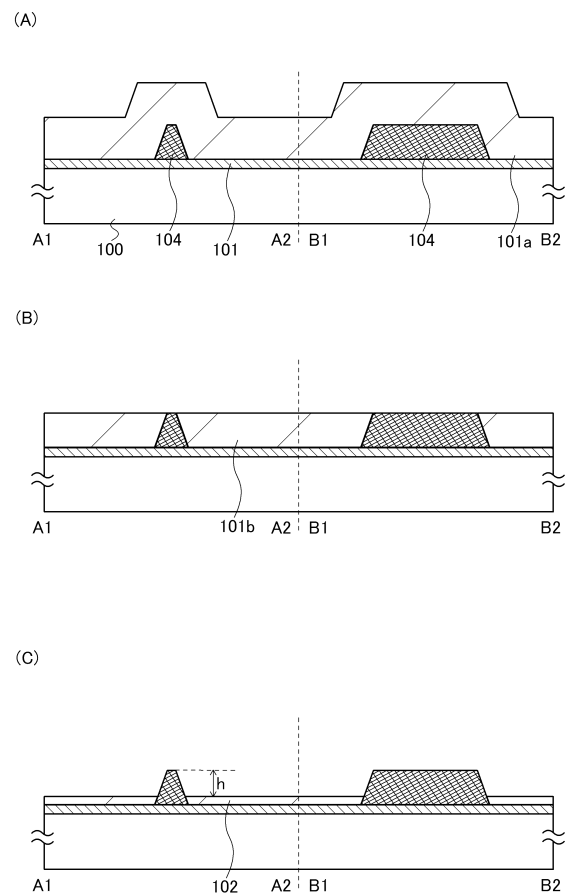
3 5 4 6	保護基板	
3 5 4 7	接着層	
4 1 6 2	トランジスタ	
4 2 5 0	メモリセル	
4 2 5 1	メモリセルアレイ	
4 2 5 1 a	メモリセルアレイ	
4 2 5 1 b	メモリセルアレイ	
4 2 5 3	周辺回路	
4 2 5 4	容量素子	
8 0 0 0	テレビジョン装置	10
8 0 0 1	筐体	
8 0 0 2	表示部	
8 1 0 0	警報装置	
8 1 0 1	マイクロコンピュータ	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	
8 2 0 3	C P U	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	20
8 3 0 1	筐体	
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	C P U	
9 0 0 0	携帯電話機	
9 0 3 0	筐体	
9 0 3 1	筐体	
9 0 3 2	表示パネル	
9 0 3 3	スピーカー	
9 0 3 4	マイクロフォン	30
9 0 3 5	操作キー	
9 0 3 6	ポインティングデバイス	
9 0 3 7	カメラ用レンズ	
9 0 3 8	外部接続端子	
9 0 4 0	太陽電池セル	
9 0 4 1	外部メモリスロット	
9 1 0 0	テレビジョン装置	
9 1 0 1	筐体	
9 1 0 3	表示部	
9 1 0 5	スタンド	40
9 1 0 7	表示部	
9 1 0 9	操作キー	
9 1 1 0	リモコン操作機	
9 2 0 0	コンピュータ	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	50

9 6 0 0	タブレット型端末
9 6 3 0	筐体
9 6 3 1 a	表示部
9 6 3 1 b	表示部
9 6 3 2 a	領域
9 6 3 2 b	領域
9 6 3 3	留め具
9 6 3 4	スイッチ
9 6 3 5	電源スイッチ
9 6 3 6	スイッチ
9 6 3 8	操作キーパネル
9 6 3 9	ボタン
9 7 0 0	電気自動車
9 7 0 1	二次電池
9 7 0 2	制御回路
9 7 0 3	駆動装置
9 7 0 4	処理装置

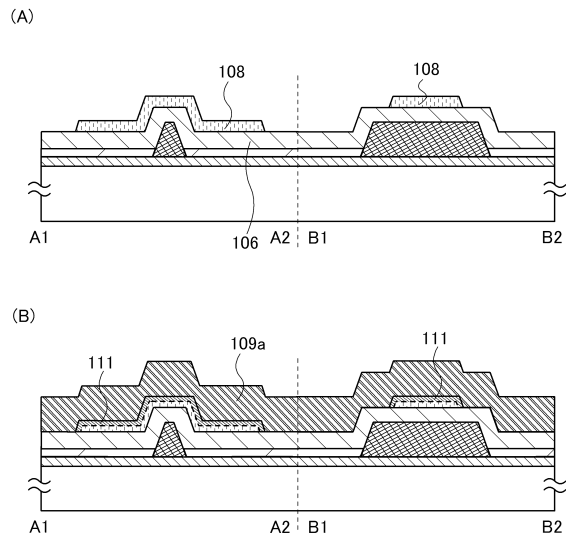
【図 1】



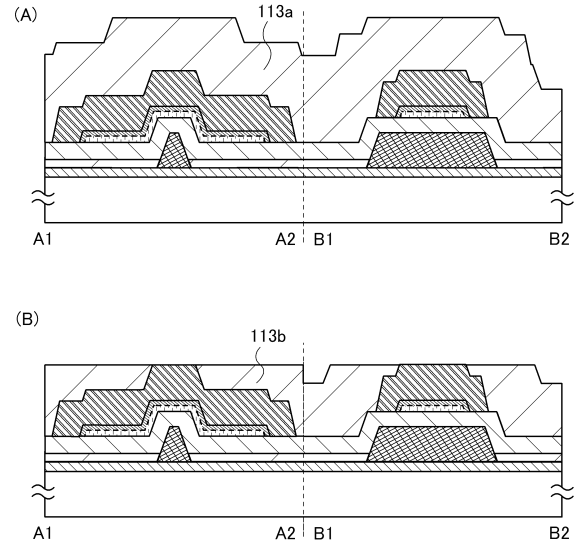
【図 2】



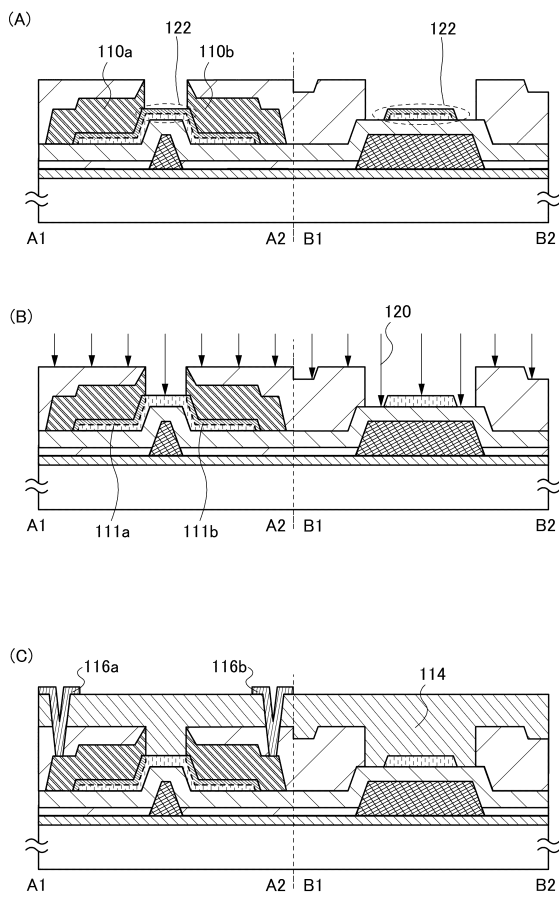
【図 3】



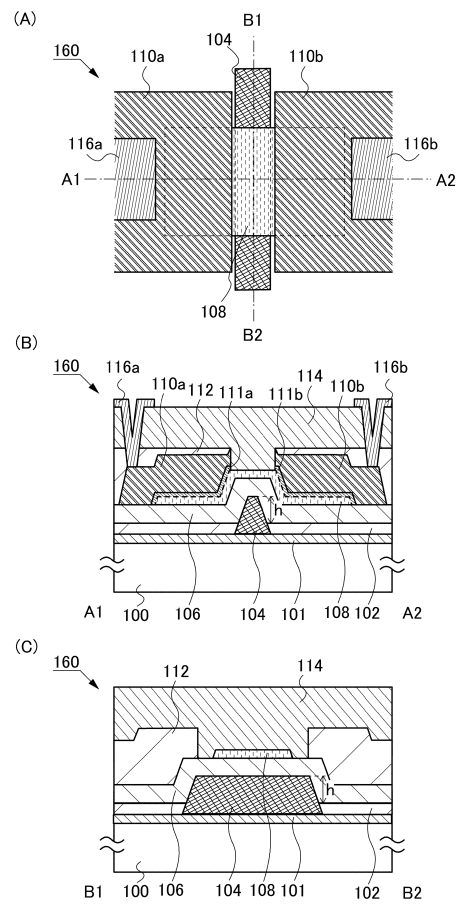
【図 4】



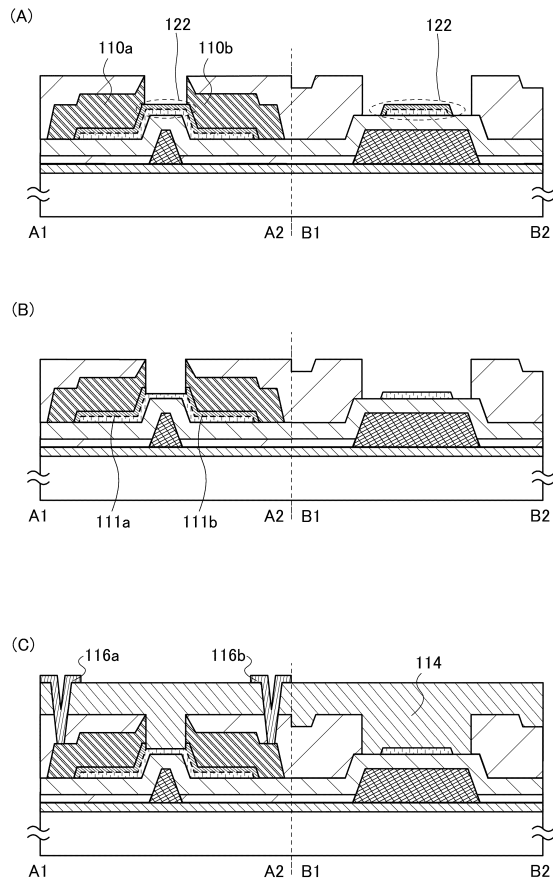
【図 5】



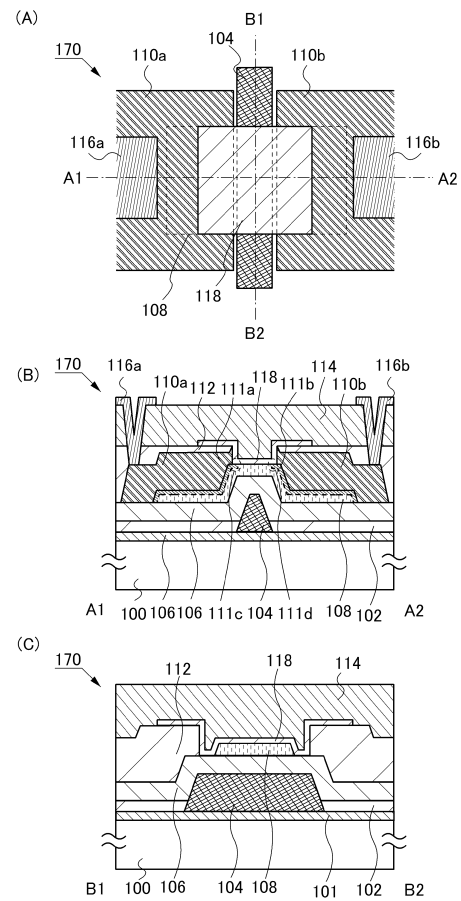
【図 6】



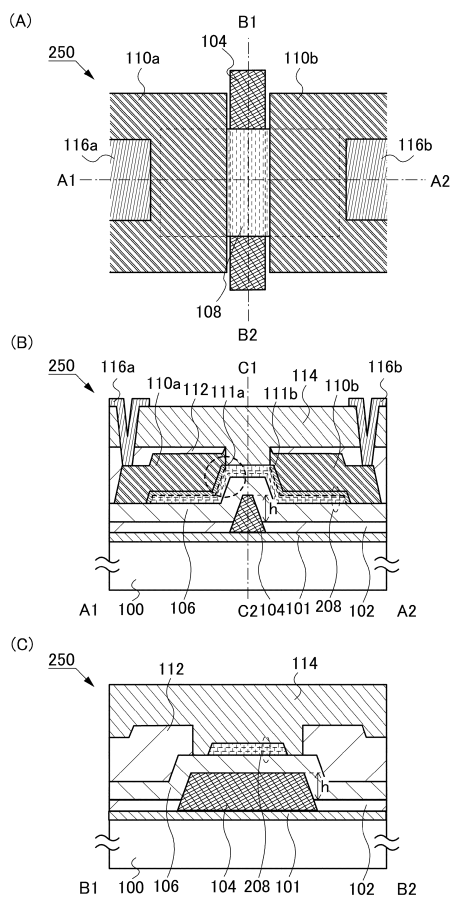
【図 7】



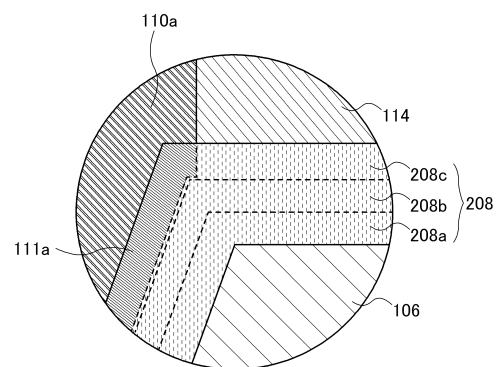
【図 8】



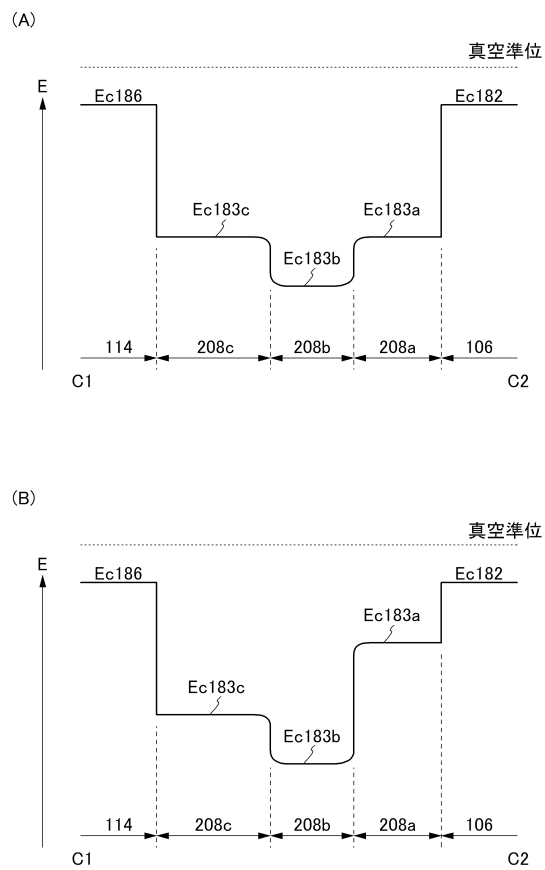
【図 9】



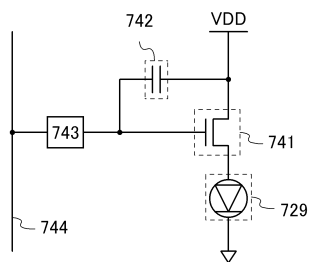
【図 10】



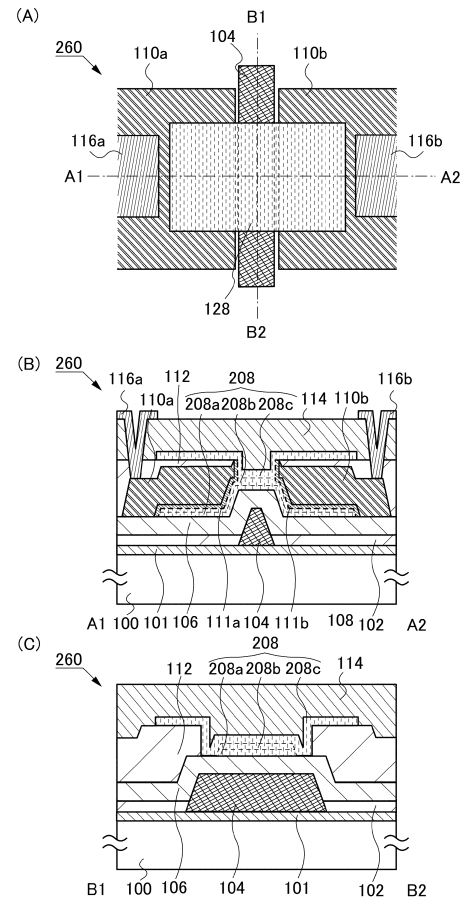
【図 1 1】



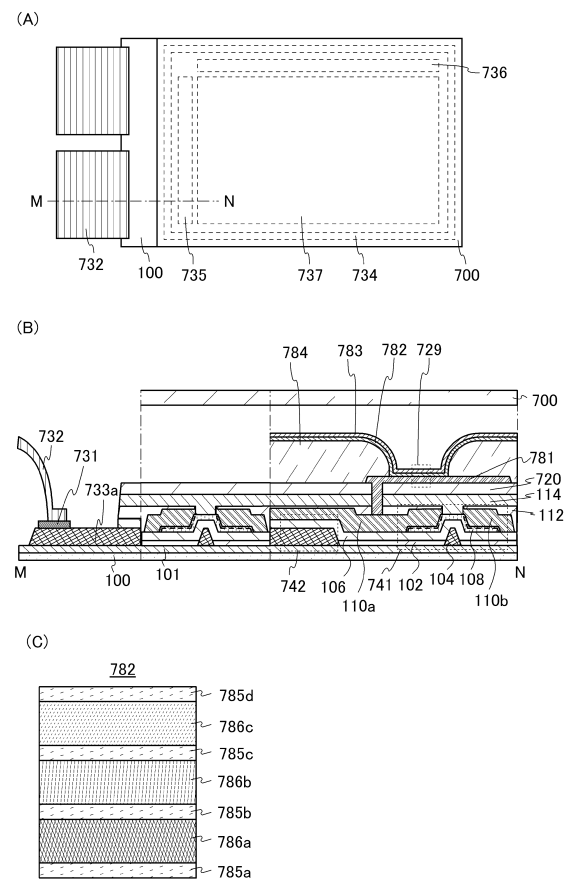
【図 1 3】



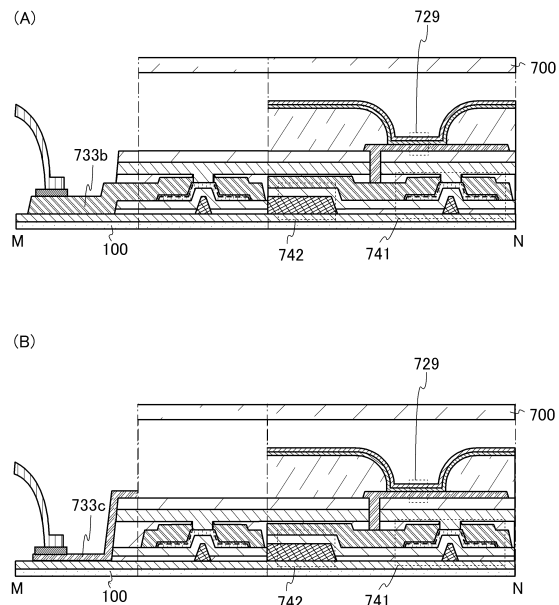
【図 1 2】



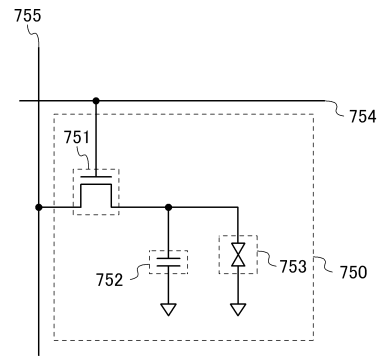
【図 1 4】



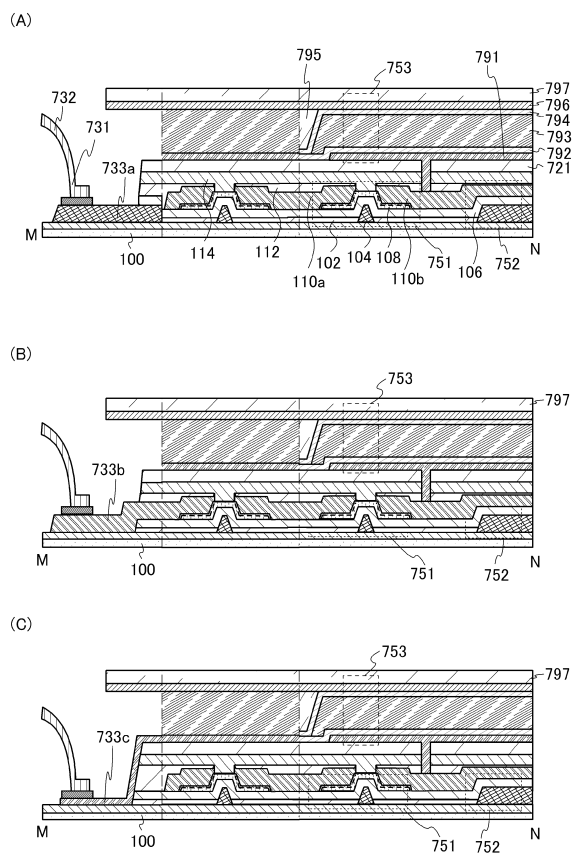
【図 15】



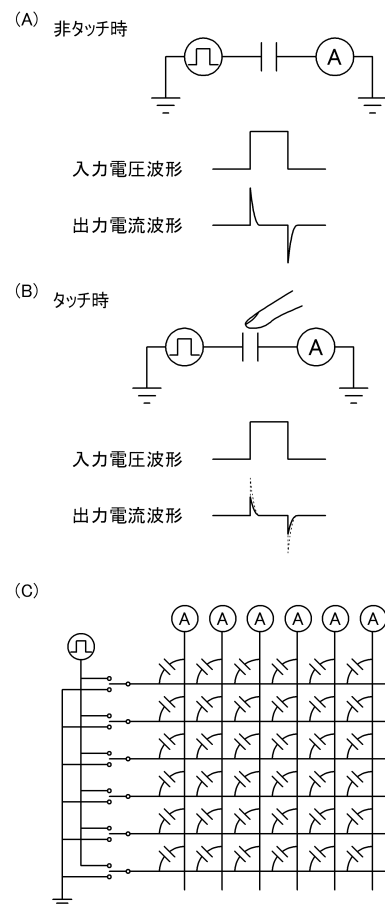
【図 16】



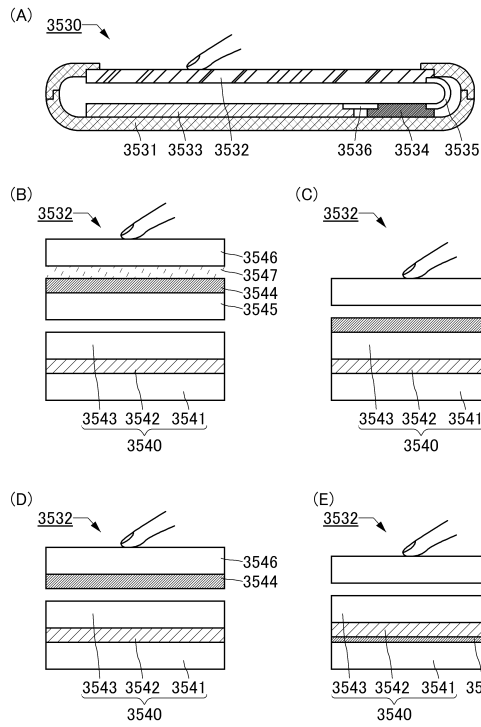
【図 17】



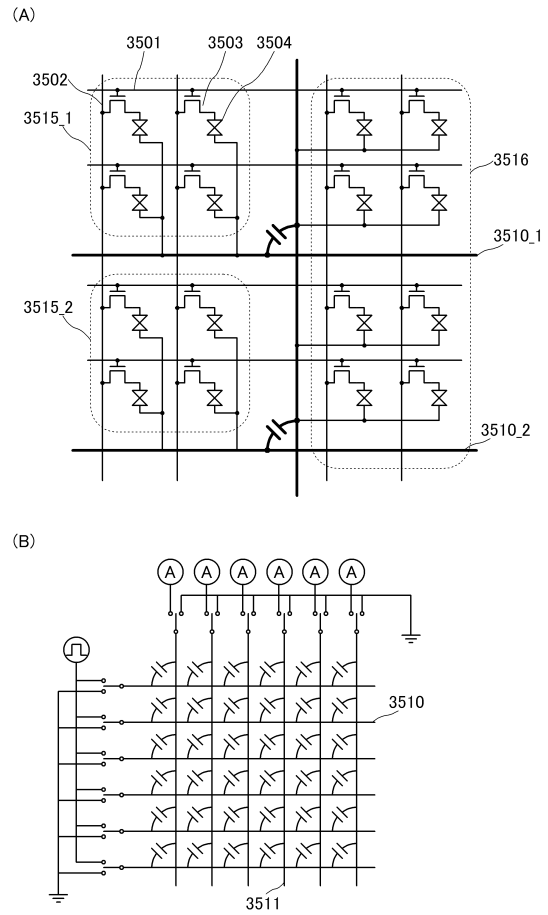
【図 18】



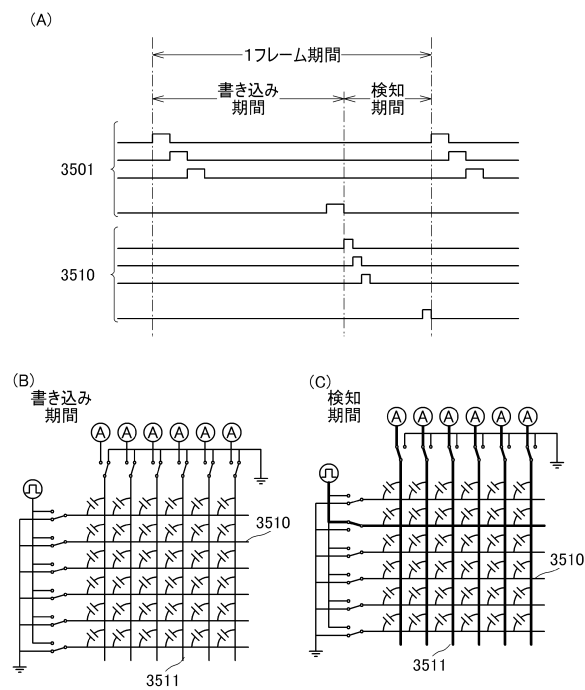
【図 19】



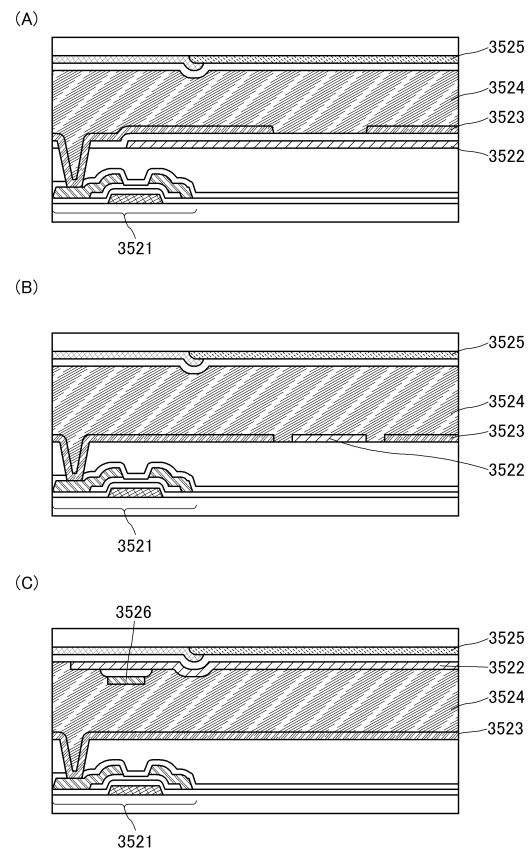
【図 20】



【図 21】

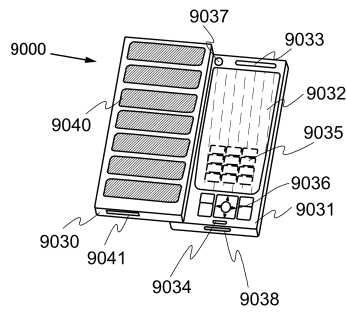


【図 22】

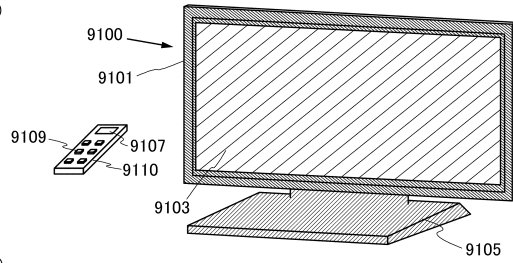


【図 2 3】

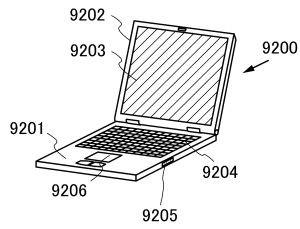
(A)



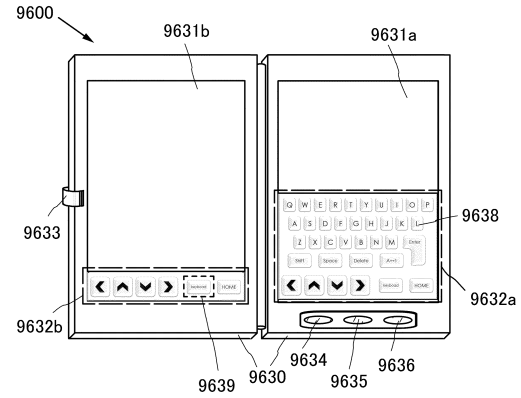
(B)



(C)

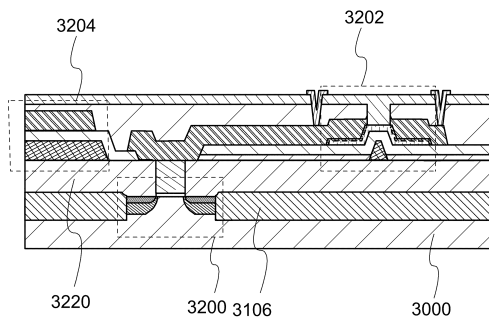


【図 2 4】

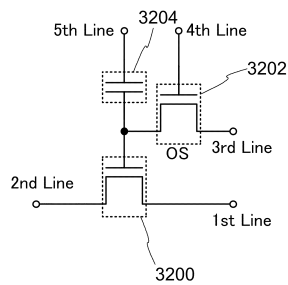


【図 2 5】

(A)

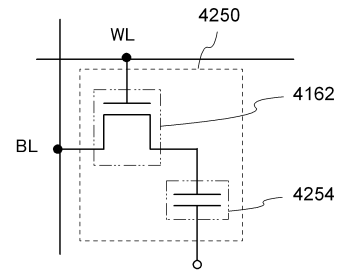


(B)

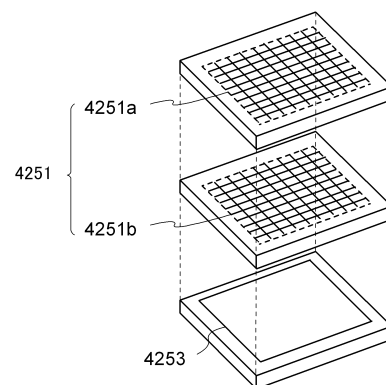


【図 2 6】

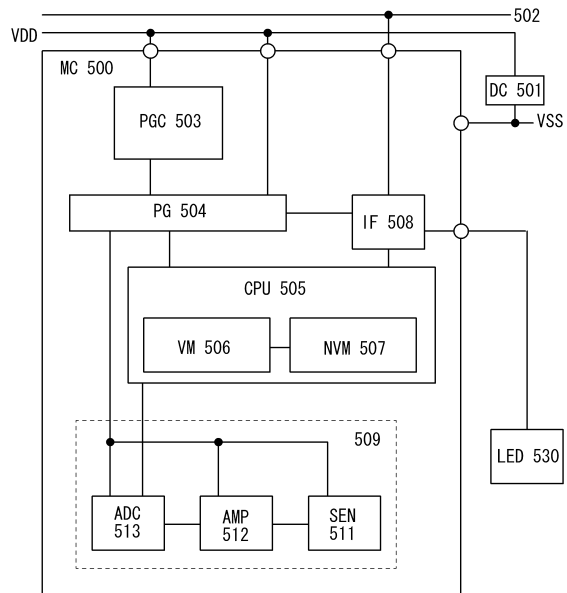
(A)



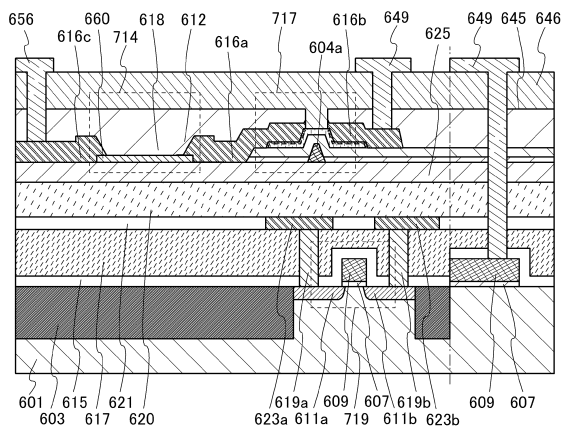
(B)



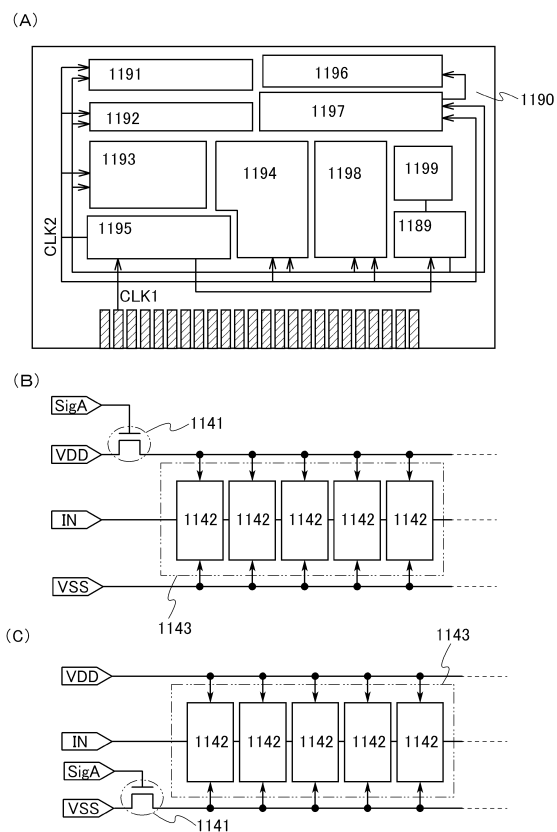
【図 27】



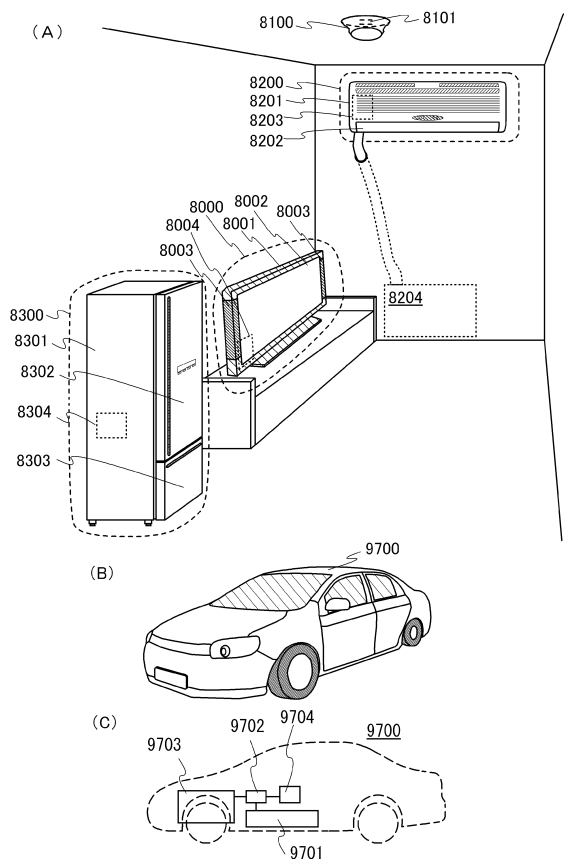
【図 28】



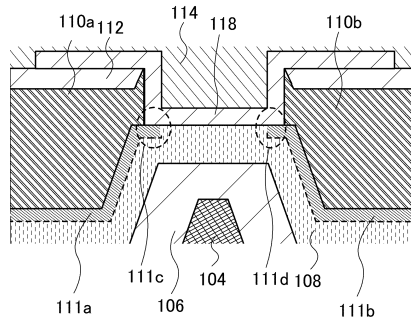
【図 29】



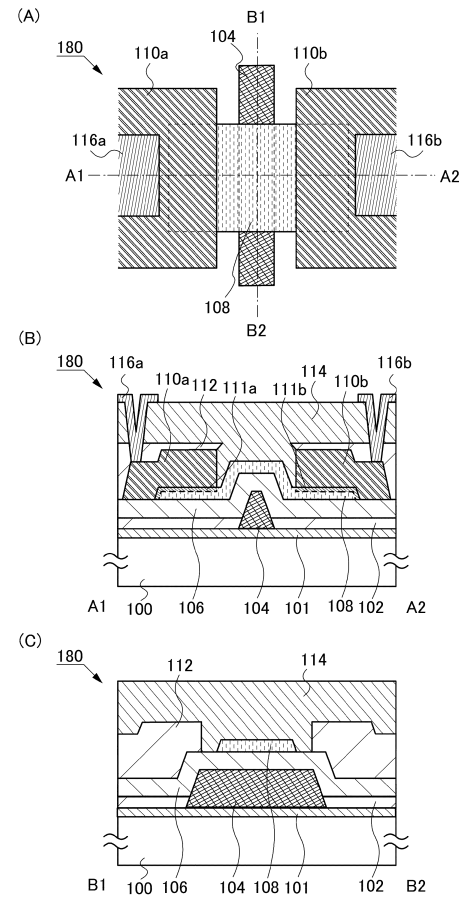
【図 30】



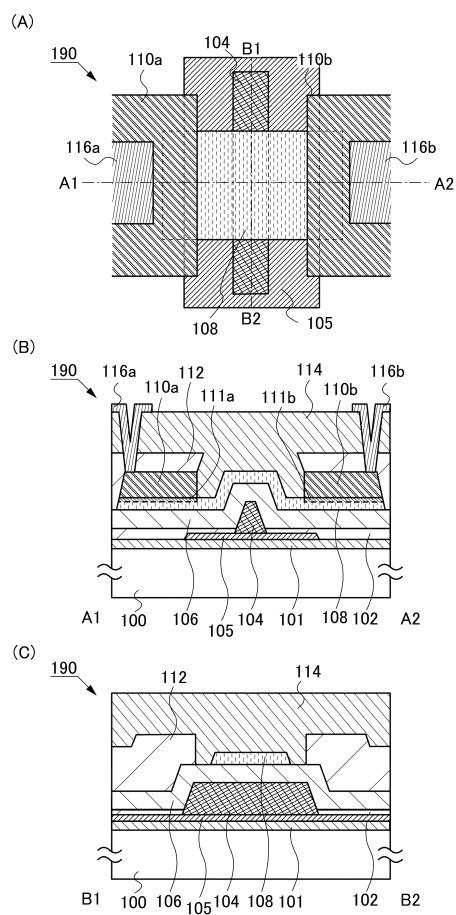
【図 3 1】



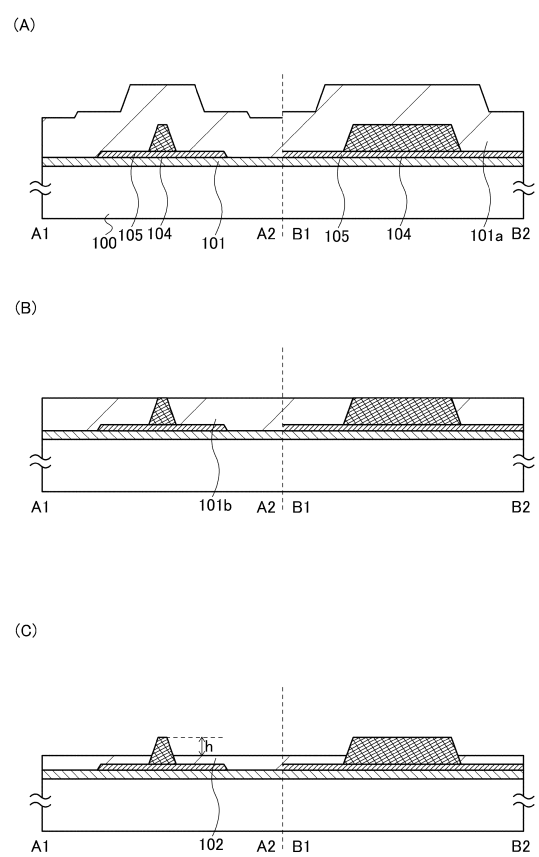
【図 3 2】



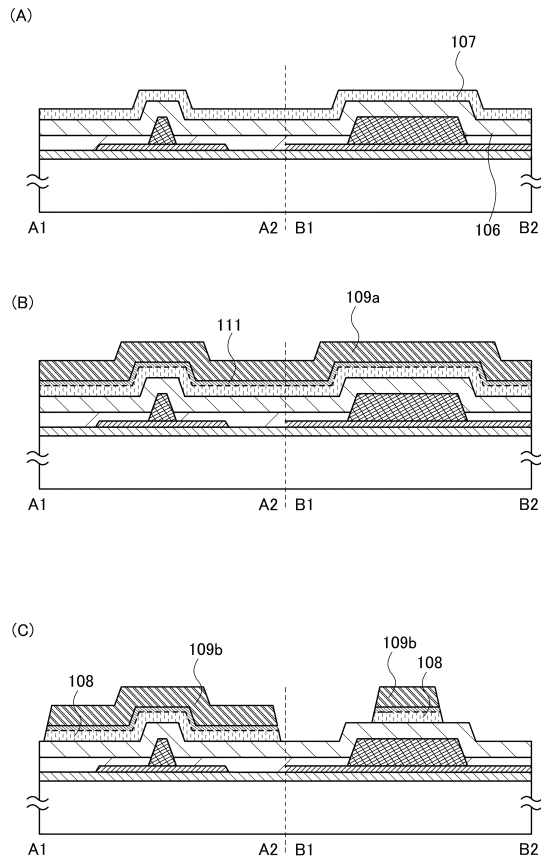
【図 3 3】



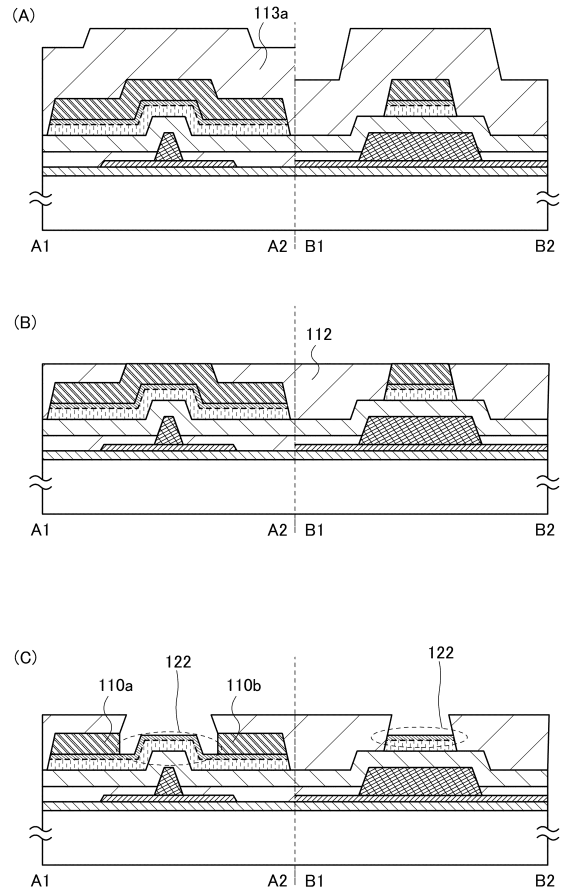
【図 3 4】



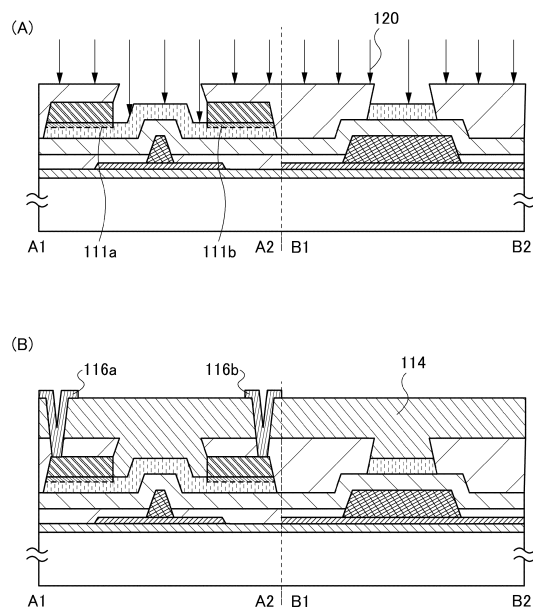
【図 3 5】



【図 3 6】



【図 3 7】



 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	H 0 1 L	29/78 6 2 7 C
<i>H 0 5 B</i>	<i>33/14</i>	<i>(2006.01)</i>	H 0 1 L	27/108 3 2 1
			H 0 1 L	27/108 6 2 1 Z
			H 0 1 L	27/108 6 8 1 F
			H 0 1 L	27/10 4 6 1
			H 0 5 B	33/14 A
			H 0 5 B	33/14 Z

(56)参考文献 特開 2 0 1 2 - 0 8 4 8 5 3 (J P , A)
 特開平 0 9 - 0 8 2 9 7 6 (J P , A)
 特開 2 0 0 5 - 3 1 1 3 4 1 (J P , A)
 特開 2 0 1 1 - 1 3 8 9 3 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6