



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98813828.X

[45] 授权公告日 2003 年 10 月 29 日

[11] 授权公告号 CN 1126258C

[22] 申请日 1998. 12. 23 [21] 申请号 98813828.X

[30] 优先权

[32] 1997. 12. 29 [33] SE [31] 9704895 - 3

[86] 国际申请 PCT/SE98/02444 1998. 12. 23

[87] 国际公布 WO99/34517 英 1999. 7. 8

[85] 进入国家阶段日期 2000. 8. 29

[71] 专利权人 艾利森电话股份有限公司

地址 瑞典斯德哥尔摩

[72] 发明人 M·古斯塔夫松 N·谭

审查员 段成云

[74] 专利代理机构 中国专利代理(香港)有限公司

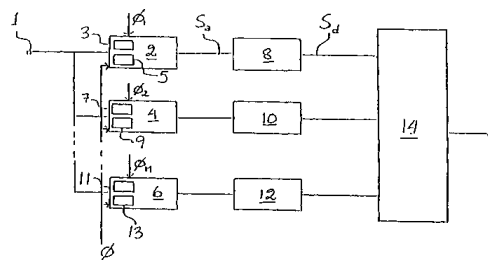
代理人 罗 朋 李亚非

权利要求书 1 页 说明书 8 页 附图 4 页

[54] 发明名称 用于模数转换的方法和设备

[57] 摘要

根据本发明的一个实施例, 提供一种并行 SC ADC(开关电容模数转换器), 其中包括由总时钟相位(ϕ)所控制的被动采样技术, 以减小采样相位偏移。由于不需要运算放大器来用于采样, 因此它非常适合于高速应用中, 并且可以在高速并行 SC ADC 中把与采样相位偏移相关的失真减小 20 - 40dB。



1. 一种并行模数转换器,其中包括在输入端(1)和多路复用器(14)之间的多条并行通道,每条通道包括:

5 -采样装置(2、4、6),其由通道时钟相位(ϕ_i)所控制,用于轮流对在输入端(1)上的信号(V_{in})采样,以及

-转换器装置(8、10、12),其连接在采样装置(2、4、6)以及多路复用器(14)之间,用于转换来自该采样装置(2、4、6)的样本,

10 -其特征在于,所有通道所共用的开关(SW3)与各个采样装置(SW1、 C_i 、SW2)串联到“地”,该开关(SW3)由总时钟相位(ϕ)所控制,该总时钟相位在各个通道时钟相位(ϕ_i)改变状态略微之前改变其状态,以把样本提供给转换装置(8、10、12)。

用于模数转换的方法和设备

本发明涉及 SC (开关电容) ADC (模数转换器) , 特别用于宽带
5 电信应用设备中。

相关技术说明

在宽带电信应用中, 需要具有高的 SNDR (信噪和失真比) 高速模
数转换器 (ADC, 或者 AD 转换器) . .

10 通过利用并行方式, 可以从几个由多相位时钟所控制的较慢子
ADC 构成一个快速 ADC. “时间交错转换器阵列”, Black 等人, 固态
电路的 IEEE 杂志, Vol SC-15, No 6, pp 1022-29, 1980 年 12 月,
公开一种采用并行或时间交错技术的高速加权电容 ADC.

几种误差源限制了并行子 ADC 的性能. 在子 ADC 中的不同偏移和
15 不同增益产生失真. 另一个更加麻烦的误差源是在并行通道中的导入
失真的采样相位偏移. 采样时刻必须在两个相继的子 ADC 之间具有相
等间隔, 以便于在数字域重构信号. 在两个相继子 ADC 之间采样时刻
的间距差称为相位偏移. 由于该采样时刻是不同位置的不同时钟相位
所控制的, 从而产生相位偏移. 任何噪声和不平衡的寄生信号造成相
20 位偏移.

SNDR 与相位偏移之间的关系在 “不一致采样信号的数字频谱: 基
本和高速波形数字转换器”, IEEE T. 仪器和测量 (IEEE T.
Instrumentation and measurement), Vol 37, No 2, p 245-51, 1988
年 6 月, 中讨论.

25 “An 8-b 85-Ms/s Parallel Pipeline A/D Converter in 1 μ m
CMOS”, Conroy 等人, IEEE J. 固态电路 (IEEE J. Solid State
Circuits), Vol 28, No 4, pp 44754, 1993 年 4 月, 中公开一种
在 CMOS 中的四通道 ADC, 其具有与测量值之间大约 25 皮秒的时序失
配. 这不适合用于宽带电信应用中, 该应用中要求在高通道频率中具
30 有高的 SNDR.

克服该问题的一个方法是在输入端设置一个跟踪保持放大器. 在
需要高增益运算放大器以非常高频率驱动大电容负载的情况下, 这是

令人所不期望的。

授予 Yahagi 等人的美国专利 5,247,301 公开一种双级或子快速类型的 ADC，其使用与第二模拟开关相串联的一个公共模拟输入开关，以减小时序误差。用于模拟输入开关的时钟信号独立于子转换器的数目，具有与用于所有采样和保持开关的控制信号相同的频率。所有开关由相同相位导通（仅仅公共开关的截止会导致其它开关的截止）。公共开关在该设备的输入端，因此，由于该开关（例如，MOS 晶体管）的应用，时刻的转变是输入电压的函数。由于 MOS 开关的电荷重新分配，导入另一个误差源，电荷注入误差。通过利用美国专利 5,247,301 的图 3、4 和 5 中公开的补偿器，信号独立部分，即电荷注入造成的偏移电压，可以被补偿到一定的程度。但是，信号相关电荷注入误差保持被补偿。信号相关截止时刻和信号相关电荷注入误差在任何 ADC 中引入非常强的失真，因此该设备不能应用于高动态性能的 ADC。

15

发明概要

相应地，本发明的一个目的是提供一种解决在并行开关电容器 ADC 中的采样相位偏移的问题的解决方法。

本发明的另一个目的是提供具有被动采样和主动保持的用于高速 ADC 的方法和设备，并且减少采样相位偏移引入的失真。

20

本发明另一个目的是提供一种用于高速并行 ADC 的方法和设备，而不需要使用用于采样的运算放大器。

本发明的另一个目的是提供一种方法和设备，用于改进使用任何类型的子 ADC 的高速并行 ADC 的时序特征，并且保持高动态性能。

这些目的是通过具有独立权利要求的特征的方法和设备来实现的。本发明的其它特点和改进在从属权利要求中给出。

25

根据本发明一个实施例，提供一种使用任何类型子 ADC 的并行开关电容器 ADC，其中包括由总时钟相位所控制的被动采样技术，以减少采样相位偏移的影响。总时钟相位的频率比通道时钟相位的频率高 M 倍。用于各个采样保持开关的通道时钟相位被偏移，使得没有采样保持开关同时导通。采样时刻由总开关的截止来确定（由总时钟相位控制）。由于电荷重新分配，截止时刻和误差的信号相关性被限制为

30

第一阶。这使得根据本发明的设备非常适合于高动态性能的 ADC。另外，由于在采样级中不需要运算放大器，这非常适合于高速应用中，并且它还可以在高速并行 SC ADC 中把采样相位偏移相关的失真减少 20-40dB。

5

附图简述

为了更加完整地理解本发明及其它目的和优点，下面参照结合附图描述的实施例的非排它性例子，其中：

图 1 示出根据本发明第一实施例的并行 ADC 的方框图；

10 图 2 示出根据本发明第一实施例的控制 S/H（采样和保持）装置的时钟相位的示意图；

图 3 示出根据本发明第一实施例的用于并行 ADC 的一个通道的采样装置；

15 图 4 示出根据本发明第一实施例的用于 M 通道并行 ADC 的采样装置；

图 5 示出根据本发明第一实施例的用于并行 ADC 的一个通道的 S/H 装置。

实施例的具体描述

20 下面参照附图通过实施例描述本发明，该实施例是一个非排它性的实施例，在附图中相同的参考标号表示相同或相似的部分。

图 1 示出根据本发明第一实施例的 M 通道并行 ADC 的方框图；其中包括 M 个相同 ADC，称为子 ADC。仅仅示出第一、第二和第 M 的通道，为了清楚起见，其他通道被省略。每个通道连接到 ADC 的输入端 1，并且包括 S/H（采样和保持）装置 2、4、6，随跟着串联的子 ADC 8、10、12。子 ADC 8、10、12 可以是任何已知类型的 ADC。S/H 装置 2、4、6 包括被动采样装置 3、7、11 以及主动保持装置 5、9、13，并且由时钟装置（未示出）按照本领域专业人士所公知的方式产生的通道时钟相位 ϕ_i 所控制。该通道并联连接到 MUX 14（多路复用器）。

30 第一子 ADC 8 在时钟相位 ϕ_1 采样提供于 ADC 的输入端 1 上的输入电压 V_{in} ，第二子 ADC 10 在时钟相位 ϕ_2 采样输入电压 V_{in} ，第 M 子 ADC 12 在时钟相位 ϕ_M 采样输入电压 V_{in} 。假设每个相位的采样时间是 T_s ，

并且对每个相位的重复周期是 T 。每个子 ADC 在转换时间 T_c 中把模拟信号 S_a 转换为数字样本 S_d 。该数字样本然后在 MUX 中合并，并提供到 ADC 的输出端。 T_c 由下式给出：

$$T_c = T - T_s = (M-1) \times T_s$$

- 5 其中， T 是每个相位的重复周期， T_s 是采样持续时间，并且 M 是子 ADC 的数目。尽管每个子 ADC 在每个重复周期 T 中仅仅能够传送一个输出，但是并行 ADC 在每个采样持续时间 $T_s = T/M$ 中能够传送该输出。因此其速度与子 ADC 相比增加了 M 倍。

- 10 从上文讨论可以看出，高速 ADC 可以通过并行连接几个低速子 ADC 而构成。唯一的高速部分是需要在时间间隔 T_s 过程中跟踪和采样模拟输入的被动采样电路。

在两个相继子 ADC 之间采样时刻必须等间隔隔开，以在数字域重构信号。如果假设相位偏移是正态分布的，则 SNDR 与相位偏移之间的关系由下式给出：

$$15 \quad SNDR = 20 \cdot \log\left(\frac{1}{\sigma_t \cdot f_{in}}\right) - 10 \cdot \log\left(\frac{(M-1)4\pi^2}{M}\right) \quad (2)$$

相位偏移的问题是，当存在采样时刻差时，由于模拟信号不断变化，因此相应的子 ADC 采样错误的模拟值。对于给定的相位偏移，相位频率越高，则 SNDR 越低。

- 20 根据本发明第一实施例，为了减少相位偏移，S/H 装置不但被通道时钟相位 ϕ_i 所控制，而且还被总时钟相位 ϕ 所控制，还以本领域技术人员公知方式产生。根据本发明第一实施例，总时钟相位 ϕ 用于限定在被动式采样电路中的采样时刻，而模拟输入的采样在每一子 ADC 中产生。采样电路由总时钟相位 ϕ 来控制而该总钟相位限定采样时刻。
- 25 当总时钟相位 ϕ 为高并且 ϕ_i 也为高时，输入电压 V_{in} 被第 i 个子 ADC 所采样。当总时钟相位 ϕ 变低时，由于采样电容器的一个极板是浮置的，因此该模拟值被采样电容所采样。时钟相位 ϕ_i 总是在总时钟相位 ϕ 变低之后变低。即使当相继的时钟相位 ϕ_i 之间具有大的相位偏移时，它们也不会对采样时刻具有任何影响，因此相位偏移的问题被消除。但是，由于寄生电容，即使在时钟相位 ϕ 为低时，如果时钟相位 ϕ_i 不为低，
- 30 则当模拟输入改变时，存储在采样电容上的电荷仍然会改变。

图 2 示出根据本发明第一实施例, 时钟相位控制 S/H (采样和保持) 装置 2、4、6 的示意图。根据本发明第一实施例, 总时钟相位 ϕ 的重复频率比时钟相位 ϕ_i 的重复频率高 M 倍, 并且总时钟相位 ϕ 在时钟相位 ϕ_i 略微之前改变其状态。如果总时钟相位在时钟相位 ϕ_i 之后改变其状态, 则总时钟相位的效果将失去。对于各个采样和保持开关, 即在第一通道中的第一和第二开关 SW1、SW2, 的时钟相位被偏移, 使得没有一个采样和保持开关同时导通, 如图 2 中所示。

图 3 示出根据本发明第一实施例用于一个并行 ADC 的一个通道的采样装置 3。第一开关 SW1 连接于采样装置 3 的输入端 20 与电容器 C_i 的第一侧 21 之间。电容 C_i 的第二侧 23 通过第二开关 SW2 连接到采样装置 3 的节点 22, 所述节点 22 还通过第 3 开关 SW3 连接到“地”。所有包含于图 1 的 S/H 装置 2、4、6 中的采样装置 3、7、11 相并联, 并且第 3 开关 SW3 由所有通道所共用并且由总时钟相位 ϕ 所控制。通道时钟相位 ϕ_i 控制第一开关 SW1 和第二开关 SW2。根据优选实施例, 开关 SW1、SW2、SW3 由 NMOS 晶体管构成, 但是开关功能可以用本领域内专业人员所周知的多种方式来实现。

采样时刻是通过第三开关 SW3 的截止以及把采样电容 C_i 的第二侧 23 连接到“地”而确定的, (并且在其它通道中也是一样)。截止时刻的信号相关性以及由于电荷重新分布而造成的误差被消减到第一阶。这使得本发明的实施例非常适合于高动态性能的 ADC。

图 4 示出用于根据本发明第一实施例的 M 通道并行 ADC 的采样装置 3、7、11。每个采样装置 3、7、11 在图 3 中被做成一整体, 并且所有采样装置 3、7、11 相互并联。仅仅示出第一、第二、第三和第 M 个采样装置, 为清楚起见其余被省略。第一采样装置 3 包括第一开关 SW1、第一电容器 C_1 和第二开关 SW2, 如图 3 中所示。第二、第三和第 M 个采样装置被相应的设计。第三开关 SW3 对所有并联采样装置来说是公用的。

图 5 示出用于在根据本发明第一实施例的并行 ADC 中的第 i 通道的 S/H 装置。采样装置 3 与结合图 3 的描述相同, 并且包括第一、第二和第三开关 SW1、SW2、SW3 以及采样电容 C_i 。为了使子 ADC 处理采样的模拟值, 我们需要保持该采样的数值。作为采样装置 5, 一个运算放大器 30 用于在每个通道中的每个子 ADC。这是通过使采样电容

C_i 切换到运算放大器 30 的反馈环路而实现的。第五和第六开关 SW5、SW2 被添加在采样电容 C_i 的两端。按这种方式，采样电容 C_i 的第一端 21 通过第五开关 SW5 连接到放大器 30 的输出端 32，并且采样电容 C_i 的第二端 23 通过第六开关 SW6 连接到放大器 30 的反相输入端 34，非反相输入端 36 接地。

时钟相位在图 2 中示出。现在参照图 5，当通道时钟相位 ϕ_i 为高并且总时钟相位 ϕ 也为高时，第一、第二和第三开关 SW1、SW2、SW3 闭合，由于第五和第六开关 SW5、SW6 被开路，因此运算放大器 30 断开，并且电容 C_i 采样模拟输入电压 V_{in} 。然后总时钟相位 ϕ 为低并且第三开关 SW3 开路。这是采样阶段。当通道时钟相位 ϕ_i 为低时，即在时钟相位 $\bar{\phi}_i$ ，第一和第二开关 SW1、SW2 开路，第五和第六开关 SW5、SW6 闭合，并且电容 C_i 被连接在运算放大器的负反馈回路中。这是保持阶段。

包含在图 5 中的是采样电容 C_i 的第二侧 23 极板的寄生电容 C_{p1} 、第一和第三开关 SW2 和 SW3 之间的 C_{p2} 以及运算放大器的输入电容 C_{op} ，当根据本发明设计电路时，所有这些都要考虑。使用根据本发明的采样技术，由于这些寄生电容而导入误差。当根据本发明的采样技术应用到并行 ADC 时，不同通道的寄生电容之间的不匹配将导入失真。这导致这样一个事实，即使用本发明的方法和设备，相位偏移误差的影响没有被完全消除，但是它减少了一个因子：

$$\frac{1}{a} = \frac{C_{p1} + C_{p2} + C_i}{C_{p2}}$$

假设当作为第三开关 SW3 的采样开关开路时的采样时刻表示为 t ，当第二开关 SW2 开路的时刻表示为 $t+\tau$ 。存储在 C_{p2} 的电荷将在输出信号上产生信号相关的误差。在时刻 t ，在第二侧 23，即 C_i 的右侧极板节点，上的总电荷为：

$$q(t) = q_{ci}(t) + q_{cp1}(t) + q_{cp2}(t) = -C_i V_{in}(t) + 0 + 0 = -C_i V_{in}(t) \quad (3)$$

在第二开关 SW2 开路的时刻 $t+\tau$ ，在采样电容 C_i 的右侧极板上的总电荷由下式给出：

$$q(t+\tau) = q_{ci}(t+\tau) + q_{cp1}(t+\tau) + q_{cp2}(t+\tau)$$

$$= (V_2(t+\tau) - V_{in}(t+\tau)) \cdot C_i + V_2(t+\tau) \cdot (C_{p1} + C_{p2}) \quad (4)$$

由于电荷守恒，(3)和(4)应当互为相等。因此，我们得出在时刻 $t+\tau$ 时在寄生电容上的电压 V_2 为：

5

$$V_2(t+\tau) = (V_{in}(t+\tau) - V_{in}(t)) \cdot \frac{C_i}{C_{p1} + C_{p2} + C_i} \quad (5)$$

在 C_{p2} 上的存储的电荷由下式给出：

$$10 \quad q_{C_{p2}}(t+\tau) = C_{p2} \cdot V_2(t+\tau) = (V_{in}(t+\tau) - V_{in}(t)) \cdot \frac{C_i \cdot C_{p2}}{C_{p1} + C_{p2} + C_i} \quad (6)$$

当使用运算放大器时，在第二开关 SW2 开路之后，存储在 C_{p2} 上的电荷将失去，而存储在采样电容 C_i 和寄生电容 C_{p1} 上的所有电荷将在保持阶段中转移。这种结构在图 5 中示出。

15 假设一个理想的运算放大器，存储在采样电容 C_i 和寄生电容 C_{p1} 上的所有电荷将被完全转移，唯一的误差源是由于在时刻 $t+\tau$ 存储在 C_{p2} 上的损失电荷。因此，在采样之后的模拟输出电压 V_{out} 由下式给出：

$$V_{out} = -\frac{q(t+\tau) - q_{C_{p2}}(t+\tau)}{C_i} = V_{in}(t) \cdot (1-a) + a \cdot V_{in}(t+\tau) \quad (7)$$

其中

$$20 \quad a = \frac{C_{p2}}{C_{p1} + C_{p2} + C_i} \quad (8)$$

假设具有 M 条并行通道，并且由时钟相位 ϕ 所控制的第三开关 SW3 在如下时刻开路：

$$T_s \cdot n, \quad n=0, \dots, \infty \quad (9)$$

并且由时钟相位 ϕ_i 所控制的在通道 i ($i=1, 2, \dots, M$) 中的第二开关 SW2 在如下时刻开路：

25

$$(i-1) \cdot T_s + n \cdot M \cdot T_s + \tau + t_{skew, i}, \quad n=0, \dots, \infty, \quad i=1, 2, \dots, M \quad (10)$$

其中 T_s 是平均采样周期, τ 是在第 i 通道中的第三开关 SW3 与第二开关 SW2 的截止之间的平均延迟, 并且 $t_{\text{skew}, i}$ 是时钟相位 ϕ_i 的相对时钟偏移。

如果对于所有通道的寄生电容和采样电容假设为相等, 即因此 a 对于所有通道为相同, 并且时间偏移假设为具有正态分布和方差 σ_i^2 的独立随机变量, 对于小的 a 和 $f_{in}\tau$, SNDR 可以约等于:

$$SNDR = 20 \cdot \log\left(\frac{1}{\sigma_i \cdot f_{in}}\right) - 10 \cdot \log\left(\frac{(M-1)4\pi^2}{M}\right) - 20 \cdot \log(a) \quad (11)$$

其中 f_{in} 是输入信号频率

从公式 (11) 可以看出, 由于寄生电容, 相位偏移误差的影响没有完全消除, 但是与在使用普通采样技术的并行 ADC 中由公式 (2) 所给出的 SNDR 相比减小了因子 $\frac{1}{a}$ 。

根据本发明, 采样是被动的, 因此可以获得非常高速度的采样, 并且保持是主动的, 但是用于运算放大器的时间被设为比采样时间长 $M-1$ 倍 (M 是通道的数目), 因此运算放大器的速度要求不高。在此, 图 5 的 S/H 电路非常适合于高速并行 ADC。

对于 2 通道并行 ADC, 一个运算放大器可以由两个通道所共用。该共享技术自然可以用于根据本发明的 ADC 中。从而, 一个 M 通道 ADC 可以对每两个通道共用一个运算放大器。根据上述实施例的保持装置 5、9、13 每通道包括一个运算放大器, 因此可以设想使一个保持装置由两个通道所共用, 包括一个运算放大器, 或者一个保持电路由所有通道所共用, 每两个通道包括至少一个运算放大器。

上述实施例示出本发明的思想应用到单个终端设备, 但是他同样可以应用到完整的差分系统。

还应该知道上述实施例是作为一个非排它性的例子给出的, 并且本领域内的专业人员可以设想出在本发明范围内的其它实施例。

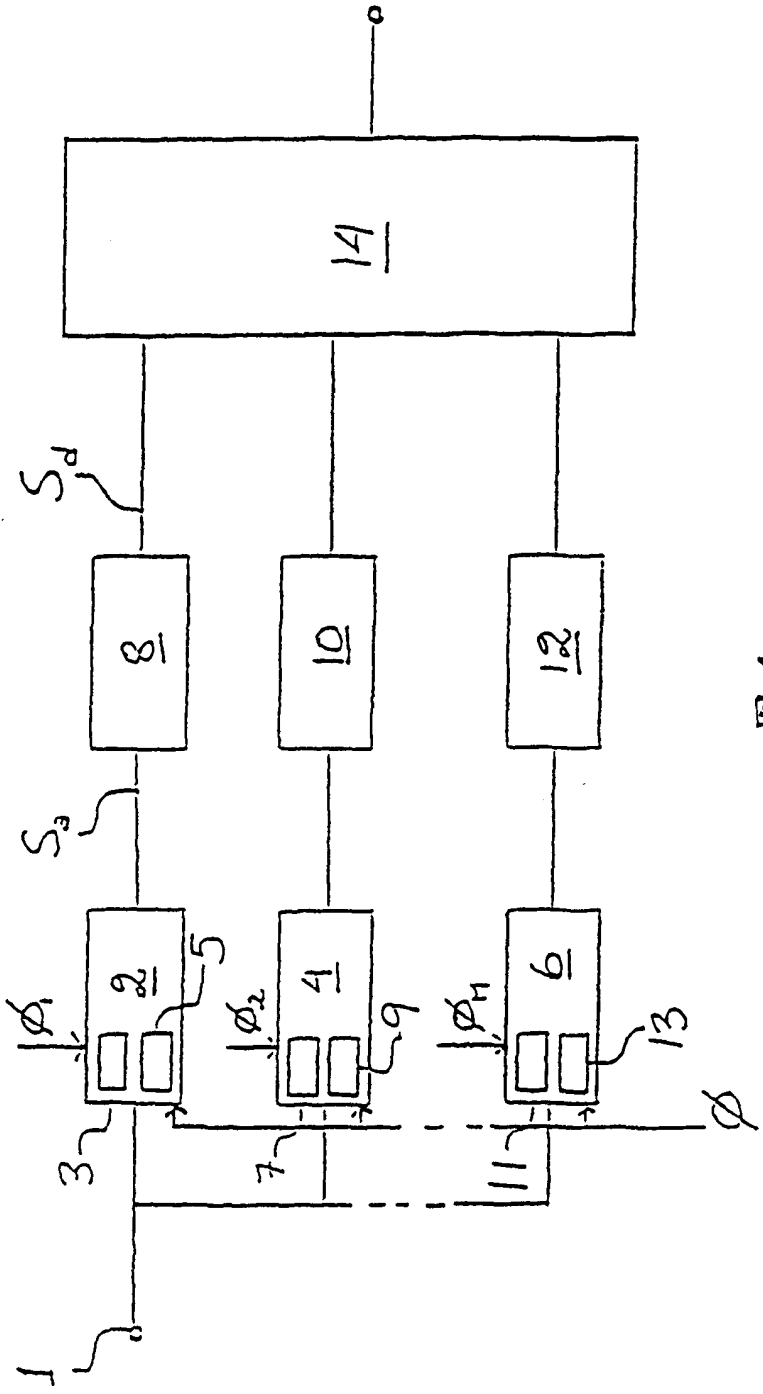


图1

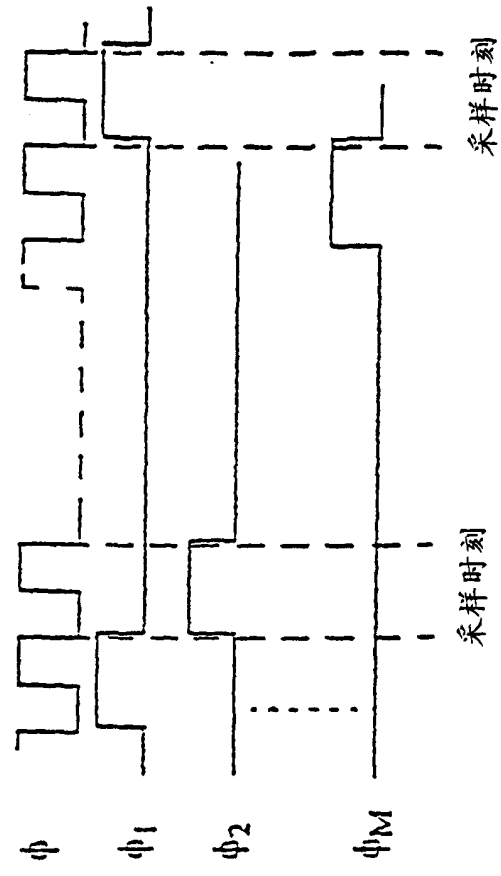


图 2

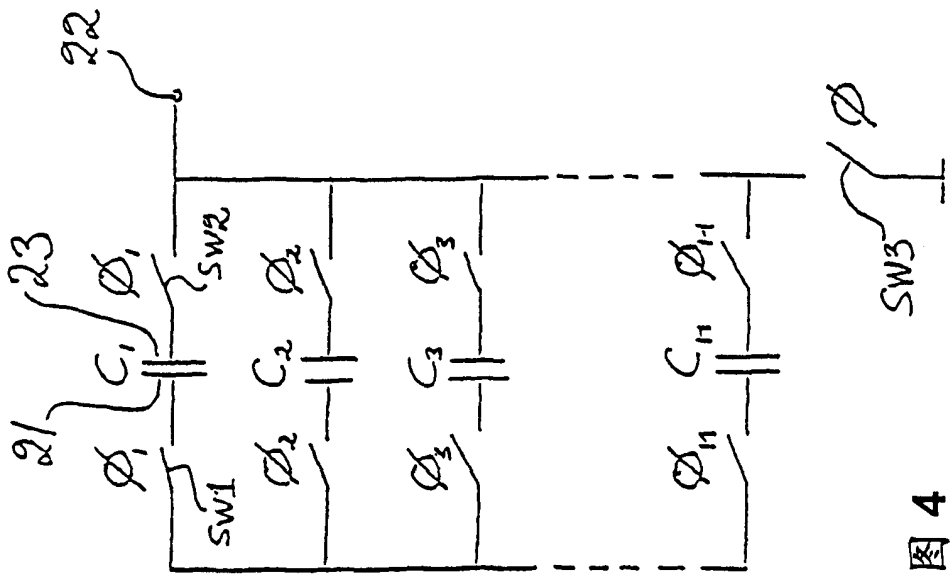


图 4

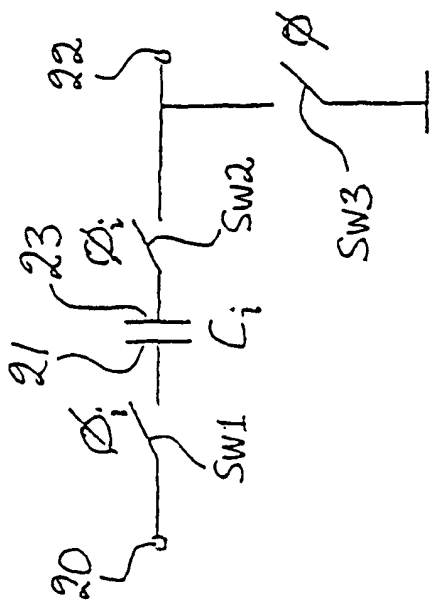


图 3

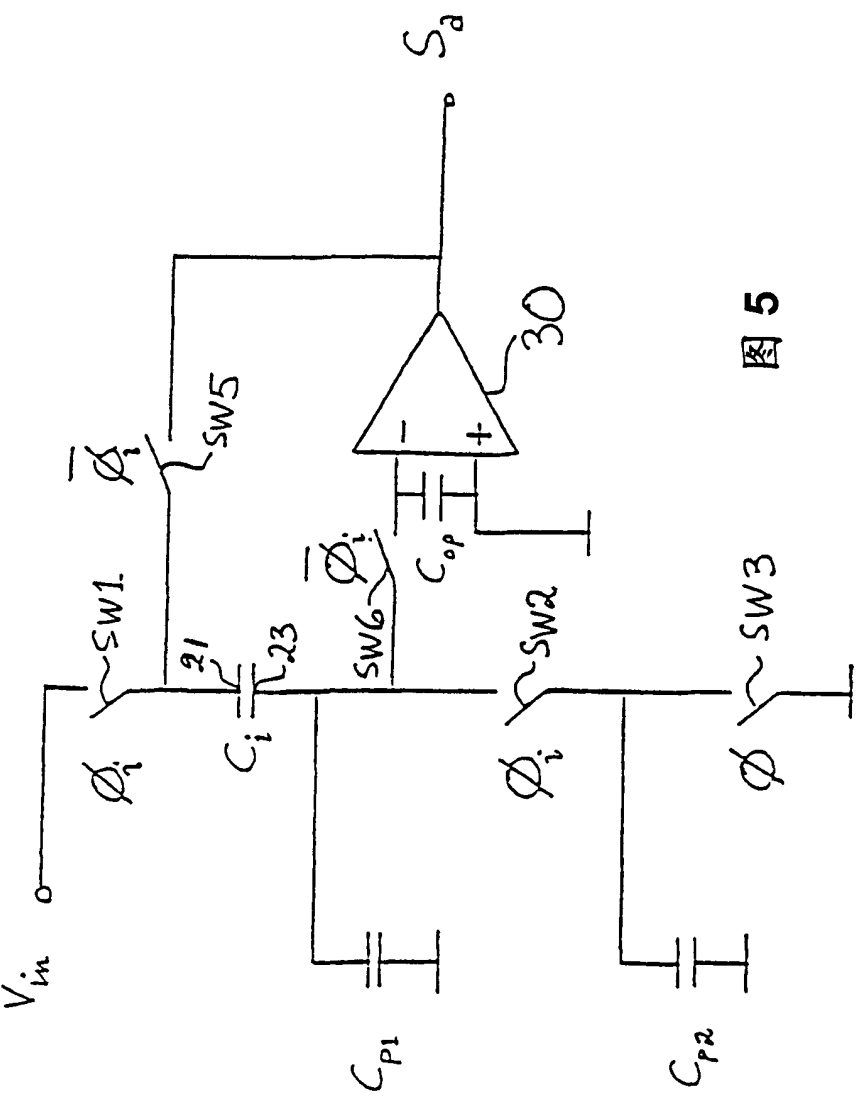


图 5