

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3559552号
(P3559552)

(45) 発行日 平成16年9月2日(2004.9.2)

(24) 登録日 平成16年5月28日(2004.5.28)

(51) Int. Cl.⁷

F I

GO 1 R 31/317

GO 1 R 31/28

A

GO 1 R 31/28

GO 1 R 31/28

H

GO 1 R 31/28

V

請求項の数 12 (全 13 頁)

(21) 出願番号	特願2002-156182 (P2002-156182)	(73) 特許権者	000005821
(22) 出願日	平成14年5月29日(2002.5.29)		松下電器産業株式会社
(65) 公開番号	特開2003-57317 (P2003-57317A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年2月26日(2003.2.26)	(74) 代理人	100077931
審査請求日	平成14年6月10日(2002.6.10)		弁理士 前田 弘
(31) 優先権主張番号	特願2001-169169 (P2001-169169)	(74) 代理人	100094134
(32) 優先日	平成13年6月5日(2001.6.5)		弁理士 小山 廣毅
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体チップの試験方法、半導体装置

(57) 【特許請求の範囲】

【請求項1】

LSIテストを用いた半導体チップの試験方法であって、
ファンクションテストを行なうための複数の半導体チップのうち少なくとも1つの半導体チップについて時間的な相関関係を検出し、上記相関関係をメモリに保持するステップ(a)と、

上記メモリに保持された上記相関関係を用いて、上記複数の半導体チップの1つである試験対象チップについてファンクションテストを行なうステップ(b)と、

上記試験対象チップが上記ファンクションテストにおいて不良と判定されたときには、上記ファンクションテストで用いた上記相関関係とは異なる別の相関関係を用いて、再度、上記試験対象チップのファンクションテストを行なうステップ(c)とを含む半導体チップの試験方法。

【請求項2】

請求項1に記載の半導体チップの試験方法において、
上記ステップ(c)では、上記試験対象チップについて再度相関関係を検出し、これを上記別の相関関係として用いることを特徴とする半導体チップの試験方法。

【請求項3】

請求項1に記載の半導体チップの試験方法において、
上記ステップ(c)では、上記メモリに保持されている上記複数のチップのうち上記試験対象チップ以外の他の半導体チップについての相関関係を用いて、ファンクションテスト

を行なうことを特徴とする半導体チップの試験方法。

【請求項 4】

請求項 3 に記載の半導体チップの試験方法において、上記ステップ (c) では、上記メモリに保持されている複数の相関関係のうち過去のファンクションテストにおける使用頻度の高いものを優先的に用いることを特徴とする半導体チップの試験方法。

【請求項 5】

請求項 1 に記載の半導体チップの試験方法において、上記ステップ (c) では、上記試験対象チップに遅延回路を付加又は削除することにより、上記別の相関関係を生成し、これを用いることを特徴とする半導体チップの試験方法。

10

【請求項 6】

請求項 1 ~ 5 のうちいずれか 1 つに記載の半導体チップの試験方法において、上記相関関係の検出を、エッジサーチテストにより行なうことを特徴とする半導体チップの試験方法。

【請求項 7】

請求項 1 ~ 5 のうちいずれか 1 つに記載の半導体チップの試験方法において、上記相関関係の検出を、上記複数の半導体チップのうち少なくとも 1 つの半導体チップに対する信号の入力から出力までに要する遅延時間の測定により行なうことを特徴とする半導体チップの試験方法。

【請求項 8】

クロック信号とデータ信号を出力するテストにより試験が可能な半導体装置であって、上記テストからのクロック信号を受けて逡倍クロック信号を出力するための PLL 回路と、上記逡倍クロック信号と上記テストからのデータ信号を受けて、試験結果信号を出力するための論理回路と、上記試験結果信号を、上記テストからのクロック信号に同期させて出力させるための出力タイミング調整回路とを備えることを特徴とする半導体装置。

20

【請求項 9】

請求項 8 に記載の半導体装置であって、上記テストから出力されるクロック信号を上記論理回路に供給するための入力タイミング調整回路をさらに備えることを特徴とする半導体装置。

30

【請求項 10】

請求項 9 に記載の半導体装置であって、上記入力タイミング調整回路および上記出力タイミング調整回路は、FIFO, DLL, FF, またはそれらと同等の機能を有する回路であることを特徴とする半導体装置。

【請求項 11】

請求項 8 ~ 10 のうちいずれか 1 つに記載の半導体装置であって、上記出力タイミング調整回路からの上記試験結果信号を受けて、上記試験結果信号を出力するシリアルパラレル回路をさらに備えることを特徴とする半導体装置。

40

【請求項 12】

請求項 8 ~ 11 のうちいずれか 1 つに記載の半導体装置であって、動作速度が 1 GHz 以上であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップの試験装置、半導体装置に関するものである。

【0002】

【従来の技術】

近年、CMOS の超微細化の技術が進み、差動低振幅の信号処理回路の技術も進んだこと

50

で、IEEE 1394bのように動作速度が1GHzを超えるようなLSIの高速性進歩が著しい。

【0003】

ところで、高速動作を保証しなければならないLSIの試験技術においては、LSIテストのドライバ及びコンパレータの処理速度がLSIの信号処理速度より遅い場合があり、その場合は通常の方法を用いて試験を行なうことができない。そこで、研究段階での試験に留まるのであればよいが、量産を実現するためには処理速度の高速化が可能な試験が必要となる。

【0004】

処理速度の高速化が可能な試験の方法として、LSIの高速送信試験にはLSI内部に搭載してあるPLL回路を使用する方法があり、LSIの高速受信試験にはLSI内部のPLL回路を用いてループバック試験等の回路を使用し代替する方法がある。とくに、IEEE 1394のように高速差動伝送方式をとるLSIの試験には、PLL回路を使用してLSIテストの性能の限界の処理速度で試験をしているのが現状である。

10

【0005】

【発明が解決しようとする課題】

しかしながら、上述のようにPLL回路を試験に使用した場合、PLL回路を使用しない場合と比較して処理速度は高速化されるものの、ロック期間にかかる時間は約1000倍程度の時間となってしまう。その原因としてはPLL回路のもつ特性に起因する試験安定性の低下が挙げられる。図8に、PLL回路を使用して試験した場合の全試験時間とPLL回路を使用しないで試験した場合の全試験時間の違いの例を示す。図8から、PLL回路を使用して試験を行なう際には、PLL回路を使用しない場合と比較して試験を安定化するためのエッジサーチに要する時間が非常に大きいことがわかる。

20

【0006】

このように試験における処理速度の高速化の要求にPLL回路の使用で対応すると、試験の安定性の低下に起因して試験時間が増大し、試験コストが高くなるという不具合が生じてしまう。

【0007】

一方、処理速度を高速化でき、かつ試験の安定精度の低下を抑制できることを見込んでロースペックのLSIテストを使用すると、LSIテストのジッタ精度、スキュー精度、分解能、電圧精度が著しく下がってしまうため、LSIテスト自体のばらつきが問題となってしまう。そのため、安易にロースペックのLSIテストに変更することはできない。

30

【0008】

本発明の目的は、上記従来の不具合を解決する手段を講ずることにより、高速動作速度を有するLSIに適した試験装置および試験方法を提供することにある。

【0009】

【課題を解決するための手段】

本発明の半導体チップの試験方法は、LSIテストを用いた半導体チップの試験方法であって、ファンクションテストを行なうための複数の半導体チップのうち少なくとも1つの半導体チップについて時間的な相関関係を検出し、上記相関関係をメモリに保持するステップ(a)と、上記メモリに保持された上記相関関係を用いて、上記複数の半導体チップの1つである試験対象チップについてファンクションテストを行なうステップ(b)と、上記試験対象チップが上記ファンクションテストにおいて不良と判定されたときには、上記ファンクションテストで用いた上記相関関係とは異なる別の相関関係を用いて、再度、上記試験対象チップのファンクションテストを行なうステップ(c)とを含む。

40

【0010】

この試験方法により、ファンクション試験を行うための複数の半導体チップのうち少なくとも1つについて相関関係を検出すれば、その結果を他の試験対象チップのファンクション試験にも使用できるため、試験時間の短縮が可能となる。さらに、テスト結果が不良と判断された試験対象チップには、別の相関関係を用いて再度ファンクション試験を行うこ

50

とにより、ステップ (a) における相関関係の検出を安定するまで行わずに簡略化できる。よって、試験時間の短縮化を図りつつ、確実に試験対象チップのテスト結果を判断することができる。

【 0 0 1 1 】

上記ステップ (c) では、上記試験対象チップについて再度相関関係を検出し、これを上記別の相関関係として用いることにより、相関関係についてのデータがメモリに十分保持されていない場合にも、試験の確実性を保つことができる。

【 0 0 1 2 】

上記ステップ (c) では、上記メモリに保持されている上記複数のチップのうち上記試験対象チップ以外の他の半導体チップについての相関関係を用いて、ファンクションテストを行なうことにより、メモリに保持されている相関関係のデータを活用して試験時間の短縮を図ることができる。

10

【 0 0 1 3 】

上記ステップ (c) では、上記メモリに保持されている複数の相関関係のうち過去のファンクションテストにおける使用頻度の高いものを優先的に用いることにより、ファンクション試験を P a s s する確率を高くすることが可能となるため、さらなる時間の短縮が可能となる。

【 0 0 1 4 】

上記ステップ (c) では、上記試験対象チップに遅延回路を付加又は削除することにより、遅延値を半導体チップ内で変更することができるので、再度相関関係を検出するのに必要な時間を節約することができる。

20

【 0 0 1 5 】

上記相関関係の検出は、エッジサーチテストにより行なってもよいし、上記複数の半導体チップのうち少なくとも1つの半導体チップに対する信号の入力から出力までに要する遅延時間の測定により行なうこともできる。

【 0 0 1 6 】

本発明の半導体装置は、クロック信号とデータ信号を出力するテストにより試験が可能な半導体装置であって、上記テストからのクロック信号を受けて逓倍クロック信号を出力するための P L L 回路と、上記逓倍クロック信号と上記テストからのデータ信号を受けて、試験結果信号を出力するための論理回路と、上記試験結果信号を、上記テストからのクロック信号に同期させて出力させるための出力タイミング調整回路とを備えることを特徴とする。

30

【 0 0 1 7 】

これにより、半導体装置からテストに出力される試験結果信号の位相をテスト側の位相に合わせることができるので、試験時に P L L 回路を使用することによる試験の不安定化を抑制することができ、確実に試験を行うことができる。

【 0 0 1 8 】

上記テストから出力されるクロック信号を上記論理回路に供給するための入力タイミング調整回路をさらに備えることにより、論理回路においても、試験結果信号の位相をテスト側の位相に合わせることができるので、より確実に試験を行うことができる。

40

【 0 0 1 9 】

上記入力タイミング調整回路および上記出力タイミング調整回路は、 F I F O , D L L , F F , またはそれらと同等の機能を有する回路であることが好ましい。

【 0 0 2 0 】

上記出力タイミング調整回路からの上記試験結果信号を受けて、上記試験結果信号を出力するシリアルパラレル回路をさらに備えていてもよい。

【 0 0 2 1 】

動作速度が 1 G H z 以上であることにより、ずれやすい試験結果信号の出力タイミングをテスト側のタイミングに合わせることによって、高い効果を得ることができる。

【 0 0 2 2 】

50

【発明の実施の形態】**(第1の実施形態)**

図1は本実施形態における半導体集積回路装置の試験方法の手順を示すフローチャート図である。

【0023】

まず、ステップST11で試験を開始する。ステップST12でCHIPn 2か否か、つまり、試験が同種の試験対象チップ種(DUT(Device Under Test))において初めてかどうかを判別する。

【0024】

ここで、試験が初めてである場合には、ステップST12における判別結果がNOとなり、サブルーチン1に移行してステップST23の処理を行なう。具体的には、ステップST17でエッジサーチを実行し、試験対象チップの遅延値を検出する。言い換えると、試験対象チップにおいて、試験対象チップ種と遅延値の時間的な相関関係を検出する。そして、ステップST18でその検出結果をメモリに保持する。メモリでは、試験中にステップST17で測定された検出結果が全て保持されている。エッジサーチの新たな検出結果は、ステップST13でファンクション試験における入力および出力のタイミングを調整するために用いられる。

10

【0025】

なお、エッジサーチとは、クロックの立ち上がり又は立ち下がりエッジをいう。このエッジのタイミングのデータを検出することで、チップの遅延値(遅延特性)を検出する。そして、この遅延値の検出結果に応じて、ファンクション試験における試験パターンの入力タイミングとテスト結果の出力タイミングとを調整する。

20

【0026】

一方、試験対象チップ種での試験が2回目以降の場合には、ステップST12の判別結果がCHIPn 2であるYESとなる。この場合には、ステップST13に進み、ファンクション試験の結果がOK(PASS)かNG(Fail)かを判別する。

【0027】

そして、ステップST13における判別結果がOK(PASS)であるときはステップST14に進み、そのファンクション試験の終了(EOT(End Of Test))となる。そして、ステップ15に進み、さらに他のファンクション試験が残っているかどうかを判別する。ステップST15における判別結果がNOのときは試験終了となる。ステップST15における判別結果がYESのときは、ステップST13からステップST15までの処理を繰り返す。

30

【0028】

また、上記ステップST13で判別結果がNG(Fail)であるときはサブルーチン2に移行する。サブルーチン2では、まずステップST19に移行してFail回数が2回であるかどうかを判別する。この判別結果がYESのときは、ステップST23に進んで上述のエッジサーチの実行と検出結果のメモリ保持を行ってから再度ステップST13のファンクション試験を行う。

【0029】

そして、ステップST19の判別結果がNOのときは、ステップST20に進み、Fail回数が3回以上であるかどうかを判別する。この判別結果がYESのときは、試験終了となる。一方、ステップST20の判別結果がNOのとき、つまりFail回数が1回のときはステップST21に進み、エッジサーチの検出結果が試験対象チップ種で他にあるかどうかを判別する。ステップST21で判別結果がYESであればステップST22に進み、テストの信号を他の検出結果に対応できるように置き換えて再度ファンクション試験を受けることになる。また、上記ステップST21の判別結果がNOの場合はステップST23に移行する。

40

【0030】

本実施形態では、ステップST12において試験対象チップ種の試験が初めてであるかど

50

うかを判定し、試験が初めてでない場合には、エッジサーチを行わずにすむ。また、ステップ S T 1 8 でエッジサーチ検出結果を保持できるため、一度エッジサーチ検出結果を保持すると、その後のファンクション試験では、保持されている検出結果を使用可能である。このことから、一律にエッジサーチを実行する従来の方法と比較して、試験時間の短縮が可能となる。

【 0 0 3 1 】

また、ステップ S T 1 3 のファンクション試験で N G (F a i l) が発生した場合には、次のような効果が得られる。まず、その試験における N G (F a i l) の回数が 1 回目であるときにはステップ S T 2 2 で他の検出結果に置き換えるかステップ S T 2 3 でエッジサーチを再実行し、検出結果のメモリ保持を行ってからステップ S T 1 3 でファンクション試験を再度実行する。一方、その試験における N G (F a i l) の回数が 2 回目であるときは、ステップ S T 2 3 でエッジサーチを再度実行し検出結果のメモリ保持を行なった後、ステップ S T 1 3 でファンクション試験を再度実行する。一方、その試験における N G (F a i l) の回数が 3 回以上の場合には試験対象のチップ自体が不良と判断し、試験終了とする。このように、N G (F a i l) の回数に応じて適切な処理を行なうことにより、確実な判定が可能となる。

【 0 0 3 2 】

動作速度が 1 G H z を越える L S I では信号出力のタイミングがずれやすい。このような L S I は、L S I 同士の通信が非同期でも可能な規格を有しているが、テスト時には、テストの信号と L S I の信号とが同期する必要がある。そのため、テスト時には、L S I 自体には不良が無くても、タイミングのずれによって不良と判定されるおそれがあった。本実施形態においては、ファンクション試験で不良と判定されても、別の検出結果を用いて再度ファンクション試験を行うことができるので、短時間で、より確実な良・不良判定が可能となる。

【 0 0 3 3 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について図 2 を参照しながら説明する。図 2 は本実施形態における半導体集積回路装置の試験方法の手順を示すフローチャート図である。図 2 に示すように、本実施形態は、第 1 の実施形態の試験方法におけるステップ S T 2 1 とステップ S T 2 2 との間にステップ S T 3 2 を設けた試験方法である。

【 0 0 3 4 】

本実施形態の方法で試験を行なうと、第 1 の実施形態と同様の効果が得られる。それに加えて、本実施形態ではステップ S T 3 2 で試験対象チップ種における過去のエッジサーチの検出結果の使用頻度を判定する。そして、ステップ S T 2 2 において、ファンクション試験でフェイルしたエッジサーチの検出結果を最も使用頻度が多い検出結果で置き換えることができる。例えば、ステップ S T 3 2 で判定する検出結果の最高使用頻度が 5 回である場合には、ステップ S T 2 2 において、もとの検出結果が使用頻度が 5 回と判別された検出結果に置き換わる。ここで、最も使用頻度が高い検出結果は、ファンクション試験を P A S S する確率が最も高いので、試験が F a i l する確率が減少する。その結果、試験時間の短縮が可能となる。

【 0 0 3 5 】

(第 3 の実施形態)

以下、本発明の第 3 の実施形態について図 3 を参照しながら説明する。図 3 は本実施形態における半導体集積回路装置の試験方法の手順を示すフローチャート図である。図 3 に示すように、本実施形態は、第 1 の実施形態の試験方法におけるステップ S T 2 2 のかわりに、試験対象チップにおいて遅延回路を追加あるいは削除するステップ S T 4 2 を設けた試験方法である。

【 0 0 3 6 】

本実施形態の方法で試験を行なうと、第 1 の実施形態と同様の効果が得られるが、それに加えて、次のような効果が得られる。

【0037】

試験対象チップにおいて遅延回路は、複数のインバータを接続したインバータチェーンにより構成されている。ステップ42では、テストから信号を送って、遅延時間に応じて遅延回路として使用するインバータの数を調節することにより、遅延回路の追加、削除を行なう。このことから、遅延値を試験対象チップ内部で調整することができるため、試験がFailする確率が減少し、試験時間を短くすることができる。

【0038】

(第4の実施形態)

図4は本実施形態における半導体集積回路装置の試験方法の手順を示すフローチャート図である。

10

【0039】

まず、ステップST41で試験を開始する。ステップST42でCHIPn 2か否か、つまり、試験が同種の試験対象チップ種(DUT(Device Under Test))において初めてかどうかを判別する。

【0040】

ここで、試験が初めてである場合には、ステップST42における判別結果がNOとなり、サブルーチン1に移行してステップST53の処理を行なう。具体的には、ステップST47で、試験対象チップにおいてデータの入力から出力にかかる遅延時間を測定する。そして、ステップST48で遅延時間をメモリに保持する。メモリでは、試験中にステップST47で測定された遅延時間は全て保持されている。新たに測定された遅延時間は、ステップST43でファンクション試験における入力および出力のタイミングを調整するために用いられる。

20

【0041】

一方、試験対象チップ種での試験が2回目以降の場合には、ステップST42の判別結果がCHIPn 2であるYESとなる。この場合には、ステップST43に進み、ファンクション試験の結果がOK(PASS)かNG(Fail)かを判別する。

【0042】

そして、ステップST43における判別結果がOK(PASS)であるときはステップST44に進み、そのファンクション試験の終了(EOT(End Of Test))となる。そして、ステップ45に進み、さらに他のファンクション試験が残っているかどうかを判別する。ステップST45における判別結果がNOのときは試験終了となる。ステップST45における判定結果がYESのとき、ステップST43からステップST45までの処理を繰り返す。

30

【0043】

また、上記ステップST43で判別結果がNG(Fail)であるときはサブルーチン2に移行する。サブルーチン2では、まずステップST49に移行してFail回数が2回であるかどうかを判別する。この判別結果がYESのときは、ステップST53に進んで上述の遅延時間測定と測定結果のメモリ保持を行ってから再度ステップST43のファンクション試験を行う。

【0044】

そして、ステップST49の判別結果がNOのときは、ステップST50に進み、Fail回数が3回以上であるかどうかを判別する。この判別結果がYESのときは、試験終了となる。一方、ステップST50の判別結果がNOのとき、つまりFail回数が1回のときはステップST51に進み、遅延時間の測定結果が他にあるかどうかを判別する。ステップST51で、判別結果がYESであればステップST52に進み、試験対象チップ内において遅延回路を追加あるいは削除して再度ファンクション試験を受けることになる。また、上記ステップST51の判別結果がNOの場合はステップST53に移行する。

40

【0045】

図5は、本実施形態において、ステップST52の具体的な実動作パターンの例を示す図である。これは、ずれが生じやすいプラスマイナス2クロック分の範囲で、遅延回路を追

50

加，削除する例である。

【0046】

図5では、アドレス10000以上ではクロックのパターンがあると仮定する。アドレス9998で試験がFailすると、テストから+2信号が発生し、ステップST52で遅延回路を2クロック分追加する。アドレス9999でFailすると、テストから+1信号が発生し、ステップ52で遅延回路を1クロック分追加する。アドレス10001～10003の範囲で全てFailが生じる場合には、テストから-1信号が発生し、ステップST52で遅延回路を1クロック分削除する。アドレス10000～10001の範囲で全てFailが生じる場合には、テストから-2信号が発生し、ステップST52で遅延回路を2クロック分削除する。以上のようにステップST52で遅延回路を追加・削除した後に、ステップST43で、再度ファンクション試験を行なう。

10

【0047】

本実施形態では、遅延時間を回路内においてクロック単位で制御できるため、ファンクション試験時に、試験対象チップの出力パターンを期待クロックパターンと同じ動作にそろえることができる。このことから、Failが起こる確率が低くなり、試験方法に依存する歩留まりの低下を防ぐことができる。

【0048】

近年、高速LSIの多くに使用されているクロックリカバリ系回路では、実動作において歩留まり低下による不具合は生じないが、試験段階で歩留まり低下が生じると不具合が発生するため、上述のように歩留まり低下を防止することは有用である。

20

【0049】

さらに、本実施形態では、第1の実施形態と同様の効果を得ることができる。つまり、従来の方法よりも試験時間の短縮と確実な良・不良判定が可能となる。

【0050】

なお、図5に示す実動作パターンは、第3の実施形態のステップST42で用いてもよい。

【0051】

なお、本実施形態におけるステップST47およびステップST48を、第1，第2の実施形態におけるステップST17およびステップST18に用いてもよい。

【0052】

(第5の実施形態)

図6は、第5の実施形態の試験回路を示す回路図である。図6に示すように、本実施形態の試験システム(試験回路)は、LSIテスト66と、試験対象チップ種(DUT)61とから構成されている。LSIテスト66は、ドライバ部67とコンパレータ(ドライバ)部68とから構成される。試験対象チップ種61は、PLL回路62と、論理回路63と、シリアルパラレル回路64aと、パラレルシリアル回路64bと、FIFO回路、DLL回路またはFF回路が搭載されるボックス65a，65bとから構成される。

30

【0053】

本実施形態における試験回路の動作を、図6を参照しながら説明する。まず、LSIテスト66にあるドライバ部67から試験対象チップ種61にテスト信号が出力される。テスト信号には、クロック信号c11，c12と、データ信号daとがある。

40

【0054】

テスト信号のうちのクロック信号c11は、PLL回路62で逡倍された後、論理回路63に到達する。

【0055】

テスト信号のうちのクロック信号c11とデータ信号daとは、ボックス65a(入力タイミング調整回路)に入力される。このとき、ボックス65aは、FIFO，DLLまたはFFなどのデータのタイミングを合わせる回路を有しているため、クロック信号c11の出力のタイミングが、テスト66側のタイミングと合わせられる。そして、ボックス65aの出力信号は、シリアルパラレル回路64aでシリアルパラレル変換された後、論理

50

回路 6 3 に到達する。

【 0 0 5 6 】

論理回路 6 3 では、データ信号 d a に基づく試験結果信号が、P L L 回路 6 2 の通倍信号のタイミングに合わされて出力される。そして、試験結果信号は、パラレルシリアル回路 6 4 b でパラレルシリアル変換され、ボックス 6 5 b に到達する。

【 0 0 5 7 】

ボックス 6 5 b に到達した試験結果信号は、テスト 6 6 からボックス 6 5 b (出力タイミング調整用回路) に入力されるクロック信号 c 1 2 によってテスト側のタイミングに合わせられて、テスト 6 6 のコンパレータ部へ出力される。

【 0 0 5 8 】

以上の試験方法によると、試験対象チップ (D U T) 6 1 からテスト 6 6 に出力される試験結果信号の位相をテスト側の位相とあわせることができる。従って、P L L 回路を試験に使用することによって試験の不安定化するのを防ぐことができる。

【 0 0 5 9 】

なお、本発明においては、必ずしもボックス 6 5 a およびボックス 6 5 b の両方を備えている必要はなく、いずれか 1 つが備えられている場合にも効果を得ることができる。

【 0 0 6 0 】

(第 6 の実施形態)

図 7 は、第 6 の実施形態の試験回路を示す回路図である。図 7 に示すように、本実施形態の試験システム (試験回路) は、L S I テスタ 7 7 と、試験対象チップ種 (D U T) 7 1 とから構成されている。L S I テスタ 7 7 は、ドライバ部 7 8 とコンパレータ部 7 9 とから構成される。試験対象チップ種 7 1 は、P L L 回路 7 2 と、論理回路 7 3 と、シリアルパラレル回路 7 4 a と、パラレルシリアル回路 7 4 b と、F I F O 回路、D L L 回路又は F F 回路が搭載されるボックス 7 5 a , 7 5 b と、シリアルパラレル回路 7 6 とから構成される。

【 0 0 6 1 】

本実施形態における試験回路の動作を、図 7 を参照しながら説明する。まず、L S I テスタ 7 7 にあるドライバ部 7 8 から試験対象チップ種 7 1 にテスト信号が出力される。テスト信号には、クロック信号 c 1 1 および c 1 2 と、データ信号 d a とがある。

【 0 0 6 2 】

テスト信号のうちクロック信号 c 1 1 は、P L L 回路 7 2 で通倍された後、論理回路 7 3 に到達する。

【 0 0 6 3 】

テスト信号のうちのクロック信号 c 1 1 とデータ信号 d a とは、ボックス 7 5 a (入力タイミング調整回路) に入力される。このとき、ボックス 7 5 a は、F I F O , D L L または F F などのデータのタイミングを合わせる回路を有しているため、クロック信号 c 1 1 のタイミングが、テスト 7 7 側のタイミングと合わせられる。そして、ボックス 7 5 a の出力信号は、シリアルパラレル回路 7 4 a でシリアルパラレル変換された後、論理回路 7 3 に到達する。

【 0 0 6 4 】

論理回路 7 3 では、データ信号 d a に基づく試験結果信号が、P L L 回路 7 2 の通倍信号のタイミングに合わされて出力される。そして、試験結果信号は、パラレルシリアル回路 7 4 b でパラレルシリアル変換され、ボックス 7 5 b に到達する。

【 0 0 6 5 】

ボックス 7 5 b に到達した試験結果信号は、テスト 7 7 からボックス 7 5 b (出力タイミング調整用回路) に入力されるクロック信号 c 1 2 によってテスト側のタイミングに合わせられる。そして、試験結果信号は、シリアルパラレル回路 7 6 でシリアルパラレル変換される。ここで、シリアルパラレル回路 7 6 には、テスト 7 7 からのクロック信号 c 1 2 が入力されるので、より確実に、試験結果信号の位相をテスト側の位相と合わせることができる。

10

20

30

40

50

【 0 0 6 6 】

その後、試験結果信号は、テスト77のコンパレータ部へ出力される。シリアルパラレル回路76は、試験でのみ使用される。

【 0 0 6 7 】

【 発明の効果 】

本発明によると、半導体チップの試験において、試験時間短縮と確実な良・不良判定が可能になる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施形態における半導体チップの試験方法を示すフローチャート図である。

10

【 図 2 】 本発明の第 2 の実施形態における半導体チップの試験方法を示すフローチャート図である。

【 図 3 】 本発明の第 3 の実施形態における半導体チップの試験方法を示すフローチャート図である。

【 図 4 】 本発明の第 4 の実施形態における半導体チップの試験方法を示すフローチャート図である。

【 図 5 】 第 4 の実施形態において、ステップ S T 5 2 の具体的な実動作パターンの例を示す図である。

【 図 6 】 本発明の第 5 の実施形態における試験回路の構成を示す図である。

【 図 7 】 本発明の第 6 の実施形態における試験回路の構成を示す図である。

20

【 図 8 】 従来の半導体装置の試験時間の例を示した図である。

【 符号の説明 】

5 1 実動作パターン

6 1 D U T (D e v i c e U n d e r T e s t)

6 2 P L L 回路

6 3 論理回路

6 4 a シリアルパラレル回路

6 4 b パラレルシリアル回路

6 5 a ボックス

6 5 b ボックス

30

6 6 テスタ

6 7 ドライバ部

6 8 コンパレータ部 (ドライバ部)

7 1 D U T (D e v i c e U n d e r T e s t)

7 2 P L L 回路

7 3 論理回路

7 4 a シリアルパラレル回路

7 4 b パラレルシリアル回路

7 5 a ボックス

7 5 b ボックス

40

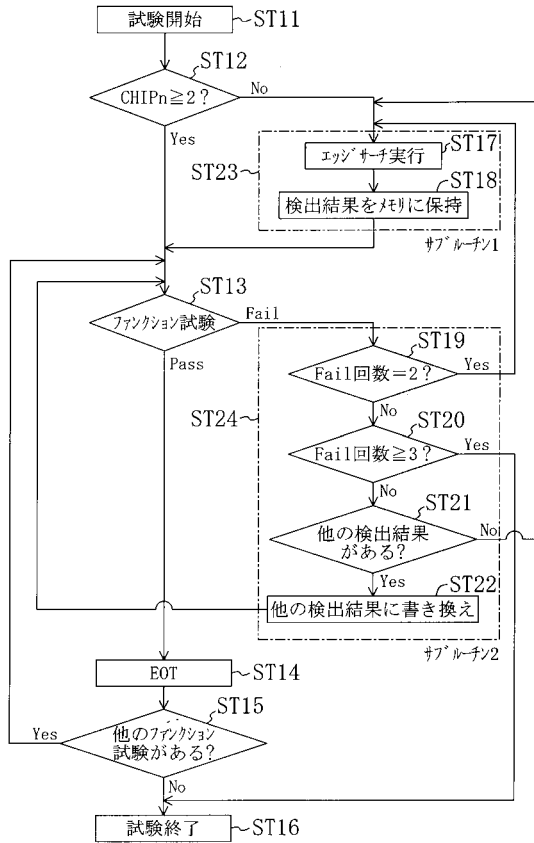
7 6 シリアルパラレル回路

7 7 テスタ

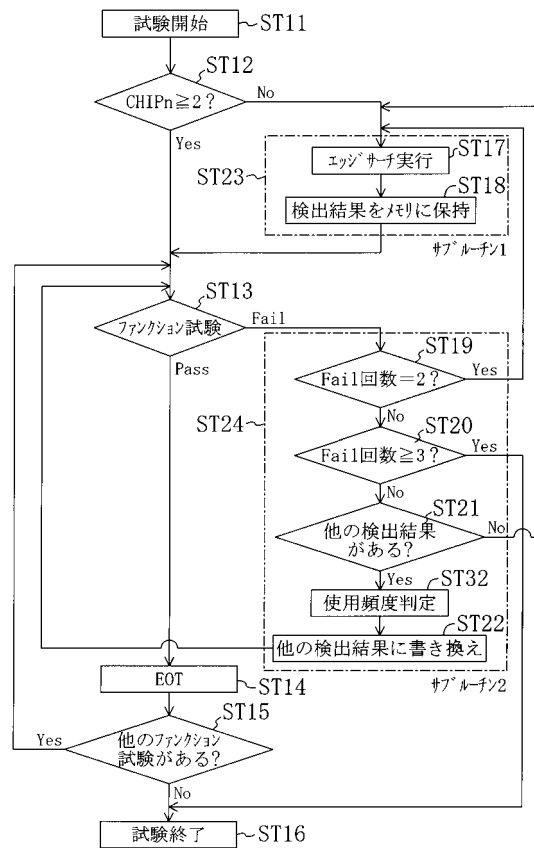
7 8 ドライバ部

7 9 コンパレータ部 (ドライバ部)

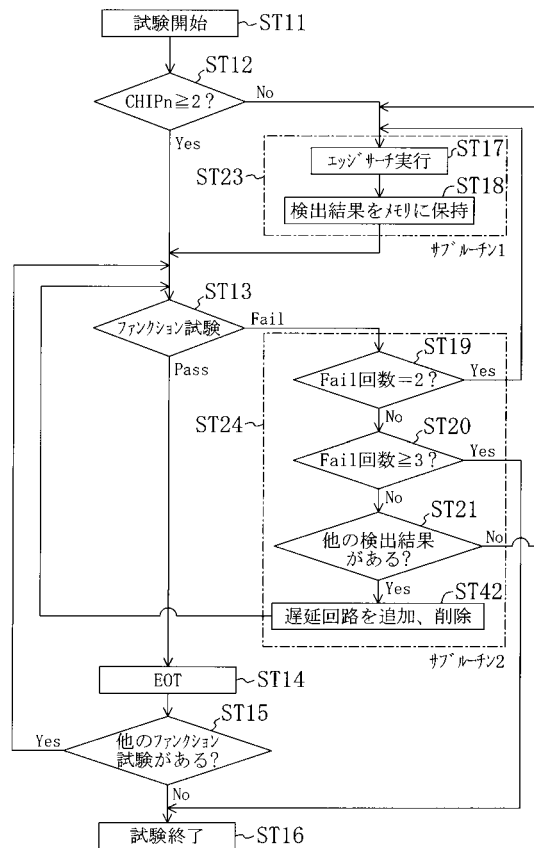
【 図 1 】



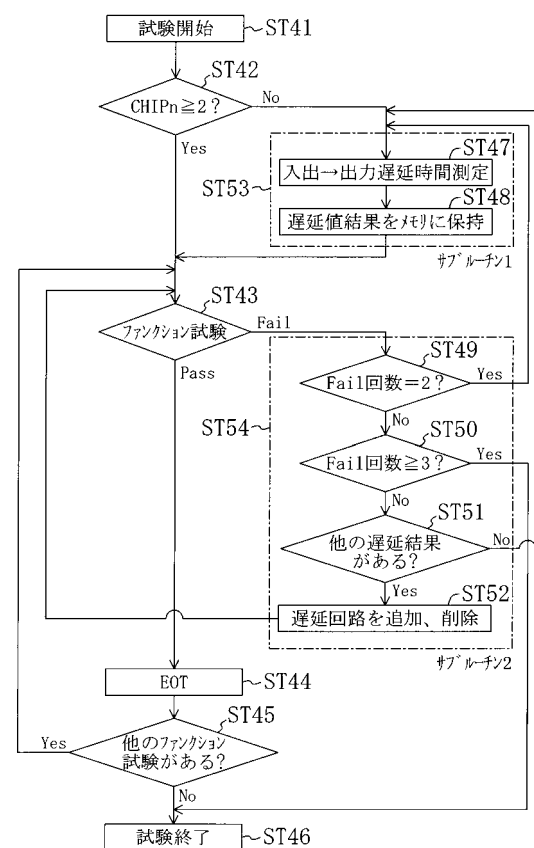
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(74)代理人 100115510

弁理士 手島 勝

(74)代理人 100115691

弁理士 藤田 篤史

(72)発明者 小松 義英

大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 篠崎 正

(56)参考文献 特開平11-281718(JP,A)

特開平11-329000(JP,A)

特開平07-092235(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G01R 31/28-31/3193