

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5175728号
(P5175728)

(45) 発行日 平成25年4月3日(2013.4.3)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int. Cl. F I
GO 1 R 31/319 (2006.01) GO 1 R 31/28 R
GO 1 R 31/28 (2006.01) GO 1 R 31/28 H

請求項の数 11 (全 24 頁)

(21) 出願番号	特願2008-524786 (P2008-524786)	(73) 特許権者	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(86) (22) 出願日	平成19年7月9日(2007.7.9)	(74) 代理人	100104156 弁理士 龍華 明裕
(86) 国際出願番号	PCT/JP2007/063654	(72) 発明者	佐藤 直樹 東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内
(87) 国際公開番号	W02008/007636	(72) 発明者	千葉 宣明 東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内
(87) 国際公開日	平成20年1月17日(2008.1.17)	(72) 発明者	上松 知宏 東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内
審査請求日	平成22年6月7日(2010.6.7)		
(31) 優先権主張番号	特願2006-191140 (P2006-191140)		
(32) 優先日	平成18年7月12日(2006.7.12)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 試験装置、調整方法および調整プログラム

(57) 【特許請求の範囲】

【請求項1】

複数のデータ端子と、前記複数のデータ端子の各々から出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを試験する試験装置であって、

当該試験装置の基準クロックを発生する基準クロック源と、

前記複数のデータ端子に対応して設けられ、前記基準クロックの位相を調整して得られるタイミングクロックに応じて、前記複数のデータ端子から出力されたデータ信号を取得する複数のタイミング比較器と、

前記クロック信号と前記タイミングクロックとに応じて、複数のタイミングクロックの各々の位相を調整する調整手段と、

前記複数のデータ端子に対応して設けられ、それぞれが前記基準クロックを指定した時間遅延させる複数の第1可変遅延回路と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する第1可変遅延回路により遅延された前記基準クロックの位相を、指定された位相シフト量分シフトした位相を有するタイミングクロックを出力する複数のタイミングクロック発生部と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックを指定された時間遅延させる複数の第2可変遅延回路と、

前記調整手段は、

前記複数のデータ端子に対応して設けられ、それぞれが前記クロック出力端子から出力

10

20

されるクロック信号と、対応する前記複数のタイミングクロックを遅延させた信号との位相差を検出して、当該位相差に応じた前記位相シフト量を出力する複数の位相比較器と、
前記基準クロックの遅延量を、前記複数のタイミング比較器が、前記複数のデータ端子のそれぞれから同時に出力されるデータ信号を、対応する前記複数のタイミングクロックに基づいて取得するように前記複数の第1可変遅延回路のそれぞれの遅延量を調整する第1調整部と、

前記第1調整部が前記複数の第1可変遅延回路のそれぞれの遅延量を調整した状態で、前記クロック出力端子から出力されたクロック信号に基づいて前記複数のデータ端子から同時に出力されたデータ信号を前記複数のタイミング比較器が取得できるように前記複数の第2可変遅延回路が遅延させる前記複数のタイミングクロックのそれぞれの遅延量を調整する第2調整部とを更に備え、

10

位相比較器は、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力する

試験装置。

【請求項2】

前記複数のデータ端子に対応して設けられ、それぞれが対応するデータ端子に供給する試験信号を出力する複数の試験信号供給部を更に備え、

前記第1調整部は、

前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を予め定められた基準値とした状態で、前記複数のデータ端子から出力される複数のデータ信号に代えて前記複数の試験信号供給部が出力する複数の前記試験信号を前記複数のタイミング比較器に入力させ、複数の前記タイミングクロックに基づいて前記複数の試験信号供給部が同時に出力した前記複数の試験信号を前記複数のタイミング比較器が取得できるようにそれぞれのタイミング比較器の取得タイミングを調整する第1調整処理部と、

20

前記クロック信号に代えて前記複数の試験信号を前記複数の位相比較器に入力して前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させる第2調整処理部と、

前記複数の第2可変遅延回路のそれぞれに対し、前記第2調整処理部により決定された前記位相シフト量と前記基準値との差分値に基づいて、当該差分値を略0とする遅延量を設定する第1遅延量設定部と

30

を有する請求項1に記載の試験装置。

【請求項3】

前記第1調整部は、

前記第1遅延量設定部により前記複数の第2可変遅延回路の遅延量が設定された状態で、前記クロック信号に代えて前記被試験デバイスが前記複数のデータ端子から出力する複数のデータ信号を前記複数の位相比較器に入力し、前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させる第3調整処理部と、

前記複数の第1可変遅延回路のそれぞれに対し、前記第3調整処理部により決定された前記位相シフト量と前記基準値との差分に基づいて、当該差分値を略0とする遅延量を設定する第2遅延量設定部と

40

を更に有する請求項2に記載の試験装置。

【請求項4】

前記第2調整部は、

前記第1遅延量設定部により前記複数の第2可変遅延回路の遅延量が設定され、前記第2遅延量設定部により前記複数の第1可変遅延回路の遅延量が設定された状態で、前記クロック信号を前記複数の位相比較器に入力し、前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させる第4調整処理部と、

前記複数の第2可変遅延回路のそれぞれに対し、前記第4調整処理部により決定された

50

前記位相シフト量と前記基準値との差分に基づいて、当該差分値を略0とする遅延量を設定する第3遅延量設定部と

を有する請求項3に記載の試験装置。

【請求項5】

前記被試験デバイスは、メモリを有するデバイスであり、

試験信号供給部は、前記第3調整処理部による調整に先立って、前記メモリに調整用データを書き込み、

前記第3調整処理部は、前記メモリから前記調整用データを読み出させて、読み出された前記調整用データに含まれる前記複数のデータ信号を前記複数の位相比較器に入力し、前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させる

請求項3に記載の試験装置。

【請求項6】

ユーザにより指定された試験シーケンスを実行して、当該試験シーケンスに対応付けられた試験パターンを前記複数の試験信号供給部に供給するパターン発生器を更に備え、

前記複数の試験信号供給部のそれぞれは、前記パターン発生器から供給された試験パターンに基づく試験信号を前記被試験デバイスの対応する前記データ端子に対して出力し、

前記パターン発生器は、前記試験シーケンスの実行中において前記試験シーケンス中の命令により位相調整の開始を指示された場合に、前記第3調整処理部および前記第2遅延量設定部の組、および、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を開始させる

請求項4に記載の試験装置。

【請求項7】

前記複数のタイミング比較器が取得した前記複数のデータ信号をそれぞれ期待値と比較してそれぞれの前記データ信号の良否を判定する複数の判定部を更に備え、

前記パターン発生器は、前記第3調整処理部および前記第2遅延量設定部の組、および、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を行っている期間の間、前記複数の判定部による前記複数のデータ信号の良否判定を禁止する請求項6に記載の試験装置。

【請求項8】

指定された試験プログラムに含まれる試験シーケンスを実行して、当該試験シーケンスに対応付けられた試験パターンを前記複数の試験信号供給部に供給するパターン発生器と

ユーザにより指定された試験制御プログラムを実行し、試験制御プログラム中に記述された複数の試験プログラムを順次前記パターン発生器により実行させる制御装置と

を更に備え、

前記複数の試験信号供給部のそれぞれは、前記パターン発生器から供給された試験パターンに基づく試験信号を前記被試験デバイスの対応する前記データ端子に対して出力し、

前記制御装置は、前記試験制御プログラムの実行中において一の前記試験プログラムの実行を終えた後他の前記試験プログラムの実行を開始するまでの間に位相調整の開始を指示するコマンドが記述されていた場合に、前記第3調整処理部および前記第2遅延量設定部の組、および、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を開始させる

請求項4に記載の試験装置。

【請求項9】

前記複数の位相比較器に対応して設けられ、試験プログラムの実行中に対応する前記位相比較器が出力する前記位相シフト量が予め定められた許容範囲外の値となったかどうかを検出する複数の検出部を更に備え、

前記制御装置は、前記試験制御プログラムの実行中において前記コマンドが記述されていた場合に、前記位相シフト量が前記許容範囲外の値となったことをいずれかの検出部が

10

20

30

40

50

検出したことを条件として、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を開始させる

請求項8に記載の試験装置。

【請求項10】

複数のデータ端子と、前記複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを試験する試験装置を調整する調整方法であって、

前記試験装置は、

当該試験装置の基準クロックを発生する基準クロック源と、

前記複数のデータ端子に対応して設けられ、それぞれが前記基準クロックを指定した時間遅延させる複数の第1可変遅延回路と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する第1可変遅延回路により遅延された前記基準クロックの位相を、指定された位相シフト量分シフトした位相を有するタイミングクロックを出力する複数のタイミングクロック発生部と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックに応じて対応するデータ端子から出力されたデータ信号を取得する複数のタイミング比較器と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックを指定された時間遅延させる複数の第2可変遅延回路と、

前記複数のデータ端子に対応して設けられ、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力する複数の位相比較器と

を備えるものであり、

前記複数のタイミング比較器が、前記複数のタイミングクロック発生部から出力される複数の前記タイミングクロックに基づいて前記複数のデータ端子から同時に出力されたデータ信号を取得するように前記複数の第1可変遅延回路のそれぞれの遅延量を調整する第1調整段階と、

前記第1調整段階が前記複数の第1可変遅延回路のそれぞれの遅延量を調整した状態で、前記クロック出力端子から出力されたクロック信号に基づいて前記複数のデータ端子から同時に出力されたデータ信号を前記複数のタイミング比較器が取得できるように前記複数の第2可変遅延回路のそれぞれの遅延量を調整する第2調整段階と

を備え、

位相比較器は、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力する

調整方法。

【請求項11】

複数のデータ端子と、前記複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを試験する試験装置用の調整プログラムであって、

前記試験装置は、

当該試験装置の基準クロックを発生する基準クロック源と、

前記複数のデータ端子に対応して設けられ、それぞれが前記基準クロックを指定した時間遅延させる複数の第1可変遅延回路と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する第1可変遅延回路により遅延された前記基準クロックの位相を、指定された位相シフト量分シフトした位相を有するタイミングクロックを出力する複数のタイミングクロック発生部と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックに応じて対応するデータ端子から出力されたデータ信号を取得する複数のタイミング比

較器と、

前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックを指定された時間遅延させる複数の第2可変遅延回路と、

前記複数のデータ端子に対応して設けられ、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力する複数の位相比較器と

を備えるものであり、

当該調整プログラムは、前記試験装置を、

前記複数のタイミング比較器が、前記複数のタイミングクロック発生部から出力される複数の前記タイミングクロックに基づいて前記複数のデータ端子から同時に出力されたデータ信号を取得するように前記複数の第1可変遅延回路のそれぞれの遅延量を調整する第1調整部と、

前記第1調整部が前記複数の第1可変遅延回路のそれぞれの遅延量を調整した状態で、前記クロック出力端子から出力されたクロック信号に基づいて前記複数のデータ端子から同時に出力されたデータ信号を前記複数のタイミング比較器が取得できるように前記複数の第2可変遅延回路のそれぞれの遅延量を調整する第2調整部と

して機能させ、

位相比較器は、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力する

調整プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置、調整方法および調整プログラムに関する。特に本発明は、複数のデータ端子と、複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを試験する試験装置、調整方法および調整プログラムに関する。本出願は、下記の日本出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。

1. 特願2006-191140 出願日 2006年7月12日

【背景技術】

【0002】

従来より、複数のデータ端子と、複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備えるデバイス(ソースシンクロナスデバイス)が知られている。特許文献1には、クロック埋め込み方式の高速シリアルインタフェースを有する被試験デバイスを試験する試験装置が開示されている。

【特許文献1】特開2005-285160号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、従来の試験装置は、データ信号の伝送経路の遅延量およびクロック信号の伝送経路の遅延量がピン間で異なるので、ソースシンクロナスデバイスから出力されたクロック信号を基準として、複数のデータ信号を同時に取り込んで、当該複数のデータ信号を並行に試験をすることが困難であった。

【0004】

そこで本発明は、上記の課題を解決することのできる試験装置、調整方法および調整プログラムを提供することを目的とする。この目的は請求の範囲における独立項に記載の特

10

20

30

40

50

徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の第1形態においては、データ端子と、前記データ端子から出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを試験する試験装置であって、当該試験装置の基準クロックを発生する基準クロック源と、前記データ端子に対応して設けられ、前記基準クロックの位相を調整して得られるタイミングクロックに応じて、前記データ端子から出力されたデータ信号を取得するタイミング比較器と、前記クロック信号と前記タイミン

10

【0006】

前記被試験デバイスは複数のデータ端子を備え、前記クロック信号は前記複数のデータ端子の各々から出力されるデータ信号を取得すべきタイミングを示し、前記試験装置は、前記複数のデータ端子に対応して設けられ、前記基準クロックの位相を調整して得られる複数のタイミングクロックに応じて、対応する前記データ端子から出力されたデータ信号を取得する複数の前記タイミング比較器を備え、前記調整手段は、前記クロック信号と前記複数のタイミングクロックとに応じて、前記複数のタイミングクロックの各々の位相を調整してよい。

20

【0007】

前記調整手段は、前記複数のデータ端子に対応して設けられ、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する前記複数のタイミングクロックを遅延させた信号との位相差を検出して、当該位相差に応じた前記位相シフト量を出力する複数の位相比較器と、前記クロック出力端子から出力されたクロック信号に基づいて前記複数のデータ端子から同時に出力されたデータ信号を前記複数のタイミング比較器が取得できるように前記複数のタイミングクロックのそれぞれの遅延量を調整する第2調整部とを備えてよい。

【0008】

試験装置は、前記基準クロックの遅延量を、前記複数のタイミング比較器が、前記複数のデータ端子のそれぞれから同時に出力されるデータ信号を、対応する前記複数のタイミングクロックに基づいて取得するように調整する第1調整部を更に備えてよい。

30

【0009】

試験装置は、前記基準クロックの遅延量を、前記複数のタイミング比較器が、前記複数のデータ端子のそれぞれから同時に出力されるデータ信号を、対応する前記複数のタイミングクロックに基づいて取得するように調整する第1調整部を更に備えてよい。

【0010】

試験装置は、前記複数のデータ端子に対応して設けられ、それぞれが前記基準クロックを指定した時間遅延させる複数の第1可変遅延回路と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記第1可変遅延回路により遅延された前記基準クロックの位相を、指定された位相シフト量分シフトした位相を有するタイミングクロックを出力する複数のタイミングクロック発生部と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックを指定された時間遅延させる複数の第2可変遅延回路と、を更に備え、前記位相比較器は、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する前記第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力し、前記第1調整部は、前記複数のタイミング比較器が、前記複数のタイミングクロック発生部から出力される複数の前記タイミングクロックに基づいて前記複数のデータ端子から同時に出力されたデータ信号を取得するように前記複数の第1可変遅延回路のそれぞれの遅延量を調整し、前記第2調整部は、前記第1調整部が前記複数の第1可変遅延回路のそれぞれの遅

40

50

延量を調整した状態で、前記クロック出力端子から出力されたクロック信号に基づいて前記複数のデータ端子から同時に出力されたデータ信号を前記複数のタイミング比較器が取得できるように前記複数の第2可変遅延回路のそれぞれの遅延量を調整してよい。

【0011】

試験装置は、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記データ端子に供給する試験信号を出力する複数の試験信号供給部を更に備え、前記第1調整部は、前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を予め定められた基準値とした状態で、前記複数のデータ端子から出力される複数のデータ信号に代えて前記複数の試験信号供給部が出力する複数の前記試験信号を前記複数のタイミング比較器に入力させ、複数の前記タイミングクロックに基づいて前記複数の試験信号供給部が同時に出力した前記複数の試験信号を前記複数のタイミング比較器が取得できるようにそれぞれの前記タイミング比較器の取得タイミングを調整する第1調整処理部と、前記クロック信号に代えて前記複数の試験信号を前記複数の位相比較器に入力して前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させる第2調整処理部と、前記複数の第2可変遅延回路のそれぞれに対し、前記第2調整処理部により決定された前記位相シフト量と前記基準値との差分値に基づいて、当該差分値を略0とする遅延量を設定する第1遅延量設定部とを有してよい。

10

【0012】

前記第1調整部は、前記第1遅延量設定部により前記複数の第2可変遅延回路の遅延量が設定された状態で、前記クロック信号に代えて前記被試験デバイスが前記複数のデータ端子から出力する複数のデータ信号を前記複数の位相比較器に入力し、前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させる第3調整処理部と、前記複数の第1可変遅延回路のそれぞれに対し、前記第3調整処理部により決定された前記位相シフト量と前記基準値との差分に基づいて、当該差分値を略0とする遅延量を設定する第2遅延量設定部とを更に有してよい。

20

【0013】

前記第2調整部は、前記第1遅延量設定部により前記複数の第2可変遅延回路の遅延量が設定され、前記第2遅延量設定部により前記複数の第1可変遅延回路の遅延量が設定された状態で、前記クロック信号を前記複数の位相比較器に入力し、前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させる第4調整処理部と、前記複数の第2可変遅延回路のそれぞれに対し、前記第4調整処理部により決定された前記位相シフト量と前記基準値との差分に基づいて、当該差分値を略0とする遅延量を設定する第3遅延量設定部とを有してよい。

30

【0014】

前記被試験デバイスは、メモリを有するデバイスであり、前記試験信号供給部は、前記第3調整処理部による調整に先立って、前記メモリに調整用データを書き込み、前記第3調整処理部は、前記メモリから前記調整用データを読み出させて、読み出された前記調整用データに含まれる前記複数のデータ信号を前記複数の位相比較器に入力し、前記複数の位相比較器により前記複数のタイミングクロック発生部のそれぞれの前記位相シフト量を決定させてよい。

40

【0015】

試験装置は、ユーザにより指定された試験シーケンスを実行して、当該試験シーケンスに対応付けられた試験パターンを前記複数の試験信号供給部に供給するパターン発生器を更に備え、前記複数の試験信号供給部のそれぞれは、前記パターン発生器から供給された試験パターンに基づく試験信号を前記被試験デバイスの対応する前記データ端子に対して出力し、前記パターン発生器は、前記試験シーケンスの実行中において前記試験シーケンス中の命令により位相調整の開始を指示された場合に、前記第3調整処理部および前記第2遅延量設定部の組、および、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を開始させてよい。

【0016】

50

試験装置は、前記複数のタイミング比較器が取得した前記複数のデータ信号をそれぞれ期待値と比較してそれぞれの前記データ信号の良否を判定する複数の判定部を更に備え、前記パターン発生器は、前記第3調整処理部および前記第2遅延量設定部の組、および、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を行っている期間の間、前記複数の判定部による前記複数のデータ信号の良否判定を禁止してよい。

【0017】

試験装置は、指定された試験プログラムに含まれる試験シーケンスを実行して、当該試験シーケンスに対応付けられた試験パターンを前記複数の試験信号供給部に供給するパターン発生器と、

ユーザにより指定された試験制御プログラムを実行し、試験制御プログラム中に記述された複数の試験プログラムを順次前記パターン発生器により実行させる制御装置とを更に備え、前記複数の試験信号供給部のそれぞれは、前記パターン発生器から供給された試験パターンに基づく試験信号を前記被試験デバイスの対応する前記データ端子に対して出力し、前記制御装置は、前記試験制御プログラムの実行中において一の前記試験プログラムの実行を終えた後他の前記試験プログラムの実行を開始するまでの間に位相調整の開始を指示するコマンドが記述されていた場合に、前記第3調整処理部および前記第2遅延量設定部の組、および、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を開始させてよい。

【0018】

試験装置は、前記複数の位相比較器に対応して設けられ、試験プログラムの実行中に対応する前記位相比較器が出力する前記位相シフト量が予め定められた許容範囲外の値となったかどうかを検出する複数の検出部を更に備え、前記制御装置は、前記試験制御プログラムの実行中において前記コマンドが記述されていた場合に、前記位相シフト量が前記許容範囲外の値となったことをいずれかの前記検出部が検出したことを条件として、前記第4調整処理部および前記第3遅延量設定部の組の少なくとも一方による位相調整を開始させてよい。

【0019】

本発明の第2形態においては、複数のデータ端子と、前記複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを試験する試験装置を調整する調整方法であって、前記試験装置は、当該試験装置の基準クロックを発生する基準クロック源と、前記複数のデータ端子に対応して設けられ、それぞれが前記基準クロックを指定した時間遅延させる複数の第1可変遅延回路と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記第1可変遅延回路により遅延された前記基準クロックの位相を、指定された位相シフト量分シフトした位相を有するタイミングクロックを出力する複数のタイミングクロック発生部と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックに応じて対応する前記データ端子から出力されたデータ信号を取得するタイミング比較器と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックを指定された時間遅延させる複数の第2可変遅延回路と、前記複数のデータ端子に対応して設けられ、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する前記第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力する複数の位相比較器とを備えるものであり、前記複数のタイミング比較器が、前記複数のタイミングクロック発生部から出力される複数の前記タイミングクロックに基づいて前記複数のデータ端子から同時に出力されたデータ信号を取得するように前記複数の第1可変遅延回路のそれぞれの遅延量を調整する第1調整段階と、前記第1調整段階が前記複数の第1可変遅延回路のそれぞれの遅延量を調整した状態で、前記クロック出力端子から出力されたクロック信号に基づいて前記複数のデータ端子から同時に出力されたデータ信号を前記複数のタイミング比較器が取得できるように前記複数の第2可変遅延回路のそれぞれの遅延量を調整する第

10

20

30

40

50

2 調整段階とを備える調整方法を提供する。

【0020】

本発明の第3形態においては、複数のデータ端子と、前記複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを試験する試験装置用の調整プログラムであって、前記試験装置は、当該試験装置の基準クロックを発生する基準クロック源と、前記複数のデータ端子に対応して設けられ、それぞれが前記基準クロックを指定した時間遅延させる複数の第1可変遅延回路と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記第1可変遅延回路により遅延された前記基準クロックの位相を、指定された位相シフト量分シフトした位相を有するタイミングクロックを出力する複数のタイミングクロック発生部と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックに応じて対応する前記データ端子から出力されたデータ信号を取得するタイミング比較器と、前記複数のデータ端子に対応して設けられ、それぞれが対応する前記タイミングクロックを指定された時間遅延させる複数の第2可変遅延回路と、前記複数のデータ端子に対応して設けられ、それぞれが前記クロック出力端子から出力されるクロック信号と、対応する前記第2可変遅延回路により遅延された前記タイミングクロックとの位相差を検出して、当該位相差に応じた前記位相シフト量を出力する複数の位相比較器とを備えるものであり、当該調整プログラムは、前記試験装置を、前記複数のタイミング比較器が、前記複数のタイミングクロック発生部から出力される複数の前記タイミングクロックに基づいて前記複数のデータ端子から同時に出力されたデータ信号を取得するように前記複数の第1可変遅延回路のそれぞれの遅延量を調整する第1調整部と、前記第1調整部が前記複数の第1可変遅延回路のそれぞれの遅延量を調整した状態で、前記クロック出力端子から出力されたクロック信号に基づいて前記複数のデータ端子から同時に出力されたデータ信号を前記複数のタイミング比較器が取得できるように前記複数の第2可変遅延回路のそれぞれの遅延量を調整する第2調整部として機能させる調整プログラムを提供する。

10

20

【0021】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【発明の効果】

30

【0022】

本発明によれば、複数のデータ端子と、複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子とを備える被試験デバイスを、精度よく試験することができる。

【図面の簡単な説明】

【0023】

【図1】本実施形態に係る試験装置10の構成を被試験デバイス100とともに示す。

【図2】本実施形態に係る比較部24、第1調整部32および第2調整部34の構成の一例を示す。

【図3】タイミングクロック発生部62および位相比較器70の構成の一例を、第1可変遅延回路60および第2可変遅延回路68とともに示す。

40

【図4】試験装置10のキャリブレーション処理手順を示す。

【図5】図4のステップS12およびS14における処理手順の一例を示す。

【図6】図5に示す処理において用いられる試験信号(TEST DATA)、第1周波数の基準クロック(CLK1)および第2周波数の基準クロック(CLK2)を示す。

【図7】変形例に係る試験装置10の構成を被試験デバイス100とともに示す。

【図8】変形例に係る試験装置10による試験シーケンスの一例を示す。

【図9】本発明の実施形態に係るコンピュータ1900のハードウェア構成の一例を示す。

【符号の説明】

50

【 0 0 2 4 】

1 0 . . . 試験装置、 2 2 . . . 基準クロック源、 2 4 . . . 比較部、 2 6 . . . 判定部、 2 8 . . . 試験信号供給部、 3 2 . . . 第 1 調整部、 3 4 . . . 第 2 調整部、 4 0 . . . 第 1 調整処理部、 4 2 . . . 第 2 調整処理部、 4 4 . . . 第 1 遅延量設定部、 4 6 . . . 第 3 調整処理部、 4 8 . . . 第 2 遅延量設定部、 5 0 . . . 第 4 調整処理部、 5 2 . . . 第 3 遅延量設定部、 6 0 . . . 第 1 可変遅延回路、 6 2 . . . タイミングクロック発生部、 6 4 . . . レベル比較器、 6 6 . . . タイミング比較器、 6 8 . . . 第 2 可変遅延回路、 7 0 . . . 位相比較器、 7 2 . . . 第 1 切替器、 7 4 . . . 第 2 切替器、 8 0 . . . 第 1 位相差検出器、 8 1 . . . 加算器、 8 2 . . . L P F 、 8 3 . . . V C O 、 8 4 . . . 1 / N 1 分周器、 8 5 . . . 1 / N 2 分周器、 8 6 . . . 第 2 位相差検出器、 8 7 . . . カウンタ、 8 8 . . . D A 変換回路、 1 0 0 . . . 被試験デバイス、 1 1 0 . . . データ端子、 1 2 0 . . . クロック出力端子、 2 0 2 . . . パターン発生器、 2 0 4 . . . 検出部

10

2 0 6 . . . 制御装置、 2 1 0 . . . 試験プログラム、 2 1 2 . . . キャリブレーションプログラム、 2 2 0 . . . 試験制御プログラム、 1 9 0 0 . . . コンピュータ、 2 0 0 0 . . . C P U 、 2 0 1 0 . . . R O M 、 2 0 2 0 . . . R A M 、 2 0 3 0 . . . 通信インターフェイス、 2 0 4 0 . . . ハードディスクドライブ、 2 0 5 0 . . . フレキシブルディスク・ドライブ、 2 0 6 0 . . . C D - R O M ドライブ、 2 0 7 0 . . . 入出力チップ、 2 0 7 5 . . . グラフィック・コントローラ、 2 0 8 0 . . . 表示装置、 2 0 8 2 . . . ホスト・コントローラ、 2 0 8 4 . . . 入出力コントローラ、 2 0 9 0 . . . フレキシブルディスク、 2 0 9 5 . . . C D - R O M

20

【 発明を実施するための最良の形態 】

【 0 0 2 5 】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【 0 0 2 6 】

図 1 は、本実施形態に係る試験装置 1 0 の構成を被試験デバイス 1 0 0 とともに示す。試験装置 1 0 は、複数のデータ端子 1 1 0 と、複数のデータ端子 1 1 0 のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出力するクロック出力端子 1 2 0 とを備える被試験デバイス 1 0 0 を、試験する。被試験デバイス 1 0 0 は、一例として、ソースシンクロナス方式でデータを伝送するメモリを有するデバイス等であってよい。試験装置 1 0 は、クロック出力端子 1 2 0 から出力されたクロック信号に基づくタイミングにより、複数のデータ端子 1 1 0 のそれぞれから出力される複数のデータ信号を並行して取り込む。そして、被試験デバイス 1 0 0 は、並行して取り込んだ複数のデータ信号のそれぞれを良否判定する。さらに、試験装置 1 0 は、被試験デバイス 1 0 0 の試験に先立って、または、試験シーケンスの実行中において、複数のデータ端子 1 1 0 から同時に出力された複数のデータ信号をクロック出力端子 1 2 0 から出力されたクロック信号に基づいて並行して取り込むことができるように、キャリブレーション処理を実行する。

30

40

【 0 0 2 7 】

被試験デバイス 1 0 0 は、基準クロック源 2 2 と、複数の比較部 2 4 と、複数の判定部 2 6 と、複数の試験信号供給部 2 8 と、第 1 調整部 3 2 と、第 2 調整部 3 4 とを備える。基準クロック源 2 2 は、当該試験装置 1 0 の基準クロックを発生する。複数の比較部 2 4 のそれぞれは、複数のデータ端子 1 1 0 に対応して設けられ、対応するデータ端子 1 1 0 から出力されるデータ信号を、クロック出力端子 1 2 0 から出力されたクロック信号に基づくタイミングで取り込む。

【 0 0 2 8 】

複数の判定部 2 6 は、複数のデータ端子 1 1 0 に対応して設けられ、対応する比較部 2 4 が取得した複数のデータ信号をそれぞれ期待値と比較してそれぞれのデータ信号の良否

50

を判定する。複数の試験信号供給部 28 は、複数のデータ端子 110 に対応して設けられ、それぞれが対応するデータ端子 110 に供給する試験信号を、基準クロック源 22 により出力された基準クロックに同期して出力する。第 1 調整部 32 および第 2 調整部 34 は、当該試験装置 10 を制御して、被試験デバイス 100 の試験に先立って、または、試験シーケンスの実行中において、複数の比較部 24 をキャリブレーションする。

【0029】

図 2 は、本実施形態に係る比較部 24、第 1 調整部 32 および第 2 調整部 34 の構成を示す。まず、第 1 段階において、試験装置 10 は、基準クロックのタイミングにより、複数の試験信号供給部 28 が同時に出力した複数の試験信号を並行して取得できるように、タイミングを調整する。次に、第 2 段階において、試験装置 10 は、複数の試験信号のタイミングにより、同時に出力された複数の試験信号を並行して取得できるように、タイミングを調整する。次に、第 3 段階において、試験装置 10 は、被試験デバイス 100 の複数のデータ端子 110 から出力された複数のデータ信号のタイミングにより、同時に出力された複数のデータ信号を並行して取得できるように、タイミングを調整する。次に、第 4 段階において、試験装置 10 は、被試験デバイス 100 のクロック出力端子 120 から出力されたクロック信号のタイミングにより、被試験デバイス 100 の複数のデータ端子 110 から同時に出力された複数のデータ信号を並行して取得できるように、タイミングを調整する。

【0030】

以上の第 1 段階～第 4 段階の動作をすべく、試験装置 10 は、複数のデータ端子 110 に対応して設けられた、複数の第 1 可変遅延回路 60 と、複数のタイミングクロック発生部 62 と、複数のレベル比較器 64 と、複数のタイミング比較器 66 と、複数の第 2 可変遅延回路 68 と、複数の位相比較器 70 と、複数の第 1 切替器 72 と、複数の第 2 切替器 74 とを備える。そして、複数の比較部 24 のそれぞれは、対応するデータ端子 110 に対応した、第 1 可変遅延回路 60 と、タイミングクロック発生部 62 と、レベル比較器 64 と、タイミング比較器 66 と、第 2 可変遅延回路 68 と、位相比較器 70 と、第 1 切替器 72 と、第 2 切替器 74 とを有する。

【0031】

複数の第 1 可変遅延回路 60 のそれぞれは、基準クロックを指定した時間遅延させる。複数のタイミングクロック発生部 62 のそれぞれは、対応する第 1 可変遅延回路 60 により遅延された基準クロックの位相を、位相比較器 70 により指定された位相シフト量分シフトした位相を有するタイミングクロックを出力する。複数のタイミングクロック発生部 62 のそれぞれは、一例として、基準クロックの整数倍の周波数のタイミングクロックを発生する PLL (Phase Locked Loop) 回路であってよい。この場合において、複数のタイミングクロック発生部 62 のそれぞれは、基準クロックから位相シフト量分シフトした位相を有するタイミングクロックを発生すべく、PLL の制御量に位相比較器 70 からオフセット電圧が印加される。

【0032】

複数のレベル比較器 64 のそれぞれは、対応するデータ端子 110 から出力されたデータ信号を予め定められた閾値レベルで 2 値化する。複数のタイミング比較器 66 のそれぞれは、対応するタイミングクロック発生部 62 から出力されたタイミングクロックに応じて対応するデータ端子 110 から出力されたデータ信号を、対応するレベル比較器 64 を介して取得する。複数のタイミング比較器 66 のそれぞれは、一例として、対応するタイミングクロックのタイミング (例えば、立上りエッジまたは立下りエッジ) で、対応するレベル比較器 64 の出力信号を取得する。

【0033】

複数の第 2 可変遅延回路 68 のそれぞれは、対応するタイミングクロック発生部 62 から出力されたタイミングクロックを、指定された時間遅延させる。複数の位相比較器 70 のそれぞれは、クロック出力端子 120 から出力されるクロック信号と、対応する第 2 可変遅延回路 68 により遅延されたタイミングクロックとの位相差を検出して、当該位相差

10

20

30

40

50

に応じた位相シフト量を出力する。これにより、位相比較器 70 により出力された位相シフト量を入力するタイミングクロック発生部 62 は、クロック信号に対して第 2 可変遅延回路 68 による遅延量分進んだタイミングクロックを出力することができる。

【0034】

複数の第 1 切替器 72 のそれぞれは、対応するデータ端子 110 から出力されるデータ信号または対応する試験信号供給部 28 が出力する試験信号を、対応するタイミング比較器 66 に対して入力させる。複数の第 1 切替器 72 のそれぞれは、試験時において、対応するデータ端子 110 から出力されるデータ信号を対応するタイミング比較器 66 に対して入力させ、キャリブレーション時の切り替え設定がされた場合において、対応するデータ端子 110 から出力されるデータ信号に代えて、対応する試験信号供給部 28 が出力する試験信号を、対応するタイミング比較器 66 に対して入力させる。なお、複数の第 1 切替器 72 のそれぞれは、試験シーケンスの途中にキャリブレーション処理を実行する場合においては、対応するデータ端子 110 から出力されるデータ信号を対応するタイミング比較器 66 に対して入力させ、キャリブレーションをさせてよい。

10

【0035】

なお、データ信号に代えて試験信号をタイミング比較器 66 に入力させる場合において、試験装置 10 は、被試験デバイス 100 を搭載した基板に代えて、複数の試験信号供給部 28 から出力された複数の試験信号のそれぞれを対応するタイミング比較器 66 に伝送する複数のショート配線が形成された基板を、装備してもよい。

【0036】

複数の第 2 切替器 74 のそれぞれは、対応するクロック出力端子 120 から出力されるクロック信号、または、対応するデータ端子 110 から出力されるデータ信号若しくは対応する試験信号供給部 28 が出力する試験信号を、対応する位相比較器 70 に入力させる。複数の第 2 切替器 74 のそれぞれは、試験時において、対応するクロック出力端子 120 から出力されるクロック信号を対応する位相比較器 70 に入力させ、キャリブレーション時の切り替え設定がされた場合において、対応するクロック出力端子 120 から出力されるクロック信号に代えて、対応するデータ端子 110 から出力されるデータ信号または対応する試験信号供給部 28 が出力する試験信号を、対応する位相比較器 70 に入力させる。

20

【0037】

このような構成の比較部 24 をキャリブレーションする第 1 調整部 32 は、複数のタイミング比較器 66 が、複数のタイミングクロック発生部 62 から出力される複数のタイミングクロックに基づいて複数のデータ端子 110 から同時に出力されたデータ信号を取得するように複数の第 1 可変遅延回路 60 のそれぞれの遅延量を調整する。本実施形態において、第 1 調整部 32 は、第 1 調整処理部 40 と、第 2 調整処理部 42 と、第 1 遅延量設定部 44 と、第 3 調整処理部 46 と、第 2 遅延量設定部 48 とを有する。

30

【0038】

第 1 調整処理部 40 は、複数の試験信号供給部 28 が同時に出力した複数の試験信号を複数のタイミング比較器 66 が同時に取得できるように設定することを目的として、複数のタイミング比較器 66 のそれぞれの取得タイミングを調整する。第 2 調整処理部 42 は、試験信号供給部 28 からタイミング比較器 66 までの経路と、試験信号供給部 28 から位相比較器 70 までの経路との差分を無くすことを目的として、複数の位相比較器 70 のそれぞれに位相シフト量を決定させる。第 1 遅延量設定部 44 は、当該試験装置 10 のデータ入力端から位相比較器 70 までの経路における遅延量分タイミングクロックを遅延させることを目的として、複数の第 2 可変遅延回路 68 のそれぞれに対して遅延量を設定する。

40

【0039】

第 3 調整処理部 46 は、データ端子 110 から当該試験装置 10 のデータ入力端までの経路における遅延量を検出することを目的として、複数の位相比較器 70 のそれぞれに位相シフト量を決定させる。第 2 遅延量設定部 48 は、データ端子 110 から試験装置 10

50

のデータ入力端までの経路における遅延量分基準クロックを遅延させることを目的として、複数の第1可変遅延回路60のそれぞれに対して遅延量を設定する。

【0040】

また、このような構成の比較部24をキャリブレーションする第2調整部34は、第1調整部32が複数の第1可変遅延回路60のそれぞれの遅延量を調整した状態で、クロック出力端子120から出力されたクロック信号に基づいて複数のデータ端子110から同時に出力されたデータ信号を複数のタイミング比較器66が取得できるように複数の第2可変遅延回路68のそれぞれの遅延量を調整する。本実施形態において、第2調整部34は、第4調整処理部50と、第3遅延量設定部52とを有する。

【0041】

第4調整処理部50は、クロック出力端子120から対応する位相比較器70までの経路における遅延量を検出することを目的として、複数の位相比較器70のそれぞれに位相シフト量を決定させる。第3遅延量設定部52は、クロック出力端子120から対応する位相比較器70までの経路における遅延量分タイミングクロックを遅延させることを目的として、複数の第2可変遅延回路68のそれぞれに対して遅延量を設定する。

【0042】

図3は、タイミングクロック発生部62および位相比較器70の構成の一例を第1可変遅延回路60および第2可変遅延回路68とともに示す。タイミングクロック発生部62は、一例として、基準クロックの整数倍の周波数のタイミングクロックを発生するPLL回路であってよい。PLL回路を構成するタイミングクロック発生部62は、一例として、第1位相差検出器80と、加算器81と、LPF82と、VCO83と、1/N1分周器84と、1/N2分周器85とを有してよい。

【0043】

第1位相差検出器80は、第1可変遅延回路60により遅延された基準クロックと、1/N2分周器85から出力される信号との位相差を検出して、検出した位相差に応じたデューティを有する信号を出力する。加算器81は、第1位相差検出器80の出力信号の電圧に位相比較器70から出力された電圧を加算する。LPF82は、加算器81から出力された電圧を平滑した制御電圧を出力する。VCO83は、LPF82から出力された制御電圧に応じた周波数の信号を出力する。1/N1分周器84は、VCO83により出力された信号を1/N1(N1は整数。)に分周する。

【0044】

1/N2分周器85は、1/N1分周器84により出力された信号を1/N2(N2は整数。)に分周する。このような構成のタイミングクロック発生部62は、1/N1分周器84から出力する信号を、タイミングクロックとして出力する。このようなタイミングクロック発生部62によれば、第1可変遅延回路60により遅延された基準クロックと位相比較器70から出力された電圧値に応じた位相だけシフトした関係にあり、基準クロックの周波数をN2倍した周波数のタイミングクロックを出力することができる。

【0045】

また、位相比較器70は、一例として、第2位相差検出器86と、カウンタ87と、DA変換回路88とを有してよい。第2位相差検出器86は、第2可変遅延回路68により遅延されたタイミングクロックと、クロック信号(または試験信号若しくはデータ信号)との位相差を検出して、検出した位相差に応じたデューティを有する信号を出力する。

【0046】

カウンタ87は、第2位相差検出器86の出力信号に応じてアップカウント動作あるいはダウンカウント動作を行う。カウンタ87は、一例として、第2位相差検出器86の出力信号がハイレベルの場合に、アップカウント動作をし、第2位相差検出器86の出力信号がローレベルの場合に、ダウンカウント動作をする。これにより、カウンタ87は、第2可変遅延回路68により遅延されたタイミングクロックとクロック信号(または試験信号若しくはデータ信号)との位相差に応じたデジタル値を出力することができる。DA変換回路88は、カウンタ87のカウント値に応じた値の電圧を出力する。

10

20

30

40

50

【 0 0 4 7 】

このような位相比較器 7 0 によれば、第 2 可変遅延回路 6 8 により遅延されたタイミングクロックとクロック信号（または試験信号若しくはデータ信号）との位相差分、基準クロックから遅延した位相を有するタイミングクロックを出力することができる。さらに、このような位相比較器 7 0 によれば、第 2 可変遅延回路 6 8 により遅延されたタイミングクロックとクロック信号（または試験信号若しくはデータ信号）との位相差に応じた位相シフト量として、カウンタ 8 7 の値を出力することができる。

【 0 0 4 8 】

図 4 は、試験装置 1 0 のキャリブレーション処理手順を示す。まず、第 1 調整処理部 4 0 は、複数のタイミングクロック発生部 6 2 のそれぞれの位相シフト量を予め定められた基準値（例えば、0）とした状態とする。続いて、第 1 調整処理部 4 0 は、第 1 切替器 7 2 を切り替えることにより、複数のデータ端子 1 1 0 から出力される複数のデータ信号に代えて複数の試験信号供給部 2 8 が出力する複数の試験信号を複数のタイミング比較器 6 6 に入力させる。この場合において、試験装置 1 0 は、第 1 切替器 7 2 による切り替えに代えて、複数の試験信号供給部 2 8 から出力された複数の試験信号のそれぞれを対応するタイミング比較器 6 6 に伝送する複数のショート配線が形成された基板が、被試験デバイス 1 0 0 に代えて搭載されてもよい。続いて、第 1 調整処理部 4 0 は、複数のタイミングクロックに基づいて複数の試験信号供給部 2 8 が同時に出力した複数の試験信号を複数のタイミング比較器 6 6 が取得できるようにそれぞれのタイミング比較器 6 6 の取得タイミングを調整する（S 1 1）。

【 0 0 4 9 】

第 1 調整処理部 4 0 は、一例として、同時に出力した複数の試験信号を同一タイミングの信号として複数のタイミング比較器 6 6 が取得できるように、当該タイミング比較器 6 6 に入力されるタイミング信号を遅延してよい。より具体的には、比較部 2 4 のそれぞれは、第 2 可変遅延回路 6 8 の入力端とタイミングクロック発生部 6 2 の出力端との接続点と、タイミング比較器 6 6 との間にディレイ回路を更に有し、第 1 調整処理部 4 0 は当該ディレイ回路の遅延量を調整してよい。ステップ S 1 1 の処理が行われることにより、試験装置 1 0 は、基準クロックのタイミングにより、複数の試験信号供給部 2 8 が同時に出力した複数の試験信号を並行して取得できるように、タイミングが調整される。

【 0 0 5 0 】

次に、第 2 調整処理部 4 2 は、第 2 切替器 7 4 を切り替えることによりクロック信号に代えて複数の試験信号を複数の位相比較器 7 0 に入力する。続いて、第 2 調整処理部 4 2 は、複数の位相比較器 7 0 により複数のタイミングクロック発生部 6 2 のそれぞれの位相シフト量を決定させる（S 1 2）。第 2 調整処理部 4 2 は、タイミングクロック発生部 6 2 が PLL 回路を有する場合、当該 PLL 回路が安定してから位相シフト量を取得してよい。より具体的には、第 2 調整処理部 4 2 は、タイミングクロックの位相変動が所定値より小さくなった後または所定時間経過後の位相シフト量を取得してよい。

【 0 0 5 1 】

これにより、第 2 調整処理部 4 2 は、複数の位相比較器 7 0 のそれぞれが決定した位相シフト量の基準値からの変化に基づき、試験装置 1 0 における対応するデータ入力端（例えば、第 1 切替器 7 2 の入力端）から、当該データ信号を取り込む対応するタイミング比較器 6 6 までの経路における遅延量を算出することができる。

【 0 0 5 2 】

次に、第 1 遅延量設定部 4 4 は、複数の第 2 可変遅延回路 6 8 のそれぞれに対し、第 2 調整処理部 4 2 により決定された位相シフト量と基準値との差分値に基づいて、当該差分値を略 0 とする遅延量を設定する（S 1 3）。すなわち、第 1 遅延量設定部 4 4 は、第 2 可変遅延回路 6 8 により予めタイミングクロックを遅延させて位相比較器 7 0 に入力した状態でステップ S 1 2 の処理を行うと、位相シフト量が 0 となるような遅延量を、複数の第 2 可変遅延回路 6 8 のそれぞれに対して設定する。この結果、複数の第 2 可変遅延回路 6 8 のそれぞれは、試験装置 1 0 の対応するデータ入力端から対応するタイミング比較器

66までの経路の遅延量分遅延したタイミングクロックを、位相比較器70に入力させることができる。ステップS12およびS13の処理が行われることにより、試験装置10は、複数の試験信号のタイミングにより、同時に出力された複数の試験信号を並行して取得できるように、タイミングが調整される。

【0053】

次に、第3調整処理部46は、第1遅延量設定部44により複数の第2可変遅延回路68の遅延量が設定された状態とする。続いて、第3調整処理部46は、第2切替器74を切り替えることによりクロック信号に代えて被試験デバイス100が複数のデータ端子110から出力する複数のデータ信号を複数の位相比較器70に入力する。続いて、第3調整処理部46は、複数の位相比較器70により複数のタイミングクロック発生部62のそれぞれの位相シフト量を決定させる(S14)。第3調整処理部46は、タイミングクロック発生部62がPLL回路を有する場合、当該PLL回路が安定してから位相シフト量を取得してよい。より具体的には、第3調整処理部46は、タイミングクロックの位相変動が所定値より小さくなった後または所定時間経過後の位相シフト量を取得してよい。

10

【0054】

ここで、第1遅延量設定部44により複数の第2可変遅延回路68の遅延量が設定された状態とされているので、位相シフト量は、データ入力端からタイミング比較器66までの経路を除く経路の遅延量に応じた値となる。従って、第3調整処理部46は、複数の位相比較器70のそれぞれが決定した位相シフト量の基準値からの変化に基づき、被試験デバイス100における対応するデータ端子110から、試験装置10の対応するデータ入力端までの経路における遅延量を算出することができる。

20

【0055】

次に、第2遅延量設定部48は、複数の第1可変遅延回路60のそれぞれに対し、第3調整処理部46により決定された位相シフト量と基準値との差分に基づいて、当該差分値を略0とする遅延量を設定する(S15)。この結果、第1可変遅延回路60のそれぞれは、被試験デバイス100における対応するデータ端子110から、試験装置10における対応するデータ入力端子までの経路における遅延量分遅延した基準クロックを、タイミングクロック発生部62に入力させることができる。ステップS14およびS15の処理が行われることにより、試験装置10は、複数のデータ端子110から出力された複数のデータ信号のタイミングにより、同時に出力された複数のデータ信号を並行して取得できるように、タイミングを調整する。

30

【0056】

以上のステップS11からS15までの処理を行うことにより、タイミングクロック発生部62は、被試験デバイス100のデータ端子110からタイミング比較器66までの全経路の遅延量分遅延したタイミングクロックを出力することができる。これにより、複数のタイミング比較器66のそれぞれは、対応するデータ端子110から出力されたデータ信号を、基準クロックに基づき生成されたタイミングクロックのタイミングで取得できるように調整される。

【0057】

次に、第4調整処理部50は、複数の第2可変遅延回路68の遅延量が所定値(例えば、0)に設定され、第2遅延量設定部48により複数の第1可変遅延回路60の遅延量が設定された状態とする。続いて、第4調整処理部50は、第2切替器74を切り替えることによりクロック信号を複数の位相比較器70に入力し、複数の位相比較器70により複数のタイミングクロック発生部62のそれぞれの位相シフト量を決定させる(S16)。ここで、S16の処理により複数の位相比較器70のそれぞれが決定した位相シフト量の基準値からの変化量は、クロック出力端子120から対応する位相比較器70までの経路に切り替えたことにより生じる経路差の遅延量を示す。

40

【0058】

次に、第3遅延量設定部52は、複数の第2可変遅延回路68のそれぞれに対し、第4調整処理部50により決定された位相シフト量と基準値との差分に基づいて、当該差分値

50

を略0とする遅延量を設定する(S17)。すなわち、第3遅延量設定部52は、第2可変遅延回路68により予めタイミングクロックを遅延させて位相比較器70に入力した状態でステップS16の処理を行うと、位相シフト量が0となるような遅延量を、複数の第2可変遅延回路68のそれぞれに対して設定する。この結果、複数の第2可変遅延回路68のそれぞれは、さらに、対応するクロック出力端子120から対応する位相比較器70までの経路における遅延量分遅延したタイミングクロックを、位相比較器70に入力させることができる。これにより、タイミングクロック発生部62は、対応するデータ端子110から対応するタイミング比較器66までの経路の遅延量から、対応するクロック出力端子120から対応する位相比較器70までの経路における遅延量を差し引いた遅延量分遅延したタイミングクロックを、出力することができる。ステップS16およびS17の処理が行われることにより、試験装置10は、被試験デバイス100のクロック出力端子120から出力されたクロック信号のタイミングにより、被試験デバイス100の複数のデータ端子110から同時に出力された複数のデータ信号を並行して取得できるように、タイミングが調整される。

10

【0059】

よって、複数のタイミング比較器66のそれぞれは、対応するデータ端子110から出力されたデータ信号を、当該データ信号と同時にクロック出力端子120から出力されたクロック信号に基づくタイミングで取得することができる。そして、試験装置10によれば、複数のデータ端子110から同時に出力された複数のデータ信号を、クロック出力端子120から出力されたクロック信号に基づくタイミングで並行して取り込んで試験を

20

【0060】

なお、被試験デバイス100がメモリを有するデバイスである場合、試験信号供給部28は、第3調整処理部46による調整に先立って、当該被試験デバイス100に調整用データを書き込んでよい。そして、第3調整処理部46は、当該被試験デバイス100から調整用データを読み出させて、読み出された調整用データに含まれる複数のデータ信号を複数の位相比較器70に入力し、複数の位相比較器70により複数のタイミングクロック発生部62のそれぞれの位相シフト量を決定させてよい。これにより、試験信号供給部28は、被試験デバイス100が例えばメモリデバイスであっても、タイミングクロック発生部62がタイミングクロックを発生することができるデータ信号を、当該被試験デバイス100から出力させることができる。

30

【0061】

図5は、図4のステップS12およびS14における処理手順の一例を示す。第2調整処理部42は、試験装置10のデータ入力端から対応するタイミング比較器66までの経路が、基準クロックの周期以上の遅延を有する場合、次のステップS21からS25の処理を行って、遅延量を算出してよい。

【0062】

まず、第2調整処理部42は、基準クロック源22から第1周波数の基準クロックを発生させる(S21)。次に、第2調整処理部42は、基準クロック源22から第1周波数の基準クロックを発生させた状態で、クロック信号に代えて、対応する比較部24から出力された試験信号を対応する位相比較器70に入力する。そして、第2調整処理部42は、タイミングクロック発生部62の第1周波数の基準クロックにおける位相シフト量を、位相比較器70により決定させる(S22)。これにより、第2調整処理部42は、第1周波数の基準クロックにおける位相シフト量を取得することができる。

40

【0063】

次に、第2調整処理部42は、基準クロック源22から第1周波数とは異なる第2周波数の基準クロックを発生させる(S23)。次に、第2調整処理部42は、基準クロック源22から第2周波数の基準クロックを発生させた状態で、クロック信号に代えて、対応する比較部24から出力された試験信号を対応する位相比較器70に入力する。そして、第2調整処理部42は、タイミングクロック発生部62の第2周波数の基準クロックにお

50

ける位相シフト量を位相比較器 70 により決定させる (S 24)。これにより、第 2 調整処理部 42 は、第 2 周波数の基準クロックにおける位相シフト量を取得することができる。

【0064】

次に、第 2 調整処理部 42 は、対応するタイミング比較器 66 について、第 1 周波数の基準クロックにおける位相シフト量と基準値との第 1 差分値と、第 2 周波数の基準クロックにおける位相シフト量と基準値との第 2 差分値とに基づいて、第 1 差分値および第 2 差分値を略 0 とする遅延量を算出する (S 25)。そして、第 2 調整処理部 42 は、算出した遅延量を、データ入力端から対応するタイミング比較器 66 までの経路の遅延量とする。

10

【0065】

以上の処理により、第 2 調整処理部 42 は、基準クロックの周期以上の遅延を有する経路の遅延量を算出することができる。なお、第 3 調整処理部 46 も、データ端子 110 から試験装置 10 の対応するデータ入力端までの経路における遅延量が、基準クロックの周期以上の遅延を有する場合、以上のステップ S 21 から S 25 の処理を行って、遅延量を算出してよい。

【0066】

図 6 は、図 5 に示す処理において用いられる試験信号 (TEST DATA)、第 1 周波数の基準クロック (CLK1) および第 2 周波数の基準クロック (CLK2) を示す。図 6 において、CLK1 は第 1 周波数の基準クロックを示し、CLK2 は第 1 周波数より低い第 2 周波数の基準クロックを示し、TEST DATA は、試験信号供給部 28 から出力される第 1 基準クロックまたは第 2 基準クロックに同期した試験信号を示す。また、図 6 において、Td は、試験装置 10 のデータ入力端から対応するタイミング比較器 66 までの経路またはデータ端子 110 から対応するデータ入力端までの経路の遅延量を示し、x1 は、Td を第 1 周波数の基準クロックの周期 (T_{CL1}) で割った商を示し、P1 は、Td を T_{CL1} で割った余りを示し、x2 は、Td を第 2 周波数の基準クロックの周期 (T_{CL2}) で割った商を示し、P2 は、Td を T_{CL2} で割った余りを示す。

20

【0067】

ここで、Td は、下記式 (1) または式 (2) で表される。

$$Td = (T_{CL1} \times x1) + P1 \quad \dots (1)$$

$$Td = (T_{CL2} \times x2) + P2 \quad \dots (2)$$

30

【0068】

第 2 調整処理部 42 (または第 3 調整処理部 46) は、予め、x1 = x2 または x1 = x1 - 1 となるような条件で、第 1 周波数の基準クロック (CLK1) および第 2 周波数の基準クロック (CLK2) を設定する。さらに、第 2 調整処理部 42 (または第 3 調整処理部 46) は、予め、(T_{CL2} > T_{CL1}) 且つ (T_{CL2} × (x1 - 1) < T_{CL1} × x1) となるような条件で、第 1 周波数の基準クロック (CLK1) および第 2 周波数の基準クロック (CLK2) を設定する。なお、Td はある程度設計時において定まる。従って、第 2 調整処理部 42 (または第 3 調整処理部 46) は、予め算出された上記の 2 つの条件を満たす第 1 周波数の基準クロック (CLK1) および第 2 周波数の基準クロック (CLK2) をメモリから呼び出してよい。また、第 2 調整処理部 42 (または第 3 調整処理部 46) は、設計時において定まる Td をメモリから呼び出して、上記の 2 つの条件を満たす第 1 周波数の基準クロック (CLK1) および第 2 周波数の基準クロック (CLK2) を算出してもよい。

40

【0069】

P1 P2 の場合、x2 は、下記式 (3) に示すようになる。

$$x2 = x1 - 1 \quad \dots (3)$$

P1 P2 の場合、式 (1)、式 (2) 及び式 (3) に基づき、x1 は、下記式 (4) に示すようになる。

$$x1 = (P2 - P1 - T_{CL2}) / (T_{CL1} - T_{CL2}) \quad \dots (4)$$

50

【 0 0 7 0 】

P 1 > P 2 の場合、x 2 は、下記式 (5) に示すようになる。

$$x 2 = x 1 \quad \dots (5)$$

P 1 > P 2 の場合、式 (1)、式 (2) 及び式 (5) に基づき、x 1 は、下記式 (6) に示すようになる。

$$x 1 = (P 2 - P 1) / (T_{c L 1} - T_{c L 2}) \quad \dots (6)$$

【 0 0 7 1 】

ここで、P 1 は、位相比較器 7 0 により決定された第 1 周波数の基準クロックにおける位相シフト量と基準値との第 1 差分値に対応する。また、P 2 は、位相比較器 7 0 により決定された第 2 周波数の基準クロックにおける位相シフト量と基準値との第 2 差分値に対応する。従って、第 2 調整処理部 4 2 (または第 3 調整処理部 4 6) は、P 1 P 2 の関係の場合、式 (4) に基づき x 1 を算出し、算出した x 1 と P 1 (第 1 差分値) とを加算して T d を算出する。第 2 調整処理部 4 2 (または第 3 調整処理部 4 6) は、P 1 > P 2 の場合、式 (6) に基づき x 1 を算出し、算出した x 1 と P 1 (第 1 差分値) とを加算して T d を算出する。以上の演算により、第 2 調整処理部 4 2 (または第 3 調整処理部 4 6) は、基準クロックの周期以上の遅延を有する経路の遅延量 T d を算出することができる。

【 0 0 7 2 】

図 7 は、変形例に係る試験装置 1 0 の構成を被試験デバイス 1 0 0 とともに示す。図 8 は、変形例に係る試験装置 1 0 による試験シーケンスの一例を示す。なお、図 7 に示す試験装置 1 0 は、図 1 に示す試験装置 1 0 と略同一の構成および機能を探るので、図 7 における図 1 で示した部材と略同一の部材については、図面中に同一の符号を付けて、以下相違点を除き説明を省略する。

【 0 0 7 3 】

試験装置 1 0 は、パターン発生器 2 0 2 と、複数の検出部 2 0 4 と、制御装置 2 0 6 とを更に備える。パターン発生器 2 0 2 は、ユーザにより指定された試験シーケンスを実行して、当該試験シーケンスに対応付けられた試験パターンを複数の試験信号供給部 2 8 に供給する。複数の試験信号供給部 2 8 のそれぞれは、パターン発生器 2 0 2 から供給された試験パターンに基づく試験信号を被試験デバイス 1 0 0 の対応するデータ端子 1 1 0 に対して出力する。複数の試験信号供給部 2 8 のそれぞれは、例えば、立上りおよび立下りのエッジ種別およびタイミングが示された試験パターンから、当該試験パターンに従って立上りおよび立下がる試験信号を、生成してよい。そして、パターン発生器 2 0 2 は、試験シーケンスの実行中において試験シーケンス中の命令により位相調整の開始を指示された場合に、第 3 調整処理部 4 6 および第 2 遅延量設定部 4 8 の組、および、第 4 調整処理部 5 0 および第 3 遅延量設定部 5 2 の組の少なくとも一方による位相調整 (キャリブレーション処理) を開始させる。例えば、図 8 に示すように、パターン発生器 2 0 2 は、試験と試験との間に位相調整の開始指示がされた場合に、キャリブレーション処理を行ってよい。

【 0 0 7 4 】

パターン発生器 2 0 2 は、一例として、複数の試験プログラム 2 1 0 と、キャリブレーションプログラム 2 1 2 とを有してよい。この場合、パターン発生器 2 0 2 は、指定された試験プログラム 2 1 0 に含まれる試験シーケンスを実行して、当該試験シーケンスに対応付けられた試験パターンを複数の試験信号供給部 2 8 に供給する。そして、この場合において、パターン発生器 2 0 2 は、試験シーケンスの実行中において試験シーケンス中の命令により位相調整の開始を指示されると、キャリブレーションプログラム 2 1 2 に含まれるキャリブレーションシーケンスを実行して、第 3 調整処理部 4 6 および第 2 遅延量設定部 4 8 の組、および、第 4 調整処理部 5 0 および第 3 遅延量設定部 5 2 の組の少なくとも一方による位相調整を開始させる。パターン発生器 2 0 2 は、一例として、ある命令にキャリブレーションを開始するキャリブレーションスタートおよびキャリブレーションを終了するキャリブレーションエンドがあってもよい。

【 0 0 7 5 】

さらに、パターン発生器 2 0 2 は、複数の判定部 2 6 が複数のタイミング比較器 6 6 が取得した複数のデータ信号の良否を判定する場合において、第 3 調整処理部 4 6 および第 2 遅延量設定部 4 8 の組および第 4 調整処理部 5 0 および第 3 遅延量設定部 5 2 の組の少なくとも一方による位相調整を行っている期間の間、複数の判定部 2 6 による複数のデータ信号の良否判定を禁止してよい。これにより、試験装置 1 0 によれば、試験と試験との間にキャリブレーション処理を実行することができる。

【 0 0 7 6 】

検出部 2 0 4 は、複数の位相比較器 7 0 に対応して設けられ、試験プログラムの実行中に対応する位相比較器 7 0 が出力する位相シフト量が予め定められた許容範囲外の値となったかどうかを検出する。これにより、検出部 2 0 4 によれば、温度等の環境変化により再度キャリブレーションを開始すべきか否かを検出することができる。

10

【 0 0 7 7 】

制御装置 2 0 6 は、ユーザにより指定された試験制御プログラム 2 2 0 を実行し、試験制御プログラム 2 2 0 中に記述された複数の試験プログラム 2 1 0 を順次パターン発生器 2 0 2 により実行させる。さらに、制御装置 2 0 6 は、試験制御プログラム 2 2 0 の実行中において一の試験プログラム 2 1 0 の実行を終えた後他の試験プログラム 2 1 0 の実行を開始するまでの間に位相調整の開始を指示するコマンドが記述されていた場合に、パターン発生器 2 0 2 に対してキャリブレーションプログラム 2 1 2 を実行させて、第 3 調整処理部 4 6 および第 2 遅延量設定部 4 8 の組、および、第 4 調整処理部 5 0 および第 3 遅延量設定部 5 2 の組の少なくとも一方による位相調整を開始させる。また、制御装置 2 0 6 は、試験制御プログラム 2 2 0 の実行中においてコマンドが記述されていた場合に、位相シフト量が許容範囲外の値となったことをいずれかの検出部 2 0 4 が検出したことを条件として、第 4 調整処理部 5 0 および第 3 遅延量設定部 5 2 の組の少なくとも一方による位相調整を開始させてもよい。複数の検出部 2 0 4 は、一例として、対応する位相比較器 7 0 の位相シフト量の最大値を格納するレジスタを含み、レジスタの値をモニタして位相シフト量が許容範囲外の値となったことを検出してよい。

20

【 0 0 7 8 】

以上により変形例に係る試験装置 1 0 は、任意のタイミングによりキャリブレーション処理を実行することができるので、経時的または環境に応じて生じる誤差を、最適なタイミングで位相調整することができる。また、試験装置 1 0 によれば、試験環境でキャリブレーションを行うことができるので、精度よく位相調整をすることができる。

30

【 0 0 7 9 】

図 9 は、本実施形態に係るコンピュータ 1 9 0 0 のハードウェア構成の一例を示す。本実施形態に係るコンピュータ 1 9 0 0 は、ホスト・コントローラ 2 0 8 2 により相互に接続される CPU 2 0 0 0、RAM 2 0 2 0、グラフィック・コントローラ 2 0 7 5、及び表示装置 2 0 8 0 を有する CPU 周辺部と、入出力コントローラ 2 0 8 4 によりホスト・コントローラ 2 0 8 2 に接続される通信インターフェイス 2 0 3 0、ハードディスクドライブ 2 0 4 0、及び CD-ROM ドライブ 2 0 6 0 を有する入出力部と、入出力コントローラ 2 0 8 4 に接続される ROM 2 0 1 0、フレキシブルディスク・ドライブ 2 0 5 0、及び入出力チップ 2 0 7 0 を有するレガシー入出力部とを備える。

40

【 0 0 8 0 】

ホスト・コントローラ 2 0 8 2 は、RAM 2 0 2 0 と、高い転送レートで RAM 2 0 2 0 をアクセスする CPU 2 0 0 0 及びグラフィック・コントローラ 2 0 7 5 とを接続する。CPU 2 0 0 0 は、ROM 2 0 1 0 及び RAM 2 0 2 0 に格納されたプログラムに基づいて動作し、各部の制御を行う。グラフィック・コントローラ 2 0 7 5 は、CPU 2 0 0 0 等が RAM 2 0 2 0 内に設けたフレーム・バッファ上に生成する画像データを取得し、表示装置 2 0 8 0 上に表示させる。これに代えて、グラフィック・コントローラ 2 0 7 5 は、CPU 2 0 0 0 等が生成する画像データを格納するフレーム・バッファを、内部に含んでもよい。

50

【 0 0 8 1 】

入出力コントローラ 2084 は、ホスト・コントローラ 2082 と、比較的高速な入出力装置である通信インターフェイス 2030、ハードディスクドライブ 2040、CD-ROM ドライブ 2060 を接続する。通信インターフェイス 2030 は、ネットワークを介して他の装置と通信する。ハードディスクドライブ 2040 は、コンピュータ 1900 内の CPU 2000 が使用するプログラム及びデータを格納する。CD-ROM ドライブ 2060 は、CD-ROM 2095 からプログラム又はデータを読み取り、RAM 2020 を介してハードディスクドライブ 2040 に提供する。

【 0 0 8 2 】

また、入出力コントローラ 2084 には、ROM 2010 と、フレキシブルディスク・ドライブ 2050、及び入出力チップ 2070 の比較的低速な入出力装置とが接続される。ROM 2010 は、コンピュータ 1900 が起動時に実行するブート・プログラムや、コンピュータ 1900 のハードウェアに依存するプログラム等を格納する。フレキシブルディスク・ドライブ 2050 は、フレキシブルディスク 2090 からプログラム又はデータを読み取り、RAM 2020 を介してハードディスクドライブ 2040 に提供する。入出力チップ 2070 は、フレキシブルディスク・ドライブ 2050 や、例えばパラレル・ポート、シリアル・ポート、キーボード・ポート、マウス・ポート等を介して各種の入出力装置を接続する。

10

【 0 0 8 3 】

RAM 2020 を介してハードディスクドライブ 2040 に提供されるプログラムは、フレキシブルディスク 2090、CD-ROM 2095、又は IC カード等の記録媒体に格納されて利用者によって提供される。プログラムは、記録媒体から読み出され、RAM 2020 を介してコンピュータ 1900 内のハードディスクドライブ 2040 にインストールされ、CPU 2000 において実行される。

20

【 0 0 8 4 】

コンピュータ 1900 にインストールされ、コンピュータ 1900 を試験装置 10 の制御装置として機能させるプログラムは、第 1 調整モジュールと、第 2 調整モジュールとを備える。第 1 調整モジュールは、第 1 調整処理モジュールと、第 2 調整処理モジュールと、第 1 遅延量設定モジュールと、第 3 調整処理モジュールと、第 2 遅延量設定モジュールとを有する。第 2 調整モジュールは、第 4 調整処理モジュールと、第 3 遅延量設定モジュールとを有する。これらのプログラム又はモジュールは、CPU 2000 等に働きかけて、コンピュータ 1900 を、第 1 調整処理部 40、第 2 調整処理部 42、第 1 遅延量設定部 44、第 3 調整処理部 46 および第 2 遅延量設定部 48 を有する第 1 調整部 32、並びに、第 4 調整処理部 50 および第 3 遅延量設定部 52 を有する第 2 調整部 34 としてそれぞれ機能させる。

30

【 0 0 8 5 】

以上に示したプログラム又はモジュールは、外部の記憶媒体に格納されてもよい。記憶媒体としては、フレキシブルディスク 2090、CD-ROM 2095 の他に、DVD や CD 等の光学記録媒体、MO 等の光磁気記録媒体、テープ媒体、IC カード等の半導体メモリ等を用いることができる。また、専用通信ネットワークやインターネットに接続されたサーバシステムに設けたハードディスク又は RAM 等の記憶装置を記録媒体として使用し、ネットワークを介してプログラムをコンピュータ 1900 に提供してもよい。

40

【 0 0 8 6 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

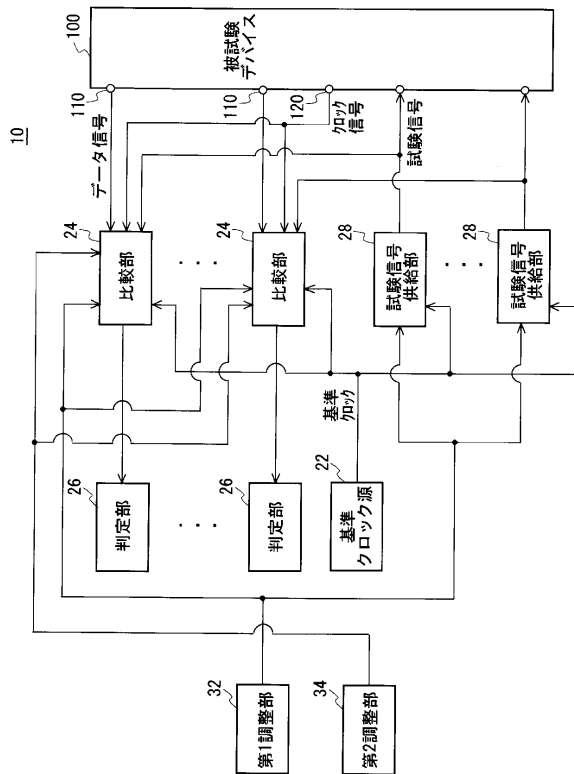
【 0 0 8 7 】

上記説明から明らかなように、本発明によれば、複数のデータ端子と、複数のデータ端子のそれぞれから出力されるデータ信号を取得すべきタイミングを示すクロック信号を出

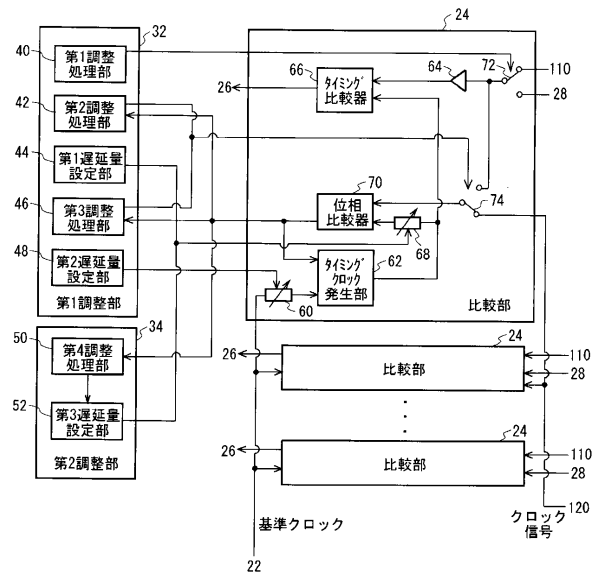
50

力するクロック出力端子とを備える被試験デバイスを、精度よく試験することができる。

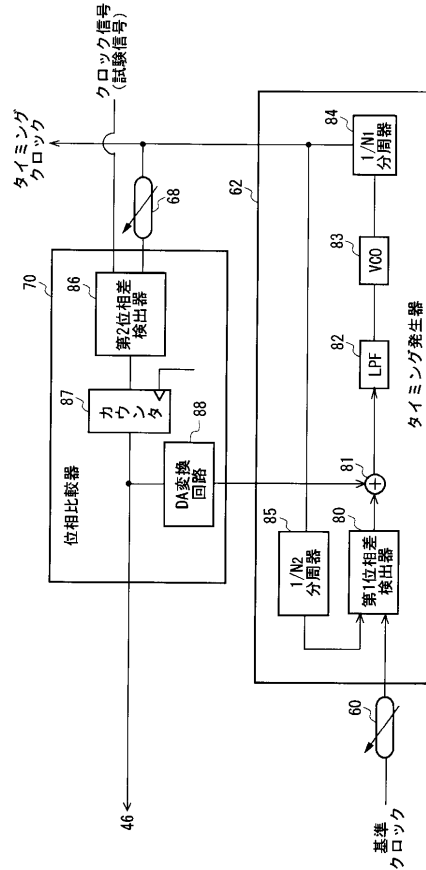
【図1】



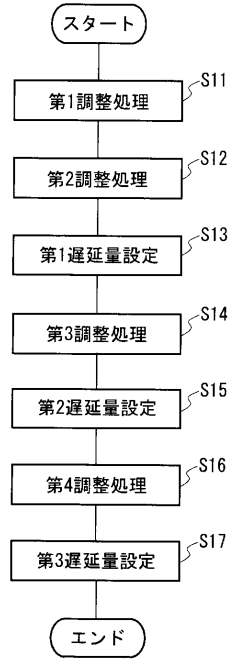
【図2】



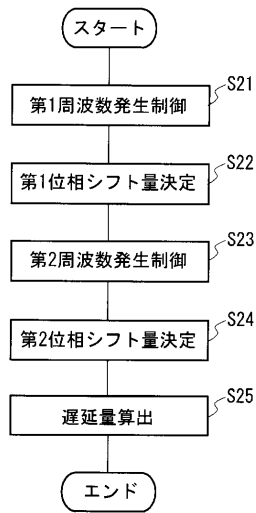
【図3】



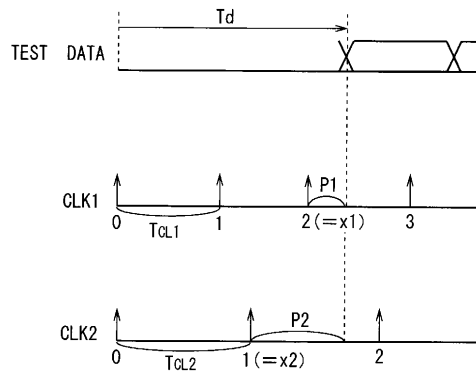
【図4】



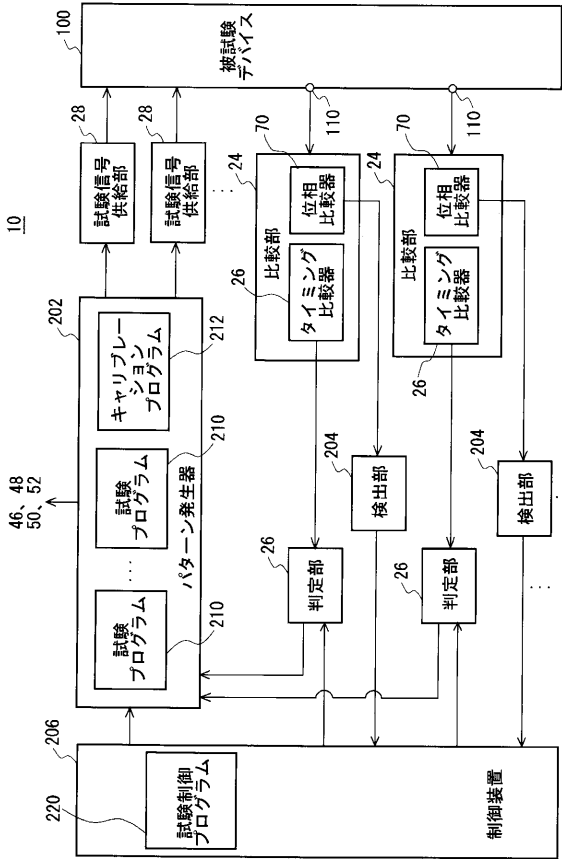
【図5】



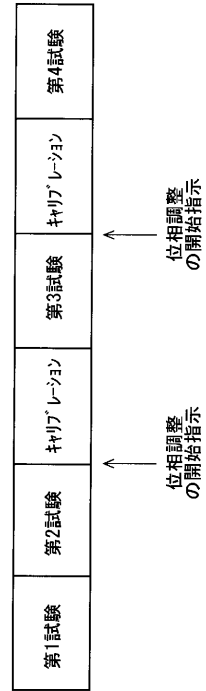
【図6】



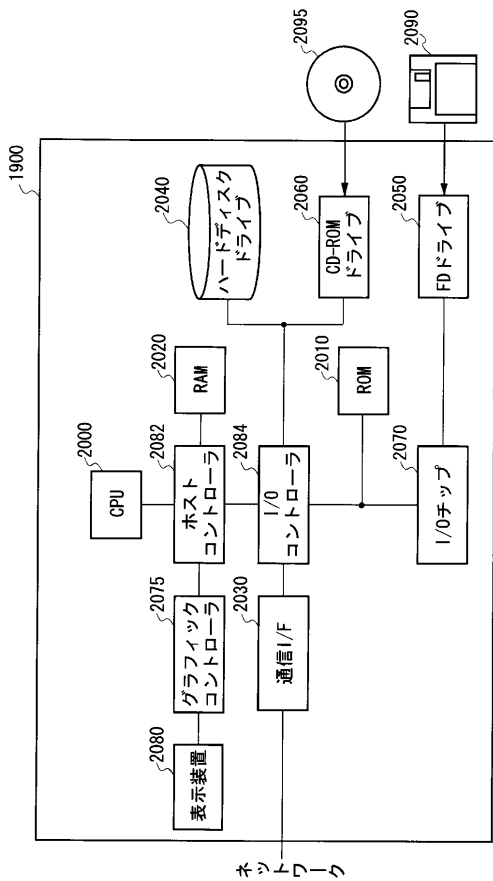
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

審査官 吉岡 一也

(56)参考文献 特開2001-201532(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/319

G01R 31/28