

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5229312号
(P5229312)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int.Cl.

F 1

G02F 1/1368 (2006.01)
G02F 1/1333 (2006.01)
G02F 1/1339 (2006.01)
G06F 3/041 (2006.01)

GO2 F 1/1368
 GO2 F 1/1333
 GO2 F 1/1339 500
 GO6 F 3/041 320 A

請求項の数 13 (全 21 頁)

(21) 出願番号

特願2010-288851 (P2010-288851)

(22) 出願日

平成22年12月24日 (2010.12.24)

(65) 公開番号

特開2012-137562 (P2012-137562A)

(43) 公開日

平成24年7月19日 (2012.7.19)

審査請求日

平成24年9月27日 (2012.9.27)

(73) 特許権者 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100109830

弁理士 福原 淑弘

(74) 代理人 100075672

弁理士 峰 隆司

(74) 代理人 100095441

弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の方向及び前記第1の方向とは異なる第2の方向にそれぞれ配列された複数の画素電極と、

前記複数の画素電極と対向配置された対向電極と、

前記複数の画素電極と前記対向電極との間に封入された液晶層と、

前記複数の画素電極にそれぞれ接続された複数の画素トランジスタと、

前記第1の方向に沿って配設された複数の第1の座標検知配線と、

前記第2の方向に沿って配設された複数の第2の座標検知配線と、

前記複数の画素用トランジスタに表示信号を供給する前記第2の方向に沿って配設された複数の信号線と、

それぞれ第1の接点を有し、前記複数の第1の座標検知配線にそれぞれ接続され、外部からの押圧を受けて前記第1の接点が前記対向電極に接触することにより前記対向電極と前記第1の座標検知配線とを導通させる複数の第1の座標検知部と、

それぞれ第2の接点を有し、前記複数の第2の座標検知配線にそれぞれ接続され、前記外部からの前記押圧を受けて前記第2の接点が前記対向電極に接触することにより当該対向電極と前記第2の座標検知配線とを導通させる複数の第2の座標検知部と、

を具備し、

前記第2の座標検知配線は、前記複数の画素電極のうち、前記第1の方向に連続して配列された第1の画素電極、第2の画素電極、第3の画素電極及び第4の画素電極における

10

20

、前記第2の画素電極と前記第3の画素電極との間に配設され、

前記信号線は、前記第1の画素電極と前記第2の画素電極との間、前記第3の画素電極と前記第4の画素電極との間、のうちの一方の間に2本配設され、

前記第2の画素電極と前記第3の画素電極とには、前記画素トランジスタが前記第2の座標検知配線を挟んで前記第2の座標検知配線から離れる側に配置されてそれぞれ接続され、

前記第1の座標検知部及び前記第2の座標検知部は、前記第2の画素電極に接続された前記画素トランジスタと前記第3の画素電極に接続された前記画素トランジスタとの間に配置される、

ことを特徴とする液晶表示装置。

10

【請求項2】

前記第1の座標検知部と前記第2の座標検知部とは、一対で配置されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記第2の画素電極に接続された前記画素トランジスタと前記第3の画素電極に接続された前記画素トランジスタとの前記第1の方向の間隔は、前記一対の前記第1の座標検知部及び前記第2の座標検知部の前記第1の方向の長さよりも長いことを特徴とする請求項2に記載の液晶表示装置。

【請求項4】

前記一対の前記第1の座標検知部及び前記第2の座標検知部は、前記第1の座標検知配線上に配置されていることを特徴とする請求項2又は3に記載の液晶表示装置。

20

【請求項5】

前記複数の画素トランジスタに走査信号を供給する前記第1の方向に沿って配設された複数の走査線をさらに備え、

前記走査線は、前記画素電極と前記第1の座標検知配線の間に配置され、前記第1の座標検知配線に向かって前記走査線から張り出した張出部を有し、

前記画素トランジスタは、前記張出部がゲート電極になっていることを特徴とする請求項1乃至4の何れか1項に記載の液晶表示装置。

【請求項6】

前記複数の第1の座標検知部と前記対向電極との間隔及び前記複数の第2の座標検知部と前記対向電極との間隔をそれぞれ保持するスペーサと、前記押圧を受けていないときの前記第1の接点及び前記第2の接点と前記対向電極との間隔を予め設定された接点間隔に設定する複数の土台部と、をさらに備え、

30

前記第2の座標検知配線は、前記複数の画素電極のうち、前記第1の方向に連続して配列された第5の画素電極、第6の画素電極、第7の画素電極及び第8の画素電極における、前記第6の画素電極と前記第7の画素電極との間に配設され、

前記信号線は、前記第5の画素電極と前記第6の画素電極との間、前記第7の画素電極と前記第8の画素電極との間、のうちの一方の間に2本配設され、

前記第6の画素電極と前記第7の画素電極とには、前記画素トランジスタが前記第2の座標検知配線を挟んで前記第2の座標検知配線から離れる側に配置されてそれぞれ接続され、

40

前記土台部は、前記第6の画素電極に接続された前記画素トランジスタと前記第7の画素電極に接続された前記画素トランジスタとの間に配置されていることを特徴とする請求項1乃至5の何れか1項に記載の液晶表示装置。

【請求項7】

前記第6の画素電極に接続された前記画素トランジスタと前記第7の画素電極に接続された前記画素トランジスタとの前記第1の方向の間隔は、前記土台部の前記第1の方向の長さよりも長いことを特徴とする請求項6に記載の液晶表示装置。

【請求項8】

前記土台部は、前記第1の座標検知配線上に配置されていることを特徴とする請求項6

50

又は 7 に記載の液晶表示装置。

【請求項 9】

前記複数の信号線と前記複数の第 2 の座標検知配線とは、前記複数の画素電極のうち、前記第 1 の方向に連続して配列された前記画素電極の連続した複数の間に、1 本の前記信号線と 1 本の前記第 2 の座標検知配線と 2 本の前記信号線とが配置された配置順序、又は、2 本の前記信号線と 1 本の前記第 2 の座標検知配線と 1 本の前記信号線とが配置された配置順序、で繰り返し配設されていることを特徴とする請求項 6 乃至 8 の何れか 1 項に記載の液晶表示装置。

【請求項 10】

前記複数の第 1 の座標検知部及び前記複数の第 2 の座標検知部は、それぞれ一対であつて前記第 1 の方向に沿って形成され、前記第 1 の座標検知配線と前記第 2 の座標検知配線との交差部分上で、前記第 1 の方向に沿った行に 2 つの前記交差部分毎に配置され、且つ、前記第 2 の方向に隣接する行毎に前記第 1 の方向に 1 つの前記交差部分だけずらして配置され、

前記複数の土台部は、前記第 1 の方向に沿って形成され、前記複数の第 1 の座標検知部及び前記複数の第 2 の座標検知部が配置された領域以外の前記交差部分上に配置されていることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記複数の第 1 の座標検知部及び前記複数の第 2 の座標検知部は、それぞれ前記押圧を受けたときに前記対向電極に生じる湾曲の量が最大となるところに配置されていることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

第 1 の方向及び前記第 1 の方向とは異なる第 2 の方向にそれぞれ配列された複数の画素電極と、

前記複数の画素電極と対向配置された対向電極と、
前記複数の画素電極にそれぞれ接続された複数の画素トランジスタと、
前記第 1 の方向に沿って配設された複数の第 1 の座標検知配線と、
前記第 2 の方向に沿って配設された複数の第 2 の座標検知配線と、
前記複数の画素トランジスタに表示信号を供給する前記第 2 の方向に沿って配設された複数の信号線と、

それぞれ第 1 の接点を有し、前記複数の第 1 の座標検知配線にそれぞれ接続され、外部からの押圧を受けて前記第 1 の接点が前記対向電極に接触することにより前記対向電極と前記第 1 の座標検知配線とを導通させる複数の第 1 の座標検知部と、

それぞれ第 2 の接点を有し、前記複数の第 2 の座標検知配線にそれぞれ接続され、前記外部からの前記押圧を受けて前記第 2 の接点が前記対向電極に接触することにより前記対向電極と前記第 2 の座標検知配線とを導通させる複数の第 2 の座標検知部と、

前記複数の第 1 の座標検知部と前記対向電極との間隔及び前記複数の第 2 の座標検知部と前記対向電極との間隔をそれぞれ保持するスペーサを有し、前記押圧を受けていないときの前記第 1 の接点及び前記第 2 の接点と前記対向電極との間隔を予め設定された接点間隔に設定する複数の土台部と、

を具備し、

前記第 2 の座標検知配線は、前記複数の画素電極のうち、前記第 1 の方向に連続して配列された第 1 の画素電極、第 2 の画素電極、第 3 の画素電極及び第 4 の画素電極における、前記第 2 の画素電極と前記第 3 の画素電極との間に配設され、

前記信号線は、前記第 1 の画素電極と前記第 2 の画素電極との間、前記第 3 の画素電極と前記第 4 の画素電極との間、のうちの一方の間に 2 本配設されるとともに他方の間に 1 本配設され、

前記第 2 の画素電極と前記第 3 の画素電極とには、前記画素トランジスタが前記第 2 の座標検知配線を挟んで前記第 2 の座標検知配線から離れる側に配置されてそれぞれ接続され、

10

20

30

40

50

前記土台部、又は、前記第1の座標検知部及び前記第2の座標検知部は、前記第2の画素電極に接続された前記画素トランジスタと前記第3の画素電極に接続された前記画素トランジスタとの間に配置されていることを特徴とする液晶表示装置。

【請求項13】

前記第2の画素電極に接続された前記画素トランジスタと前記第3の画素電極に接続された前記画素トランジスタとの前記第1の方向の間隔は、前記第1の座標検知部及び前記第2の座標検知部の前記第1の方向の長さよりも長く、前記土台部の前記第1の方向の長さよりも長いことを特徴とする請求項12に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、タッチパネル機能を有する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置には、タッチパネル機能を内蔵するものがある。この装置には、第1の基板（TFT基板）と第2の基板（カラーフィルタ基板）とが対向配置されている。TFT基板上には、複数の画素電極が第1の方向（X方向）と第2の方向（Y方向）とに一定間隔で形成されている。これら画素電極は、矩形状に形成されている。カラーフィルタ基板には、対向電極が形成されている。複数の画素電極と対向電極との間には、液晶が封入されて液晶層を形成している。

20

【0003】

図15は同装置の平面配置図を示す。複数の画素電極1がX方向とY方向にそれぞれ一定間隔で配置されている。画素電極1の端部には、画素用トランジスタとしての薄膜トランジスタ（以下、TFTと称する）2が接続されている。各画素電極1のX方向における隣り合う間には、信号線としてのデータ配線3が配置されている。又、各画素電極1のX方向における隣り合う3つの間のうちの1つの間には、X座標検知配線4が配置されている。図15に示したように、各画素電極1のX方向における間には、図面上の左側から右側方向に順次、1本のデータ配線3、その右隣の間に1本のデータ配線3、さらにその右隣の間に1本のX座標検知配線4及び1本のデータ配線3、の順序で繰り返し配置されている。

30

【0004】

一方、各画素電極1のY方向における隣り合う間には、TFT2と、走査線としてのゲート配線5と、Y座標検知配線6と、補助容量配線7と、が配置されている。TFT2は、ゲート電極がゲート配線5に接続され、ドレイン電極がデータ配線3に接続され、ソース電極が画素電極1に接続されている。

【0005】

画素電極1のY方向における間で、各画素電極1のX方向における、1本のデータ配線3とその右隣のX座標検知配線4の間で、かつY座標検知配線6上には、土台部8が設けられている。図16は土台部8の配置周辺部の平面配置図を示す。

【0006】

40

又、画素電極1のY方向における間で、X方向における、1本のデータ配線3とその右隣のX座標検知配線4の間で、かつY座標検知配線6上には、X座標検知接点部9及びY座標検知接点部10が設けられている。図17はX座標検知接点部9及びY座標検知接点部10の配置周辺部の平面配置図を示す。

【0007】

X座標検知接点部9及びY座標検知接点部10は、一対で設けられている。X座標検知接点部9は、TFT基板とカラーフィルタ基板とにそれぞれ接点を設け、これら接点が導通することによりX座標信号を生じる。Y座標検知接点部10も同様にTFT基板とカラーフィルタ基板とにそれぞれ接点を設け、これら接点が導通することによりY座標信号を生じる。土台部8は、外部からの押圧を受けていないときのX座標検知接点部9及びY座

50

標検知接点部 10 の各接点間隔を予め設定された間隔に設定する。

【0008】

タッチパネルの技術としては、例えば特許文献 1 がある。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2007 - 95044 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、タッチパネル機能を有する液晶表示装置では、各画素電極 1 の Y 方向の間にそれぞれ TFT 2 と、ゲート配線 5 と、Y 座標検知配線 6 と、補助容量配線 7 と、を配置し、X 方向における、1 本のデータ配線 3 とその右隣の X 座標検知配線 4 の間で、かつ Y 座標検知配線 6 上には、土台部 8 または一対の X 座標検知接点部 9 と Y 座標検知接点部 10 を配置している。

液晶表示装置の表示性能、例えば表示の輝度等の向上に寄与する要因としては、例えば各画素電極 1 の大きさ、すなわち液晶表示装置としての開口率を大きくすることが挙げられる。ところが、上記液晶表示装置では、各画素電極 1 の Y 方向の間にそれぞれ TFT 2 と、ゲート配線 5 と、Y 座標検知配線 6 と、補助容量配線 7 と、を配置し、さらにタッチ機能として Y 座標検知配線 6 を配置し、X 方向における、1 本のデータ配線 3 とその右隣の X 座標検知配線 4 の間で、かつ Y 座標検知配線 6 上に、土台部 8 または一対の X 座標検知接点部 9 と Y 座標検知接点部 10 を配置している。このため、各画素電極 1 の大きさ、すなわち液晶表示装置としての開口率を大きくすることが出来ない。

【0011】

本発明の目的は、開口率を大きくすることができ、表示性能を向上できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明の主要な局面に係る液晶表示装置は、第 1 の方向及び前記第 1 の方向とは異なる第 2 の方向にそれぞれ配列された複数の画素電極と、前記複数の画素電極と対向配置された対向電極と、前記複数の画素電極と前記対向電極との間に封入された液晶層と、前記複数の画素電極にそれぞれ接続された複数の画素トランジスタと、前記第 1 の方向に沿って配設された複数の第 1 の座標検知配線と、前記第 2 の方向に沿って配設された複数の第 2 の座標検知配線と、前記複数の画素用トランジスタに表示信号を供給する前記第 2 の方向に沿って配設された複数の信号線と、それぞれ第 1 の接点を有し、前記複数の第 1 の座標検知配線にそれぞれ接続され、外部からの押圧を受けて前記第 1 の接点が前記対向電極に接触することにより前記対向電極と前記第 1 の座標検知配線とを導通させる複数の第 1 の座標検知部と、それぞれ第 2 の接点を有し、前記複数の第 2 の座標検知配線にそれぞれ接続され、前記外部からの前記押圧を受けて前記第 2 の接点が前記対向電極に接触することにより当該対向電極と前記第 2 の座標検知配線とを導通させる複数の第 2 の座標検知部と、を具備し、前記第 2 の座標検知配線は、前記複数の画素電極のうち、前記第 1 の方向に連続して配列された第 1 の画素電極、第 2 の画素電極、第 3 の画素電極及び第 4 の画素電極における、前記第 2 の画素電極と前記第 3 の画素電極との間に配設され、前記信号線は、前記第 1 の画素電極と前記第 2 の画素電極との間、前記第 3 の画素電極と前記第 4 の画素電極との間、のうちの一方の間に 2 本配設され、前記第 2 の画素電極と前記第 3 の画素電極とには、前記画素トランジスタが前記第 2 の座標検知配線を挟んで前記第 2 の座標検知配線から離れる側に配置されてそれぞれ接続され、前記第 1 の座標検知部及び前記第 2 の座標検知部は、前記第 2 の画素電極に接続された前記画素トランジスタと前記第 3 の画素電極に接続された前記画素トランジスタとの間に配置される液晶表示装置である。

【発明の効果】

10

20

30

40

50

【0013】

本発明によれば、開口率を大きくすることができ、表示性能を向上できる液晶表示装置を提供できる。

【図面の簡単な説明】

【0014】

【図1】本発明に係るタッチパネル機能を有する液晶表示装置の第1の実施の形態を示す構成図。

【図2】同装置を示す具体的な一部平面構成図。

【図3】同装置における土台部の周辺部を示す平面構成図。

【図4】同装置における土台部を示すA-A断面図。

10

【図5】同装置におけるX座標検知部及びY座標検知部の周辺部を示す平面構成図。

【図6】同装置におけるX座標検知部及びY座標検知部を示すB-B断面図。

【図7】同装置におけるTFT、X座標検知部、Y座標検知部及び土台部に対応する各部分における最初の段階の作成工程を示す図。

【図8】同装置におけるTFT、X座標検知部、Y座標検知部及び土台部に対応する各部分における次の段階の作成工程を示す図。

【図9】同装置におけるTFT、X座標検知部、Y座標検知部及び土台部に対応する各部分における次の段階の作成工程を示す図。

【図10】同装置におけるTFT、X座標検知部、Y座標検知部及び土台部に対応する各部分における次の段階の作成工程を示す図。

20

【図11】同装置におけるTFT、X座標検知部、Y座標検知部及び土台部に対応する各部分における次の段階の作成工程を示す図。

【図12】同装置と従来装置との対比を示す図。

【図13】本発明に係るタッチパネル機能を有する液晶表示装置の第2の実施の形態を示す構成図。

【図14】本発明に係るタッチパネル機能を有する液晶表示装置の第3の実施の形態を示す構成図。

【図15】従来の液晶表示装置を示す平面配置図。

【図16】同装置の土台の周辺部を示す平面配置図。

【図17】同装置のX座標検知接点部及びY座標検知接点部の配置周辺部を示す平面配置図。

30

【発明を実施するための形態】

【0015】

[第1の実施の形態]

以下、本発明の第1の実施の形態について図面を参照して説明する。なお、図15と同一部分には同一符号を付してその詳しい説明は省略する。

図1はタッチパネル機能を有する液晶表示装置の構成図を示す。本装置100には、互いに対向配置された第1の基板(TFT基板)と第2の基板(カラーフィルタ基板)とが設けられている。TFT基板上には、複数の画素電極1が設けられている。これら画素電極1は、矩形状に形成されている。これら画素電極1は、X方向(横方向とも称する)とY方向(縦方向とも称する)とにそれぞれ複数ずつ一定間隔毎に配置されている。例えば、図1中、Y方向の最上側に配置されたX方向の各画素電極1の行を横第1行とし、この横第1行の下側に配置されたX方向の各画素電極1の行を横第2行とし、順次下方に向かって、横第3行、横第4行とする。

40

又、図1中、X方向の最左側に配置されたY方向の各画素電極1の列を縦第1列とし、この縦第1列の右側に配置されたY方向の各画素電極1の列を縦第2列とし、以下順次右側に向かって、縦第3列、縦第4列とする。

【0016】

第2の基板上には、カラーフィルタ層を介して対向電極20が設けられている。画素電極1と対向電極20とは、対向配置されている。画素電極1と対向電極20との間には、

50

液晶が封入されて液晶層Qを形成している。なお、対向電極20は、図面上、画素電極1の上方に配置されている。

【0017】

図1に示したように、画素電極1には、画素用トランジスタとしての薄膜トランジスタ(TFT)2が接続されている。これらTFT2は、それぞれゲート電極がゲート配線5に接続され、ドレイン電極がデータ配線3に接続され、ソース電極が画素電極1に接続されている。TFT2のソース電極は、図面上、対向電極20側から画素電極1を見て、画素電極1におけるY方向の下端辺で、かつ当該下端辺におけるX方向の左側又は右側のいずれか一方に接続されている。

具体的に、複数の画素電極1のX方向における各間には、後述するように、1本又は2本のデータ配線3が配置される。これにより、TFT2のソース電極は、データ配線3が配置されている側の画素電極1における下端辺の左側又は右側のいずれか一方に接続されている。TFT2は、データ配線3が配置されている側の画素電極1の下端辺に接続することにより、TFT2自体は、画素電極1における下端辺の左側又は右側のいずれか一方に配置される。

例えば、図1の図面上において、横第1行中で、最も左側に配置された画素電極1に対してTFT2のソース電極は、当該画素電極1における下端辺の左側に接続されている。これにより、TFT2自体は、当該画素電極1における下端辺の左側に配置される。同横第1行中で、上記画素電極1の右側に隣接する画素電極1に対してTFT2のソース電極は、当該画素電極1における下端辺の右側に接続されている。これにより、当該TFT2自体は、画素電極1における下端辺の右側に配置される。さらに右側に隣接する画素電極1に対してTFT2のソース電極は、当該画素電極1における下端辺の左側に接続されている。これにより、当該TFT2自体は、画素電極1における下端辺の左側に配置される。

【0018】

以下、上記同様に、右側に隣接する画素電極1に対してTFT2のソース電極は、当該画素電極1における下端辺の左側に接続され、当該TFT2自体は、画素電極1における下端辺の左側に配置される。次に右側に隣接する画素電極1に対してTFT2のソース電極は、当該画素電極1における下端辺の右側に接続され、当該TFT2自体は、画素電極1における下端辺の右側に配置される。次に右側に隣接する画素電極1に対してTFT2のソース電極は、当該画素電極1における下端辺の左側に接続され、当該TFT2自体は、画素電極1における下端辺の左側に配置されることを繰り返す。

一方、複数の画素電極1のY方向における各間には、X座標検知部25及びY座標検知部26と、土台部27とが交互に配置されている。これらX座標検知部25及びY座標検知部26と、土台部27とは、X座標検知配線4が配置された縦の列の各画素電極1の間に配置されている。X座標検知部25及びY座標検知部26は、互いに隣接した一対として配置されている。

【0019】

例えば、図1中で、横第1行と横第2行との各画素電極1との間で、かつX座標検知配線4上の縦第1列と縦第2列との各画素電極1との間には、土台部27が配置されている。この土台部27は、図中、左斜め上方に配置されている。

横第2行と横第3行との各画素電極1との間で、かつX座標検知配線4上の縦第1列と縦第2列との各画素電極1との間には、一対のX座標検知部25及びY座標検知部26が配置されている。

【0020】

横第3行と横第4行との各画素電極1との間で、かつX座標検知配線4上の縦第1列と縦第2列との各画素電極1との間には、再び、土台部27が配置されている。

以下、各画素電極1の横方向の各行の各間のX座標検知配線4上には、土台部27と、一対のX座標検知部25及びY座標検知部26とが交互に繰り返して配置されている。

【0021】

10

20

30

40

50

又、横第1行と横第2行との各画素電極1との間で、かつX座標検知配線4上の縦第4列と縦第5列との各画素電極1との間には、一対のX座標検知部25及びY座標検知部26が配置されている。

【0022】

横第2行と横第3行との各画素電極1との間で、かつX座標検知配線4上の縦第4列と縦第5列との各画素電極1との間には、土台部27が配置されている。

【0023】

横第3行と横第4行との各画素電極1との間で、かつX座標検知配線4上の縦第4列と縦第5列との各画素電極1との間には、再び、一対のX座標検知部25及びY座標検知部26が配置されている。

10

以下、各画素電極1の横方向の各行の各間の各X座標検知配線4上には、土台部27と、一対のX座標検知部25及びY座標検知部26とが交互に繰り返して配置されている。

【0024】

本装置100には、データドライバ(データ駆動回路)21と、走査ドライバ(走査駆動回路)22と、X座標検出回路23と、Y座標検出部24とが設けられている。

データドライバ21は、信号線としての複数のデータ配線3が接続され、データ配線3に画像信号を供給する。データ配線3は、TFT2のドレイン電極に接続されている。

走査ドライバ22は、複数のゲート配線5が接続され、ゲート配線5に走査信号を予め設定された走査タイミングでY方向に走査させながら送る。この走査信号は、各TFT2を順次オン動作させる。ゲート配線5は、TFT2のゲート電極に接続されている。

20

【0025】

走査ドライバ22から出力される走査信号とデータドライバ21から出力される画像信号とのタイミングは、走査ドライバ22が各ゲート配線5に順次走査信号を出力するとき、各ゲート配線5に走査信号を出力している期間毎に、データドライバ21から全てのデータ配線3に同時に画像信号を出力する。これにより、複数のTFT2のうち走査信号がゲート配線5によりゲート電極に供給され、かつ画像信号がデータ配線3によりドレイン電極に供給されたTFT2のドレイン電極とソース電極が導通し、当該導通したソース電極に接続した画素電極1に画像信号に対応した電圧が書き込まれることになる。そして画素電極1と対向電極20との間に電圧差が発生して当該液晶層Qが駆動される。

【0026】

30

X座標検出回路23は、複数のX座標検知配線4が接続されている。X座標検知配線4上には、複数のX座標検知部25が設けられている。X座標検知部25は、接点を有し、外部からの押圧を受けて当該接点が対向電極20に接触することにより当該対向電極20とX座標検知配線4とを導通させる。これにより、X座標検出回路23は、例えば操作者のタッチにより外部から押圧を受けた部分においてX座標検知部25が導通したときに生じるX座標信号をX座標検知配線4を経由して入力し、このX座標検知配線4の配置位置からタッチ部分のX座標を検出する。

【0027】

Y座標検出回路24は、複数のY座標検知配線7が接続されている。Y座標検知配線7上には、複数のY座標検知部26が設けられている。Y座標検知部26は、接点を有し、上記外部からの押圧を受けて当該接点が対向電極20に接触することにより当該対向電極20とY座標検知配線7とを導通させる。これにより、Y座標検出回路24は、上記押圧を受けた部分においてY座標検知部26が導通したときに生じるY座標信号をY座標検知配線7を経由して入力し、このY座標検知配線7の配置位置からタッチ部分のY座標を検出する。

40

【0028】

土台部27は、上記押圧を受けていないときのX座標検知部25の接点と対向電極20との間隔、及びY座標検知部26の接点と対向電極20との間隔を予め設定された接点間隔に設定する。この土台部27は、Y座標検知配線7上に設けられている。

なお、Y方向における画素電極1の隣り合う間に補助容量配線6が配置されている。画

50

素電極 1 と補助容量配線 6 とにより補助容量 2 8 が形成され、補助容量配線 6 は各補助容量 2 8 を接続する。

【 0 0 2 9 】

上記構成において、複数の画素電極 1 の横方向における各間には、図面上の左側から右側の方向に向かって順次、1本のデータ配線 3、X 座標検知配線 4、2本のデータ配線 3 が繰り返し配置されている。なお、1本のデータ配線 3、X 座標検知配線 4、2本のデータ配線 3 の繰り返し配置の順番は、1本のデータ配線 3 を開始基準にするのに限らず、X 座標検知配線 4 又は2本のデータ配線 3 を開始基準にしてもよい。例えば X 座標検知配線 4 を開始基準にすれば、X 座標検知配線 4、2本のデータ配線 3、1本のデータ配線 3 が繰り返し配置されるものとなる。

このように1本のデータ配線 3、X 座標検知配線 4、2本のデータ配線 3 の順序で配置することにより、1本のデータ配線 3 と2本のデータ配線 3 との配置位置によって各 TFT 2 の横方向における配置位置は、画素電極 1 に対して右側又は左側に配置されるものとなる。例えば、図 1 の図面上において、横第 1 行中で、最も左側に配置された画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の左側に配置される。次に右側に隣接する画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の右側に配置される。次に右側に隣接する画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の左側に配置される。

【 0 0 3 0 】

以下、同様に、次に右側に隣接する画素電極 1 に対して TFT 2 は、画素電極 1 における下端辺の左側に配置される。次に右側に隣接する画素電極 1 に対して TFT 2 は、画素電極 1 における下端辺の右側に配置される。次に右側に隣接する画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の左側に接続されることを繰り返す。

かかる各 TFT 2 の配置により、X 座標検知配線 4 の左右両側に配置されている各 TFT 2 の横方向の間隔は、図 15 に示す各 TFT 2 の横方向の間隔よりも広く形成される。すなわち、X 座標検知配線 4 の左右両側に配置される各画素電極 1 に対して各 TFT 2 は、X 座標検知配線 4 から離れる側の画素電極 1 の下端辺、例えば X 座標検知配線 4 の左側の画素電極 1 に対してその下端辺の左側に配置され、X 座標検知配線 4 の右側の画素電極 1 に対してその下端辺の右側に配置される。

【 0 0 3 1 】

土台部 2 7 と、一対の X 座標検知部 2 5 及び Y 座標検知部 2 6 は、それぞれ X 座標検知配線 4 上に配置されている。土台部 2 7 は、横方向において当該土台部 2 7 の中心部に X 座標検知配線 4 が通るように配置される。一対の X 座標検知部 2 5 及び Y 座標検知部 2 6 は、横方向に並設され、これら X 座標検知部 2 5 と Y 座標検知部 2 6 との間に X 座標検知配線 4 が通るように配置される。

【 0 0 3 2 】

X 座標検知配線 4 の左右両側に配置されている各 TFT 2 の横方向の間隔は、土台部 2 7 の横方向の長さや、並設された一対の X 座標検知部 2 5 と Y 座標検知部 2 6 との横方向の長さよりも長い。従って、土台部 2 7 と、一対の X 座標検知部 2 5 及び Y 座標検知部 2 6 とは、それぞれ縦方向上で TFT 2 と共に配列されずに、横方向の各 TFT 2 の間に配置することが可能である。土台部 2 7 と一対の X 座標検知部 2 5 及び Y 座標検知部 2 6 とをそれぞれ横方向上の各 TFT 2 の間に配置することにより、各画素電極 1 の縦方向の間隔を図 15 に示す従来の各画素電極 1 の縦方向の間隔よりも狭くすることが可能である。

なお、本装置 100 における表示エリアの右端の画素電極 1 の右側及び同表示エリアの左端の画素電極 1 の左側も、画素電極 1 の X 方向における間に含めるものとする。

【 0 0 3 3 】

X 座標検知部 2 5 及び Y 座標検知部 2 6 は、X 座標検知配線 4 を挟んで一対で横方向に配置される。一対の X 座標検知部 2 5 及び Y 座標検知部 2 6 は、上記押圧を受けたときに対向電極 2 0 に生じる湾曲の量が最大となる複数箇所に配置される。すなわち、X 座標検

知部 25 及び Y 座標検知部 26 は、一対で X 座標検知配線 4 と Y 座標検知配線 7 との交差部分上で、かつ横方向において 6 つの画素電極 1 毎に配置されている。

土台部 27 は、X 座標検知部 25 及び Y 座標検知部 26 が配置された以外の X 座標検知配線 4 と Y 座標検知配線 7 との交差部分上で、かつ横方向において 6 つの画素電極 1 每に配置されている。

【0034】

これにより、X 座標検知部 25 及び Y 座標検知部 26 は、それぞれ対向電極 20 に生じる湾曲の量が最大となる各土台部 27 の配置位置の中央部に配置される。例えば、図 1 において 3 つの土台部 27 が存在する。なお、当該 3 つの土台部 27 に加えて 4 つ目の土台部 27 が存在し、これら土台部 27 の配置位置を各コーナとして正四辺形を形成する。実際には、土台部 27 は、図 1 中に存在しない箇所にも複数存在する。X 座標検知部 25 及び Y 座標検知部 26 は、4 つの土台部 27 の配置位置を各コーナとする正四辺形の中央部に配置される。10

【0035】

図 2 は本装置 100 の具体的な一部平面構成図を示す。複数の画素電極 1 の横方向における各間には、上記の通り、図面上の左側から右側の方向に向かって順次、1 本のデータ配線 3、X 座標検知配線 4、2 本のデータ配線 3 が繰り返し配置されている。かかる配置により各 TFT 2 の横方向における配置位置は、画素電極 1 に対して右側又は左側に配置される。例えば、図 2 の図面上において、横第 1 行中で、最も左側に配置された画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の左側に配置される。次に右側に隣接する画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の右側に配置される。次に右側に隣接する画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の左側に配置される。以下、TFT 2 は、上記図 1 に示す配置と同様に配置される。20

かかる各 TFT 2 の配置により、X 座標検知配線 4 の左右両側に配置される各画素電極 1 に対して各 TFT 2 は、X 座標検知配線 4 から離れる側の画素電極 1 の下端辺、例えば X 座標検知配線 4 の左側の画素電極 1 に対してその下端辺の左側に配置され、X 座標検知配線 4 の右側の画素電極 1 に対してその下端辺の右側に配置される。これにより、X 座標検知配線 4 の左右両側に配置されている各 TFT 2 の横方向の間隔は、図 15 に示す各 TFT 2 の横方向の間隔よりも広く形成される。

土台部 27 と、一対の X 座標検知部 25 及び Y 座標検知部 26 は、それぞれ X 座標検知配線 4 上に配置されている。土台部 27 は、横方向において当該土台部 27 の中心部に X 座標検知配線 4 が通るように配置される。一対の X 座標検知部 25 及び Y 座標検知部 26 は、横方向に並設され、これら X 座標検知部 25 と Y 座標検知部 26 との間に X 座標検知配線 4 が通るように配置される。30

X 座標検知配線 4 の左右両側に配置されている各 TFT 2 の横方向の間隔は、土台部 27 の横方向の長さや、並設された一対の X 座標検知部 25 と Y 座標検知部 26 との横方向の長さよりも長い。従って、土台部 27 と、一対の X 座標検知部 25 及び Y 座標検知部 26 とは、それぞれ縦方向上で TFT 2 と共に配列されずに、横方向の各 TFT 2 の間に配置することが可能である。土台部 27 と一対の X 座標検知部 25 及び Y 座標検知部 26 をそれぞれ横方向上の各 TFT 2 の間に配置することにより、各画素電極 1 の縦方向の間隔を図 15 に示す従来の各画素電極 1 の縦方向の間隔よりも狭くなる。40

X 座標検知部 25 及び Y 座標検知部 26 とは、X 座標検知配線 4 を挟んで横方向に一対で配置される。一対の X 座標検知部 25 及び Y 座標検知部 26 は、上記押圧を受けたときに対向電極 20 に生じる湾曲の量が最大となる箇所に配置される。

すなわち、X 座標検知部 25 及び Y 座標検知部 26 は、一対で、X 座標検知配線 4 と Y 座標検知配線 7 との交差部分上で、かつ横方向において 6 つの画素電極 1 每に配置されている。

土台部 27 は、X 座標検知部 25 及び Y 座標検知部 26 が配置された以外の X 座標検知配線 4 と Y 座標検知配線 7 との交差部分上で、かつ横方向において 6 つの画素電極 1 每に配置されている。50

【0036】

又、X座標検知部25及びY座標検知部26と土台部27とは、縦方向の画素電極1の配置において1列毎に、横方向に3つの画素電極1ずつずれて配置されている。この配置によりX座標検知配線4の縦方向上において、一対のX座標検知部25及びY座標検知部26と土台部27とが交互に配置され、次に右側に配置されたX座標検知配線4の縦方向上において土台部27と一対のX座標検知部25及びY座標検知部26とが交互に配置されている。すなわち、横方向においても、X座標検知部25及びY座標検知部26と土台部27とが3つの画素電極1毎に交互に配置されている。

かかる配置により、X座標検知部25及びY座標検知部26は、それぞれ対向電極20に生じる湾曲の量が最大となる各土台部27の配置位置の中央部に配置される。例えば、図2においてX座標検知部25及びY座標検知部26は、4つの土台部27の配置位置を各コーナとする正四辺形Wの中央部に配置される。10

【0037】

図3は土台部27の周辺部の平面構成図を示す。複数の画素電極1の横方向における各間には、図面上の左側から右側の方向に向かって順次、1本のデータ配線3、X座標検知配線4、2本のデータ配線3が繰り返し配置されている。データ配線3は、上記の通りY方向に配線され、かつゲート配線5と交差するところで当該ゲート配線5と同一方向(Y方向)に延出して配置されている。当該延出されたデータ配線(データ配線延出部)3aは、TFT2のドレイン電極に接続されている。

各TFT2の横方向における配置位置は、画素電極1に対して右側又は左側に配置される。例えば、図3の図面上において、最も左側に配置された画素電極1とその右側に隣接する画素電極1との間には、X座標検知配線4が配置されている。かかる最も左側に配置された画素電極1に対してTFT2は、当該画素電極1における下端辺の左側に配置される。次に右側に隣接する画素電極1に対してTFT2は、当該画素電極1における下端辺の右側に配置される。これにより、X座標検知配線4の左右両側に配置されている各TFT2の横方向の間隔は、図16に示す各TFT2の横方向の間隔よりも広く形成される。20

このX座標検知配線4の左右両側に配置されている各TFT2の横方向の間隔は、土台部27の横方向の長さよりも長い。従って、土台部27は、縦方向上でTFT2と共に配列されずに、横方向の各TFT2の間に配置することが可能であり、各画素電極1の縦方向の間隔を図16に示す従来の各画素電極1の縦方向の間隔よりも狭くすることができる。30

【0038】

図4は図3に示す土台部27のA-A断面図を示す。TFT基板には、TFT2が形成されている。このTFT2は、例えばアルミニウム、クロム又はモリブデンからなるゲート膜と、例えばシリコン窒化膜からなるゲート絶縁膜100aと、例えば真性アモルファスシリコンからなる真性シリコン膜と、例えばシリコン窒化膜からなるチャネル保護膜と、例えばn⁺アモルファスシリコンからなるn⁺シリコン膜と、例えばアルミニウム、クロム又はモリブデンからなるソース・ドレイン膜と、例えばシリコン窒化膜からなるオーバーコート絶縁膜100bとを積層して形成されている。40

【0039】

一方、カラーフィルタ基板には、カラーフィルタ103と、ブラックマトリックス104と、複数の接点用突起部105とが設けられている。これら接点用突起105は、それぞれX座標検知部25、Y座標検知部26及び土台部27の各部分に対峙して設けられている。これら接点用突起部105、カラーフィルタ103及びブラックマトリックス104上には、対向電極20が設けられている。

【0040】

土台部27は、オーバーコート絶縁膜100b上に画素電極1と同じ材料、例えばITOを使用して電極108が形成され、さらに例えばシリコン窒化膜からなる絶縁体の高さ調整部11aを形成して配置されている。接点用突起部105は、柱状スペーサの役割を50

果たして高さ調整部 11a に接触している。これにより、外部からの押圧を受けていないときの X 座標検知部 25 と Y 座標検知部 26 との各接点間隔は、予め設定された同じ接点間隔に設定される。

【0041】

図 5 は X 座標検知部 25 及び Y 座標検知部 26 の周辺部の平面構成図を示す。上記同様に、複数の画素電極 1 の横方向における各間には、図面上の左側から右側の方向に向かって順次、1 本のデータ配線 3、X 座標検知配線 4、2 本のデータ配線 3 が繰り返し配置されている。X 座標検知部 25 及び Y 座標検知部 26 は、一対で、X 座標検知配線 4 と Y 座標検知配線 7 との交差部分上で、かつ Y 方向において、2 つの画素電極 1 毎に配置されている。

10

【0042】

各 TFT 2 の横方向における配置位置は、画素電極 1 に対して右側又は左側に配置される。例えば、図 5 の図面上において、最も左側に配置された画素電極 1 とその右側に隣接する画素電極 1 との間には、X 座標検知配線 4 が配置されている。かかる最も左側に配置された画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の左側に配置される。次に右側に隣接する画素電極 1 に対して TFT 2 は、当該画素電極 1 における下端辺の右側に配置される。これにより、X 座標検知配線 4 の左右両側に配置されている各 TFT 2 の横方向の間隔は、図 17 に示す各 TFT 2 の横方向の間隔よりも広く形成される。

この X 座標検知配線 4 の左右両側に配置されている各 TFT 2 の横方向の間隔は、一対の X 座標検知部 25 及び Y 座標検知部 26 の横方向の長さよりも長い。従って、一対の X 座標検知部 25 及び Y 座標検知部 26 は、縦方向上で TFT 2 と共に配列されずに、横方向の各 TFT 2 の間に配置することが可能であり、各画素電極 1 の縦方向の間隔を図 17 に示す従来の各画素電極 1 の縦方向の間隔よりも狭くすることができる。

20

【0043】

図 6 は図 5 に示す X 座標検知部 25 及び Y 座標検知部 26 の B - B 断面図を示す。X 座標検知部 25 は、オーバーコート絶縁膜 100b 上に画素電極と同じ材料、例えば ITO を使用して X 座標検知接点電極 107 が形成されている。この X 座標検知接点電極 107 は、積層構造 102 中の X 座標検知配線 4 に接続されている。これにより、X 座標検知部 25 は、外部からの押圧を受けて対向電極 20 と X 座標検知接点電極 107 とが導通すると、X 座標検知配線 4 に X 座標信号を生成する。

30

Y 座標検知部 26 は、オーバーコート絶縁膜 100b 上に画素電極と同じ材料、例えば ITO を使用して Y 座標検知接点電極 106 が形成されている。この Y 座標検知接点電極 106 は、積層構造 102 中の Y 座標検知配線 7 に接続されている。これにより、Y 座標検知部 26 は、外部からの押圧を受けて対向電極 20 と Y 座標検知接点電極 106 とが導通すると、Y 座標検知配線 7 に Y 座標信号を生成する。

【0044】

次に、図 7 乃至図 11 を参照して第 1 の基板 (TFT 基板) 上における TFT 2、X 座標検知部 25、Y 座標検知部 26、土台部 27 に共通の作成工程について詳しく説明する。

40

なお、図 7 乃至図 11 の各分図 (A) は、それぞれ図 3 に示す IVA - IVA 部分において TFT 2 が順次形成される様子の断面図を示す。

図 7 乃至図 11 の各分図 (B) は、それぞれ図 3 に示す A - A (IVB - IVB) 部分において TFT 2 の作成と同時に順次形成される土台部 27 の様子の断面図を示す。

図 7 乃至図 11 の各分図 (C) は、それぞれ図 5 に示す IVC - IVC 部分において TFT 2 の作成と同時に順次形成される X 座標検知部 25 の様子の断面図を示す。

図 7 乃至図 11 の各分図 (D) は、それぞれ図 5 に示す IVD - IVD 部分において TFT 2 の作成と同時に順次形成される Y 座標検知部 26 の様子の断面図を示す。

最初、図 7 (A) ~ (D) に示すように TFT 2、土台部 27、X 座標検知部 25、Y 座標検知部 26 に対応する各部分には、第 1 基板 (TFT 基板) 上にフォトリソグラフィ

50

法により、例えばアルミニウム、クロム又はモリブデンからなるゲート膜を使用してゲート配線 5 及びゲート配線 5 に沿い延伸している Y 座標検知配線 7 が形成される。そして、ゲート配線 5 において TFT 2 に対応した部分は TFT 2 のためのゲート電極 5c を提供している。また Y 座標検知配線 7 において Y 座標検知部 26 に対応した部分は、当該 Y 座標検知部 26 のための接続部分 7b を提供している。

【0045】

次に、図 8 (A) ~ (D) に示すように TFT 2、土台部 27、X 座標検知部 25、Y 座標検知部 26 に対応する各部分には、第 1 基板 (TFT 基板) 上に例えばシリコン窒化膜 (SiNx) を使用した透明なゲート絶縁膜 100 がゲート配線 5 及び Y 座標検知配線 7 を覆うよう形成される。10

次に、例えば真性アモルファスシリコンからなる a-Si 層 52 及び例えば n+ アモルファスシリコンからなる n+ a-Si 層 54 が、部分的に例えば SiNx を使用したチャネル保護膜 56 を間に介して、積層される。

【0046】

次に、n+ a-Si 層 54 を覆うように例えばアルミニウム、クロム又はモリブデンからなるソース・ドレイン膜 58 が形成される。ソース・ドレイン膜 58 は、TFT 2 の近傍のデータ配線 3 及び X 座標検知部 25 の近傍の X 座標検知配線 4 を提供している。そして、X 座標検知配線 4 において X 座標検知部 25 に対応した部分は、当該 X 座標検知部 25 のための接続部分 25b を提供している。

n+ a-Si 層 54 及びソース・ドレイン膜 58 は、図 8 (A) 中に示されているように、画素電極 1 に近い側と画素電極 1 から遠い側とで 2 分割される。20

a-Si 層 52、チャネル保護膜 56、そしてこの様に 2 分割された n+ a-Si 層 54 の積層の組み合わせは、TFT 2 のオーミックス層 24d を提供している。また、このように 2 分割されたソース・ドレイン膜 58 は、画素電極 1 に近い側が TFT 2 のソース電極 24a を、また画素電極 1 から遠い側が TFT 2 においてデータ配線 3 から延びているドレイン電極 24b を提供している。

【0047】

次に、図 9 (A) ~ (D) に示すように TFT 2、土台部 27、X 座標検知部 25、Y 座標検知部 26 に対応する各部分には、ソース・ドレイン膜 58 を覆う例えばシリコン窒化膜 (SiNx) を使用した透明なオーバーコート絶縁膜 101 が形成される。30

ここで、図 9 (A) 中に図示されているように、オーバーコート絶縁膜 101 において TFT 2 の対応部分においては、ソース・ドレイン膜 58 のソース電極 24a に対応した位置にソース電極 24a を露出させるためのコンタクトホール 101a が形成される。

【0048】

また、図 9 (C) 中に示すようにオーバーコート絶縁膜 101 において X 座標検知配線 4 の X 座標検知部 25 のための接続部分 25b に対応した部分に、当該接続部分 25b を露出させるためのコンタクトホール 101b が形成されている。

【0049】

さらに、図 9 (D) 中に図示されているように、オーバーコート絶縁膜 101 において Y 座標検知配線 7 の Y 座標検知部 26 のための接続部分 26b に対応した部分に、当該接続部分 26b を露出させるためのコンタクトホール 101c が形成される。コンタクトホール 101c は、オーバーコート絶縁膜 101 と Y 座標検知部 26 のための接続部分 26b との間に存在しているゲート絶縁膜 100 も貫通している。40

【0050】

この段階で、図 9 (A) 中に図示されている TFT 2 の対応部分においては、ゲート配線 5 によるゲート電極 5c、ゲート電極 5c に重なったゲート絶縁膜 100 の部分、ゲート絶縁膜 100 の前記部分に重なった、a-Si 層 52、チャネル保護膜 56、そして 2 分割された n+ a-Si 膜 54 を含む半導体のためのオーミックス層 24d、オーミックス層 24d の 2 分割された n+ a-Si 膜 54 上のソース電極 24a 及びドレイン電極 24b、そしてソース電極 24a 及びドレイン電極 24b を覆うオーバーコート絶縁膜 100 が形成される。50

1が、TFT2を提供している。

【0051】

次に、図10(A)～(D)に示すようにTFT2、土台部27、X座標検知部25、Y座標検知部26、土台部27に対応する各部分には、オーバーコート絶縁膜101を覆うよう例えればITOからなる透明導電膜62が形成される。

透明導電膜62は、図10(A)中に示すように、ソース電極24aを露出させるためのコンタクトホール101a中にも形成されてソース電極24aと電気的に接続される。透明導電膜62は、図10(C)中に示すように、X座標検知部25のための接続部分25bを露出させるためのコンタクトホール101b中にも形成されて当該接続部分25bと電気的に接続される。透明導電膜62はさらに、図10(D)中に示すように、Y座標検知部26のための接続部分26bを露出させるためのコンタクトホール101c中にも形成されて当該接続部分26bと電気的に接続される。
10

【0052】

透明導電膜62が形成された時点で、図10(A)～(D)中に示すようにTFT2の断面の一部、土台部27の断面の一部、X座標検知部25の断面の一部、そしてY座標検知部26の断面の一部のそれぞれは、TFT2を形成するための前述した作成方法よって第1基板(TFT基板)上に共通して同時に形成されているので、第1基板(TFT基板)上からの高さは相互に同じである。

【0053】

次に、土台部27の断面の一部を示している図10(B)においては、透明導電膜62の上にさらに、所定の高さの例えればシリコン窒化膜(SiNx)を使用した透明な土台部絶縁膜により高さ調整部27aが形成され、その頂点が土台部27の突出端面(先端)27bを提供している。
20

【0054】

最後に透明導電膜62は、TFT2の対応部分では図11(A)中に示すように、ソース電極24aと電気的に接続されたコンタクトホール101a中の部分及びTFT2に隣接した画素電極1を提供する部分を除き削除される。

また最後に透明導電膜62は、土台部27の対応部分では図11(B)中に示すように、高さ調整部27aに覆われている部分108を除き削除される。

また、最後に透明導電膜62は、X座標検知部25の対応部分及びX座標検知配線4の接続部分4bにおいて図11(C)中に示すように、X座標検知接点電極106を提供するX座標検知部25の対応部分、及び当該X座標検知部25をX座標検知配線4の接続部分4bに電気的に接続させるコンタクトホール101b中の部分を除き削除される。
30

さらに最後に透明導電膜62は、Y座標検知部26の対応部分及びY座標検知配線7の接続部分7bにおいて図11(D)中に示すように、Y座標検知接点電極107を提供するY座標検知部26の対応部分、及び当該Y座標検知部26をY座標検知配線7の接続部分7bに電気的に接続させるコンタクトホール101c中の部分を除き除去される。

図11(A)～(D)に示すTFT2、土台部27、X座標検知部25、Y座標検知部26に対応する各部分を対比すると、第1基板(TFT基板)から図11(C)に示すX座標検知部25の突出端面(先端)までの高さ及び図11(D)に示すY座標検知部26の突出端面(先端)までの高さよりも、最後にTFT2の突出端面(先端)から除去された透明導電膜62の厚さ分だけ低い。
40

さらに、第1基板(TFT基板)から土台部27の突出端面(先端)27bまでの高さは、図11(C)に示す前述したX座標検知部25の突出端面(先端)までの高さ及び図11(D)に示すY座標検知部26の突出端面(先端)までの高さよりも、最後に透明導電膜62の上に形成された高さ調整部27aの突出端面(先端)27bまでの高さ分だけ高い。

10

20

30

40

50

【0055】

このように上記第1の実施の形態によれば、複数の画素電極1の横方向(X方向)における各間に、例えば1本のデータ配線3、X座標検知配線4、2本のデータ配線3を繰り返し配置するので、これら1本のデータ配線3と2本のデータ配線3との配置位置によって画素電極1に対する各TFT2の横方向における配置位置を当該画素電極1に対して右側又は左側に配置するものとなる。かかる各TFT2の配置により、X座標検知配線4の左右両側に配置されている各TFT2の横方向の間隔を図15に示す従来の各TFT2の横方向の間隔よりも広く形成することができる。このX座標検知配線4の左右両側に配置されている各TFT2の横方向の間隔は、土台部27の横方向の長さや、並設された一対のX座標検知部25とY座標検知部26との横方向の長さよりも長くできる。従って、土台部27と一対のX座標検知部25及びY座標検知部26とは、それぞれ横方向の各TFT2の間に詰めて配置することが可能である。この結果、各画素電極1の縦方向の間隔は、図15に示す従来の各画素電極1の縦方向の間隔よりも狭くすることができる。10

【0056】

すなわち、縦方向(Y方向)においてTFT2と、X座標検知部25及びY座標検知部26と、土台部27と、をY方向に詰めて配列することができ、同縦方向(Y方向)における各画素電極1の間隔を狭くすることができる。この結果、各画素電極1の間隔を狭くした長さに相当する分だけ本装置100としての開口率を大きくすることができ、本装置100の表示性能、例えば表示の輝度等の画質を向上することが出来る。

【0057】

本装置100と従来装置とを比較すると、図12に示すように本装置100の画素電極1間のY方向の間隔Laは、従来装置の画素電極1間の間隔Lbよりも狭く形成されている($L_a < L_b$)。従って、本装置100の各画素電極1のY方向の長さは、従来装置の各画素電極1のY方向の長さよりも長く形成することができる。これにより、本装置100の各画素電極1の面積Saは、従来装置の各画素電極1の面積Sbよりも広くすることができる($S_a > S_b$)。

本装置100の各画素電極1のX方向の長さは、従来装置の各画素電極1の同方向の長さと同一であるものの、各画素電極1のY方向の長さは、本装置100の方が従来装置よりも長くなっている。これにより、本装置100の各画素電極1の面積Saは、従来装置の各画素電極1の面積Sbよりも広くなっている。30

【0058】

例えば、図2においてX座標検知部25及びY座標検知部26は、4つの土台部27の配置位置を各コーナとする正四辺形Wの中央部に配置されている。X座標検知部25及びY座標検知部26の配置位置は、タッチ操作による外部からの押圧を受けたときに対向電極20に生じる湾曲の量が最大となるところである。すなわち、正四辺形W内で対向電極20が最も湾曲しやすいところであり、タッチ操作による僅かな押圧によってX座標検知部25及びY座標検知部26は、それぞれXY座標信号を生成することができる。すなわち、タッチ操作を受けてのX座標及びY座標検知の感度を高くできる。

【0059】

[第2の実施の形態]

次に、本発明の第2の実施の形態について図面を参照して説明する。なお、図2と同一部分には同一符号を付してその詳しい説明は省略する。

図13はタッチパネル機能を有する液晶表示装置の構成図を示す。本装置100は、各画素電極1のX方向における間には、図面上の左側から右側方向に順次、2本のデータ配線3、その右隣の間にX座標検知配線4、さらにその右隣の間に1本のデータ配線3、の順序で繰り返し配置されている。

【0060】

このような2本のデータ配線3と、X座標検知配線4と、1本のデータ配線3との配置順序であれば、上記第1の実施の形態と同様に、X座標検知配線4の左右両側に配置されている各TFT2の横方向の間隔を図15に示す従来の各TFT2の横方向の間隔よりも50

広く形成することができ、これらTFT2の横方向の間内に、一対のX座標検知部25及びY座標検知部26と、土台部27とをY方向に詰めて配列することができ、Y方向における各画素電極1の間隔を狭くすることができる。

この結果、各画素電極1の間隔を狭くした長さに相当する分だけ本装置100としての開口率を大きくすることができ、本装置100の表示性能、例えば表示の輝度等の画質を向上することができる等、上記第1の実施の形態と同様の効果を奏することができる。

【0061】

[第3の実施の形態]

次に、本発明の第3の実施の形態について図面を参照して説明する。なお、図2と同一部分には同一符号を付してその詳しい説明は省略する。

10

図14はタッチパネル機能を有する液晶表示装置の構成図を示す。本装置100は、各画素電極1のX方向における間には、図面上の左側から右側方向に順次、1本のデータ配線3、その右隣の間にX座標検知配線4、さらにその右隣の間に2本のデータ配線3、の順序で繰り返し配置されている

又、本装置100は、一対のX座標検知部25及びY座標検知部26をY方向に配線された1本のX座標検知配線4上に配置している。これと共に本装置100は、土台部27をY方向に配線された1本のX座標検知配線4上に配置している。そして、一対のX座標検知部25及びY座標検知部26と土台部27とは、X方向に配置された3つの画素電極1毎に交互に配置されている。

【0062】

20

このような構成であれば、上記第1の実施の形態と同様に、X座標検知配線4の左右両側に配置されている各TFT2の横方向の間隔を図15に示す従来の各TFT2の横方向の間隔よりも広く形成することができ、これらTFT2の横方向の間内に、一対のX座標検知部25及びY座標検知部26と、土台部27とをY方向に詰めて配列することができ、Y方向における各画素電極1の間隔を狭くすることができる。

この結果、本装置100としての開口率を大きくすることができ、本装置100の表示性能、例えば表示の輝度等の画質を向上することができる等、上記第1の実施の形態と同様の効果を奏することができる。

【0063】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

30

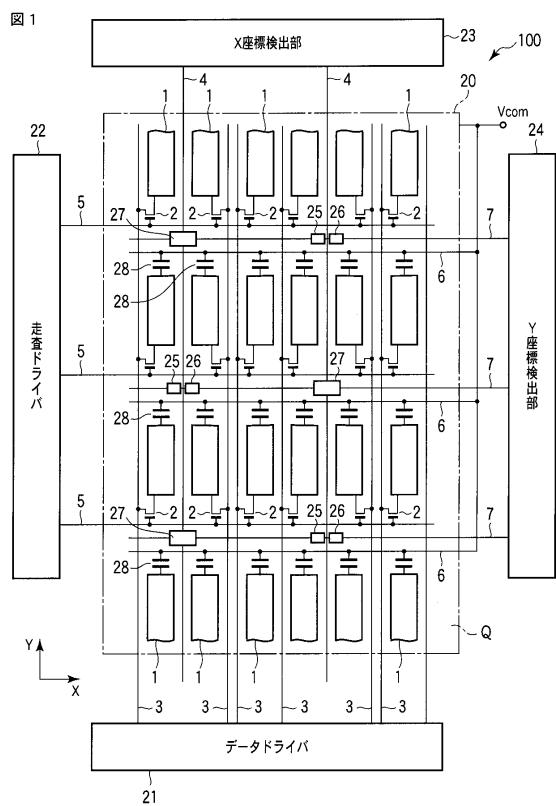
【符号の説明】

【0064】

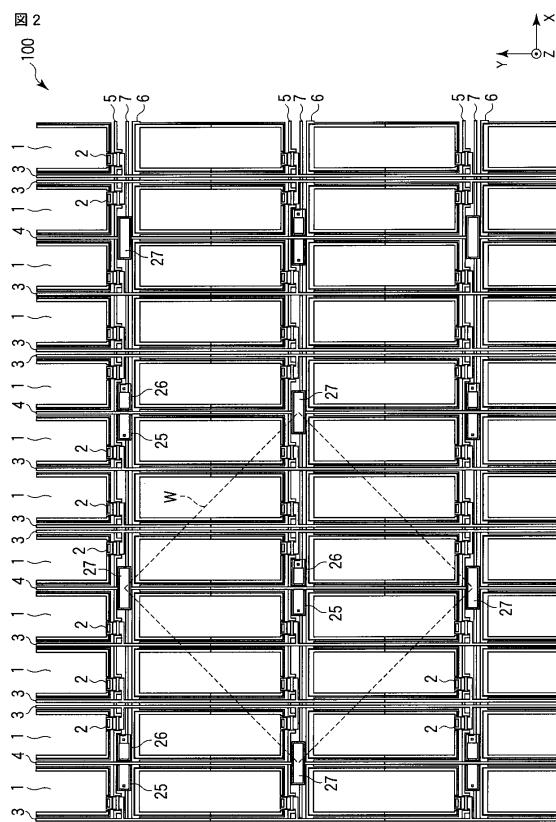
100：本装置、1：画素電極、20：対向電極、Q：液晶層、2：薄膜トランジスタ(TFT)、21：データドライバ(データ駆動回路)、22：走査ドライバ(走査駆動回路)、23：X座標検出回路、24：Y座標検出部、3：データ配線、4：X座標検知配線、5：ゲート配線、25：X座標検知部、26：Y座標検知部、7：Y座標検知配線、27：土台部、6：補助容量配線、28：コンデンサ、3a：データ配線(データ配線延出部)、100a：ゲート絶縁膜、100b：オーバーコート絶縁膜、103：カラーフィルタ、104：ブラックマトリックス、105：接点用突起部、11a：高さ調整部、106：X座標検知接点電極、107：Y座標検知接点電極、102：積層構造。

40

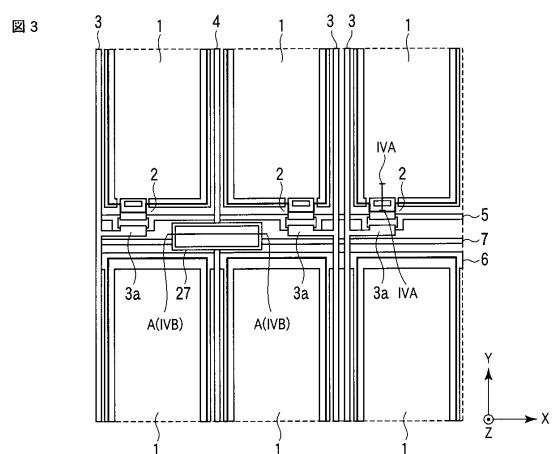
【図1】



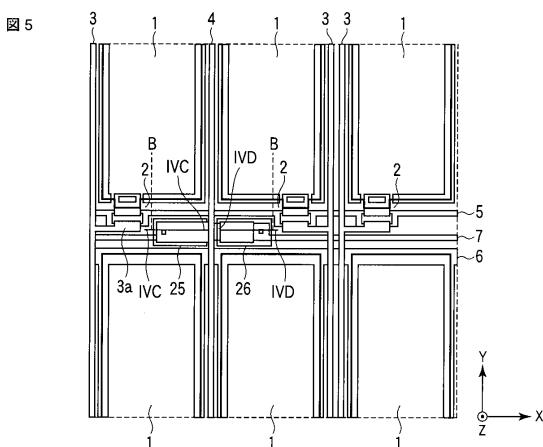
【図2】



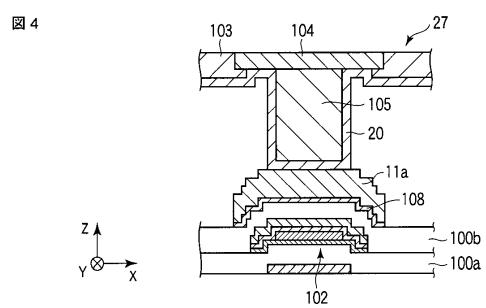
【図3】



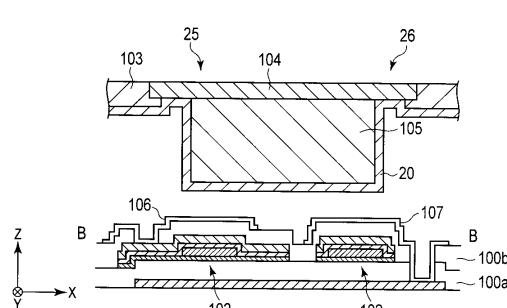
【図5】



【図4】

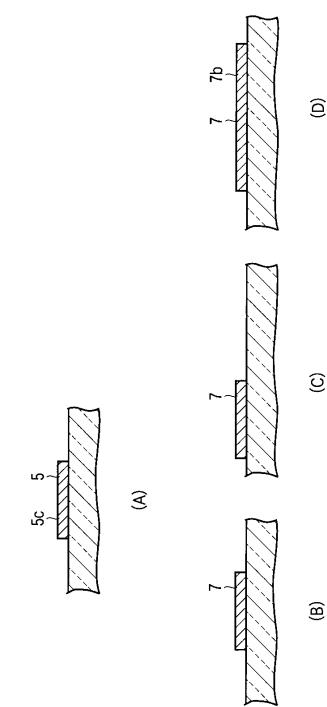


【図6】



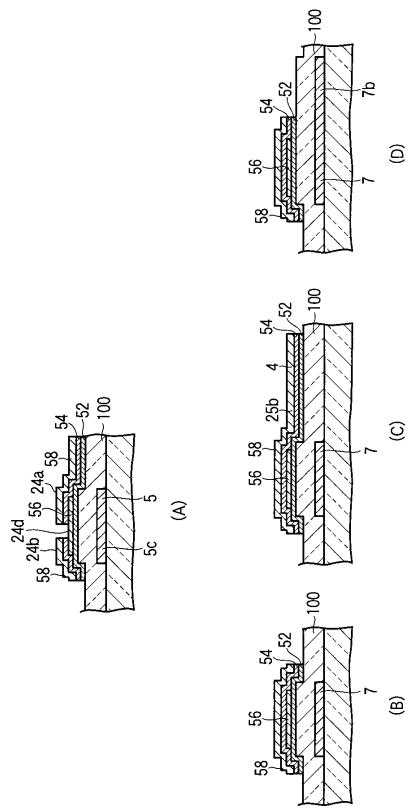
【図7】

図7



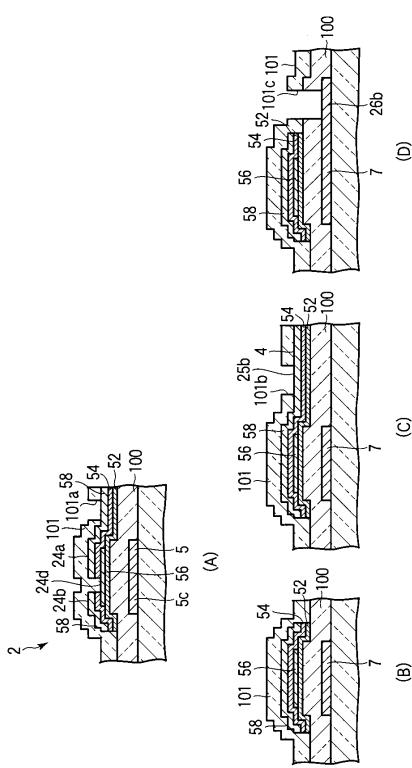
【図8】

図8



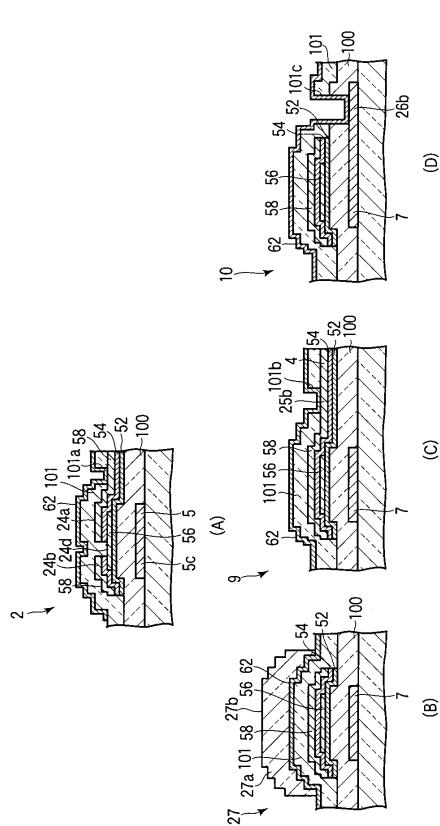
【図9】

図9



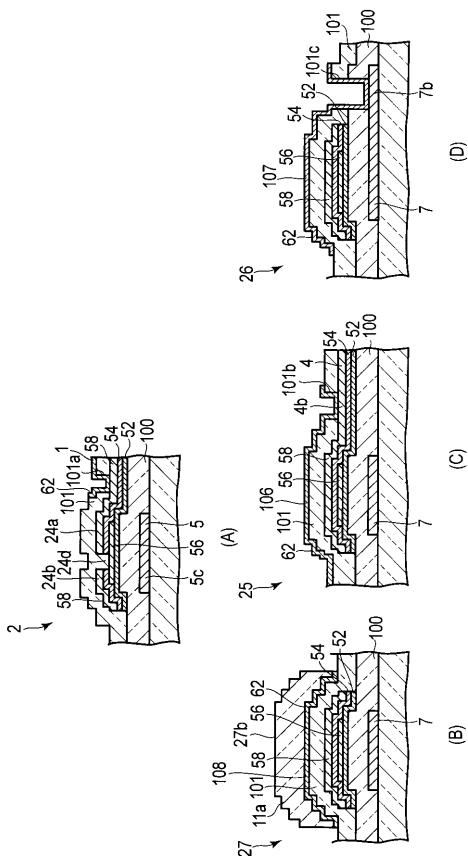
【図10】

図10



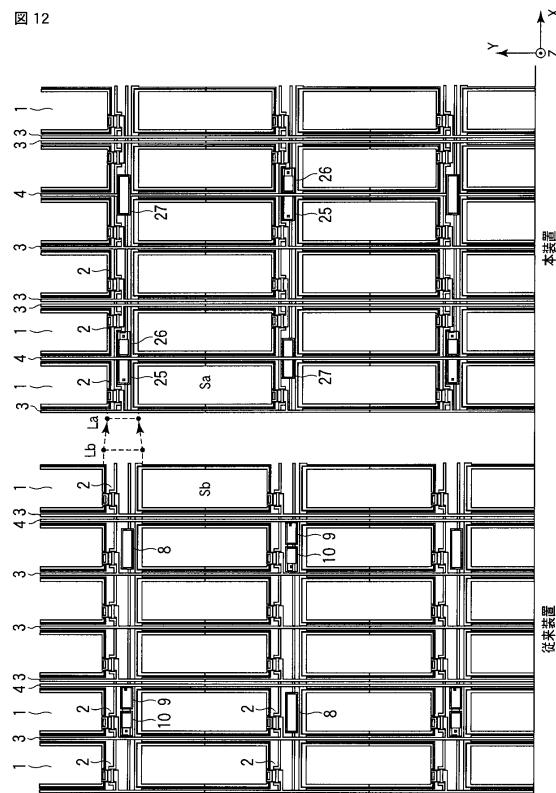
【 図 1 1 】

图 11



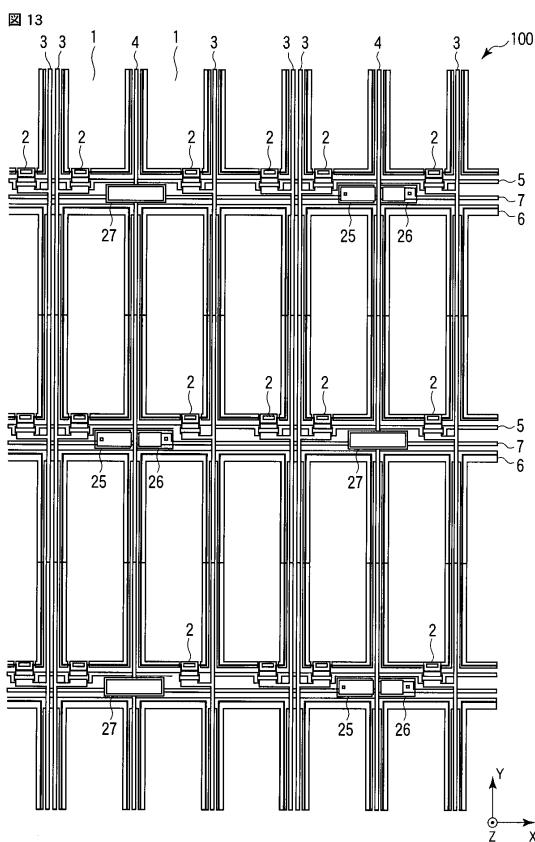
【図12】

12



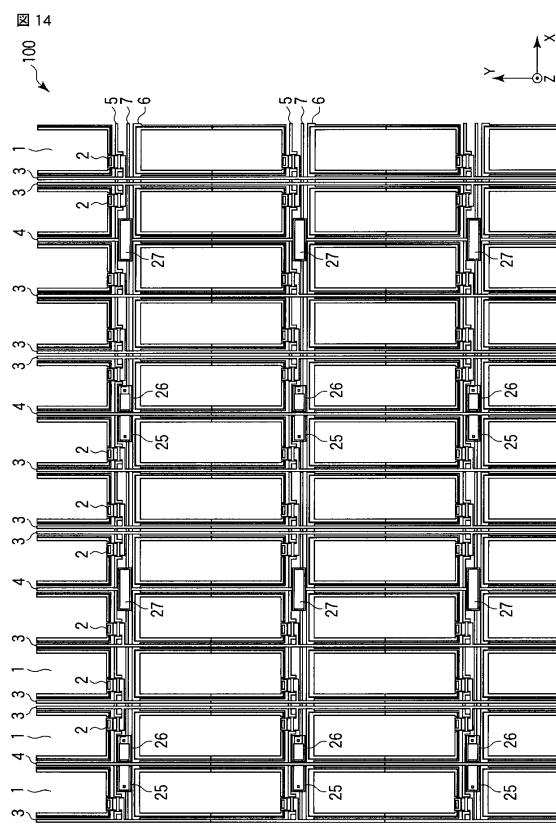
【図13】

図 13

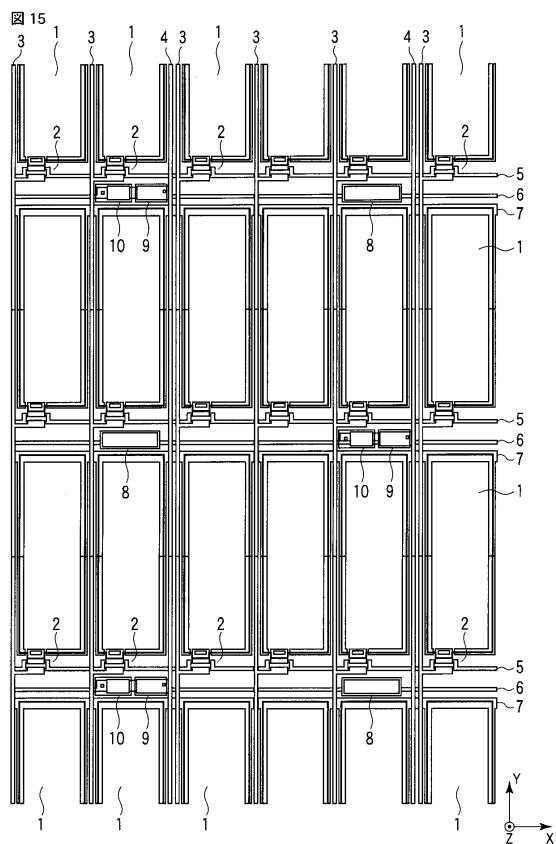


【図14】

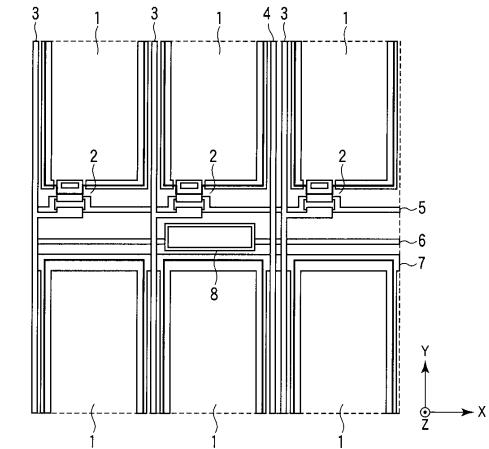
圖 14



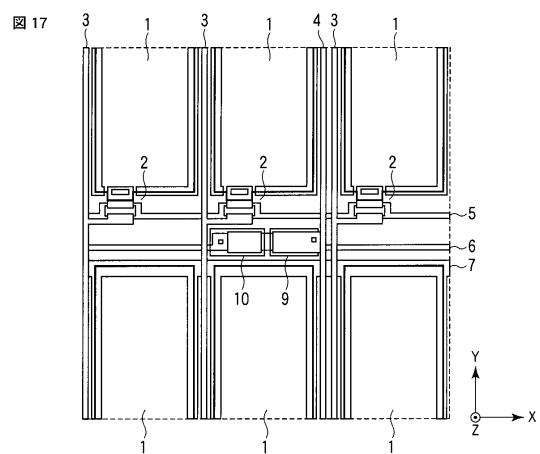
【図15】



【図16】



【図17】



フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 佐々木 和広

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

審査官 藤田 都志行

(56)参考文献 特開2007-095044(JP,A)
特開2001-042296(JP,A)
特開2009-282520(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 02 F 1 / 1368
G 02 F 1 / 1333
G 02 F 1 / 1339
G 06 F 3 / 041