

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 1 部門第 2 区分
【発行日】令和 6 年 8 月 19 日(2024.8.19)

【公開番号】特開 2023-119984(P2023-119984A)
【公開日】令和 5 年 8 月 29 日(2023.8.29)
【年通号数】公開公報(特許)2023-162
【出願番号】特願 2022-23142(P2022-23142)
【国際特許分類】
A 6 3 F 7/02(2006.01)
【F I】
A 6 3 F 7/02 3 2 6 Z

10

【手続補正書】
【提出日】令和 6 年 8 月 8 日(2024.8.8)
【手続補正 1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

20

遊技の動作に関する所定制御を行うための第 1 演算処理と、第 1 演算処理とは異なる第 2 演算処理とを行う演算処理手段と、
前記第 1 演算処理で使用され得る第 1 記憶領域と、
前記第 2 演算処理で使用され得る第 2 記憶領域と、を備え、
第 2 記憶領域に係る処理を最初に呼び出したときに、第 2 記憶領域のスタックポイントに
関して設定処理が可能であり、
電源投入をした際に、前記第 1 記憶領域、及び第 2 記憶領域の少なくとも一部をクリアす
ることが実行可能であり、
前記第 2 記憶領域をクリアする際に、前記第 2 記憶領域のクリア範囲を、前記第 1 記憶領
域のクリア範囲に対応付けられた判定データに応じて設定可能とし、
前記判定データを前記第 2 記憶領域とは異なる領域に記憶した状態で、前記第 2 記憶領域
のクリア範囲をクリア可能であり、
第 1 アドレスで示される領域のデータを指定したビット位置で振り分け、振り分けられた
第 1 のデータを第 1 レジスタ、第 2 のデータを第 2 レジスタに記憶することが可能であり
、
第 2 アドレスに対応するエントリーの値が 0 であればそのままとし、エントリーの値が 0
以外のときはエントリーの値から 1 を減算し、エントリーの値から減算できたか否かに応
じて、所定のフラグを変化させることが可能であることを特徴とする遊技機。

30

40

【手続補正 2】
【補正対象書類名】明細書
【補正対象項目名】0013
【補正方法】変更
【補正の内容】
【0013】

本発明の第 1 の実施態様に係る発明は、下記の構成を有する。
遊技の動作に関する所定制御を行うための第 1 演算処理（例えば、遊技用エリアに係る処
理）と、第 1 演算処理とは異なる第 2 演算処理（例えば、領域外エリアに係る処理）とを
行う演算処理手段（例えば、メイン CPU 6201）と、

50

前記第 1 演算処理で使用され得る第 1 記憶領域（例えば、メイン R A M 6 2 0 3 の遊技用エリア）と、
前記第 2 演算処理で使用され得る第 2 記憶領域（例えば、メイン R A M 6 2 0 3 の領域外エリア）と、を備え、
第 2 記憶領域に係る処理を最初に呼び出したときに、第 2 記憶領域のスタックポインタに関して設定処理が可能であり、
電源投入をした際に、前記第 1 記憶領域、及び第 2 記憶領域の少なくとも一部をクリアすることが実行可能であり、
前記第 2 記憶領域をクリアする際に、前記第 2 記憶領域のクリア範囲を、前記第 1 記憶領域のクリア範囲に対応付けられた判定データ（例えば、メイン R A M 6 2 0 3 の遊技用エリアに係るクリア範囲先頭アドレスの下位 1 バイト）に応じて設定可能とし、
前記判定データを前記第 2 記憶領域とは異なる領域（例えば、所定のレジスタ）に記憶した状態で、前記第 2 記憶領域のクリア範囲をクリア可能であり、
第 1 アドレスで示される領域のデータを指定したビット位置で振り分け、振り分けられた第 1 のデータを第 1 レジスタ、第 2 のデータを第 2 レジスタに記憶することが可能であり（例えば、1 バイトのデータをビット位置「6」で振り分け、上位 1 ビット（前ゼロ）を H レジスタに、下位 7 ビット（前ゼロ）を L レジスタにセットする）、
第 2 アドレスに対応するエントリーの値が 0 であればそのままとし、エントリーの値が 0 以外の場合はエントリーの値から 1 を減算し、エントリーの値から減算できたか否かに応じて、所定のフラグを変化させることが可能であることを特徴とする遊技機。

10

20

30

40

50