

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4776928号
(P4776928)

(45) 発行日 平成23年9月21日(2011.9.21)

(24) 登録日 平成23年7月8日(2011.7.8)

(51) Int.Cl.

H03B 19/14 (2006.01)

F I

H03B 19/14

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2005-3667 (P2005-3667)	(73) 特許権者	000006013
(22) 出願日	平成17年1月11日(2005.1.11)		三菱電機株式会社
(65) 公開番号	特開2006-196963 (P2006-196963A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成18年7月27日(2006.7.27)	(74) 代理人	100088672
審査請求日	平成19年12月11日(2007.12.11)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	山本 和也
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
		審査官	白井 孝治
		(58) 調査した分野(Int.Cl., DB名)	
			H03B 19/00~19/18
			H03B 5/00~5/42

(54) 【発明の名称】 周波数逡倍器

(57) 【特許請求の範囲】

【請求項 1】

入力信号の周波数の2倍の周波数を有する2倍波成分を主として含み、かつ当該2倍波成分とは異なる、前記入力信号の周波数の偶数倍の周波数を有する周波数成分を含む信号を単相で出力する逡倍器コアと、

一方の入力端子には前記逡倍器コアの出力信号が入力され、他方の入力端子は交流的に接地される差動入力端子を有し、当該差動入力端子に入力される信号を差動増幅することによって前記逡倍器コアの前記出力信号を増幅して差動出力する差動アンプと、

互いに直列に接続されたインダクタ素子及び容量素子を有するLC直列回路とを備え、

前記差動アンプは、それぞれが第1及び第2の電流端子と制御端子とを有し、前記第2の電流端子同士が互いに接続された第1及び第2のトランジスタを含み、

前記第1のトランジスタの前記制御端子は前記差動入力端子の前記一方の入力端子として機能し、

前記第2のトランジスタの前記制御端子は前記差動入力端子の前記他方の入力端子として機能し、

前記LC直列回路は、前記逡倍器コアの出力端子と、前記差動アンプにおける前記第1及び第2のトランジスタの前記第2の電流端子との間に直列に挿入され、前記逡倍器コアの出力信号に含まれる、前記入力信号と同じ周波数の基本波成分を通過させるバンドパスフィルタとして機能する、周波数逡倍器。

【請求項 2】

請求項 1 に記載の周波数通倍器であって、

前記通倍器コアの前記出力端子と、前記差動アンプにおける前記第 1 及び第 2 のトランジスタの前記第 2 の電流端子との間には、前記 LC 直列回路と直列に接続された可変抵抗素子が直列に挿入されている、周波数通倍器。

【請求項 3】

それぞれが第 1 及び第 2 の電流端子と制御端子とを有する第 1 及び第 2 のトランジスタを含み、入力信号の周波数の 2 倍の周波数を有する 2 倍波成分を主として含み、かつ当該 2 倍波成分とは異なる、前記入力信号の周波数の偶数倍の周波数を有する周波数成分を含む信号を単相で出力する通倍器コアと、

10

一方の入力端子には前記通倍器コアの出力信号が入力され、他方の入力端子は交流的に接地される差動入力端子を有し、当該差動入力端子に入力される信号を差動増幅することによって前記通倍器コアの前記出力信号を増幅して差動出力する差動アンプと、

互いに直列に接続されたインダクタ素子及び容量素子を有する LC 直列回路とを備え、

前記通倍器コアにおける前記第 1 及び第 2 のトランジスタでは、前記第 1 の電流端子同士、及び前記第 2 の電流端子同士は互いに接続されるとともに、前記第 1 の電流端子が第 1 の抵抗素子を介して電源電位に接続され、かつ前記第 2 の電流端子が第 2 の抵抗素子を介して接地電位に接続され、

前記通倍器コアは、前記第 1 及び第 2 のトランジスタの前記第 1 の電流端子の電位を出力し、

20

前記 LC 直列回路は、前記通倍器コアにおける前記第 1 及び第 2 のトランジスタの前記第 2 の電流端子と、前記差動入力端子における前記一方の入力端子との間に直列に挿入され、前記通倍器コアにおける前記第 1 及び第 2 のトランジスタの前記第 2 の電流端子に現れる、前記入力信号と同じ周波数の基本波成分を通過させるバンドパスフィルタとして機能する、周波数通倍器。

【請求項 4】

請求項 3 に記載の周波数通倍器であって、

前記通倍器コアにおける前記第 1 及び第 2 のトランジスタの前記第 2 の電流端子と、前記差動入力端子における前記一方の入力端子との間には、前記 LC 直列回路と直列に接続された可変抵抗素子が直列に挿入されている、周波数通倍器。

30

【請求項 5】

請求項 1 及び請求項 3 のいずれか一つに記載の周波数通倍器であって、

前記 LC 直列回路に含まれる容量素子は可変容量素子である、周波数通倍器。

【請求項 6】

入力信号の周波数の 2 倍の周波数を有する 2 倍波成分を主として含み、かつ当該 2 倍波成分とは異なる、前記入力信号の周波数の偶数倍の周波数を有する周波数成分を含む信号を単相で出力する通倍器コアと、

前記通倍器コアの出力信号を 2 系統に分配して第 1 及び第 2 の信号として出力する 180° 移相器と、

40

一方の入力端子には前記第 1 の信号が入力され、他方の入力端子には第 2 の信号が入力される差動入力端子を有し、当該差動入力端子に入力される信号を差動増幅して差動出力する差動アンプと

を備え、

前記 180° 移相器は、前記通倍器コアの前記出力信号に含まれる前記 2 倍波成分については逆相で 2 系統に分配して出力し、前記通倍器コアの出力信号に含まれる、前記入力信号と同じ周波数の基本波成分については同相で 2 系統に分配して出力する、周波数通倍器。

【請求項 7】

請求項 6 に記載の周波数通倍器であって、

50

前記通倍器コアと同じレイアウトパターンを有し、前記通倍器コアと共通の電源電位に接続されるダミー通倍器コアを更に備え、

前記通倍器コア及び前記ダミー通倍器コアのそれぞれは、それぞれが第1及び第2の電流端子を有する第3及び第4のトランジスタを含み、

前記通倍器コア及び前記ダミー通倍器コアのそれぞれにおいては、前記第3及び第4のトランジスタの前記第1の電流端子同士が接続されるとともに、前記第3及び第4のトランジスタの前記第1の電流端子が抵抗素子を介して前記電源電位に接続され、

前記通倍器コア及び前記ダミー通倍器コアのそれぞれにおいては、前記第3及び第4のトランジスタの前記第2の電流端子は接地電位に接続されており、

前記通倍器コア及び前記ダミー通倍器コアのそれぞれは、前記第3及び第4のトランジスタの前記第1の電流端子の電位を出力し、

前記ダミー通倍器コアの出力信号は、前記差動入力端子における前記他方の入力端子に入力される、周波数通倍器。

【請求項8】

請求項7に記載の周波数通倍器であって、

前記電源電位が前記通倍器コアの前記抵抗素子を介して前記差動入力端子の前記一方の入力端子に接続される経路の回路構成と、前記電源電位が前記ダミー通倍器コアの前記抵抗素子を介して前記差動入力端子の前記他方の入力端子に接続される経路の回路構成とは同一である、周波数通倍器。

【請求項9】

請求項6乃至請求項8のいずれか一つに記載の周波数通倍器であって、

前記差動入力端子における前記一方及び他方の入力端子のそれぞれにバイアス電位を入力するバイアス回路を更に備え、

前記バイアス電位が前記差動入力端子の前記一方の入力端子に接続される経路の回路構成と、前記バイアス電位が前記差動入力端子の前記他方の入力端子に接続される経路の回路構成とは同一である、周波数通倍器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力信号の偶数倍の周波数を主とする信号を出力する周波数通倍器に関する。

【背景技術】

【0002】

周波数通倍器は、無線機システム等において、VCO（電圧制御発振器）から出力されるRF信号をその周波数の数倍、例えば2倍の周波数に変換するために使用される。周波数通倍器を用いた無線機システムでは、電力増幅器から出力される周波数変換後のRF信号の周波数と、VCOから出力されるRF信号の周波数とが大きく異なるため、RF信号の周波数変換を行わない方式と比べて、電力増幅器で増幅されたRF信号によってVCOの発振周波数が変動するというVCOプリングの問題を回避できる利点がある。

【0003】

一方で、近年の微細化技術の進歩によってCMOSデバイスの動作周波数が向上し、これにより、VCOや周波数通倍器についてのRFトランシーバチップ上への集積化が可能となり、数多くの無線用LSIが発表、製品化されている。このような無線用LSIにおいては、CMOSデバイスの微細化がゲート耐圧の低下を伴うことから、各回路ブロックの低電圧動作化が求められている。例えば、線幅が0.18μmのCMOSデバイスでは、通常、電源電圧1.8Vでの動作が要求されるため、それに含まれる各RF回路は1.8V以下で動作しなくてはならない。

【0004】

周波数通倍器においては、特許文献1にも開示されているように、従来からGilbert-Cellと呼ばれる構成が使用されている。この構成においては、定電流回路も含

10

20

30

40

50

めると、3つのトランジスタが縦積みで接続されているため、電源電圧が1.8Vでは十分な出力振幅を確保できないという問題が生じる。

【0005】

そこで、非特許文献1では、電源電圧1.8V以下での低電圧動作が可能な周波数通倍器が提案されている。非特許文献1の周波数通倍器では、入力信号の偶数倍の周波数を有する周波数成分を出力することが可能な通倍器コアとして、ソース同士、及びドレイン同士が互いに接続された2つのMOSトランジスタが使用されている。これにより、トランジスタの縦積みの段数が1段となり、電源電圧が1.8Vでの低電圧動作が可能となる。

【0006】

なお、特許文献2, 3にも周波数通倍器に関する技術が開示されている。

10

【0007】

【特許文献1】特開2003-229722号公報

【特許文献2】特開平7-135424号公報

【特許文献3】特開2003-283251号公報

【非特許文献1】山本和也、外5名、「無線通信用1.2/2.4GHz帯及び2.6GHz/5.2GHz帯CMOS周波数通倍器」、電子情報通信学会信学技報、ED2003-210、pp25-30

【発明の開示】

【発明が解決しようとする課題】

【0008】

20

さて、非特許文献1の技術では、通倍器コアは差動入力を有しており、当該差動入力には、前段に設けられたVCO等から出力される相補信号が入力される。この相補信号は完全な相補信号ではない場合があり、この場合には通倍器コアの入力信号には同相成分が含まれ、これにより通倍器コアの出力信号には入力信号と同じ周波数を有する基本波成分が含まれることがある。また、電源ライン等に入力信号が回り込むことによって、通倍器コアの電源電位に基本波成分が含まれる場合もあり、この場合にも、通倍器コアの出力信号には基本波成分が含まれることがある。

【0009】

非特許文献1の技術では、差動入力を通倍器コアで一度単相出力に変換し、差動アンプで差動出力に変換しているため、上述のように通倍器コアの出力信号に不要な基本波成分が含まれた場合には、当該基本波成分を除去することができず、必要な信号成分、例えば入力信号の2倍の周波数を有する周波数成分に対する基本波成分の比（基本波抑圧比）が増加し、基本波成分を十分に抑圧することができないという問題が生じる。

30

【0010】

そこで、本発明は上述の問題に鑑みて成されたものであり、不要な基本波成分に対する抑圧効果を向上することが可能な周波数通倍器を提供することを目的とする。

【課題を解決するための手段】

【0011】

この発明の第1の周波数通倍器は、入力信号の周波数の2倍の周波数を有する2倍波成分を主として含み、かつ当該2倍波成分とは異なる、前記入力信号の周波数の偶数倍の周波数を有する周波数成分を含む信号を単相で出力する通倍器コアと、一方の入力端子には前記通倍器コアの出力信号が入力され、他方の入力端子は交流的に接地される差動入力端子を有し、当該差動入力端子に入力される信号を差動増幅することによって前記通倍器コアの前記出力信号を増幅して差動出力する差動アンプと、互いに直列に接続されたインダクタ素子及び容量素子を有するLC直列回路とを備え、前記差動アンプは、それぞれが第1及び第2の電流端子と制御端子とを有し、前記第2の電流端子同士が互いに接続された第1及び第2のトランジスタを含み、前記第1のトランジスタの前記制御端子は前記差動入力端子の前記一方の入力端子として機能し、前記第2のトランジスタの前記制御端子は前記差動入力端子の前記他方の入力端子として機能し、前記LC直列回路は、前記通倍器コアの出力端子と、前記差動アンプにおける前記第1及び第2のトランジスタの前記第2

40

50

の電流端子との間に直列に挿入され、前記通倍器コアの出力信号に含まれる、前記入力信号と同じ周波数の基本波成分を通過させるバンドパスフィルタとして機能する。

【 0 0 1 2 】

また、この発明の第 2 の周波数通倍器は、それぞれが第 1 及び第 2 の電流端子と制御端子とを有する第 1 及び第 2 のトランジスタを含み、入力信号の周波数の 2 倍の周波数を有する 2 倍波成分を主として含み、かつ当該 2 倍波成分とは異なる、前記入力信号の周波数の偶数倍の周波数を有する周波数成分を含む信号を単相で出力する通倍器コアと、一方の入力端子には前記通倍器コアの出力信号が入力され、他方の入力端子は交流的に接地される差動入力端子を有し、当該差動入力端子に入力される信号を差動増幅することによって前記通倍器コアの前記出力信号を増幅して差動出力する差動アンプと、互いに直列に接続されたインダクタ素子及び容量素子を有する LC 直列回路とを備え、前記通倍器コアにおける前記第 1 及び第 2 のトランジスタでは、前記第 1 の電流端子同士、及び前記第 2 の電流端子同士は互いに接続されるとともに、前記第 1 の電流端子が第 1 の抵抗素子を介して電源電位に接続され、かつ前記第 2 の電流端子が第 2 の抵抗素子を介して接地電位に接続され、前記通倍器コアは、前記第 1 及び第 2 のトランジスタの前記第 1 の電流端子の電位を出力し、前記 LC 直列回路は、前記通倍器コアにおける前記第 1 及び第 2 のトランジスタの前記第 2 の電流端子と、前記差動入力端子における前記一方の入力端子との間に直列に挿入され、前記通倍器コアにおける前記第 1 及び第 2 のトランジスタの前記第 2 の電流端子に現れる、前記入力信号と同じ周波数の基本波成分を通過させるバンドパスフィルタとして機能する。

10

20

【 0 0 1 3 】

また、この発明の第 3 の周波数通倍器は、入力信号の周波数の 2 倍の周波数を有する 2 倍波成分を主として含み、かつ当該 2 倍波成分とは異なる、前記入力信号の周波数の偶数倍の周波数を有する周波数成分を含む信号を単相で出力する通倍器コアと、前記通倍器コアの出力信号を 2 系統に分配して第 1 及び第 2 の信号として出力する 180° 移相器と、一方の入力端子には前記第 1 の信号が入力され、他方の入力端子には第 2 の信号が入力される差動入力端子を有し、当該差動入力端子に入力される信号を差動増幅して差動出力する差動アンプとを備え、前記 180° 移相器は、前記通倍器コアの前記出力信号に含まれる前記 2 倍波成分については逆相で 2 系統に分配して出力し、前記通倍器コアの出力信号に含まれる、前記入力信号と同じ周波数の基本波成分については同相で 2 系統に分配して出力する。

30

【発明の効果】

【 0 0 1 4 】

この発明の第 1 の周波数通倍器によれば、通倍器コアの出力端子と、差動アンプにおける第 1 及び第 2 のトランジスタの第 2 の電流端子との間には、通倍器コアの出力信号に含まれる基本波成分を通過させるバンドパスフィルタとして機能する LC 直列回路が直列に挿入されている。従って、不要な基本波成分を、LC 直列回路を介して第 1 及び第 2 のトランジスタの第 2 の電流端子に入力することができる。その結果、第 1 のトランジスタの制御端子に入力される基本波成分を、第 1 及び第 2 のトランジスタの第 2 の電流端子に入力される基本波成分でもって打ち消すことができる。これにより、差動アンプの出力信号に現れる不要な基本波成分を抑圧することができる。

40

【 0 0 1 5 】

また、この発明の第 2 の周波数通倍器によれば、通倍器コアにおける第 1 及び第 2 のトランジスタの第 2 の電流端子と、差動アンプにおける差動入力端子の一方の入力端子との間には、通倍器コアにおける第 1 及び第 2 のトランジスタの第 2 の電流端子に現れる基本波成分を通過させるバンドパスフィルタとして機能する LC 直列回路が直列に挿入されている。通倍器コアでは、第 1 及び第 2 のトランジスタの第 1 の電流端子に現れる信号とそれらの第 2 の電流端子に現れる信号とは逆相となることから、不要な基本波成分の逆相の信号を、LC 直列回路を介して差動アンプの一方の入力端子に入力することができる。その結果、差動アンプの一方の入力端子では、通倍器コアの出力信号に含まれる基本波成分

50

が、LC直列回路から出力されるそれとは逆相の信号によって打ち消される。これにより、差動アンプの出力信号に現れる不要な基本波成分を抑圧することができる。

【0016】

また、この発明の第3の周波数逡倍器によれば、逡倍器コアの出力信号に含まれる2倍波成分については逆相で2系統に分配して差動アンプに出力し、当該出力信号に含まれる基本波成分については同相で2系統に分配して差動アンプに出力している。従って、差動アンプでは、同相で入力される基本波成分を打ち消すことができるとともに、逆相で入力される2倍波成分を適切に増幅することができる。よって、差動アンプの出力信号に現れる不要な基本波成分を抑圧することができる。

【発明を実施するための最良の形態】

10

【0017】

実施の形態1.

図1は本発明の実施の形態1に係る周波数逡倍器の構成を示す回路図である。本実施の形態1に係る周波数逡倍器は、入力信号の周波数の偶数倍、例えば2倍の周波数を有する信号を出力することが可能である。

【0018】

図1に示されるように、本実施の形態1に係る周波数逡倍器は、差動入力信号 V_i の偶数倍の周波数を主とする周波数成分を含む信号を出力する逡倍器コア1と、逡倍器コア1からの出力信号を増幅して差動出力する差動アンプ2と、差動アンプ2にバイアス電位 V_{bs} を与えるバイアス回路3と、LC直列回路4と、容量素子 C_1 、 C_2 と、抵抗素子 R_b とを備えている。

20

【0019】

逡倍器コア1は、抵抗素子 R_1 と、nMOSトランジスタ M_1 、 M_2 とを備えている。nMOSトランジスタ M_1 の一方の電流端子であるドレイン端子と、nMOSトランジスタ M_2 の一方の電流端子であるドレイン端子は互いに接続されており、両ドレイン端子は抵抗素子 R_1 を介して電源電位 V_{dd} に接続されている。また、nMOSトランジスタ M_1 の他方の電流端子であるソース端子と、nMOSトランジスタ M_2 の他方の電流端子であるソース端子は互いに接続されており、両ソース端子は接地電位に接続されている。

【0020】

nMOSトランジスタ M_1 の制御端子であるゲート端子には、差動入力信号 V_i の一方の入力信号 V_{i1} が入力され、nMOSトランジスタ M_2 の制御端子であるゲート端子には他方の入力信号 V_{i2} が入力される。そして、逡倍器コア1は、nMOSトランジスタ M_1 、 M_2 のドレイン端子の電位を出力信号 V_{d12} として差動アンプ2に出力する。なお、入力信号 V_{i1} 、 V_{i2} はVCO等から出力される信号であって、互いに逆相となっており、相補信号である。

30

【0021】

以上のような構成を成す逡倍器コア1では、図示しないバイアス回路によって、nMOSトランジスタ M_1 、 M_2 のそれぞれのゲート端子とソース端子との間がピンチオフ電圧近傍に予めバイアスされるか、あるいはドレイン電流が比較的低電流になるように予めバイアスされている。このような状態で、nMOSトランジスタ M_1 、 M_2 のゲート端子に入力信号 V_{i1} 、 V_{i2} がそれぞれ入力されると、当該入力信号 V_{i1} 、 V_{i2} は歪んだ状態でnMOSトランジスタ M_1 、 M_2 のドレイン端子に現れる。nMOSトランジスタ M_1 、 M_2 のドレイン端子では、歪んだ入力信号 V_{i1} 、 V_{i2} に含まれる基本波成分や奇数次成分は逆相で現れて打ち消され、偶数次成分は同相で現れて出力信号 V_{d12} として逡倍器コア1から取り出される。

40

【0022】

ここで、基本波成分とは、逡倍器コア1に入力される、歪む前の入力信号 V_{i1} 、 V_{i2} の周波数と同じ周波数を有する周波数成分であって、奇数次成分とは、当該入力信号 V_{i1} 、 V_{i2} の周波数の奇数倍の周波数を有する周波数成分であり、偶数次成分とは、当該入力信号 V_{i1} 、 V_{i2} の周波数の偶数倍の周波数を有する周波数成分である。

50

【 0 0 2 3 】

このようにして、本実施の形態 1 に係る通倍器コア 1 は、入力信号 V_{i1} , V_{i2} の偶数次成分を含む出力信号 V_{d12} を後段の差動アンプ 2 に出力することができる。

【 0 0 2 4 】

なお、通倍器コア 1 の出力信号 V_{d12} に含まれる偶数次成分においては、入力信号 V_{i1} , V_{i2} の 2 倍の周波数を有する周波数成分（以後、「2 倍波成分」と呼ぶ）が最も信号レベルが高く、次数が大きくなるについてその信号レベルは小さくなる。そして、本実施の形態 1 では、最終的には 2 倍波成分が差動アンプ 2 から出力される。

【 0 0 2 5 】

差動アンプ 2 は、抵抗素子 R_2 , R_3 と、nMOS トランジスタ M_3 , M_4 , M_5 とを備えている。nMOS トランジスタ M_3 , M_4 のソース端子は互いに接続されており、両ソース端子は、定電流回路として機能する nMOS トランジスタ M_5 のドレイン端子と接続されている。nMOS トランジスタ M_5 のソース端子は接地電位と接続されており、そのゲート端子には制御信号 V_{cs} が入力される。

10

【 0 0 2 6 】

nMOS トランジスタ M_3 のゲート端子は、容量素子 C_1 を介して、通倍器コア 1 における nMOS トランジスタ M_1 , M_2 のドレイン端子と接続されている。従って、nMOS トランジスタ M_3 のゲート端子には、通倍器コア 1 の出力信号 V_{d12} のうちの交流成分のみが入力される。また、nMOS トランジスタ M_3 のゲート端子には抵抗素子 R_b を介してバイアス回路 3 からのバイアス電位 V_{bs} が印加される。

20

【 0 0 2 7 】

nMOS トランジスタ M_4 のゲート端子は、容量素子 C_2 を介して接地電位に接続されている。従って、nMOS トランジスタ M_4 のゲート端子は交流的に接地されている。また、nMOS トランジスタ M_4 のゲート端子には、バイアス回路 3 からのバイアス電位 V_{bs} が印加される。

【 0 0 2 8 】

なお、nMOS トランジスタ M_3 , M_4 のゲート端子同士は抵抗素子 R_b を介して接続されているが、当該抵抗素子 R_b の抵抗値は高く設定されているため、通倍器コア 1 の出力信号 V_{d12} が、nMOS トランジスタ M_4 のゲート端子に印加されることは無い。

【 0 0 2 9 】

nMOS トランジスタ M_3 のドレイン端子は抵抗素子 R_2 を介して電源電位 V_{dd} が接続され、nMOS トランジスタ M_4 のドレイン端子は抵抗素子 R_3 を介して電源電位 V_{dd} が接続される。そして、差動アンプ 2 は、nMOS トランジスタ M_3 のドレイン電位を差動出力信号 V_o の一方の出力信号 V_{o1} として出力し、nMOS トランジスタ M_4 のドレイン電位を他方の出力信号 V_{o2} として出力する。

30

【 0 0 3 0 】

以上の回路構成を有する差動アンプ 2 は、nMOS トランジスタ M_3 , M_4 のゲート端子が差動入力端子として機能し、nMOS トランジスタ M_3 のゲート電位 V_{c1} と nMOS トランジスタ M_4 のゲート電位 V_{c2} とを差動増幅する。その結果、通倍器コア 1 の出力信号 V_{d12} は逆相で増幅されて出力信号 V_{o1} として出力されるとともに、当該出力信号 V_{d12} は同相で増幅されて出力信号 V_{o2} として出力される。従って、出力信号 V_{o1} , V_{o2} は互いに逆相であって、相補信号となる。

40

【 0 0 3 1 】

本実施の形態 1 に係る差動アンプ 2 では、入力信号の周波数が高いほど増幅率が低下するため、当該差動アンプ 2 は、通倍器コア 1 からの出力信号 V_{d12} に含まれる偶数次成分のうち 2 倍波成分以外についてはほとんど出力しない。従って、差動アンプ 2 からは、差動入力信号 V_i の周波数の 2 倍の周波数を有する信号だけが取り出されることになる。

【 0 0 3 2 】

バイアス回路 3 は、抵抗素子 R_4 , R_5 と nMOS トランジスタ M_6 とを備えている。抵抗素子 R_4 , R_5 は互いに直列に接続されており、当該直列に接続された抵抗素子 R_4 , R_5

50

を介して $nMOS$ トランジスタ M_6 のドレイン端子は電源電位 V_{dd} に接続されている。 $nMOS$ トランジスタ M_6 のドレイン端子とゲート端子は互いに接続されており、そのソース端子は接地電位に接続されている。そして、バイアス回路 3 は、抵抗素子 R_4 と抵抗素子 R_5 との接続点の電位をバイアス電位 V_{bs} として差動アンプ 2 に出力する。

【0033】

LC 直列回路 4 は、互いに直列接続された容量素子 C_{p1} とインダクタ素子 L_{p1} とを備えており、その共振周波数は、基本波成分の周波数、言い換えれば通倍器コア 1 の入力信号 V_{i1} 、 V_{i2} の周波数と同じか、あるいはその近傍に設定されている。容量素子 C_{p1} の一端は $nMOS$ トランジスタ M_1 、 M_2 のドレイン端子と接続されており、その他端はインダクタ素子 L_{p1} の一端に接続されている。インダクタ素子 L_{p1} の他端は $nMOS$ トランジスタ M_3 、 M_4 のソース端子に接続されている。

10

【0034】

このように、通倍器コア 1 の出力端子、つまり $nMOS$ トランジスタ M_1 、 M_2 のドレイン端子と、差動アンプ 2 における $nMOS$ トランジスタ M_3 、 M_4 のソース端子とは、LC 直列回路 4 を介して接続されている。

【0035】

以上のような回路構成を成す本実施の形態 1 に係る周波数通倍器では、通倍器コア 1 から単相で出力された偶数次成分を含む出力信号 V_{d12} は、差動アンプ 2 で増幅されて差動出力される。差動アンプ 2 では、入力信号の周波数が高いほど増幅率が低下することから、当該差動アンプ 2 からは 2 倍波成分のみが出力される。

20

【0036】

このように、本実施の形態 1 に係る周波数通倍器では、通倍器コア 1 の出力端子である $nMOS$ トランジスタ M_1 、 M_2 のドレイン端子と、差動アンプ 2 の $nMOS$ トランジスタ M_3 、 M_4 のソース端子とが、LC 直列回路 4 を介して接続されている。従って、本実施の形態 1 のように、LC 直列回路 4 の共振周波数を入力信号 V_{i1} 、 V_{i2} の周波数と同じか、その近傍に設定することによって、入力信号 V_{i1} 、 V_{i2} に同相成分が含まれていることに起因して、あるいは電源ライン等に入力信号 V_{i1} 、 V_{i2} が回り込むことに起因して出力信号 V_{d12} に基本波成分が含まれる場合には、当該基本波成分を、LC 直列回路 4 を介して $nMOS$ トランジスタ M_3 、 M_4 のソース端子に入力することができる。つまり、 $nMOS$ トランジスタ M_3 、 M_4 のソース電位 V_{s34} には基本波成分が含まれることになる。その結果、 $nMOS$ トランジスタ M_3 のゲート端子に入力される基本波成分を、 $nMOS$ トランジスタ M_3 、 M_4 のソース端子に入力される基本波成分でもって打ち消すことができる。これにより、差動アンプ 2 の出力信号 V_{o1} 、 V_{o2} に現れる不要な基本波成分を抑圧することができる。

30

【0037】

なお、バイアス回路 3 が出力するバイアス電位 V_{bs} は電源電位 V_{dd} から生成されるため、電源ライン等に入力信号 V_{i1} 、 V_{i2} が回り込んで電源電位 V_{dd} に基本波成分が含まれる場合には、バイアス電位 V_{bs} にも基本波成分が含まれる。

【0038】

本実施の形態 1 では、図 1 に示されるように、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_3 のゲート端子に接続される経路の回路構成は配線と抵抗素子 R_b からなり、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_4 のゲート端子に接続される経路の回路構成は配線のみからなり、両経路の回路構成は相違する。従って、当該両経路のインピーダンスが相違する。

40

【0039】

また、LC 直列回路 4 の共振周波数を入力信号 V_{i1} 、 V_{i2} の周波数と同じかあるいはその近傍に設定した場合であっても、必要な 2 倍波成分も当該 LC 直列回路 4 を若干通過して、 $nMOS$ トランジスタ M_3 、 M_4 のソース端子に入力される。従って、差動アンプ 2 での 2 倍波成分に対する増幅率が低下することがある。

【0040】

50

そこで、LC直列回路4の容量素子 C_{p1} を可変容量素子とする。これにより、当該可変容量素子の値を変化させることによってLC直列回路4の共振周波数を調整することができ、nMOSトランジスタ M_3 、 M_4 のソース端子に入力される基本波成分と2倍波成分の量を調整することができる。その結果、不要な基本波成分をある程度除去しつつ、2倍波成分の増幅率の低下を抑制することが可能となる。

【0041】

また、容量素子 C_{p1} を可変容量素子とする代わりに、あるいはそれに加えて、通倍器コア1の出力端子と、差動アンプ2のnMOSトランジスタ M_3 、 M_4 のソース端子とを、LC直列回路4だけではなく、nMOSトランジスタ等からなる可変抵抗素子を更に介して接続しても良い。この場合には、LC直列回路4と当該可変抵抗素子とが直列に接続されることになり、当該可変抵抗素子の値を変化させることによって、nMOSトランジスタ M_3 、 M_4 のソース端子に入力される基本波成分と2倍波成分の量を調整することができる。その結果、不要な基本波成分をある程度除去しつつ、2倍波成分の増幅率の低下を抑制することが可能となる。

【0042】

実施の形態2.

図2は本発明の実施の形態2に係る周波数通倍器の構成を示す回路図である。図2に示されるように、本実施の形態2に係る周波数通倍器は、上述の通倍器コア1、差動アンプ2、バイアス回路3及び容量素子 C_1 、 C_2 と、LC直列回路11と、抵抗素子 R_{b11} 、 R_{b12} とを備えている。なお、本実施の形態2に係る通倍器コア1では、nMOSトランジスタ M_1 、 M_2 のソース端子は抵抗素子 R_{s1} を介して接地電位に接続されている。

【0043】

LC直列回路11は、互いに直列接続されたインダクタ素子 L_{p11} と容量素子 C_{p11} とを備えており、その共振周波数は、入力信号 V_{i1} 、 V_{i2} の周波数と同じか、あるいはその近傍に設定されている。インダクタ素子 L_{p11} の一端はnMOSトランジスタ M_1 、 M_2 のソース端子と接続されており、その他端は容量素子 C_{p11} の一端に接続されている。そして、容量素子 C_{p11} の他端は抵抗素子 R_{b11} の一端に接続されており、抵抗素子 R_{b11} の他端はnMOSトランジスタ M_3 のゲート端子に接続されている。

【0044】

このように、通倍器コア1におけるnMOSトランジスタ M_1 、 M_2 のソース端子と、差動アンプ2におけるnMOSトランジスタ M_3 のゲート端子とは、LC直列回路11及び抵抗素子 R_{b11} を介して接続されている。

【0045】

実施の形態1と同様に、差動アンプ2におけるnMOSトランジスタ M_3 のゲート端子は、容量素子 C_1 を介して通倍器コア1におけるnMOSトランジスタ M_1 、 M_2 のドレイン端子と接続されており、nMOSトランジスタ M_4 のゲート端子は、容量素子 C_2 を介して接地電位に接続されている。従って、MOSトランジスタ M_4 のゲート端子は交流的に接地されている。また、nMOSトランジスタ M_3 のゲート端子には、抵抗素子 R_{b11} 、 R_{b12} を介してバイアス回路3からのバイアス電位 V_{bs} が印加され、nMOSトランジスタ M_4 のゲート端子には、バイアス回路3からのバイアス電位 V_{bs} が直接印加される。

【0046】

なお、nMOSトランジスタ M_3 、 M_4 のゲート端子同士は抵抗素子 R_{b11} 、 R_{b12} を介して接続されているが、抵抗素子 R_{b12} の抵抗値は高く設定されているため、通倍器コア1の出力信号 V_{d12} が、nMOSトランジスタ M_4 のゲート端子に入力されることは無い。

【0047】

このように、本実施の形態2に係る周波数通倍器では、通倍器コア1におけるnMOSトランジスタ M_1 、 M_2 のソース端子と、差動アンプ2におけるnMOSトランジスタ M_3 のゲート端子とが、LC直列回路11を介して接続されている。本実施の形態2に係る通倍器コア1では、nMOSトランジスタ M_1 、 M_2 のドレイン端子に現れる信号とそれらのソース端子に現れる信号とは逆相となることから、LC直列回路11の共振周波数を入力

10

20

30

40

50

信号 V_{i1} , V_{i2} の周波数と同じか、その近傍に設定することによって、出力信号 V_{d12} に含まれる基本波成分の逆相の信号を、当該 LC 直列回路 11 を介して nMOS トランジスタ M_3 のゲート端子に入力することができる。その結果、nMOS トランジスタ M_3 のゲート端子では、出力信号 V_{d12} に含まれる基本波成分が、LC 直列回路 11 から出力されるそれとは逆相の信号によって打ち消される。これにより、差動アンプ 2 の出力信号 V_{o1} , V_{o2} に現れる不要な基本波成分を抑圧することができる。

【0048】

なお、本実施の形態 2 に係る周波数通倍器では、バイアス電位 V_{bs} が nMOS トランジスタ M_3 のゲート端子に接続される経路の回路構成は抵抗素子 R_{b11} , R_{b12} 及び配線からなり、バイアス電位 V_{bs} が nMOS トランジスタ M_4 のゲート端子に接続される経路の回路構成は配線のみからなり、両経路の回路構成は相違する。従って、上述の実施の形態 1 に係る周波数通倍器と同様に、当該両経路のインピーダンスが相違する。

10

【0049】

また、本実施の形態 2 では、通倍器コア 1 における nMOS トランジスタ M_1 , M_2 のソース端子と、差動アンプ 2 における nMOS トランジスタ M_3 のゲート端子とは、LC 直列回路 11 だけではなく、抵抗素子 R_{b11} をも介して接続されている。この抵抗素子 R_{b11} は、基本波成分の逆相の信号についての nMOS トランジスタ M_3 のゲート端子への注入量を調整するために設けられている。従って、当該調整が不要な場合には、nMOS トランジスタ M_1 , M_2 のソース端子と、差動アンプ 2 における nMOS トランジスタ M_3 のゲート端子とを、LC 直列回路 11 だけを介して接続しても良い。

20

【0050】

また、本実施の形態 2 においても、LC 直列回路 11 の共振周波数を入力信号 V_{i1} , V_{i2} の周波数と同じか、あるいはその近傍に設定した場合であっても、必要な 2 倍波成分の逆相の信号が当該 LC 直列回路 11 を若干通過して、nMOS トランジスタ M_3 のゲート端子に入力される。従って、差動アンプ 2 での 2 倍波成分に対する増幅率が低下することがある。

【0051】

そこで、抵抗素子 R_{b11} を nMOS トランジスタ等からなる可変抵抗素子とする。これにより、当該可変抵抗素子の値を変化させることにより、nMOS トランジスタ M_3 のゲート端子に入力される、基本波成分及び 2 倍波成分の逆相の信号の量を調整することができる。その結果、不要な基本波成分をある程度除去しつつ、2 倍波成分の増幅率の低下を抑制することができる。

30

【0052】

また、抵抗素子 R_{b11} を可変抵抗素子とすることに代えて、あるいはそれに加えて、直列回路 11 の容量素子 C_{p11} を可変容量素子としても良い。この場合には、当該可変容量素子の値を変化させることによって、LC 直列回路 11 の共振周波数を調整する。これにより、nMOS トランジスタ M_3 のゲート端子に入力される、基本波成分及び 2 倍波成分の逆相の信号の量を調整することができ、不要な基本波成分をある程度除去しつつ、2 倍波成分の増幅率の低下を抑制することができる。

【0053】

実施の形態 3 .

40

図 3 は本発明の実施の形態 3 に係る周波数通倍器の構成を示す回路図である。図 3 に示されるように、本実施の形態 3 に係る周波数通倍器は、上述の通倍器コア 1、差動アンプ 2、バイアス回路 3 及び容量素子 C_1 , C_2 と、 180° 移相器 15 と、抵抗素子 R_{b16} , R_{b17} と、容量素子 C_{s12} とを備えている。

【0054】

180° 移相器 15 は、インダクタ素子 L_{s15} と容量素子 C_{s15} とを備え、通倍器コア 1 から出力される出力信号 V_{d12} を 2 系統に分配して分配信号 V_{sa} , V_{sb} として出力する。インダクタ素子 L_{s15} の一端は、通倍器コア 1 における nMOS トランジスタ M_1 , M_2 のドレイン端子と容量素子 C_1 の一端とに接続されており、その他端は、容量素子 C_{s15} の一

50

端と容量素子 C_2 の一端とに接続されている。容量素子 C_{s15} の他端には接地電位が接続されており、容量素子 C_2 の他端は差動アンプ 2 における $nMOS$ トランジスタ M_4 のゲート端子に接続されている。また、容量素子 C_1 の他端は $nMOS$ トランジスタ M_3 のゲート端子に接続されている。

【0055】

本実施の形態 3 に係る 180° 移相器 15 では、インダクタ素子 L_{s15} と容量素子 C_{s15} とで構成される LC 直列回路の共振周波数が、2 倍波成分と同じ周波数、つまり入力信号 V_{i1} , V_{i2} の 2 倍の周波数に設定されている。従って、出力信号 V_{d12} に含まれる周波数成分のうち、2 倍波成分については逆相で 2 系統に分配されて分配信号 V_{sa} , V_{sb} として出力される。そして、 180° 移相器 15 から出力される分配信号 V_{sa} は容量素子 C_1 を介して $nMOS$ トランジスタ M_3 のゲート端子に入力され、分配信号 V_{sb} は容量素子 C_2 を介して $nMOS$ トランジスタ M_4 のゲート端子に入力される。

10

【0056】

差動アンプ 2 における $nMOS$ トランジスタ M_3 のゲート端子には、抵抗素子 R_{b16} を介してバイアス回路 3 からのバイアス電位 V_{bs} が印加され、 $nMOS$ トランジスタ M_4 のゲート端子には、抵抗素子 R_{b17} を介してバイアス回路 3 からのバイアス電位 V_{bs} が印加される。差動アンプ 2 は、 180° 移相器 15 から出力される分配信号 V_{sa} , V_{sb} を差動増幅して、その増幅結果を出力信号 V_{o1} , V_{o2} として出力する。

【0057】

容量素子 C_{s12} は、バイアス電位 V_{bs} の変動を防止するために設けられたものである。容量素子 C_{s12} の一端は、抵抗素子 R_{b16} , R_{b17} の接続点と、抵抗素子 R_4 , R_5 の接続点とに接続されており、その他端は接地されている。

20

【0058】

なお、 $nMOS$ トランジスタ M_3 , M_4 のゲート端子同士は抵抗素子 R_{b16} , R_{b17} を介して接続されているが、これらの抵抗素子の抵抗値は高く設定されているため、分配信号 V_{sa} が $nMOS$ トランジスタ M_4 のゲート端子に印加されることは無いし、分配信号 V_{sb} が $nMOS$ トランジスタ M_3 のゲート端子に印加されることも無い。

【0059】

このように、本実施の形態 3 に係る周波数通倍器では、出力信号 V_{d12} に含まれる 2 倍波成分については逆相で 2 系統に分配して差動アンプ 2 に出力する。通倍器コア 1 の出力信号 V_{d12} に不要な基本波成分が含まれている場合には、当該基本波成分は差動アンプ 2 に同相で入力される。よって、差動アンプ 2 では、同相で入力される基本波成分を打ち消すことができるとともに、逆相で入力される 2 倍波成分を適切に増幅でき、差動アンプ 2 の出力信号 V_{o1} , V_{o2} に現れる不要な基本波成分を抑圧することができる。

30

【0060】

また、本実施の形態 3 に係る周波数通倍器では、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_3 のゲート端子に接続される経路の回路構成は、容量素子 C_{s12} 、抵抗素子 R_{b16} 及び配線からなり、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_4 のゲート端子に接続される経路の回路構成も容量素子 C_{s12} 、抵抗素子 R_{b17} 及び配線からなる。従って、両経路の回路構成は同一であり、当該両経路のインピーダンスを近づけることができる。その結果、バイアス電位 V_{bs} に基本波成分が含まれることに起因して、 $nMOS$ トランジスタ M_3 , M_4 のゲート端子に入力される基本波成分の位相差を低減することができる。よって、電源電位 V_{dd} に含まれる基本波成分のうちバイアス回路 3 経由で差動アンプ 2 の差動入力端子に入力される基本波成分を実施の形態 1 , 2 に係る周波数通倍器よりも確実に除去することができ、差動アンプ 2 の出力信号には現れる基本波成分を更に抑制することができる。

40

【0061】

なお、上述の実施の形態 1 , 2 においても、本実施の形態 3 と同様に、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_3 のゲート端子に接続される経路の回路構成と、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_4 のゲート端子に接続される経路の回路構成とを同一に

50

しても良い。

【0062】

実施の形態4.

図4は本発明の実施の形態4に係る周波数通倍器の構成を示す回路図である。本実施の形態4に係る周波数通倍器は、上述の実施の形態3に係る周波数通倍器において、ダミー通倍器コア21を更に備えるものである。

【0063】

ダミー通倍器コア21は、抵抗素子 R_6 とnMOSトランジスタ M_7 、 M_8 とを備えており、通倍器コア1と同一のレイアウトパターンを備えている。従って、ダミー通倍器コア21と通倍器コア1とでは、回路構成が同一であるのはもちろんのこと、それらが有するnMOSトランジスタの活性領域やゲート電極の形状、あるいは抵抗素子の形状等も同一である。

【0064】

ダミー通倍器コア21では、nMOSトランジスタ M_7 、 M_8 のドレイン端子は互いに接続されており、両ドレイン端子は抵抗素子 R_6 を介して電源電位 V_{dd} に接続される。また、nMOSトランジスタ M_7 、 M_8 のソース端子は互いに接続されており、両ソース端子は接地電位が接続される。そして、nMOSトランジスタ M_7 、 M_8 のドレイン端子は、 180° 移相器15におけるインダクタ素子 L_{s15} と容量素子 C_{s15} との接続点に接続されている。

【0065】

本実施の形態4に係るダミー通倍器コア21では、その入力端子であるnMOSトランジスタ M_7 、 M_8 のゲート端子には信号は入力されず、当該ゲート端子はオープン状態である。また、ダミー通倍器コア21は、nMOSトランジスタ M_7 、 M_8 のドレイン電位を出力信号 V_{d78} として出力する。そして、nMOSトランジスタ M_7 、 M_8 のドレイン端子は、インダクタ素子 L_{s15} と容量素子 C_{s15} との接続点に接続されていることから、ダミー通倍器コア21の出力信号 V_{d78} は、 180° 移相器15の分配信号 V_{sb} に重畳されて、差動アンプ2におけるnMOSトランジスタ M_4 のゲート端子に入力される。

【0066】

このように、本実施の形態4に係る周波数通倍器では、通倍器コア1と同じレイアウトパターンを有するダミー通倍器コア21の出力信号 V_{d78} が差動アンプ2におけるnMOSトランジスタ M_4 のゲート端子に入力されるため、電源ライン等に入力信号 V_{i1} 、 V_{i2} が回り込んだ場合には、通倍器コア1の出力信号 V_{d12} に含まれる基本波成分が差動アンプ2におけるnMOSトランジスタ M_3 のゲート端子に入力されるとともに、ダミー通倍器コア21の出力信号 V_{d78} に含まれる基本波成分がnMOSトランジスタ M_4 のゲート端子に入力される。従って、出力信号 V_{d12} に含まれる基本波成分を、出力信号 V_{d78} に含まれる基本波成分で打ち消すことができる。その結果、差動アンプ2の出力信号 V_{o1} 、 V_{o2} に現れる不要な基本波成分を更に抑圧することができる。

【0067】

また、本実施の形態4では、電源電位 V_{dd} と、nMOSトランジスタ M_3 のゲート端子とは、抵抗素子 R_1 及び容量素子 C_1 を介して接続されており、電源電位 V_{dd} と、nMOSトランジスタ M_4 のゲート端子とは、抵抗素子 R_6 及び容量素子 C_2 を介して接続されている。つまり、電源電位 V_{dd} が抵抗素子 R_1 を介してnMOSトランジスタ M_3 のゲート端子に接続される経路の回路構成と、電源電位 V_{dd} が抵抗素子 R_6 を介してnMOSトランジスタ M_4 のゲート端子に接続される経路の回路構成とは同一である。従って、両経路のインピーダンスを近づけることができる。その結果、電源電位 V_{dd} から抵抗素子 R_1 を介してnMOSトランジスタ M_3 のゲート端子に入力される基本波成分と、電源電位 V_{dd} から抵抗素子 R_6 を介してnMOSトランジスタ M_4 のゲート端子に入力される基本波成分との位相差を低減できる。よって、出力信号 V_{d12} に含まれる基本波成分を、出力信号 V_{d78} に含まれる基本波成分で確実に打ち消すことができ、差動アンプ2の出力信号 V_{o1} 、 V_{o2} に現れる不要な基本波成分を確実に抑圧することができる。

【 0 0 6 8 】

実施の形態 5 .

図 5 は本発明の実施の形態 5 に係る周波数通倍器の構成を示す回路図である。本実施の形態 5 に係る周波数通倍器は、上述の実施の形態 1 に係る周波数通倍器において、実施の形態 4 に係るダミー通倍器コア 2 1 を更に備えるものである。

【 0 0 6 9 】

本実施の形態 5 に係るダミー通倍器コア 2 1 では、 $nMOS$ トランジスタ M_7 , M_8 のドレイン端子は、差動アンプ 2 における $nMOS$ トランジスタ M_4 のゲート端子と容量素子 C_3 を介して接続されている。

【 0 0 7 1 】

本実施の形態 5 においても、電源電位 V_{dd} が抵抗素子 R_1 を介して $nMOS$ トランジスタ M_3 のゲート端子に接続される経路の回路構成と、電源電位 V_{dd} が抵抗素子 R_6 を介して $nMOS$ トランジスタ M_4 のゲート端子に接続される経路の回路構成とは同一であるため、両経路のインピーダンスを近づけることができる。

【 0 0 7 2 】

実施の形態 6 .

図 6 は本発明の実施の形態 6 に係る周波数通倍器の構成を示す回路図である。本実施の形態 6 に係る周波数通倍器は、上述の実施の形態 2 に係る周波数通倍器において、上述のダミー通倍器コア 2 1 を更に備えるものである。なお、本実施形態 6 に係るダミー通倍器コア 2 1 では、 $nMOS$ トランジスタ M_7 , M_8 のソース端子は抵抗素子 R_{s2} を介して接地電位に接続されている。また、図 6 に示される通倍器コア 1 及びダミー通倍器コア 2 1 のレイアウトパターンは同一である。

【 0 0 7 3 】

本実施の形態 6 に係るダミー通倍器コア 2 1 では、 $nMOS$ トランジスタ M_7 , M_8 のドレイン端子は、差動アンプ 2 における $nMOS$ トランジスタ M_4 のゲート端子と容量素子 C_4 を介して接続されている。

【 0 0 7 5 】

本実施の形態 6 においても、電源電位 V_{dd} が抵抗素子 R_1 を介して $nMOS$ トランジスタ M_3 のゲート端子に接続される経路の回路構成と、電源電位 V_{dd} が抵抗素子 R_6 を介して $nMOS$ トランジスタ M_4 のゲート端子に接続される経路の回路構成とは同一である。

【 0 0 7 6 】

なお、本実施の形態 6 では、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_3 のゲート端子に接続される経路の回路構成と、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_4 のゲート端子に接続される経路の回路構成とは相違しているが、図 7 に示されるように抵抗素子 R_{b13} , R_{b14} を追加することによって、両経路の回路構成を同一にしても良い。

【 0 0 7 7 】

図 7 に示される回路では、 $nMOS$ トランジスタ M_3 , M_4 のゲート端子は、互いに直列接続された抵抗素子 $R_{b11} \sim R_{b14}$ を介して接続されており、抵抗素子 R_{b12} , R_{b13} の接続点には容量素子 C_2 の一端が接続されるとともに、バイアス電位 V_{bs} が印加される。従って、バイアス電位 V_{bs} は、抵抗素子 R_{b13} , R_{b14} を介して $nMOS$ トランジスタ M_4 のゲート端子に印加されるとともに、抵抗素子 R_{b11} , R_{b12} を介して $nMOS$ トランジスタ M_3 のゲート端子に印加される。その結果、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_3 のゲート端子に接続される経路の回路構成と、バイアス電位 V_{bs} が $nMOS$ トランジスタ M_4 のゲート端子に接続される経路の回路構成とが同一となる。

【 0 0 7 8 】

以上の実施の形態 1 ~ 6 では、トランジスタとして MOS トランジスタを使用していたが、当該 MOS トランジスタの代わりにバイポーラトランジスタや $GaAsMESFET$ を使用しても同様の効果を得ることができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 7 9 】

【図 1】本発明の実施の形態 1 に係る周波数通倍器の構成を示す回路図である。

【図 2】本発明の実施の形態 2 に係る周波数通倍器の構成を示す回路図である。

【図 3】本発明の実施の形態 3 に係る周波数通倍器の構成を示す回路図である。

【図 4】本発明の実施の形態 4 に係る周波数通倍器の構成を示す回路図である。

【図 5】本発明の実施の形態 5 に係る周波数通倍器の構成を示す回路図である。

【図 6】本発明の実施の形態 6 に係る周波数通倍器の構成を示す回路図である。

【図 7】本発明の実施の形態 6 に係る周波数通倍器の変形例の構成を示す回路図である。

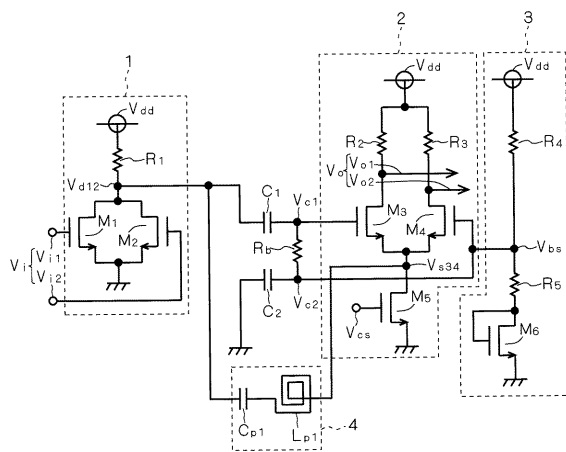
【符号の説明】

【 0 0 8 0 】

10

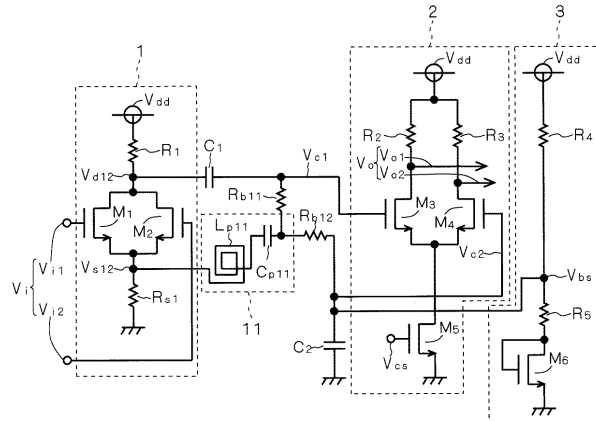
1 通倍器コア、2 差動アンプ、3 バイアス回路、4 , 1 1 LC 直列回路、1 5
1 8 0 ° 移相器、2 1 ダミー通倍器コア。

【図 1】



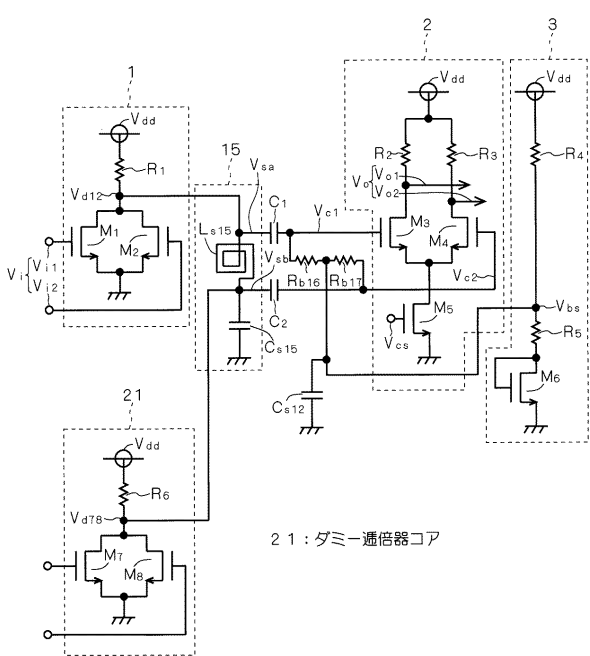
1 : 通倍器コア
2 : 差動アンプ
3 : バイアス回路
4 : LC 直列回路

【図 2】

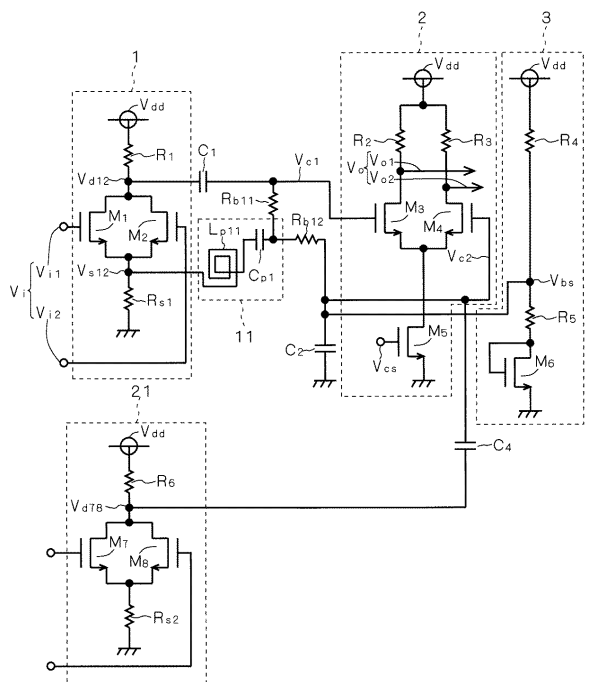


1 1 : LC 直列回路

【 図 4 】



【 図 6 】



【図 7】

