

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7635123号  
(P7635123)

(45)発行日 令和7年2月25日(2025.2.25)

(24)登録日 令和7年2月14日(2025.2.14)

(51)国際特許分類		F I	
H 1 0 F	39/18 (2025.01)	H 1 0 F	39/18 A
H 0 4 N	25/10 (2023.01)	H 0 4 N	25/10
H 0 4 N	25/70 (2023.01)	H 0 4 N	25/70
H 0 4 N	25/76 (2023.01)	H 0 4 N	25/76
H 0 4 N	25/778(2023.01)	H 0 4 N	25/778
請求項の数 16 (全104頁) 最終頁に続く			
(21)出願番号	特願2021-527643(P2021-527643)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	令和2年6月23日(2020.6.23)	(74)代理人	110001357 弁理士法人つばさ国際特許事務所
(86)国際出願番号	PCT/JP2020/024622	(72)発明者	山下 浩史 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(87)国際公開番号	WO2020/262383	審査官	今井 聖和
(87)国際公開日	令和2年12月30日(2020.12.30)		
審査請求日	令和5年6月14日(2023.6.14)		
(31)優先権主張番号	特願2019-118912(P2019-118912)		
(32)優先日	令和1年6月26日(2019.6.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		
		最終頁に続く	

(54)【発明の名称】 撮像装置

(57)【特許請求の範囲】

【請求項1】

光電変換を行う複数のセンサ画素が行列状に配列される画素領域を有する第1基板と、前記センサ画素から出力された電荷に基づいて画素信号を出力する画素回路を有する第2基板と、

前記画素信号を信号処理する処理回路を有する第3基板とを備え、前記第1基板、前記第2基板、及び前記第3基板は、この順に積層され、前記画素回路が設けられる半導体層は、絶縁層によって分断されており、前記センサ画素の光軸方向に垂直な平面の少なくとも一方向において、前記絶縁層は、前記複数のセンサ画素の各々において、前記半導体層を分断する領域の中心位置が前記センサ画素の光学中心の位置と略一致するように前記半導体層を分断する、撮像装置。

【請求項2】

前記センサ画素は、前記第1基板の面内方向に行列状に配列される、請求項1に記載の撮像装置。

【請求項3】

前記絶縁層は、前記センサ画素が配列された行方向、又は列方向の少なくともいずれか1つ以上の方向で前記半導体層を分断する、請求項2に記載の撮像装置。

【請求項4】

前記行方向、又は前記列方向の少なくともいずれか1つ以上の方向において、前記半導体層を分断する領域の中心位置は、前記センサ画素の光学中心の位置と略一致する、請求

項 3 に記載の撮像装置。

【請求項 5】

前記絶縁層は、前記センサ画素が設けられた前記画素領域の全面に亘って前記半導体層を分断する、請求項 2 に記載の撮像装置。

【請求項 6】

前記複数のセンサ画素は互いに異なる波長帯域の光を光電変換し、

前記絶縁層は、最も長波長の光を光電変換する前記センサ画素の光学中心の位置と、前記半導体層を分断する領域の中心位置とが対応するように前記半導体層を分断する、請求項 1 に記載の撮像装置。

【請求項 7】

前記第 1 基板は、第 1 半導体基板に第 1 絶縁層を積層することで構成され、

前記第 1 基板は、前記第 1 絶縁層を介して前記半導体層に貼り合わせられており、

前記半導体層の前記第 1 基板側の面には、前記第 1 基板の屈折率と、前記第 1 絶縁層の屈折率との間の値の屈折率を有する反射防止膜がさらに設けられる、請求項 1 に記載の撮像装置。

【請求項 8】

前記センサ画素は、受光レンズ、及びカラーフィルタを通過した光を光電変換する光電変換素子を有し、

前記センサ画素の光学中心の位置は、光学情報を取得する単位となる 1 又は複数の前記センサ画素の光電変換素子が設けられた領域の中心位置である、請求項 1 に記載の撮像装置。

【請求項 9】

光学情報を取得する単位が複数の前記センサ画素である場合、前記センサ画素の光学中心の位置は、複数の前記センサ画素の各々の光電変換素子が設けられた領域を連結した領域の中心位置である、請求項 8 に記載の撮像装置。

【請求項 10】

複数の前記センサ画素には、前記カラーフィルタ、又は前記受光レンズの一方又は両方が連続して設けられる、請求項 9 に記載の撮像装置。

【請求項 11】

前記センサ画素は、光電変換素子と、前記光電変換素子に電気的に接続された転送トランジスタと、前記転送トランジスタを介して前記光電変換素子から出力された前記電荷を一時的に保持するフローティングディフュージョンとを有し、

前記画素回路は、前記フローティングディフュージョンの電位を所定の電位にリセットするリセットトランジスタと、前記フローティングディフュージョンに保持された前記電荷のレベルに応じた電圧の信号を前記画素信号として生成する増幅トランジスタと、前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタとを有する、請求項 1 に記載の撮像装置。

【請求項 12】

前記リセットトランジスタ、前記増幅トランジスタ、及び前記選択トランジスタは、前記半導体層にそれぞれ設けられる、請求項 11 に記載の撮像装置。

【請求項 13】

前記第 1 基板の前記フローティングディフュージョンと、前記第 2 基板の前記画素回路とを電気的に接続する貫通配線は、前記絶縁層を貫通して設けられる、請求項 11 に記載の撮像装置。

【請求項 14】

前記第 1 基板は、前記光電変換素子、前記転送トランジスタ、及び前記フローティングディフュージョンを前記センサ画素ごとに有し、

前記第 2 基板は、前記センサ画素ごとに前記画素回路を有する、請求項 11 に記載の撮像装置。

【請求項 15】

10

20

30

40

50

前記第 1 基板は、前記光電変換素子、前記転送トランジスタ、及び前記フローティングディフュージョンを前記センサ画素ごとに有し、

前記第 2 基板は、複数の前記センサ画素ごとに前記画素回路を有する、請求項 1 1 に記載の撮像装置。

【請求項 1 6】

前記第 1 基板は、前記光電変換素子、及び前記転送トランジスタを前記センサ画素ごとに有し、かつ前記フローティングディフュージョンを複数の前記センサ画素ごとに共有し、

前記第 2 基板は、前記フローティングディフュージョンを共有する複数の前記センサ画素ごとに前記画素回路を有する、請求項 1 1 に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、撮像装置に関する。

【背景技術】

【0002】

二次元構造の撮像装置の 1 画素あたりの面積の微細化は、微細プロセスの導入、及び実装密度の向上によって実現されてきた。近年、撮像装置のさらなる小型化、及び画素の高密度化を実現するため、三次元構造の撮像装置が開発されている。三次元構造の撮像装置は、例えば、複数のセンサ画素を有する半導体基板と、各センサ画素で得られた信号を処理する信号処理回路を有する半導体基板とを互いに積層することで構成される（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2010 - 245506 号公報

【発明の概要】

【0004】

三次元構造の撮像装置では、積層方向の構造が複雑化するため、撮像装置の内部での入射光の反射が増加する。反射された入射光は、隣接画素に漏れ込む（いわゆる、クロストークする）ことで隣接画素の感度を低下させるため、内部での入射光の反射を考慮して撮像装置の構造を検討することが望まれる。

【0005】

よって、入射光の内部での反射を均一化することが可能な撮像装置を提供することが望ましい。

【0006】

本開示の一実施形態に係る撮像装置は、光電変換を行う複数のセンサ画素が行列状に配列される画素領域を有する第 1 基板と、前記センサ画素から出力された電荷に基づいて画素信号を出力する画素回路を有する第 2 基板と、前記画素信号を信号処理する処理回路を有する第 3 基板とを備え、前記第 1 基板、前記第 2 基板、及び前記第 3 基板は、この順に積層され、前記画素回路が設けられる半導体層は、絶縁層によって分断されており、前記センサ画素の光軸方向に垂直な平面の少なくとも一方向において、前記絶縁層は、前記複数のセンサ画素の各々において、前記半導体層を分断する領域の中心位置が前記センサ画素の光学中心の位置と略一致するように前記半導体層を分断する。

【0007】

本開示の一実施形態に係る撮像装置は、光電変換を行う複数のセンサ画素が行列状に配列される画素領域を有する第 1 基板と、前記センサ画素から出力された電荷に基づいて画素信号を出力する画素回路を有する第 2 基板と、前記画素信号を信号処理する処理回路を有する第 3 基板とを備え、前記第 1 基板、前記第 2 基板、及び前記第 3 基板は、この順に積層され、前記画素回路が設けられる半導体層は、絶縁層によって分断されており、前記センサ画素の光軸方向に垂直な平面の少なくとも一方向において、前記絶縁層は、前記複

10

20

30

40

50

数のセンサ画素の各々において、前記半導体層を分断する領域の中心位置が前記センサ画素の光学中心の位置と対応するように前記半導体層を分断している。これにより、例えば、本開示の一実施形態に係る撮像装置は、第１基板を透過して第２基板の半導体層、及び絶縁層にて反射し、センサ画素に入射する光の分布をより均一にすることができる。

【図面の簡単な説明】

【０００８】

【図１】本開示の一実施形態に係る撮像装置１の概略構成の一例を示す模式図である。

【図２】センサ画素１２、及び画素回路２２の一例を示す回路図である。

【図３】センサ画素１２、及び画素回路２２の他の例を示す回路図である。

【図４】センサ画素１２、及び画素回路２２の他の例を示す回路図である。

10

【図５】センサ画素１２、及び画素回路２２の他の例を示す回路図である。

【図６】複数の画素回路２２と、複数の垂直信号線２４との接続の一例を示す回路図である。

【図７】撮像装置１の積層方向の断面構成の一例を示す縦断面図である。

【図８】撮像装置１の水平方向の断面構成の一例を示す模式図である。

【図９】撮像装置１の水平方向の断面構成の一例を示す模式図である。

【図１０】撮像装置１の水平面内での配線レイアウトの一例を示した模式図である。

【図１１】撮像装置１の水平面内での配線レイアウトの一例を示した模式図である。

【図１２】撮像装置１の水平面内での配線レイアウトの一例を示した模式図である。

【図１３】撮像装置１の水平面内での配線レイアウトの一例を示した模式図である。

20

【図１４】本開示の一実施形態に係る撮像装置１の積層方向の断面構成の一例を示す縦断面図である。

【図１５】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図１６】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図１７】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図１８】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

30

【図１９】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図２０】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図２１】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図２２】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図２３】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

40

【図２４】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図２５】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図２６】同実施形態におけるセンサ画素１２の各々と、第２半導体基板２１との平面配置のバリエーションを示す平面図である。

【図２７Ａ】第１３のバリエーションに係る撮像装置１の部分的な断面構成を模式的に示した縦断面図である。

【図２７Ｂ】第１３のバリエーションに係る撮像装置１の部分的な断面構成を模式的に示した縦断面図である。

50

【図 2 7 C】第 1 3 のバリエーションに係る撮像装置 1 の部分的な断面構成を模式的に示した縦断面図である。

【図 2 7 D】第 1 3 のバリエーションに係る撮像装置 1 の部分的な断面構成を模式的に示した縦断面図である。

【図 2 8 A】第 1 4 のバリエーションに係る撮像装置 1 の部分的な断面構成を模式的に示した縦断面図である。

【図 2 8 B】第 1 4 のバリエーションに係る撮像装置 1 の部分的な断面構成を模式的に示した縦断面図である。

【図 2 8 C】第 1 4 のバリエーションに係る撮像装置 1 の部分的な断面構成を模式的に示した縦断面図である。

10

【図 2 8 D】第 1 4 のバリエーションに係る撮像装置 1 の部分的な断面構成を模式的に示した縦断面図である。

【図 2 9】図 7 に記載の断面構成の一変形例を示す縦断面図である。

【図 3 0】図 7 に記載の断面構成の一変形例を示す縦断面図である。

【図 3 1】第 3 の変形例に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 3 2】第 3 の変形例に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 3 3】第 3 の変形例に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 3 4】第 3 の変形例に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 3 5】第 3 の変形例に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

20

【図 3 6】第 3 の変形例に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 3 7】図 7 における切断面 S e c 1、及び切断面 S e c 2 の断面構成の一変形例を示す模式図である。

【図 3 8】図 7 における切断面 S e c 1、及び切断面 S e c 2 の断面構成の一変形例を示す模式図である。

【図 3 9】図 7 における切断面 S e c 1、及び切断面 S e c 2 の断面構成の一変形例を示す模式図である。

【図 4 0】図 7 における切断面 S e c 1、及び切断面 S e c 2 の断面構成の一変形例を示す模式図である。

30

【図 4 1】図 7 における切断面 S e c 1、及び切断面 S e c 2 の断面構成の一変形例を示す模式図である。

【図 4 2】第 7 の変形例に係る撮像装置 1 の切断面 S e c 2 の断面構成の他の例を示す模式図である。

【図 4 3】第 7 の変形例に係る撮像装置 1 の切断面 S e c 2 の断面構成の他の例を示す模式図である。

【図 4 4】列並列 A D C 搭載の C M O S イメージセンサの回路構成を示す模式図である。

【図 4 5】図 4 4 に示す撮像装置 1 を 3 つの基板を積層して構成した一例を示す模式図である。

40

【図 4 6】第 9 の変形例に係る撮像装置 1 の断面構成の一例を示す模式図である。

【図 4 7】3 つの基板を積層して構成される撮像装置 1 に C o S i <sub>2</sub> 又は N i S i などのシリサイドからなる低抵抗領域 2 6 を適用した例を示す模式図である。

【図 4 8】本開示の一実施の形態に係る撮像装置の機能構成の一例を表すブロック図である。

【図 4 9】図 4 8 に示した撮像装置の概略構成を表す平面模式図である。

【図 5 0】図 4 9 に示した I I I - I I I ' 線に沿った断面構成を表す模式図である。

【図 5 1】図 4 8 に示した画素共有ユニットの等価回路図である。

【図 5 2】複数の画素共有ユニットと複数の垂直信号線との接続態様の一例を表す図である。

50

【図 5 3】図 5 0 に示した撮像装置の具体的な構成の一例を表す断面模式図である。

【図 5 4 A】図 5 3 に示した第 1 基板の要部の平面構成の一例を表す模式図である。

【図 5 4 B】図 5 4 A に示した第 1 基板の要部とともにパッド部の平面構成を表す模式図である。

【図 5 5】図 5 3 に示した第 2 基板（半導体層）の平面構成の一例を表す模式図である。

【図 5 6】図 5 3 に示した第 1 配線層とともに、画素回路および第 1 基板の要部の平面構成の一例を表す模式図である。

【図 5 7】図 5 3 に示した第 1 配線層および第 2 配線層の平面構成の一例を表す模式図である。

【図 5 8】図 5 3 に示した第 2 配線層および第 3 配線層の平面構成の一例を表す模式図である。

10

【図 5 9】図 5 3 に示した第 3 配線層および第 4 配線層の平面構成の一例を表す模式図である。

【図 6 0】図 5 0 に示した撮像装置への入力信号の経路について説明するための模式図である。

【図 6 1】図 5 0 に示した撮像装置の画素信号の信号経路について説明するための模式図である。

【図 6 2】図 5 5 に示した第 2 基板（半導体層）の平面構成の一変形例を表す模式図である。

【図 6 3】図 6 2 に示した画素回路とともに、第 1 配線層および第 1 基板の要部の平面構成を表す模式図である。

20

【図 6 4】図 6 3 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 6 5】図 6 4 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

【図 6 6】図 6 5 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

【図 6 7】図 5 4 A に示した第 1 基板の平面構成の一変形例を表す模式図である。

【図 6 8】図 6 7 に示した第 1 基板に積層される第 2 基板（半導体層）の平面構成の一例を表す模式図である。

30

【図 6 9】図 6 8 に示した画素回路とともに、第 1 配線層の平面構成の一例を表す模式図である。

【図 7 0】図 6 9 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 7 1】図 7 0 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

【図 7 2】図 7 1 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

【図 7 3】図 6 7 に示した第 1 基板の平面構成の他の例を表す模式図である。

【図 7 4】図 7 3 に示した第 1 基板に積層される第 2 基板（半導体層）の平面構成の一例を表す模式図である。

40

【図 7 5】図 7 4 に示した画素回路とともに、第 1 配線層の平面構成の一例を表す模式図である。

【図 7 6】図 7 5 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 7 7】図 7 6 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

【図 7 8】図 7 7 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

【図 7 9】図 5 0 に示した撮像装置の他の例を表す断面模式図である。

50

【図 8 0】図 7 9 に示した撮像装置への入力信号の経路について説明するための模式図である。

【図 8 1】図 7 9 に示した撮像装置の画素信号の信号経路について説明するための模式図である。

【図 8 2】図 5 3 に示した撮像装置の他の例を表す断面模式図である。

【図 8 3】図 5 1 に示した等価回路の他の例を表す図である。

【図 8 4】図 5 4 A 等 に示した画素分離部の他の例を表す平面模式図である。

【図 8 5】上記実施の形態およびその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図である。

【図 8 6】図 8 5 に示した撮像システムの撮像手順の一例を表す図である。

10

【図 8 7】車両制御システムの概略的な構成の一例を示すブロック図である。

【図 8 8】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【図 8 9】内視鏡手術システムの概略的な構成の一例を示す図である。

【図 9 0】カメラヘッド及び C C U の機能構成の一例を示すブロック図である。

【発明を実施するための形態】

【 0 0 0 9 】

以下、本開示における実施形態について、図面を参照して詳細に説明する。以下で説明する実施形態は本開示の一具体例であって、本開示にかかる技術が以下の態様に限定されるものではない。また、本開示の各図に示す各構成要素の配置、寸法、及び寸法比等についても、各図に示すものに限定されるものではない。

20

【 0 0 1 0 】

なお、説明は以下の順序で行う。

1. 撮像装置の構成
2. 本開示に係る技術
3. 変形例
4. 具体例
  4. 1. 実施の形態 ( 3 つの基板の積層構造を有する撮像装置 )
  4. 2. 変形例 1 ( 平面構成の例 1 )
  4. 3. 変形例 2 ( 平面構成の例 2 )
  4. 4. 変形例 3 ( 平面構成の例 3 )
  4. 5. 変形例 4 ( 画素アレイ部の中央部に基板間のコンタクト部を有する例 )
  4. 6. 変形例 5 ( プレーナー型の転送トランジスタを有する例 )
  4. 7. 変形例 6 ( 1 つの画素回路に 1 つの画素が接続される例 )
  4. 8. 変形例 7 ( 画素分離部の構成例 )
  4. 9. 適用例 ( 撮像システム )
  4. 10. 応用例

30

【 0 0 1 1 】

< < 1. 撮像装置の構成 > >

まず、図 1 ~ 図 1 3 を参照して、本開示に係る技術が適用される撮像装置について説明する。

40

【 0 0 1 2 】

図 1 は、本開示の一実施形態に係る撮像装置 1 の概略構成の一例を示す模式図である。図 1 に示すように、撮像装置 1 は、第 1 基板 1 0、第 2 基板 2 0、及び第 3 基板 3 0 を備え、これらの 3 つの基板を貼り合わせることで構成された三次元構造の撮像装置である。なお、第 1 基板 1 0、第 2 基板 2 0、及び第 3 基板 3 0 は、この順で積層される。

【 0 0 1 3 】

第 1 基板 1 0 は、光電変換を行う複数のセンサ画素 1 2 を有する第 1 半導体基板 1 1 を含む。複数のセンサ画素 1 2 は、第 1 基板 1 0 の画素領域 1 3 の内部に行列状に配置されて設けられる。

【 0 0 1 4 】

50

第2基板20は、センサ画素12からの電荷に基づいて画素信号を出力する画素回路22を有する第2半導体基板21を含む。画素回路22は、例えば、4つのセンサ画素12ごとに1つずつ設けられ、4つのセンサ画素12から光電変換された電荷を順次読み出す読み出し回路である。また、第2基板20は、行方向に延伸する複数の画素駆動線23と、列方向に延伸する複数の垂直信号線24とを備える。

#### 【0015】

第3基板30は、画素信号を信号処理する処理回路32を有する第3半導体基板31を含む。また、処理回路32は、例えば、垂直駆動回路33、カラム信号処理回路34、水平駆動回路35、及びシステム制御回路36を有する。処理回路32は、センサ画素12ごとの出力電圧 $V_{out}$ を水平駆動回路35から外部に出力することができる。

10

#### 【0016】

垂直駆動回路33は、例えば、複数のセンサ画素12を行単位で順に選択する。カラム信号処理回路34は、例えば、垂直駆動回路33によって選択された行の各センサ画素12から出力される画素信号に対して、相関二重サンプリング処理を施す。例えば、カラム信号処理回路34は、相関二重サンプリング処理を施すことによって画素信号の信号レベルを抽出し、各センサ画素12の受光量に応じた画素データを保持することができる。水平駆動回路35は、例えば、カラム信号処理回路34に保持されている画素データを順次、外部に出力する。システム制御回路36は、例えば、処理回路32内の各構成の駆動を制御する。これによれば、処理回路32は、センサ画素12の各々の受光量に基づいた画素データを外部に出力することができる。

20

#### 【0017】

図2は、センサ画素12、及び画素回路22の一例を示す回路図である。図2に示す回路図では、4つのセンサ画素12が1つの画素回路22を共有している。ここでの「共有」とは、4つのセンサ画素12からの出力が共通の1つの画素回路22に入力されることを表す。

#### 【0018】

センサ画素12の各々は、互いに共通の構成要素を有する。以下では、センサ画素12の各々の構成要素を互いに区別する場合には、構成要素の符号の末尾に識別番号(1、2、3、4)を付与する。一方、センサ画素12の各々を互いに区別しない場合には、構成要素の符号の末尾への識別番号の付与は省略する。

30

#### 【0019】

センサ画素12は、例えば、フォトダイオードPDと、フォトダイオードPDに電氣的に接続された転送トランジスタTRと、転送トランジスタTRを介してフォトダイオードPDから出力された電荷を一時的に保持するフローティングディフュージョンFDとを有する。フォトダイオードPDは、光電変換を行うことで、受光量に応じた電荷を発生させる光電変換素子である。転送トランジスタTRは、例えば、MOS(Metal Oxide Semiconductor)トランジスタである。

#### 【0020】

フォトダイオードPDのカソードは、転送トランジスタTRのソースに電氣的に接続され、フォトダイオードPDのアノードは、基準電位線に電氣的に接続される。転送トランジスタTRのドレインは、フローティングディフュージョンFDに電氣的に接続され、転送トランジスタTRのゲートは、画素駆動線23に電氣的に接続される。

40

#### 【0021】

画素回路22を共有するセンサ画素12の各々のフローティングディフュージョンFDは、互いに電氣的に接続され、かつ共通の画素回路22の入力端に電氣的に接続される。画素回路22は、例えば、リセットトランジスタRSTと、選択トランジスタSELと、増幅トランジスタAMPとを有する。さらに、画素回路22は、選択トランジスタSELを任意で有する。

#### 【0022】

リセットトランジスタRSTのソース(すなわち、画素回路22の入力端)は、フロー

50

ティングディフュージョンFDに電氣的に接続され、リセットトランジスタRSTのドレインは、電源線VDD、及び増幅トランジスタAMPのドレインに電氣的に接続され、リセットトランジスタRSTのゲートは、画素駆動線23に電氣的に接続される。増幅トランジスタAMPのソースは、選択トランジスタSELのドレインに電氣的に接続され、増幅トランジスタAMPのゲートは、リセットトランジスタRSTのソースに電氣的に接続される。選択トランジスタSELのソース(すなわち、画素回路22の出力端)は、垂直信号線24に電氣的に接続され、選択トランジスタSELのゲートは、画素駆動線23に電氣的に接続される。

#### 【0023】

オン状態となった転送トランジスタTRは、フォトダイオードPDにて光電変換された電荷をフローティングディフュージョンFDに転送する。リセットトランジスタRSTは、フローティングディフュージョンFDの電位を所定の電位にリセットする。オン状態となったリセットトランジスタRSTは、フローティングディフュージョンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、画素回路22からの画素信号の出力タイミングを制御する。

#### 【0024】

増幅トランジスタAMPは、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を画素信号として生成する。増幅トランジスタAMPは、いわゆるソースフォロア型の増幅器を構成しており、フォトダイオードPDで発生した電荷のレベルに応じた電圧の画素信号を出力する。選択トランジスタSELがオン状態となった場合、増幅トランジスタAMPは、フローティングディフュージョンFDの電位を増幅し、垂直信号線24を介して、増幅した電位に応じた電圧をカラム信号処理回路34に出力する。リセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELは、例えば、MOSトランジスタである。

#### 【0025】

図3～図5は、センサ画素12、及び画素回路22の他の例を示す回路図である。

#### 【0026】

図3に示すように、選択トランジスタSELは、電源線VDD、及び増幅トランジスタAMPの間に設けられてもよい。この場合、リセットトランジスタRSTのドレインは、電源線VDD、及び選択トランジスタSELのドレインに電氣的に接続される。選択トランジスタSELのソースは、増幅トランジスタAMPのドレインに電氣的に接続され、選択トランジスタSELのゲートは、画素駆動線23に電氣的に接続される。増幅トランジスタAMPのソース(すなわち、画素回路22の出力端)は、垂直信号線24に電氣的に接続され、増幅トランジスタAMPのゲートは、リセットトランジスタRSTのソースに電氣的に接続される。

#### 【0027】

また、図4又は図5に示すように、リセットトランジスタRSTのソースと増幅トランジスタAMPのゲートとの間に、FD変換ゲイン切替トランジスタFDGがさらに設けられてもよい。

#### 【0028】

電荷Qは、容量Cと、電圧Vとの積で表されるため、フローティングディフュージョンFDの容量Cが大きい場合、増幅トランジスタAMPでの変換後の電圧Vが低くなってしまふ。一方、画素信号の電荷Qが大きい場合、フローティングディフュージョンFDの容量Cが十分に大きくなければ、フローティングディフュージョンFDでフォトダイオードPDからの電荷Qを保持しきれなくなる。また、フローティングディフュージョンFDの容量Cは、増幅トランジスタAMPにて変換された電圧Vが過度に高くなりすぎないように、適度に大きいことも重要である。そこで、FD変換ゲイン切替トランジスタFDGは、画素回路22における電荷-電圧変換効率を切り替えるために設けられる。

#### 【0029】

FD変換ゲイン切替トランジスタFDGは、オン状態となることで、オフ状態と比較し

10

20

30

40

50

て、FD変換ゲイン切替トランジスタFDGのゲート容量の分だけフローティングディフュージョンFDの容量Cを大きくすることができる。したがって、FD変換ゲイン切替トランジスタFDGのオン又はオフの状態を切り替えてフローティングディフュージョンFDの容量Cを可変とすることで、画素回路22における電荷-電圧変換効率を切り替えることができる。

【0030】

図6は、複数の画素回路22と、複数の垂直信号線24との接続の一例を示す回路図である。

【0031】

図6に示すように、複数の画素回路22が垂直信号線24の延伸方向（例えば、列方向）に並んで配置されている場合、複数の垂直信号線24は、画素回路22ごとに1つずつ割り当てられてもよい。なお、図6では、垂直信号線24の各々を区別するために、垂直信号線24の各々の符号の末尾に識別番号（1、2、3、4）を付した。

【0032】

図7は、撮像装置1の積層方向の断面構成の一例を示す縦断面図である。

【0033】

図7に示すように、撮像装置1は、第1基板10、第2基板20、及び第3基板30をこの順に積層して構成される。第1基板10の光入射面側（裏面側ともいう）には、例えば、センサ画素12ごとにカラーフィルタ40、及び受光レンズ50がそれぞれ設けられる。すなわち、撮像装置1は、いわゆる裏面照射型の撮像装置である。

【0034】

第1基板10は、第1半導体基板11上に第1絶縁層46を積層して構成される。第1半導体基板11は、シリコン基板であり、例えば、表面の一部及びその近傍に、pウェル層42を有し、それ以外の領域（すなわち、pウェル層42よりも深い領域）にフォトダイオードPDを有する。pウェル層42は、p型の半導体領域で構成され、フォトダイオードPDは、pウェル層42とは異なる導電型（具体的には、n型）の半導体領域で構成される。第1半導体基板11は、pウェル層42の内部にpウェル層42とは異なる導電型（具体的には、n型）の半導体領域であるフローティングディフュージョンFDを有する。

【0035】

第1基板10は、センサ画素12ごとに、フォトダイオードPD、転送トランジスタTR、及びフローティングディフュージョンFDを有する。第1基板10は、第1半導体基板11の光入射面側と反対側（すなわち、表面側、又は第2基板20側）の部分に転送トランジスタTR、及びフローティングディフュージョンFDを有する。

【0036】

第1基板10は、センサ画素12の各々を分離する素子分離部43を有する。素子分離部43は、第1半導体基板11の主面の法線方向（第1半導体基板11の表面に対して垂直な方向）に延伸して形成され、互いに隣接するセンサ画素12の各々を電氣的に分離する。素子分離部43は、例えば、第1半導体基板11を貫通する酸化シリコンによって構成される。

【0037】

第1基板10は、例えば、素子分離部43のフォトダイオードPD側の側面に接するpウェル層44を有する。pウェル層44は、フォトダイオードPDとは異なる導電型（具体的にはp型）の半導体領域で構成される。第1基板10は、例えば、第1半導体基板11の裏面に接する固定電荷膜45を有する。固定電荷膜45は、第1半導体基板11の受光面側の界面準位に起因する暗電流の発生を抑制するために、負の固定電荷を有する絶縁膜にて構成される。固定電荷膜45の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタン、又は酸化タンタル等を例示することができる。固定電荷膜45は、電界を誘起することによって、第1半導体基板11の受光面側の界面に、界面からの電子の発生を抑制するホール蓄積層を形成することができる。

10

20

30

40

50

## 【 0 0 3 8 】

カラーフィルタ 4 0 は、第 1 半導体基板 1 1 の裏面側に設けられる。具体的には、カラーフィルタ 4 0 は、例えば、固定電荷膜 4 5 に対してセンサ画素 1 2 と対向する位置に、固定電荷膜 4 5 に接して設けられる。受光レンズ 5 0 は、例えば、カラーフィルタ 4 0、及び固定電荷膜 4 5 に対してセンサ画素 1 2 と対向する位置に、カラーフィルタ 4 0 に接して設けられる。

## 【 0 0 3 9 】

第 2 基板 2 0 は、第 2 半導体基板 2 1 の上に第 2 絶縁層 5 2 を積層して構成される。第 2 半導体基板 2 1 は、シリコン基板であり、4 つのセンサ画素 1 2 ごとに 1 つの画素回路 2 2 を有する。第 2 基板 2 0 は、第 2 半導体基板 2 1 の第 3 基板 3 0 側（すなわち、表面側）の部分に画素回路 2 2 を有する。第 2 基板 2 0 は、第 1 半導体基板 1 1 の表面側に第 2 半導体基板 2 1 の裏面を向けるようにして、第 1 基板 1 0 に貼り合わせられる。つまり、第 2 基板 2 0 は、第 1 基板 1 0 と、フェイスツウバックにて貼り合わせられる。

10

## 【 0 0 4 0 】

第 2 半導体基板 2 1 には、分離絶縁層 5 3 が設けられており、分離絶縁層 5 3 の内部には、貫通配線 5 4 が設けられる。貫通配線 5 4 は、分離絶縁層 5 3 にて側面を覆われることによって、第 2 半導体基板 2 1 と電氣的に絶縁される。貫通配線 5 4 は、第 2 半導体基板 2 1 の主面の法線方向に延伸しており、第 1 基板 1 0 の各素子、及び第 2 基板 2 0 の各素子を互いに電氣的に接続する。具体的には、貫通配線 5 4 は、フローティングディフュージョン F D、及び接続配線 5 5 を電氣的に接続する。貫通配線 5 4 は、例えば、センサ画素 1 2 ごとに 1 つずつ設けられる。

20

## 【 0 0 4 1 】

第 2 基板 2 0 は、例えば、第 2 絶縁層 5 2 内に、画素回路 2 2、又は第 2 半導体基板 2 1 と電氣的に接続された複数の接続部 5 9 を有する。配線層 5 6 は、例えば、層間絶縁層 5 7、層間絶縁層 5 7 の内部に設けられた複数の画素駆動線 2 3、及び複数の垂直信号線 2 4 を有する。配線層 5 6 は、例えば、層間絶縁層 5 7 の内部に、4 つのセンサ画素 1 2 ごとに 1 つずつ接続配線 5 5 を有する。接続配線 5 5 は、画素回路 2 2 を共有する 4 つのセンサ画素 1 2 の貫通配線 5 4 を互いに電氣的に接続する。

## 【 0 0 4 2 】

配線層 5 6 は、さらに、層間絶縁層 5 7 の内部に複数のパッド電極 5 8 を有する。パッド電極 5 8 の各々は、例えば、銅（C u）などの金属で形成される。パッド電極 5 8 の各々は、配線層 5 6 の表面に露出されており、第 2 基板 2 0 と第 3 基板 3 0 との貼り合わせ、及び第 2 基板 2 0 と第 3 基板 3 0 との電氣的な接続に用いられる。複数のパッド電極 5 8 は、例えば、画素駆動線 2 3、及び垂直信号線 2 4 ごとに 1 つずつ設けられる。

30

## 【 0 0 4 3 】

ここで、第 2 基板 2 0 は、複数の半導体基板と、複数の絶縁層との積層構造にて設けられてもよい。

## 【 0 0 4 4 】

具体的には、第 2 基板 2 0 は、厚み方向に積層された 2 つの半導体基板を含んでもよい。例えば、第 2 基板 2 0 は、第 2 半導体基板 2 1 の上に積層された第 2 絶縁層 5 2 の上に、さらに半導体基板が積層されることで設けられてもよい。第 2 絶縁層 5 2 の上にさらに設けられた半導体基板には、例えば、トランジスタが設けられ、接続部 5 9 を介して第 2 半導体基板 2 1 に設けられたトランジスタと電氣的に接続される。

40

## 【 0 0 4 5 】

すなわち、第 2 基板 2 0 に設けられる画素回路 2 2 は、第 2 半導体基板 2 1 と、第 2 絶縁層 5 2 の上にさらに積層された半導体基板とに分かれて設けられてもよい。具体的には、画素回路 2 2 に含まれる増幅トランジスタ A M P、リセットトランジスタ R S T、及び選択トランジスタ S E L は、少なくとも 1 つ以上のトランジスタが第 2 半導体基板 2 1 に設けられ、残りのトランジスタが第 2 絶縁層 5 2 の上にさらに積層された半導体基板に設けられてもよい。一例として、第 2 半導体基板 2 1 に増幅トランジスタ A M P が設けられ

50

、第2絶縁層52の上にさらに積層された半導体基板にリセットトランジスタRST、及び選択トランジスタSELが設けられてもよい。

【0046】

または、第2基板20は、厚み方向に積層された3つの半導体基板を含んでもよい。例えば、第2基板20は、第2半導体基板21の上に積層された第2絶縁層52の上にさらに上部第1半導体基板が積層され、上部第1半導体基板の上に絶縁層を介してさらに上部第2半導体基板が積層されることで設けられてもよい。積層された上部第1半導体基板、及び上部第2半導体基板には、例えば、トランジスタが設けられ、接続部59等を介して第2半導体基板21に設けられたトランジスタと電氣的に接続される。

【0047】

すなわち、第2基板20に設けられる画素回路22は、第2半導体基板21と、積層された上部第1半導体基板、及び上部第2半導体基板とに分かれて設けられてもよい。具体的には、画素回路22に含まれる増幅トランジスタAMP、リセットトランジスタRST、及び選択トランジスタSELは、少なくとも1つ以上のトランジスタが第2半導体基板21、上部第1半導体基板、及び上部第2半導体基板の各々に設けられてもよい。一例として、第2半導体基板21に増幅トランジスタAMPが設けられ、第2半導体基板21の上にさらに設けられた上部第1半導体基板にリセットトランジスタRSTが設けられ、上部第1半導体基板の上にさらに設けられた上部第2半導体基板に選択トランジスタSELが設けられてもよい。

【0048】

厚み方向に積層された複数の半導体基板を含む第2基板20では、半導体基板を分けて積層することにより、1つの画素回路22が占める半導体基板の面積をより小さくすることができる。このような第2基板20を用いることにより、撮像装置1は、撮像装置1のチップ面積をより小さくすることが可能である。

【0049】

また、このような第2基板20を用いることにより、撮像装置1は、画素回路22に含まれる増幅トランジスタAMP、リセットトランジスタRST、及び選択トランジスタSELのうち、任意のトランジスタの面積を選択的に拡大することができる。これによれば、撮像装置1は、増幅トランジスタAMPの面積を拡大することで、ノイズをより低減することが可能である。

【0050】

第3基板30は、例えば、第3半導体基板31上に第3絶縁膜61を積層して構成される。第3半導体基板31は、シリコン基板であり、処理回路32を有する。なお、第3基板30は、第2基板20に対して、表面側の面同士で貼り合わせられている。そのため、第3基板30の各構成についての説明では、上下の説明が図面での上下方向とは逆となっている。第3基板30は、第2半導体基板21の表面側に第3半導体基板31の表面を向けるようにして、第2基板20に貼り合わせられている。つまり、第3基板30は、第2基板20と、フェイスツーフェイスで貼り合わせられている。

【0051】

第3基板30は、例えば、第3絶縁膜61上に配線層62を有する。配線層62は、例えば、層間絶縁層63と、層間絶縁層63の内部に設けられ、処理回路32と電氣的に接続された複数のパッド電極64を有する。パッド電極64の各々は、例えば、銅(Cu)などの金属で形成される。パッド電極64は、配線層62の表面に露出されており、第2基板20と第3基板30との貼り合わせ、及び第2基板20と第3基板30との電氣的な接続に用いられる。第2基板20、及び第3基板30は、パッド電極58、64同士の接合によって、互いに電氣的に接続される。つまり、転送トランジスタTRのゲート(転送ゲートTG)は、貫通配線54、及びパッド電極58、64を介して、処理回路32に電氣的に接続される。

【0052】

図8及び図9は、撮像装置1の水平方向の断面構成の一例を示す模式図である。図8及

10

20

30

40

50

び図9の上側の図は、図7における切断面Sec1の断面構成の一例を示す模式図であり、図8及び図9の下側の図は、図7における切断面Sec2の断面構成の一例を示す模式図である。

【0053】

図8には、第1方向V1に、2×2の4つのセンサ画素12を2組並べた構成が例示されており、図9には、第1方向V1、及び第2方向V2に、2×2の4つのセンサ画素12を4組並べた構成が例示されている。

【0054】

第1方向V1は、マトリクス状に配置された複数のセンサ画素12の2つの配列方向（例えば行方向、及び列方向）のうち一方の配列方向（例えば、行方向）と平行となっている。また、第2方向V2は、第1方向と直交する配列方向（例えば、列方向）と平行となっている。

10

【0055】

貫通配線54は、例えば、センサ画素12ごとに設けられ、フローティングディフュージョンFD、及び後述の接続配線55を電氣的に接続する。貫通配線47、48は、例えば、センサ画素12ごとに設けられる。貫通配線47は、第1半導体基板11のpウェル層42と、第2基板20内の配線とを電氣的に接続する。貫通配線48は、転送ゲートTG、及び画素駆動線23を電氣的に接続する。

【0056】

図8に示すように、複数の貫通配線54、複数の貫通配線48、及び複数の貫通配線47は、第1基板10の面内において第2方向V2（図8の上下方向）に帯状に並んで配置される。図8には、複数の貫通配線54、複数の貫通配線48、及び複数の貫通配線47が第2方向V2に2列に並んで配置されている場合が例示されている。

20

【0057】

図9に示すように、複数の貫通配線54、複数の貫通配線48、及び複数の貫通配線47は、第1基板10の面内において第1方向V1（図9の左右方向）に帯状に並んで配置される。図9には、複数の貫通配線54、複数の貫通配線48、及び複数の貫通配線47が第1方向V1に2列に並んで配置されている場合が例示されている。

【0058】

画素回路22を共有する4つのセンサ画素12において、4つのフローティングディフュージョンFDは、例えば、素子分離部43を介して互いに近接して配置される。画素回路22を共有する4つのセンサ画素12において、4つの転送ゲートTGは、4つのフローティングディフュージョンFDを囲むように配置されており、例えば、4つの転送ゲートTGによって円環形状を構成している。

30

【0059】

図8に示すように、分離絶縁層53は、第2方向V2に延伸する複数のブロックで構成される。第2半導体基板21は、第2方向V2に延伸し、かつ第2方向V2に並んで配置された複数の島状のブロック21Aで構成される。ブロック21Aの各々には、例えば、複数組のリセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELが設けられる。4つのセンサ画素12によって共有される1つの画素回路22は、例えば、4つのセンサ画素12と対応する領域内に存在するリセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELによって構成される。例えば、画素回路22は、分離絶縁層53の左隣りのブロック21A内の増幅トランジスタAMPと、分離絶縁層53の右隣りのブロック21A内のリセットトランジスタRST、及び選択トランジスタSELとによって構成される。

40

【0060】

また、図9に示すように、分離絶縁層53は、第1方向V1に延伸する複数のブロックで構成される。第2半導体基板21は、第1方向V1に延伸し、かつ第1方向V1に並んで配置された複数の島状のブロック21Aで構成される。ブロック21Aの各々には、例えば、複数組のリセットトランジスタRST、増幅トランジスタAMP、及び選択トラン

50

ジスタSELが設けられる。4つのセンサ画素12によって共有される1つの画素回路22は、例えば、4つのセンサ画素12と対応する領域内に存在するリセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELによって構成される。例えば、画素回路22は、分離絶縁層53の左隣りのブロック21A内の増幅トランジスタAMPと、分離絶縁層53の右隣りのブロック21A内のリセットトランジスタRST、及び選択トランジスタSELとによって構成される。

#### 【0061】

図10～図13は、撮像装置1の水平面内での配線レイアウトの一例を示した模式図である。図10～図13では、図8と同様に、4つのセンサ画素12によって共有された1つの画素回路22が4つのセンサ画素12と対応する領域内に設けられる場合の配線レイアウトの一例を示す。図10～図13では、例えば、配線層56において互いに異なる層内に設けられた配線のレイアウトをそれぞれ示している。

10

#### 【0062】

図10に示すように、例えば、互いに隣接する4つの貫通配線54は、接続配線55と電氣的に接続される。貫通配線54は、接続配線55、及び接続部59を介して、分離絶縁層53の左隣りブロック21Aに含まれる増幅トランジスタAMPのゲートと、分離絶縁層53の右隣りブロック21Aに含まれるリセットトランジスタRSTのゲートとに電氣的に接続される。

#### 【0063】

図11に示すように、例えば、電源線VDDは、第1方向V1に並んで配置された画素回路22の各々と対応する位置に配置される。電源線VDDは、接続部59を介して、第1方向V1に並んで配置された画素回路22の各々の増幅トランジスタAMPのドレイン、及びリセットトランジスタRSTのドレインに電氣的に接続される。例えば、2本の画素駆動線23は、第1方向V1に並んで配置された画素回路22の各々と対応する位置に配置される。画素駆動線23の一方は、例えば、第1方向V1に並んで配置された画素回路22の各々のリセットトランジスタRSTのゲートに電氣的に接続された配線RSTGとして機能する。画素駆動線23の他方は、例えば、第1方向V1に並んで配置された画素回路22の各々の選択トランジスタSELのゲートに電氣的に接続された配線SELGとして機能する。例えば、増幅トランジスタAMPのソースと、選択トランジスタSELのドレインとは、配線25を介して互いに電氣的に接続される。

20

30

#### 【0064】

図12に示すように、例えば、2本の基準電位線VSSは、第1方向V1に並んで配置された画素回路22の各々と対応する位置に配置されている。基準電位線VSSの各々は、第2方向V2に並んで配置された各センサ画素12と対応する位置において、複数の貫通配線47に電氣的に接続される。例えば、4本の画素駆動線23は、第1方向V1に並んで配置された各画素回路22と対応する位置に配置される。4本の画素駆動線23の各々は、第1方向V1に並んで配置された画素回路22の各々に対応する1つのセンサ画素12の貫通配線48に電氣的に接続された配線TRGとして機能する。4本の画素駆動線23は、第1方向V1に並んで配置されたセンサ画素12の各々の転送トランジスタTRのゲートに電氣的に接続される。図12では、配線TRGの各々を区別するために、配線TRGの末尾に識別番号(1、2、3、4)を付与した。

40

#### 【0065】

図13に示すように、例えば、垂直信号線24は、第2方向V2に並んで配置された画素回路22の各々と対応する位置に配置される。垂直信号線24は、第2方向V2に並んで配置された画素回路22の各々の増幅トランジスタAMPのソースに電氣的に接続される。

#### 【0066】

本開示に係る技術は、上記にて説明した積層型の撮像装置1に適用される。以下では、本開示に係る技術について、具体的に説明を行う。

#### 【0067】

50

< 2 . 本開示に係る技術 >

図 1 4 ~ 図 2 8 D を参照して、本開示の一実施形態に係る技術について説明する。本実施形態に係る技術は、第 2 基板 2 0 の第 2 半導体基板 2 1、及び分離絶縁層 5 3 のレイアウトに関するものである。なお、第 2 半導体基板 2 1 は、本願の特許請求の範囲における「半導体層」に対応し、分離絶縁層 5 3 は、本願の特許請求の範囲における「絶縁層」に対応する。

【 0 0 6 8 】

3 つの基板を積層することで構成される撮像装置 1 では、光の入射面から見て、第 1 半導体基板 1 1 に設けられたフォトダイオード P D の奥側に第 2 半導体基板 2 1 が存在する。そのため、長波長の入射光が第 1 半導体基板 1 1 を透過した場合、透過した入射光が第 2 半導体基板 2 1 の裏面にて反射することがあった。

10

【 0 0 6 9 】

一方で、第 1 基板 1 0 と、第 2 基板 2 0 との間には、フォトダイオード P D にて光電変換された電荷を増幅トランジスタ A M P に出力する貫通配線 5 4 が設けられる。貫通配線 5 4 は、第 2 半導体基板 2 1 を貫通する分離絶縁層 5 3 の内部に設けられ、第 1 基板 1 0 に設けられた電極又は配線と、第 2 基板 2 0 に設けられた電極又は配線とを電氣的に接続する。分離絶縁層 5 3 は、第 2 半導体基板 2 1 の各部を電氣的に離隔するために設けられ、貫通配線 5 4 と、第 2 半導体基板 2 1 とを電氣的に絶縁する。

【 0 0 7 0 】

したがって、第 1 半導体基板 1 1 を透過した光が入射する第 2 半導体基板 2 1 の裏面には、第 2 半導体基板 2 1 と、分離絶縁層 5 3 とが画素領域 1 3 の全面に亘って混在することになる。分離絶縁層 5 3 は、第 2 半導体基板 2 1 よりも光の反射率が低いため、分離絶縁層 5 3 の大きさ、及び配置によっては、第 2 半導体基板 2 1、及び分離絶縁層 5 3 から第 1 半導体基板 1 1 への反射光の分布が不均一になることがあり得る。

20

【 0 0 7 1 】

ここで、第 2 半導体基板 2 1、及び分離絶縁層 5 3 から第 1 半導体基板 1 1 への反射光は、センサ画素 1 2 における感度低下、又は隣接画素への漏れ込み（クロストーク）を発生させる。そのため、第 1 半導体基板 1 1 への反射光の分布が不均一になることは、センサ画素 1 2 における同色画素間の感度差、又は隣接画素へのクロストークの不均一性を増加させ、撮像装置 1 にて撮像される画像の画質を低下させてしまう。

30

【 0 0 7 2 】

第 2 半導体基板 2 1、及び分離絶縁層 5 3 のレイアウトは、一般的には、分離絶縁層 5 3 の内部を貫通する貫通配線 5 4 の配置、及び画素回路 2 2 における配線のレイアウト等を考慮して設計される。しかしながら、撮像装置 1 の三次元構造化、及び高性能化によって、撮像装置 1 の内部にて反射される光の影響が強まることにより、撮像画像の面内ばらつきが顕在化する可能性がある。そのため、撮像装置 1 にて撮像される画像の不均一性を抑制することが望まれる。

【 0 0 7 3 】

本実施形態に係る技術は、かかる事情を鑑みて想到されたものである。本実施形態に係る技術は、第 1 半導体基板 1 1 におけるセンサ画素 1 2 のレイアウトと対応するように、第 2 半導体基板 2 1 における分離絶縁層 5 3 のレイアウトを決定するものである。具体的には、本実施形態に係る技術は、第 2 半導体基板 2 1 を分断する分離絶縁層 5 3 の中心位置、又は分離絶縁層 5 3 にて分断された第 2 半導体基板 2 1 の中心位置がセンサ画素 1 2 の光学中心の位置（例えば、フォトダイオード P D の中心位置）に対応するように分離絶縁層 5 3 を配置するものである。これによれば、本実施形態に係る技術は、第 2 半導体基板 2 1 にて反射される入射光の分布をより均一化することができるため、撮像装置 1 にて撮像される画像の不均一性を抑制し、撮像画像の画質を向上させることができる。

40

【 0 0 7 4 】

続いて、図 1 4 を参照して、本実施形態に係る技術についてより具体的に説明する。図 1 4 は、本実施形態に係る撮像装置 1 の積層方向の断面構成の一例を示す縦断面図である。

50

## 【 0 0 7 5 】

図 1 4 に示す断面構成は、図 7 にて示した断面構成と比較して、分離絶縁層 5 3 が形成される位置が異なる。具体的には、図 1 4 に示すように、分離絶縁層 5 3 は、分離絶縁層 5 3 の中心位置がセンサ画素 1 2 の光学中心 O C の位置と略一致するように設けられる。センサ画素 1 2 の光学中心 O C とは、例えば、入射光の光軸方向に垂直な平面にて、フォトダイオード P D が設けられる領域の一方向における中心である。換言すると、センサ画素 1 2 の光学中心 O C とは、撮像装置 1 を積層方向に切断した一断面において、積層方向と直交する方向でのフォトダイオード P D の幅の中心である。

## 【 0 0 7 6 】

または、センサ画素 1 2 の光学中心 O C の位置は、フォトダイオード P D が形成される領域以外の要素に基づいて定義されてもよい。例えば、センサ画素 1 2 の光学中心 O C の位置は、撮像装置 1 を積層方向に切断した一断面において、積層方向と直交する方向での素子分離部 4 3 にて画定された領域の幅の中心、カラーフィルタ 4 0 の幅の中心、又は受光レンズ 5 0 の幅の中心として定義されてもよい。

## 【 0 0 7 7 】

センサ画素 1 2 の光学中心 O C とは、入射光の光軸方向に垂直な平面にて、光学情報の取得単位にて光電変換が行われる領域の一方向における中心である。そのため、センサ画素 1 2 の光学中心 O C は、撮像装置 1 の各画素における光学情報の取得様態に基づいて、適宜、適切な定義にて設定され得る。

## 【 0 0 7 8 】

光学情報の取得単位とは、1 つの光学情報を形成するために用いられる 1 又は複数の画素を表し、例えば、画素単体、複数のサブ画素からなる画素全体、又は画素に含まれるサブ画素の各々のいずれであってもよい。光学情報の取得単位は、画素回路 2 2 において、画素信号がいずれのセンサ画素 1 2 から出力された電荷に基づいて生成されるかを確認することで把握することが可能である。

## 【 0 0 7 9 】

分離絶縁層 5 3 の中心位置は、センサ画素 1 2 の光学中心 O C の位置に対して、入射光の光軸方向に垂直な平面の少なくとも一方向において略一致していればよい。換言すると、分離絶縁層 5 3 の中心位置は、撮像装置 1 を積層方向に切断した一断面において、積層方向と直交する面内のいずれかの方向で、センサ画素 1 2 の光学中心 O C の位置と略一致していればよい。これによれば、撮像装置 1 は、センサ画素 1 2 にて光学情報が取得される領域に対して、分離絶縁層 5 3 をより対称性が高くなるように配置することができるため、第 2 半導体基板 2 1、及び分離絶縁層 5 3 から第 1 半導体基板 1 1 への反射光の均一性を向上させることができる。

## 【 0 0 8 0 】

また、分離絶縁層 5 3 の中心位置は、センサ画素 1 2 の光学中心 O C の位置に対して、入射光の光軸方向に垂直な平面の複数の方向において（又は、全周に亘って）、略一致していてもよい。これによれば、撮像装置 1 は、第 2 半導体基板 2 1、及び分離絶縁層 5 3 から第 1 半導体基板 1 1 への反射光の均一性をさらに向上させることができる。

## 【 0 0 8 1 】

ただし、分離絶縁層 5 3 の中心位置は、センサ画素 1 2 の光学中心 O C の位置と完全一致していなくともよい。例えば、フォトダイオード P D が設けられた領域の中心位置と、分離絶縁層 5 3 の中心位置とは、フォトダイオード P D の形成ピッチの  $1/3$  以下の大きさでずれていてもよい。分離絶縁層 5 3 の中心位置と、フォトダイオード P D が設けられた領域の中心位置とがフォトダイオード P D の形成ピッチの  $1/3$  以下でずれている場合、両者は、略一致しているとみなすことが可能であり、撮像装置 1 は、上述した効果を奏することが可能である。

## 【 0 0 8 2 】

ここで、光は、波長が長くなるほど透過性が高くなるため、より長波長の光のほうが第 1 半導体基板 1 1 をより多く透過し、第 2 半導体基板 2 1、及び分離絶縁層 5 3 に入射す

10

20

30

40

50

る。したがって、第2半導体基板21、及び分離絶縁層53から第1半導体基板11への反射光は、より長波長の光のほうがより多くなる。

【0083】

そのため、分離絶縁層53の中心位置は、少なくとも撮像装置1にて受光する光のうち最も長波長の光を光電変換するセンサ画素12では、上述したようにセンサ画素12の光学中心OCの位置と略一致していることが好ましい。具体的には、撮像装置1が赤色、緑色、及び青色に対応する光をセンサ画素12にてそれぞれ受光する場合、少なくとも最も長波長である赤色を受光するセンサ画素12では、分離絶縁層53の中心位置は、センサ画素12の光学中心OCの位置と略一致していることが好ましい。また、緑色光を受光するセンサ画素12、及び青色光を受光するセンサ画素12の各々でも、分離絶縁層53の中心位置は、センサ画素12の光学中心OCの位置と略一致していてもよい。

10

【0084】

本実施形態に係る技術によれば、入射光の光軸方向に垂直な平面の一方向において、第1半導体基板11に設けられるフォトダイオードPDの中心に対して対称となるように分離絶縁層53を設けることができる。よって、本実施形態に係る技術は、第2半導体基板21からフォトダイオードPDへの反射光の分布を均一化することができる。したがって、本実施形態に係る撮像装置1は、同色画素間の感度の不均一性、又は隣接画素へのクロストーク量の不均一性を低減することができる。

【0085】

なお、第2基板20が厚み方向に積層された複数の半導体基板を含む場合、積層された複数の半導体基板（すなわち、第2半導体基板21、及び第2半導体基板21の上に設けられた少なくとも1つ以上の半導体基板）における分離絶縁層53は、それぞれ中心位置がセンサ画素12の光学中心OCの位置と略一致するように設けられてもよい。これによれば、本実施形態に係る撮像装置1は、第2基板20からフォトダイオードPDへの反射光の分布をより均一化することができるため、同色画素間の感度の不均一性、又は隣接画素へのクロストーク量の不均一性をより低減することができる。

20

【0086】

図示しないが、分離絶縁層53は、分離絶縁層53にて分断された第2半導体基板21の中心位置がセンサ画素12の光学中心OCの位置と略一致するように設けられてもよい。本実施形態に係る技術では、入射光の光軸方向に垂直な平面の一方向において、反射光を発生させる分離絶縁層53、及び第2半導体基板21をフォトダイオードPDの中心に対して対称となるように配置することが重要となる。そのため、第2半導体基板21を分断する分離絶縁層53に替えて、分離絶縁層53によって分断される第2半導体基板21の中心位置をセンサ画素12の光学中心OCに対して略一致させることによって、上述した効果を奏することが可能である。

30

【0087】

次に、図15～図26を参照して、本実施形態に係る技術を適用した撮像装置1におけるセンサ画素12と、分離絶縁層53との平面配置のバリエーションについて説明する。図15～図26は、センサ画素12の各々と、第2半導体基板21との平面配置のバリエーションを示す平面図である。

40

【0088】

なお、図15～図26において、第2半導体基板21が設けられた領域以外の領域には、図示しないが、分離絶縁層53が設けられる。また、図15～図26では、各色に対応する画素の違いをハッチング種の違いにて表現する。すなわち、同種のハッチングが施された画素は、同色の光を光電変換する画素であり、異種のハッチングが施された画素は、異種の光を光電変換する画素である。

【0089】

（第1のバリエーション）

図15に示すように、例えば、画素領域13は、赤色に対応する光を光電変換する赤色画素PixelR、緑色に対応する光を光電変換する緑色画素PixelG、及び青色に対応する

50

光を光電変換する青色画素  $P_{i \times B}$  を行列状に配列することで構成される。具体的には、画素領域 13 は、1つの赤色画素  $P_{i \times R}$ 、2つの緑色画素  $P_{i \times G}$ 、及び1つの青色画素  $P_{i \times B}$  を繰り返し単位として、該繰り返し単位を互いに直交する第1方向  $V_1$ 、及び第2方向  $V_2$  に行列状に配列することで構成される。

【0090】

また、赤色画素  $P_{i \times R}$ 、緑色画素  $P_{i \times G}$ 、及び青色画素  $P_{i \times B}$  は、それぞれ4つのサブ画素を行列状に配列することで構成される。例えば、赤色画素  $P_{i \times R}$  は、サブ画素  $12R_1$ 、 $12R_2$ 、 $12R_3$ 、及び $12R_4$  を  $2 \times 2$  の行列状に配列することで構成される。なお、以下では、赤色画素  $P_{i \times R}$ 、緑色画素  $P_{i \times G}$ 、及び青色画素  $P_{i \times B}$  に含まれるサブ画素を互いに区別しない場合、これらをサブ画素  $12N$  と総称する。

10

【0091】

ここで、センサ画素 12 の光学中心  $OC$  の位置は、同色のサブ画素  $12N$  の間を通り第2方向  $V_2$  に延伸する直線上の位置となる。具体的には、赤色画素  $P_{i \times R}$  の光学中心  $OC$  の位置は、例えば、サブ画素  $12R_1$ 、 $12R_2$  の間、及びサブ画素  $12R_3$ 、 $12R_4$  の間を通り、第2方向  $V_2$  に延伸する直線上の位置となる。これは、このような画素領域 13 を有する撮像装置 1 では、サブ画素  $12N$  の各々にて個別に光学情報を取得する場合に加えて、同色のサブ画素  $12N$  全体で光学情報を取得する場合があるためである。すなわち、光学情報を取得する単位が赤色画素  $P_{i \times R}$ 、緑色画素  $P_{i \times G}$ 、及び青色画素  $P_{i \times B}$  となり得るため、光学中心  $OC$  の位置は、同色のサブ画素  $12N$  の間を通り第2方向  $V_2$  に延伸する直線上の位置となる。

20

【0092】

一方、第2半導体基板 21 は、赤色画素  $P_{i \times R}$ 、緑色画素  $P_{i \times G}$ 、及び青色画素  $P_{i \times B}$  に含まれるサブ画素  $12N$  の各々に対応するように、正方形形状にて設けられる。具体的には、第2半導体基板 21 は、分離絶縁層 53 によって第1方向  $V_1$ 、及び第2方向  $V_2$  に分断されることで、サブ画素  $12N$  の各々よりも一回り小さい正方形形状にて、行列状に互いに離隔されて設けられる。

【0093】

したがって、図15に示す平面配置では、第1方向  $V_1$  において、分離絶縁層 53 が設けられた領域の中心位置と、センサ画素 12 の光学中心  $OC$  の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第2半導体基板 21、及び分離絶縁層 53 からフォトダイオード  $PD$  への反射光の分布をより均一化することができる。

30

【0094】

(第2のバリエーション)

図16に示すように、第2のバリエーションでは、第1のバリエーションと同様に、赤色画素  $P_{i \times R}$ 、緑色画素  $P_{i \times G}$ 、及び青色画素  $P_{i \times B}$  は、行列状に画素領域 13 に配列される。また、赤色画素  $P_{i \times R}$ 、緑色画素  $P_{i \times G}$ 、及び青色画素  $P_{i \times B}$  は、第1のバリエーションと同様に、それぞれ4つのサブ画素を行列状に配列することで構成される。

【0095】

ここで、センサ画素 12 の光学中心  $OC$  の位置は、第1のバリエーションと同様に、同色のサブ画素  $12N$  の間を通り第2方向  $V_2$  に延伸する直線上の位置となる。具体的には、赤色画素  $P_{i \times R}$  の光学中心  $OC$  の位置は、例えば、サブ画素  $12R_1$ 、 $12R_2$  の間、及びサブ画素  $12R_3$ 、 $12R_4$  の間を通り、第2方向  $V_2$  に延伸する直線上の位置となる。

40

【0096】

一方、第2半導体基板 21 は、赤色画素  $P_{i \times R}$ 、緑色画素  $P_{i \times G}$ 、及び青色画素  $P_{i \times B}$  に含まれるサブ画素  $12N$  の各々に対応するように、第2方向  $V_2$  に延伸する長手形状にて設けられる。具体的には、第2半導体基板 21 は、分離絶縁層 53 によって第1方向  $V_1$  に分断されることで、第2方向  $V_2$  に延伸する長手形状にて、行方向に互いに離隔されて設けられる。

50

## 【 0 0 9 7 】

したがって、図 1 6 に示す平面配置では、第 1 方向 V 1 において、分離絶縁層 5 3 が設けられた領域の中心位置と、センサ画素 1 2 の光学中心 O C の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 1 のバリエーションよりも単純な平面配置の分離絶縁層 5 3 によって、第 2 半導体基板 2 1、及び分離絶縁層 5 3 からフォトダイオード P D への反射光の分布を均一化することができる。

## 【 0 0 9 8 】

( 第 3 のバリエーション )

図 1 7 に示すように、第 3 のバリエーションでは、第 1 のバリエーションと同様に、赤色画素 P i x R、緑色画素 P i x G、及び青色画素 P i x B は、行列状に画素領域 1 3 に配列される。また、赤色画素 P i x R、緑色画素 P i x G、及び青色画素 P i x B は、第 1 のバリエーションと同様に、それぞれ 4 つのサブ画素を行列状に配列することで構成される。

10

## 【 0 0 9 9 】

ここで、センサ画素 1 2 の光学中心 O C の位置は、第 1 のバリエーションとは異なり、同色のサブ画素 1 2 N の間を通り第 1 方向 V 1 に延伸する直線上の位置としてもよい。具体的には、赤色画素 P i x R の光学中心 O C の位置は、例えば、サブ画素 1 2 R 1、1 2 R 3 の間、及びサブ画素 1 2 R 2、1 2 R 4 の間を通り、第 1 方向 V 1 に延伸する直線上の位置としてもよい。赤色画素 P i x R、緑色画素 P i x G、及び青色画素 P i x B が行列状に配置された画素領域 1 3 では、第 1 方向 V 1 と第 2 方向 V 2 とは交換可能である。そのため、センサ画素 1 2 の光学中心 O C は、第 1 方向 V 1 に設定されてもよく、第 2 方向 V 2 に設定されてもよい。

20

## 【 0 1 0 0 】

一方、第 2 半導体基板 2 1 は、赤色画素 P i x R、緑色画素 P i x G、及び青色画素 P i x B に含まれるサブ画素 1 2 N の各々に対応するように、第 1 方向 V 1 に延伸する長手形状にて設けられる。具体的には、第 2 半導体基板 2 1 は、分離絶縁層 5 3 によって第 2 方向 V 2 に分断されることで、第 1 方向 V 1 に延伸する長手形状にて、列方向に互いに隔離されて設けられる。

## 【 0 1 0 1 】

したがって、図 1 7 に示す平面配置では、第 2 方向 V 2 において、分離絶縁層 5 3 が設けられた領域の中心位置と、センサ画素 1 2 の光学中心 O C の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 2 のバリエーションと同様に、第 2 半導体基板 2 1、及び分離絶縁層 5 3 からフォトダイオード P D への反射光の分布を均一化することができる。

30

## 【 0 1 0 2 】

( 第 4 のバリエーション )

図 1 8 に示すように、第 4 のバリエーションでは、第 1 のバリエーションと同様に、赤色画素 P i x R、緑色画素 P i x G、及び青色画素 P i x B は、行列状に画素領域 1 3 に配列される。また、赤色画素 P i x R、緑色画素 P i x G、及び青色画素 P i x B は、第 1 のバリエーションと同様に、それぞれ 4 つのサブ画素を行列状に配列することで構成される。

40

## 【 0 1 0 3 】

ここで、センサ画素 1 2 の光学中心 O C の位置は、第 1 のバリエーションと同様に、同色のサブ画素 1 2 N の間を通り第 2 方向 V 2 に延伸する直線上の位置となる。具体的には、赤色画素 P i x R の光学中心 O C の位置は、例えば、サブ画素 1 2 R 1、1 2 R 2 の間、及びサブ画素 1 2 R 3、1 2 R 4 の間を通り、第 2 方向 V 2 に延伸する直線上の位置となる。

## 【 0 1 0 4 】

一方、第 2 半導体基板 2 1 は、赤色画素 P i x R、緑色画素 P i x G、及び青色画素 P i x B に含まれるサブ画素 1 2 N の第 1 方向 V 1 における画素境界に対応するように、正

50

方形形状にて設けられる。具体的には、第2半導体基板21は、分離絶縁層53によって第1方向V1、及び第2方向V2に分断されることで、サブ画素12Nよりも一回り小さい正方形形状にて、行列状に互いに離隔されて設けられる。すなわち、第2半導体基板21は、サブ画素12Nの行列配置から第1方向V1に1/2ピッチずれた行列配置にて設けられる。

#### 【0105】

したがって、図18に示す平面配置では、第1方向V1において、分離絶縁層53によって分断された第2半導体基板21の中心位置と、センサ画素12の光学中心OCの位置とが略一致している。このような平面配置によれば、撮像装置1は、第1のバリエーションと同様に、第2半導体基板21、及び分離絶縁層53からフォトダイオードPDへの反射光の分布をより均一化することができる。

10

#### 【0106】

(第5のバリエーション)

図19に示すように、第5のバリエーションでは、第1のバリエーションと同様に、赤色画素 $P_{i \times R}$ 、緑色画素 $P_{i \times G}$ 、及び青色画素 $P_{i \times B}$ は、行列状に画素領域13に配列される。また、赤色画素 $P_{i \times R}$ 、緑色画素 $P_{i \times G}$ 、及び青色画素 $P_{i \times B}$ は、第1のバリエーションと同様に、それぞれ4つのサブ画素を行列状に配列することで構成される。

#### 【0107】

ここで、センサ画素12の光学中心OCの位置は、第1のバリエーションと同様に、同色のサブ画素12Nの間を通り第2方向V2に延伸する直線上の位置となる。具体的には、赤色画素 $P_{i \times R}$ の光学中心OCの位置は、例えば、サブ画素12R1、12R2の間、及びサブ画素12R3、12R4の間を通り、第2方向V2に延伸する直線上の位置となる。

20

#### 【0108】

一方、第2半導体基板21は、赤色画素 $P_{i \times R}$ 、緑色画素 $P_{i \times G}$ 、及び青色画素 $P_{i \times B}$ に含まれるサブ画素12Nの第1方向V1における画素境界に対応するように、第2方向V2に延伸する長手形状にて設けられる。具体的には、第2半導体基板21は、分離絶縁層53によって第1方向V1に分断されることで、第2方向V2に延伸する長手形状にて、行方向に互いに離隔されて設けられる。すなわち、第2半導体基板21は、サブ画素12Nの行列配置から第1方向V1に1/2ピッチずれて第2方向V2に延伸するストライプ配置にて設けられる。

30

#### 【0109】

したがって、図19に示す平面配置では、第1方向V1において、分離絶縁層53によって分断された第2半導体基板21の中心位置と、センサ画素12の光学中心OCの位置とが略一致している。このような平面配置によれば、撮像装置1は、第1のバリエーションよりも単純な平面配置の分離絶縁層53によって、第2半導体基板21、及び分離絶縁層53からフォトダイオードPDへの反射光の分布を均一化することができる。

#### 【0110】

(第6のバリエーション)

図20に示すように、第6のバリエーションでは、第4のバリエーションと同様に、赤色画素 $P_{i \times R}$ 、緑色画素 $P_{i \times G}$ 、及び青色画素 $P_{i \times B}$ は、行列状に画素領域13に配列される。また、赤色画素 $P_{i \times R}$ 、緑色画素 $P_{i \times G}$ 、及び青色画素 $P_{i \times B}$ は、第1のバリエーションと同様に、それぞれ4つのサブ画素を行列状に配列することで構成される。

40

#### 【0111】

ここで、センサ画素12の光学中心OCの位置は、同色のサブ画素12Nの間を通り第1方向V1に延伸する直線上の位置としてもよい。具体的には、赤色画素 $P_{i \times R}$ の光学中心OCの位置は、例えば、サブ画素12R1、12R3の間、及びサブ画素12R2、12R4の間を通り、第1方向V1に延伸する直線上の位置としてもよい。赤色画素 $P_{i$

50

$\times R$ 、緑色画素  $P_i \times G$ 、及び青色画素  $P_i \times B$  が行列状に配置された画素領域 13 では、第 1 方向  $V_1$  と第 2 方向  $V_2$  とは交換可能である。そのため、センサ画素 12 の光学中心  $OC$  は、第 1 方向  $V_1$  に設定されてもよく、第 2 方向  $V_2$  に設定されてもよい。

【0112】

一方、第 2 半導体基板 21 は、赤色画素  $P_i \times R$ 、緑色画素  $P_i \times G$ 、及び青色画素  $P_i \times B$  に含まれるサブ画素 12N の第 2 方向  $V_2$  における画素境界に対応するように、第 1 方向  $V_1$  に延伸する長手形状にて設けられる。具体的には、第 2 半導体基板 21 は、分離絶縁層 53 によって第 2 方向  $V_2$  に分断されることで、第 1 方向  $V_1$  に延伸する長手形状にて、列方向に互いに離隔されて設けられる。すなわち、第 2 半導体基板 21 は、サブ画素 12N の行列配置から第 2 方向  $V_2$  に  $1/2$  ピッチずれて第 1 方向  $V_1$  に延伸するストライプ配置にて設けられる。

10

【0113】

したがって、図 20 に示す平面配置では、第 2 方向  $V_2$  において、分離絶縁層 53 によって分断された第 2 半導体基板 21 の中心位置と、センサ画素 12 の光学中心  $OC$  の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 5 のバリエーションと同様に、第 2 半導体基板 21 及び分離絶縁層 53 からフォトダイオード  $PD$  への反射光の分布を均一化することができる。

【0114】

(第 7 のバリエーション)

図 21 に示すように、例えば、画素領域 13 は、赤色に対応する光を光電変換する赤色画素 12R、緑色に対応する光を光電変換する緑色画素 12G、及び青色に対応する光を光電変換する青色画素 12B を行列状に配列することで構成される。具体的には、画素領域 13 は、1 つの赤色画素 12R、2 つの緑色画素 12G、及び 1 つの青色画素 12B を繰り返し単位として、該繰り返し単位を互いに直交する第 1 方向  $V_1$ 、及び第 2 方向  $V_2$  に行列状に配列することで構成される。以下では、赤色画素 12R、緑色画素 12G、及び青色画素 12B を互いに区別しない場合、これらをセンサ画素 12 と総称する。

20

【0115】

ここで、センサ画素 12 の光学中心  $OC$  の位置は、センサ画素 12 の第 1 方向  $V_1$  における中心を通り、第 2 方向  $V_2$  に延伸する直線上の位置となる。このような画素領域 13 を有する撮像装置 1 では、赤色画素 12R、緑色画素 12G、及び青色画素 12B の各々が光学情報を取得する単位となるため、センサ画素 12 の中心を通る直線上の位置が光学中心  $OC$  の位置となる。また、画素領域 13 では、赤色光、緑色光、及び青色光のうち最も長波長である赤色光を光電変換する赤色画素 12R について光学中心  $OC$  が設定される。これは、赤色光、緑色光、及び青色光のうち最も長波長である赤色光が最も第 1 半導体基板 11 を透過しやすく、第 2 半導体基板 21、及び分離絶縁層 53 にて反射されやすいためである。

30

【0116】

一方、第 2 半導体基板 21 は、赤色画素 12R の斜方に配置された青色画素 12B に対応するように、正方形形状にて設けられる。具体的には、第 2 半導体基板 21 は、分離絶縁層 53 によって第 1 方向  $V_1$ 、及び第 2 方向  $V_2$  に分断されることで、青色画素 12B よりも一回り大きくした正方形形状にて、行列状に互いに離隔されて設けられる。

40

【0117】

したがって、図 21 に示す平面配置では、第 1 方向  $V_1$  において、分離絶縁層 53 が設けられた領域の中心位置と、センサ画素 12 の光学中心  $OC$  の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 2 半導体基板 21、及び分離絶縁層 53 からフォトダイオード  $PD$  への反射光の分布をより均一化することができる。

【0118】

(第 8 のバリエーション)

図 22 に示すように、第 8 のバリエーションでは、第 7 のバリエーションと同様に、赤色画素 12R、緑色画素 12G、及び青色画素 12B は、行列状に画素領域 13 に配列さ

50

れる。

【 0 1 1 9 】

ここで、センサ画素 1 2 の光学中心 O C の位置は、第 7 のバリエーションと同様に、センサ画素 1 2 の第 1 方向 V 1 における中心を通り、第 2 方向 V 2 に延伸する直線上の位置となる。また、画素領域 1 3 では、赤色光、緑色光、及び青色光のうち最も長波長である赤色光を光電変換する赤色画素 1 2 R について光学中心 O C が設定される。

【 0 1 2 0 】

一方、第 2 半導体基板 2 1 は、緑色画素 1 2 G、及び青色画素 1 2 B が配列された列に対応するように、第 2 方向 V 2 に延伸する長手形状にて設けられる。具体的には、第 2 半導体基板 2 1 は、分離絶縁層 5 3 によって第 1 方向 V 1 に分断されることで、第 2 方向 V 2 に延伸する長手形状にて、行方向に互いに離隔されて設けられる。

10

【 0 1 2 1 】

したがって、図 2 2 に示す平面配置では、第 1 方向 V 1 において、分離絶縁層 5 3 が設けられた領域の中心位置と、センサ画素 1 2 の光学中心 O C の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 7 のバリエーションよりも単純な平面配置の分離絶縁層 5 3 によって、第 2 半導体基板 2 1、及び分離絶縁層 5 3 からフォトダイオード P D への反射光の分布を均一化することができる。

【 0 1 2 2 】

( 第 9 のバリエーション )

図 2 3 に示すように、第 9 のバリエーションでは、第 7 のバリエーションと同様に、赤色画素 1 2 R、緑色画素 1 2 G、及び青色画素 1 2 B は、行列状に画素領域 1 3 に配列される。

20

【 0 1 2 3 】

ここで、センサ画素 1 2 の光学中心 O C の位置は、第 7 のバリエーションとは異なり、センサ画素 1 2 の第 2 方向 V 2 における中心を通り、第 1 方向 V 1 に延伸する直線上の位置としてもよい。光学中心 O C は、赤色光、緑色光、及び青色光のうち最も長波長である赤色光を光電変換する赤色画素 1 2 R について設定される。赤色画素 1 2 R、緑色画素 1 2 G、及び青色画素 1 2 B が行列状に配置された画素領域 1 3 では、第 1 方向 V 1 と第 2 方向 V 2 とは交換可能であるため、センサ画素 1 2 の光学中心 O C は、第 1 方向 V 1 に設定されてもよく、第 2 方向 V 2 に設定されてもよい。

30

【 0 1 2 4 】

一方、第 2 半導体基板 2 1 は、緑色画素 1 2 G、及び青色画素 1 2 B が配列された行に対応するように、第 1 方向 V 1 に延伸する長手形状にて設けられる。具体的には、第 2 半導体基板 2 1 は、分離絶縁層 5 3 によって第 2 方向 V 2 に分断されることで、第 1 方向 V 1 に延伸する長手形状にて、列方向に互いに離隔されて設けられる。

【 0 1 2 5 】

したがって、図 2 3 に示す平面配置では、第 2 方向 V 2 において、分離絶縁層 5 3 が設けられた領域の中心位置と、センサ画素 1 2 の光学中心 O C の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 8 のバリエーションと同様に第 2 半導体基板 2 1 及び分離絶縁層 5 3 からフォトダイオード P D への反射光の分布を均一化することができる。

40

【 0 1 2 6 】

( 第 1 0 のバリエーション )

図 2 4 に示すように、第 1 0 のバリエーションでは、第 7 のバリエーションと同様に、赤色画素 1 2 R、緑色画素 1 2 G、及び青色画素 1 2 B は、行列状に画素領域 1 3 に配列される。

【 0 1 2 7 】

ここで、センサ画素 1 2 の光学中心 O C の位置は、第 7 のバリエーションと同様に、センサ画素 1 2 の第 1 方向 V 1 における中心を通り、第 2 方向 V 2 に延伸する直線上の位置となる。また、画素領域 1 3 では、赤色光、緑色光、及び青色光のうち最も長波長である

50

赤色光を光電変換する赤色画素 1 2 R について光学中心 O C が設定される。

【 0 1 2 8 】

一方、第 2 半導体基板 2 1 は、赤色画素 1 2 R に対応するように、正方形形状にて設けられる。具体的には、第 2 半導体基板 2 1 は、分離絶縁層 5 3 によって第 1 方向 V 1、及び第 2 方向 V 2 に分断されることで、赤色画素 1 2 R を一回り大きくした正方形形状にて、行列状に互いに離隔されて設けられる。

【 0 1 2 9 】

したがって、図 2 4 に示す平面配置では、第 1 方向 V 1 において、分離絶縁層 5 3 によって分断された第 2 半導体基板 2 1 の中心位置と、センサ画素 1 2 の光学中心 O C の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 7 のバリエーションと同様に、第 2 半導体基板 2 1、及び分離絶縁層 5 3 からフォトダイオード P D への反射光の分布をより均一化することができる。

10

【 0 1 3 0 】

( 第 1 1 のバリエーション )

図 2 5 に示すように、第 1 1 のバリエーションでは、第 7 のバリエーションと同様に、赤色画素 1 2 R、緑色画素 1 2 G、及び青色画素 1 2 B は、行列状に画素領域 1 3 に配列される。

【 0 1 3 1 】

ここで、センサ画素 1 2 の光学中心 O C の位置は、第 7 のバリエーションと同様に、センサ画素 1 2 の第 1 方向 V 1 における中心を通り、第 2 方向 V 2 に延伸する直線上の位置となる。また、画素領域 1 3 では、赤色光、緑色光、及び青色光のうち最も長波長である赤色光を光電変換する赤色画素 1 2 R について光学中心 O C が設定される。

20

【 0 1 3 2 】

一方、第 2 半導体基板 2 1 は、赤色画素 1 2 R、及び緑色画素 1 2 G が配列された列に対応するように、第 2 方向 V 2 に延伸する長手形状にて設けられる。具体的には、第 2 半導体基板 2 1 は、分離絶縁層 5 3 によって第 1 方向 V 1 に分断されることで、第 2 方向 V 2 に延伸する長手形状にて、行方向に互いに離隔されて設けられる。

【 0 1 3 3 】

したがって、図 2 5 に示す平面配置では、第 1 方向 V 1 において、分離絶縁層 5 3 によって分断された第 2 半導体基板 2 1 の中心位置と、センサ画素 1 2 の光学中心 O C の位置とが略一致している。このような平面配置によれば、撮像装置 1 は、第 7 のバリエーションよりも単純な平面配置の分離絶縁層 5 3 によって、第 2 半導体基板 2 1、及び分離絶縁層 5 3 からフォトダイオード P D への反射光の分布を均一化することができる。

30

【 0 1 3 4 】

( 第 1 2 のバリエーション )

図 2 6 に示すように、第 1 2 のバリエーションでは、第 7 のバリエーションと同様に、赤色画素 1 2 R、緑色画素 1 2 G、及び青色画素 1 2 B は、行列状に画素領域 1 3 に配列される。

【 0 1 3 5 】

ここで、センサ画素 1 2 の光学中心 O C の位置は、第 7 のバリエーションとは異なり、センサ画素 1 2 の第 2 方向 V 2 における中心を通り、第 1 方向 V 1 に延伸する直線上の位置としてもよい。光学中心 O C は、赤色光、緑色光、及び青色光のうち最も長波長である赤色光を光電変換する赤色画素 1 2 R について設定される。赤色画素 1 2 R、緑色画素 1 2 G、及び青色画素 1 2 B が行列状に配置された画素領域 1 3 では、第 1 方向 V 1 と第 2 方向 V 2 とは交換可能であるため、センサ画素 1 2 の光学中心 O C は、第 1 方向 V 1 に設定されてもよく、第 2 方向 V 2 に設定されてもよい。

40

【 0 1 3 6 】

一方、第 2 半導体基板 2 1 は、赤色画素 1 2 R、及び緑色画素 1 2 G が配列された行に対応するように、第 1 方向 V 1 に延伸する長手形状にて設けられる。具体的には、第 2 半導体基板 2 1 は、分離絶縁層 5 3 によって第 2 方向 V 2 に分断されることで、第 1 方向 V

50

1 に延伸する長手形状にて、列方向に互いに離隔されて設けられる。

【0137】

したがって、図26に示す平面配置では、第2方向V2において、分離絶縁層53によって分断された第2半導体基板21の中心位置と、センサ画素12の光学中心OCの位置とが略一致している。このような平面配置によれば、撮像装置1は、第11のバリエーションと同様に第2半導体基板21、及び分離絶縁層53からフォトダイオードPDへの反射光の分布を均一化することができる。

【0138】

続いて、図27A～図28Dを参照して、本実施形態に係る技術のさらなるバリエーションについて説明する。図27A～図27Dは、第13のバリエーションに係る撮像装置1の部分的な断面構成を模式的に示した縦断面図である。図28A～図28Dは、第14のバリエーションに係る撮像装置1の部分的な断面構成を模式的に示した縦断面図である。

【0139】

(第13のバリエーション)

図27A～図27Dに示すように、第13のバリエーションに係る撮像装置1は、第1半導体基板11と、カラーフィルタ40R、40Gと、受光レンズ50と、第1絶縁層46と、第2半導体基板21と、第1反射防止膜71とを含む。すなわち、第13のバリエーションに係る撮像装置1は、第1絶縁層46と、第2半導体基板21との間に第1反射防止膜71が設けられる点が図14等で示した撮像装置1と異なる。

【0140】

第1半導体基板11は、素子分離部43にて互いに分離されたフォトダイオードPD1、PD2、PD3、PD4(互いを区別しない場合には、フォトダイオードPDと表記する)を備える。図27A～図27Dでは、便宜的に、フォトダイオードPD1、PD2、PD3、PD4のみ示したが、フォトダイオードPDは、図27A～図27Dの紙面上、及び図27A～図27Dの紙面の法線方向に広がって行列配列されていることは言うまでもない。

【0141】

カラーフィルタ40R、40G、及び受光レンズ50は、第1半導体基板11の裏面側(受光面側)に設けられる。

【0142】

カラーフィルタ40Rは、例えば、赤色に対応する波長帯域の光を選択的に透過させる光学フィルタであり、カラーフィルタ40Gは、緑色に対応する波長帯域の光を選択的に透過させる光学フィルタである。受光レンズ50は、例えば、マイクロレンズであり、フォトダイオードPDに入射する光を集光する。なお、青色光に対応する波長帯域の光を選択的に透過させるカラーフィルタは、図27A～図27Dの紙面の手前側又は奥側に設けられているため、図27A～図27Dでは図示されない。

【0143】

ここで、図27A～図27Cは、フォトダイオードPDと、カラーフィルタ40R、40G、及び受光レンズ50との対応関係がそれぞれ異なる。また、図27Dは、図27A～図27Cに示した構造に対して、フォトダイオードPDと、第2半導体基板21又は分離絶縁層53との対応関係が異なる。

【0144】

図27Aに示す一例では、フォトダイオードPD1、PD2、PD3、PD4のそれぞれに対して、1対1対応でカラーフィルタ40R又は40Gと、受光レンズ50とが設けられている。

【0145】

図27Bに示す一例では、2つのフォトダイオードPD1、PD2に対して、1つのカラーフィルタ40Rが設けられており、2つのフォトダイオードPD3、PD4に対して、1つのカラーフィルタ40Gが設けられている。また、フォトダイオードPD1、PD2、PD3、PD4のそれぞれに対して、1対1対応で受光レンズ50が設けられている。

10

20

30

40

50

## 【 0 1 4 6 】

図 2 7 C に示す一例では、2つのフォトダイオード P D 1、P D 2 に対して、1つのカラーフィルタ 4 0 R が設けられており、2つのフォトダイオード P D 3、P D 4 に対して、1つのカラーフィルタ 4 0 G が設けられている。また、2つのフォトダイオード P D 1、P D 2 に対して、1つの受光レンズ 5 0 が設けられており、2つのフォトダイオード P D 3、P D 4 に対して、1つの受光レンズ 5 0 が設けられている。

## 【 0 1 4 7 】

図 2 7 A ~ 図 2 7 C に示すように、カラーフィルタ 4 0 R、4 0 G、及び受光レンズ 5 0 は、1つのフォトダイオード P D (すなわち、1画素) に対して1対1対応して設けられてもよく、複数のフォトダイオード P D (すなわち、複数の画素) にて共有されてもよい。

10

## 【 0 1 4 8 】

図 2 7 A ~ 図 2 7 C では、センサ画素 1 2 の光学中心 O C の位置と、分離絶縁層 5 3 にて分断された第2半導体基板 2 1 の中心位置とが略一致している例を示した。一方で、図 2 7 D に示すように、センサ画素 1 2 の光学中心 O C の位置は、分離絶縁層 5 3 の中心位置と略一致していてもよい。本実施形態に係る技術では、分離絶縁層 5 3、及び第2半導体基板 2 1 がセンサ画素 1 2 の光学中心 O C の位置に対して、対称に配置されることが重要である。したがって、センサ画素 1 2 の光学中心 O C の位置は、分離絶縁層 5 3 の中心位置と略一致していてもよく、第2半導体基板 2 1 の中心位置と略一致していてもよい。

## 【 0 1 4 9 】

第1絶縁層 4 6 は、第1半導体基板 1 1 の表面側に積層され、第2半導体基板 2 1 の裏面側と貼り合わせられる。第2半導体基板 2 1 は、分離絶縁層 5 3 によって分断されており、裏面側にて第1絶縁層 4 6 と貼り合わせられる。

20

## 【 0 1 5 0 】

第13のバリエーションでは、第2半導体基板 2 1、及び第1絶縁層 4 6 の間に、第1反射防止膜 7 1 が設けられる。第1反射防止膜 7 1 は、第1絶縁層 4 6 を構成する材料の屈折率と、第2半導体基板 2 1 を構成する材料の屈折率との間の値の屈折率を有する材料で構成される薄膜である。第1反射防止膜 7 1 は、第1絶縁層 4 6 から第2半導体基板 2 1 への光路において、より段階的に屈折率を変化させることで、第1絶縁層 4 6、及び第2半導体基板 2 1 の間での入射光の反射を抑制することができる。

30

## 【 0 1 5 1 】

例えば、第1絶縁層 4 6 が酸化アルミニウム ( A l O <sub>x</sub> ) で形成され、第2半導体基板 2 1 がシリコン ( S i ) で形成される場合、第1反射防止膜 7 1 は、酸化アルミニウムの屈折率と、シリコンの屈折率との間の屈折率を有する窒化シリコン ( S i N ) にて形成することができる。

## 【 0 1 5 2 】

第13のバリエーションに係る撮像装置 1 では、第1絶縁層 4 6 と、第2半導体基板 2 1 との貼り合わせ界面に第1反射防止膜 7 1 を設けることで、第2半導体基板 2 1 から第1半導体基板 1 1 への反射自体を抑制することができる。したがって、第13のバリエーションに係る撮像装置 1 は、同色画素間の感度の不均一性、又は隣接画素へのクロストーク量の不均一性をさらに低減することができる。

40

## 【 0 1 5 3 】

(第14のバリエーション)

図 2 8 A ~ 図 2 8 D に示すように、第14のバリエーションに係る撮像装置 1 は、第1半導体基板 1 1 と、カラーフィルタ 4 0 R、4 0 G と、受光レンズ 5 0 と、第1絶縁層 4 6 と、第2半導体基板 2 1 と、第1反射防止膜 7 1 と、第2反射防止膜 7 2 とを含む。すなわち、第14のバリエーションに係る撮像装置 1 は、第1絶縁層 4 6 と、第2半導体基板 2 1 との間に第1反射防止膜 7 1、及び第2反射防止膜 7 2 が設けられる点が図 1 4 等で示した撮像装置 1 と異なる。

## 【 0 1 5 4 】

50

第1半導体基板11は、素子分離部43にて互いに分離されたフォトダイオードPD1、PD2、PD3、PD4（互いを区別しない場合には、フォトダイオードPDと表記する）を備える。図28A～図28Dでは、便宜的に、フォトダイオードPD1、PD2、PD3、PD4のみ示したが、フォトダイオードPDは、図28A～図28Dの紙面上、及び図28A～図28Dの紙面の法線方向に広がって行列配列されていることは言うまでもない。

【0155】

カラーフィルタ40R、40G、及び受光レンズ50は、第1半導体基板11の裏面側（受光面側）に設けられる。

【0156】

カラーフィルタ40Rは、例えば、赤色に対応する波長帯域の光を選択的に透過させる光学フィルタであり、カラーフィルタ40Gは、緑色に対応する波長帯域の光を選択的に透過させる光学フィルタである。受光レンズ50は、例えば、マイクロレンズであり、フォトダイオードPDに入射する光を集光する。なお、青色光に対応する波長帯域の光を選択的に透過させるカラーフィルタは、図28A～図28Dの紙面の手前側又は奥側に設けられているため、図28A～図28Dでは図示されない。

【0157】

ここで、図28A～図28Cは、フォトダイオードPDと、カラーフィルタ40R、40G、及び受光レンズ50との対応関係がそれぞれ異なる。また、図28Dは、図28A～図28Cに示した構造に対して、フォトダイオードPDと、第2半導体基板21又は分離絶縁層53との対応関係が異なる。

【0158】

図28Aに示す一例では、フォトダイオードPD1、PD2、PD3、PD4のそれぞれに対して、1対1対応でカラーフィルタ40R又は40Gと、受光レンズ50とが設けられている。

【0159】

図28Bに示す一例では、2つのフォトダイオードPD1、PD2に対して、1つのカラーフィルタ40Rが設けられており、2つのフォトダイオードPD3、PD4に対して、1つのカラーフィルタ40Gが設けられている。また、フォトダイオードPD1、PD2、PD3、PD4のそれぞれに対して、1対1対応で受光レンズ50が設けられている。

【0160】

図28Cに示す一例では、2つのフォトダイオードPD1、PD2に対して、1つのカラーフィルタ40Rが設けられており、2つのフォトダイオードPD3、PD4に対して、1つのカラーフィルタ40Gが設けられている。また、2つのフォトダイオードPD1、PD2に対して1つの受光レンズ50が設けられており、2つのフォトダイオードPD3、PD4に対して1つの受光レンズ50が設けられている。

【0161】

図28A～図28Cに示すように、カラーフィルタ40R、40G、及び受光レンズ50は、1つのフォトダイオードPD（すなわち、1画素）に対して1対1対応して設けられてもよく、複数のフォトダイオードPD（すなわち、複数の画素）にて共有されてもよい。

【0162】

図28A～図28Cでは、センサ画素12の光学中心OCの位置と、分離絶縁層53にて分断された第2半導体基板21の中心位置とが略一致している例を示した。一方で、図28Dに示すように、センサ画素12の光学中心OCの位置は、分離絶縁層53の中心位置と略一致していてもよい。本実施形態に係る技術では、分離絶縁層53、及び第2半導体基板21がセンサ画素12の光学中心OCの位置に対して、対称に配置されることが重要である。したがって、センサ画素12の光学中心OCの位置は、分離絶縁層53の中心位置と略一致していてもよく、第2半導体基板21の中心位置と略一致していてもよい。

【0163】

10

20

30

40

50

第 1 絶縁層 4 6 は、第 1 半導体基板 1 1 の表面側に積層され、第 2 半導体基板 2 1 の裏面側と貼り合わせられる。第 2 半導体基板 2 1 は、分離絶縁層 5 3 によって分断されており、裏面側にて第 1 絶縁層 4 6 と貼り合わせられる。

【 0 1 6 4 】

第 1 4 のバリエーションでは、第 2 半導体基板 2 1、及び第 1 絶縁層 4 6 の間には、第 1 反射防止膜 7 1、及び第 2 反射防止膜 7 2 が設けられる。第 2 反射防止膜 7 2 は、第 1 絶縁層 4 6 を構成する材料の屈折率と、第 1 反射防止膜 7 1 を構成する材料の屈折率との間の値の屈折率を有する材料で構成される薄膜である。また、第 1 反射防止膜 7 1 は、第 2 反射防止膜 7 2 を構成する材料の屈折率と、第 2 半導体基板 2 1 を構成する材料の屈折率との間の値の屈折率を有する材料で構成される薄膜である。第 1 反射防止膜 7 1、及び第 2 反射防止膜 7 2 は、第 1 絶縁層 4 6 から第 2 半導体基板 2 1 への光路において、第 1 3 のバリエーションよりもさらに段階的に屈折率を変化させることで、第 1 絶縁層 4 6、及び第 1 反射防止膜 7 1 の間での入射光の反射をさらに抑制することができる。

10

【 0 1 6 5 】

例えば、第 1 絶縁層 4 6 が酸化アルミニウム ( $AlO_x$ ) で形成され、第 2 半導体基板 2 1 がシリコン (Si) で形成される場合、第 1 反射防止膜 7 1、及び第 2 反射防止膜 7 2 は、酸化アルミニウムの屈折率と、シリコンの屈折率との間の屈折率を有する窒化シリコン (SiN) にてそれぞれ形成することができる。

【 0 1 6 6 】

第 1 4 のバリエーションに係る撮像装置 1 では、第 1 絶縁層 4 6 と、第 2 半導体基板 2 1 との貼り合わせ界面に第 1 反射防止膜 7 1、及び第 2 反射防止膜 7 2 を設けることで、第 2 半導体基板 2 1 から第 1 半導体基板 1 1 への反射自体を抑制することができる。したがって、第 1 4 のバリエーションに係る撮像装置 1 は、同色画素間の感度の不均一性、又は隣接画素へのクロストーク量の不均一性をさらに低減することができる。

20

【 0 1 6 7 】

< < 3 . 変形例 > >

以下では、本開示に係る技術が適用される撮像装置 1 の変形例について説明する。なお、以下の変形例では、上記で説明した撮像装置 1 と共通の構成に対しては、同一の符号を付す。

【 0 1 6 8 】

30

( 第 1 の変形例 )

まず、図 2 9 を参照して、撮像装置 1 の積層方向の断面構成の一変形例である第 1 の変形例について説明する。図 2 9 は、図 7 に記載の断面構成の一変形例を示す縦断面図である。

【 0 1 6 9 】

図 2 9 に示すように、第 1 の変形例に係る撮像装置 1 では、転送トランジスタ TR は、平面型の転送ゲート TG を有する。そのため、転送ゲート TG は、p ウェル層 4 2 を貫通しておらず、第 1 半導体基板 1 1 の表面に形成される。転送トランジスタ TR に平面型の転送ゲート TG が用いられる場合であっても、撮像装置 1 は、上記と同様の効果を奏することができる。

40

【 0 1 7 0 】

( 第 2 の変形例 )

次に、図 3 0 を参照して、撮像装置 1 の積層方向の断面構成の一変形例である第 2 の変形例について説明する。図 3 0 は、図 7 に記載の断面構成の一変形例を示す縦断面図である。

【 0 1 7 1 】

図 3 0 に示すように、第 2 の変形例に係る撮像装置 1 では、第 2 基板 2 0 と第 3 基板 3 0 との電気的な接続が第 1 基板 1 0 における周辺領域 1 4 と対応する領域で形成されている。周辺領域 1 4 は、第 1 基板 1 0 の画素領域 1 3 の周縁に設けられた額縁領域に対応する領域である。第 2 の変形例に係る撮像装置 1 では、第 2 基板 2 0 は、周辺領域 1 4 と対

50

応する領域に複数のパッド電極 58 を有し、第 3 基板 30 は、周辺領域 14 と対応する領域に、複数のパッド電極 64 を有する。これにより、第 2 基板 20、及び第 3 基板 30 は、周辺領域 14 と対応する領域に設けられたパッド電極 58、64 同士の接合にて、互いに電氣的に接続される。したがって、第 2 の変形例に係る撮像装置 1 では、画素領域 13 に対応する領域にてパッド電極 58、64 同士の接合する場合と比較して、パッド電極 58、64 同士の接合による影響が画素領域 13 に及ぶ可能性を低減することができる。

#### 【0172】

(第 3 の変形例)

さらに、図 31 ~ 図 36 を参照して、第 3 の変形例に係る撮像装置 1B の構成例について説明する。図 31 ~ 図 33 は、第 3 の変形例に係る撮像装置 1B の構成例を示す厚さ方向の断面図である。図 34 ~ 図 36 は、第 3 の変形例に係る撮像装置 1B の複数の画素ユニット PU のレイアウト例を示す水平方向の断面図である。なお、図 34 ~ 図 36 に示す断面図は、あくまで模式図であり、実際の構造を厳密に正しく示すことを目的とした図ではない。図 34 ~ 図 36 に示す断面図は、撮像装置 1B の構成を紙面でわかり易く説明するために、位置 sec1 から sec3 で、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している。

#### 【0173】

具体的には、図 31 に示す撮像装置 1B の画素ユニット PU において、位置 sec1 における断面は図 34 を A1 - A1' 線で切断した断面に対応し、位置 sec2 における断面は図 35 を B1 - B1' 線で切断した断面に対応し、位置 sec3 における断面は図 36 を C1 - C1' 線で切断した断面に対応する。同様に、図 32 に示す撮像装置 1B において、位置 sec1 における断面は図 34 を A2 - A2' 線で切断した断面に対応し、位置 sec2 における断面は図 35 を B2 - B2' 線で切断した断面に対応し、位置 sec3 における断面は図 36 を C2 - C2' 線で切断した断面に対応する。図 33 に示す撮像装置 1B において、位置 sec1 における断面は図 34 を A3 - A3' 線で切断した断面に対応し、位置 sec2 における断面は図 35 を B3 - B3' 線で切断した断面に対応し、位置 sec3 における断面は図 36 を C3 - C3' 線で切断した断面に対応する。

#### 【0174】

図 31 ~ 図 36 に示すように、第 1 基板 (ボトム基板) 10 のおもて面 10a (一方の面) 側に第 2 基板 20 が積層されている。第 1 基板 10 のおもて面 10a 側に、フォトダイオード PD、転送トランジスタ TR、及びフローティングディフュージョン FD が設けられている。フォトダイオード PD、転送トランジスタ TR およびフローティングディフュージョン FD は、それぞれ、センサ画素 12 ごとに設けられている。

#### 【0175】

第 1 基板 10 の他方の面 (例えば、裏面) は光入射面である。撮像装置 1B は、裏面照射型の撮像装置であり、裏面にカラーフィルタおよび受光レンズが設けられている。カラーフィルタおよび受光レンズは、それぞれ、センサ画素 12 ごとに設けられている。

#### 【0176】

第 1 基板 10 が有する第 1 半導体基板 11 は、例えばシリコン基板で構成されている。第 1 半導体基板 11 のおもて面の一部およびその近傍には、第 1 導電型 (例えば、p 型) のウェル層 WE が設けられており、ウェル層 WE よりも深い領域に第 2 導電型 (例えば、n 型) のフォトダイオード PD が設けられている。また、ウェル層 WE 内には、ウェル層 WE よりも p 型の濃度が高いウェルコンタクト層と、n 型のフローティングディフュージョン FD とが設けられている。ウェルコンタクト層は、ウェル層 WE と配線との接触抵抗を低減するために設けられている。

#### 【0177】

第 1 半導体基板 11 には、互いに隣り合うセンサ画素 12 同士を電氣的に分離する素子分離層 16 が設けられている。素子分離層 16 は、例えば STI (Shallow Trench Isolation) 構造を有し、第 1 半導体基板 11 の深さ方向に延在している。素子分離層 16 は、例えば、酸化シリコンによって構成されている。また、第 1 半

10

20

30

40

50

導体基板 11 において、素子分離層 16 とフォトダイオード PD との間には、不純物拡散層 17 が設けられている。例えば、不純物拡散層 17 は、第 1 半導体基板 11 の厚さ方向に延設された p 型層と n 型層とを有する。素子分離層 16 側に p 型層が位置し、フォトダイオード PD 側に n 型層が位置する。

【0178】

第 1 半導体基板 11 のおもて面 11a 側には、絶縁膜 2015 が設けられている。絶縁膜 2015 は、例えば、シリコン酸化膜 (SiO<sub>2</sub>)、シリコン窒化膜 (SiN)、シリコン酸窒化膜 (SiON) 又はシリコン炭窒化膜 (SiCN) のうちの 1 つ、又は、これらのうち 2 つ以上を積層した膜である。

【0179】

第 2 基板 20 は、下側基板 2210 と上側基板 2220 とを有する。下側基板 2210 は、半導体基板 2211 を有する。半導体基板 2211 は、例えば単結晶シリコンで構成されるシリコン基板である。半導体基板 2211 の一方の面 (例えば、おもて面 2211a) 側に、増幅トランジスタ AMP と、増幅トランジスタ AMP の周囲を囲む素子分離層 2213 とが設けられている。素子分離層 2213 によって、隣り合う画素ユニット PU の一方の増幅トランジスタ AMP と他方の増幅トランジスタ AMP は電氣的に分離されている。

【0180】

下側基板 2210 は、半導体基板 2211 のおもて面 2211a を覆う絶縁膜 2215 を有する。絶縁膜 2215 によって、増幅トランジスタ AMP 及び素子分離層 2213 は覆われている。また、下側基板 2210 は、半導体基板 2211 の他方の面 (例えば、裏面 2211b) を覆う絶縁膜 2217 を有する。絶縁膜 2215、2217 は、例えば、SiO<sub>2</sub>、SiN、SiON 又は SiCN のうちの 1 つ、又は、これらのうち 2 つ以上を積層した膜である。第 1 基板 10 の絶縁膜 2015 と下側基板 2210 の絶縁膜 2217 は互いに接合されて、層間絶縁膜 2051 を構成している。

【0181】

上側基板 2220 は、半導体基板 2221 を有する。半導体基板 2221 は、例えば単結晶シリコンで構成されるシリコン基板である。半導体基板 2221 の一方の面 (例えば、おもて面 2221a) 側に、リセットトランジスタ RST 及び選択トランジスタ SEL と、素子分離層 2223 とが設けられている。例えば、素子分離層 2223 は、リセットトランジスタ RST と選択トランジスタ SEL との間、及び、選択トランジスタ SEL と半導体基板 2221 のウェル層との間にそれぞれ設けられている。

【0182】

上側基板 2220 は、半導体基板 2221 のおもて面 2221a、裏面 2221b 及び側面を覆う絶縁膜 2225 を有する。絶縁膜 2225 は、例えば、SiO<sub>2</sub>、SiN、SiON 又は SiCN のうちの 1 つ、又は、これらのうち 2 つ以上を積層した膜である。下側基板 2210 の絶縁膜 2215 と上側基板 2220 の絶縁膜 2225 は互いに接合されて、層間絶縁膜 2053 を構成している。

【0183】

撮像装置 1B は、層間絶縁膜 2051、2053 中に設けられて、第 1 基板 10 又は第 2 基板 20 の少なくとも一方に電氣的に接続する複数の配線 L1 から L10 を備える。配線 L1 は、増幅トランジスタ AMP のドレインと電源線 VDD とを電氣的に接続している。配線 L2 は、1 つの画素ユニット PU に含まれる 4 つのフローティングディフュージョン FD と、増幅トランジスタ AMP のゲート電極 AG とを電氣的に接続している。配線 L3 は、増幅トランジスタ AMP のソースと選択トランジスタ SEL のドレインとを電氣的に接続している。配線 L4 は、選択トランジスタ SEL のゲート電極 SG と画素駆動線とを電氣的に接続している。

【0184】

配線 L5 は、選択トランジスタ SEL のソースと垂直信号線とを電氣的に接続している。配線 L6 は、リセットトランジスタ RST のドレインと電源線 VDD とを電氣的に接続

10

20

30

40

50

している。配線 L 7 は、リセットトランジスタ R S T のゲート電極 R G と画素駆動線とを電氣的に接続している。配線 L 8 は、リセットトランジスタ R S T のソースと配線 L 2 とを電氣的に接続している。配線 L 9 は、転送トランジスタ T R のゲート電極 T G と画素駆動線とを電氣的に接続している。配線 L 10 は、ウェルコンタクト層と、基準電位（例えば、接地電位：0 V）を供給する基準電位線とを電氣的に接続している。

【0185】

配線 L 1 ~ L 10 において、積層体の厚さ方向に延設されている部分はタンゲステン（W）で構成されており、積層体の厚さ方向と直交する方向（例えば、水平方向）に延設されている部分は銅（Cu）又は Cu を主成分とする Cu 合金で構成されている。ただし、配線 L 1 ~ L 10 を構成する材料は、これらに限定されず、他の材料で構成されていてもよい。

10

【0186】

第2基板 20 は、上記の配線 L 1 ~ L 10 のうちの任意の配線（例えば、配線 L 1、L 4 ~ L 7、L 9、L 10）に接続する複数のパッド電極 2227 を有する。複数のパッド電極 2227 は、例えば Cu 又は Cu 合金で構成されている。

【0187】

第3基板 30 は、第2基板 20 において第1基板 10 と向かい合う面の反対側（例えば、おもて面側）に配置されている。第3基板 30 は、半導体基板 2301 と、半導体基板 2301 のおもて面 2301a 側を覆う絶縁膜 2304 と、半導体基板 2301 のおもて面 2301a 側に設けられた複数の配線 L 30 と、複数の配線 L 30 にそれぞれ接続するパッド電極 2305 と、を備える。なお、第3基板 30 は、後述するように、第2基板 20 とおもて面同士が貼り合わされている。このため、半導体基板 2301 のおもて面 2301a は下側を向いている。

20

【0188】

半導体基板 2301 は、例えば単結晶シリコンで構成されるシリコン基板である。半導体基板 2301 のおもて面 2301a 側には、ロジック回路を構成する複数のトランジスタ及び不純物拡散層が設けられている。絶縁膜 2304 は、ロジック回路を構成する複数のトランジスタや不純物拡散層を覆っている。絶縁膜 2304 には、これらのトランジスタや不純物拡散層に接続するコンタクトホールが設けられている。

【0189】

配線 L 30 は、コンタクトホール内に設けられている。配線 L 30 において、第3基板 30 の厚さ方向に延設されている部分はチタン（Ti）又はコバルト（Co）で構成されており、第3基板 30 厚さ方向と直交する方向（例えば、水平方向）に延設されている部分は Cu 又は Cu を主成分とする Cu 合金で構成されている。ただし、配線 L 30 を構成する材料は、これらに限定されず、他の材料で構成されていてもよい。

30

【0190】

配線 L 30 と半導体基板 2301 との接続部には、シリサイド 2303（例えば、チタンシリサイド（TiSi）又はコバルトシリサイド（CoSi<sub>2</sub>））が形成されている。シリサイド 2303 によって、配線 L 30 と半導体基板 2301 との接続がよりオーミックコンタクトに近いものとなり、接触抵抗が低減されている。これにより、ロジック回路の演算速度の高速化が図られている。

40

【0191】

なお、第1基板 10 及び第2基板 20 には、シリサイドは形成されていない。これにより、第1基板 10 と第2基板 20 とを形成する際に、シリサイドの耐熱温度を超える温度での熱処理等が可能となっている。ただし、第1基板 10 及び第2基板 20 の少なくとも一方にシリサイドが形成されていてもよい。

【0192】

複数のパッド電極 2305 は、例えば Cu 又は Cu 合金で構成されている。撮像装置 1B の厚さ方向において、第3基板 30 のパッド電極 2305 は、第2基板 20 のパッド電極 2227 と向かい合って電氣的に接続している。例えば、パッド電極 2305、222

50

7は、互いに向かい合った状態でCu-Cu接合されて一体化している。これにより、第2基板20と第3基板30とが電氣的に接続されるとともに、第2基板20と第3基板30との貼り合わせの強度が高められている。

【0193】

第3の変形例に係る撮像装置1Bでは、複数のセンサ画素12ごとに、1つのフローティングディフュージョン用コンタクトが配置されていてもよい。例えば、互いに隣り合う4つのセンサ画素12が、1つのフローティングディフュージョン用コンタクトを共有していてもよい。同様に、複数のセンサ画素12ごとに、1つのウェル用コンタクトが配置されていてもよい。例えば、互いに隣り合う4つのセンサ画素12が、1つのウェル用コンタクトを共有していてもよい。

10

【0194】

具体的には、図32及び図36に示すように、撮像装置1Bは、複数のセンサ画素12に跨るように配置された共通パッド電極2102と、共通パッド電極2102上に設けられた1つの配線L2と、を共有してもよい。例えば、撮像装置1Bには、平面視で、4つのセンサ画素12の各フローティングディフュージョンFD1~FD4が素子分離層16を介して互いに隣り合う領域が存在する。この領域に共通パッド電極2102が設けられている。共通パッド電極2102は、4つのフローティングディフュージョンFD1~FD4に跨るように配置されており、4つのフローティングディフュージョンFD1~FD4とそれぞれ電氣的に接続している。共通パッド電極2102は、例えば、n型不純物又はp型不純物がドーブされたポリシリコン膜で構成されている。

20

【0195】

共通パッド電極2102の中心部上に1つの配線L2（すなわち、フローティングディフュージョン用コンタクト）が設けられている。図32、図34~図36に示すように、共通パッド電極2102の中心部上に設けられた配線L2は、第1基板10から、第2基板20の下側基板2210を貫いて第2基板20の上側基板2220まで延設されており、上側基板2220に設けられた配線等を介して、増幅トランジスタAMPのゲート電極AGに接続している。

【0196】

また、図31及び図36に示すように、撮像装置1Bは、複数のセンサ画素12に跨るように配置された共通パッド電極2110と、共通パッド電極2110上に設けられた1つの配線L10と、を共有してもよい。例えば、撮像装置1Bには、平面視で、4つのセンサ画素12の各ウェル層WEが素子分離層16を介して互いに隣り合う領域が存在する。この領域に共通パッド電極2110が設けられている。共通パッド電極2110は、4つのセンサ画素12の各ウェル層WEに跨るように配置されており、4つのセンサ画素12の各ウェル層WEとそれぞれ電氣的に接続している。一例を挙げると、共通パッド電極2110は、Y軸方向に並ぶ一方の共通パッド電極2102と他方の共通パッド電極2102との間に配置されている。Y軸方向において、共通パッド電極2102、2110は交互に並んで配置されている。共通パッド電極2110は、例えば、n型不純物又はp型不純物がドーブされたポリシリコン膜で構成されている。

30

【0197】

共通パッド電極2110の中心部上に1つの配線L10（すなわち、ウェル用コンタクト）が設けられている。図31、図34~図36に示すように、共通パッド電極2110の中心部上に設けられた配線L10は、第1基板10から、第2基板20の下側基板2210を貫いて第2基板20の上側基板2220まで延設されており、上側基板2220に設けられた配線等を介して、基準電位（例えば、接地電位：0V）を供給する基準電位線に接続している。

40

【0198】

共通パッド電極2110の中心部上に設けられた配線L10は、共通パッド電極2110の上面と、下側基板2210に設けられた貫通孔の内側面と、上側基板2220に設けられた貫通孔の内側面とに、それぞれ電氣的に接続している。これにより、第1基板10

50

の第1半導体基板11のウェル層WEと、第2基板20の下側基板2210のウェル層及び上側基板2220のウェル層は、基準電位（例えば、接地電位：0V）に接続される。

【0199】

第3の変形例に係る撮像装置1Bは、第1基板10を構成する第1半導体基板11のおもて面11a側に設けられ、互いに隣り合う複数（例えば、4つ）のセンサ画素12に跨るように配置された共通パッド電極2102、2110をさらに備える。共通パッド電極2102は、4つのセンサ画素12のフローティングディフュージョンFDと電氣的に接続しているため、4つのセンサ画素12ごとに、フローティングディフュージョンFDに接続する配線L2を共通化することができる。また、共通パッド電極2110は、4つのセンサ画素12のウェル層WEと電氣的に接続しているため、4つのセンサ画素12ごとに、ウェル層WEに接続する配線L10を共通化することができる。これにより、配線L2、L10の本数が低減されるため、センサ画素12の面積低減が可能であり、撮像装置1Bの小型化が可能である。

10

【0200】

（第4の変形例）

続いて、図37及び図38を参照して、撮像装置1の水平方向の断面構成の一変形例である第4の変形例について説明する。図37及び図38の上側の図は、図7における切断面Sec1の断面構成の一変形例を示す模式図であり、図37及び図38の下側の図は、図7における切断面Sec2の断面構成の一変形例を示す模式図である。

【0201】

20

図37及び図38に示すように、複数の貫通配線54、複数の貫通配線48、及び複数の貫通配線47は、第1基板10の面内において第1方向V1（図37及び図38の左右方向）に帯状に並んで配置される。図37及び図38では、複数の貫通配線54、複数の貫通配線48、及び複数の貫通配線47が第1方向V1に2列に並んで配置されている場合が例示されている。

【0202】

画素回路22を共有する4つのセンサ画素12において、4つのフローティングディフュージョンFDは、例えば、素子分離部43を介して互いに近接して配置される。画素回路22を共有する4つのセンサ画素12において、4つの転送ゲートTG（TG1、TG2、TG3、TG4）は、4つのフローティングディフュージョンFDを囲むように配置される。例えば、4つの転送ゲートTGは、円環形状となるように配置される。

30

【0203】

分離絶縁層53は、第1方向V1に延伸する複数のブロックで構成されている。第2半導体基板21は、第1方向V1に延伸し、かつ第1方向V1に並んで配置された複数の島状のブロック21Aで構成される。ブロック21Aの各々には、例えば、リセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELが設けられる。4つのセンサ画素12によって共有される1つの画素回路22は、例えば、4つのセンサ画素12と対応して配置されておらず、第2方向V2にずれて配置される。

【0204】

図37では、4つのセンサ画素12によって共有される1つの画素回路22は、第2基板20において、4つのセンサ画素12と対応する領域を第2方向V2にずらした領域内にあるリセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELによって構成される。例えば、4つのセンサ画素12によって共有される1つの画素回路22は、1つのブロック21A内の増幅トランジスタAMP、リセットトランジスタRST、及び選択トランジスタSELによって構成される。

40

【0205】

図38では、4つのセンサ画素12によって共有される1つの画素回路22は、第2基板20において、4つのセンサ画素12と対応する領域を第2方向V2にずらした領域内にあるリセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSEL、及びFD変換ゲイン切替トランジスタFDGによって構成される。例えば、4つのセン

50

サ画素 1 2 によって共有される 1 つの画素回路 2 2 は、1 つのブロック 2 1 A 内の増幅トランジスタ AMP、リセットトランジスタ RST、選択トランジスタ SEL、及び FD 変換ゲイン切替トランジスタ FDG によって構成される。

【0206】

第 4 の変形例に係る撮像装置 1 では、4 つのセンサ画素 1 2 によって共有される 1 つの画素回路 2 2 は、4 つのセンサ画素 1 2 と正対して配置されておらず、4 つのセンサ画素 1 2 と正対する位置から第 2 方向 V 2 にずれて配置されている。この構成によれば、第 4 の変形例に係る撮像装置 1 は、配線 2 5 を短くしたり、配線 2 5 を省略して増幅トランジスタ AMP のソースと、選択トランジスタ SEL のドレインとを共通の不純物領域で構成したりすることが可能となる。したがって、第 4 の変形例に係る撮像装置 1 は、画素回路 2 2 のサイズを小さくすることが可能となる。

10

【0207】

(第 5 の変形例)

次に、図 3 9 を参照して、撮像装置 1 の水平方向の断面構成の一変形例である第 5 の変形例について説明する。図 3 9 は、図 7 における切断面 Sec 1、及び切断面 Sec 2 の断面構成の一変形例を示す模式図である。

【0208】

図 3 9 に示すように、第 2 半導体基板 2 1 は、分離絶縁層 5 3 を介して第 1 方向 V 1、及び第 2 方向 V 2 に並んで配置された複数の島状のブロック 2 1 A で構成されている。ブロック 2 1 A の各々には、例えば、一組のリセットトランジスタ RST、増幅トランジスタ AMP、及び選択トランジスタ SEL が設けられている。このような場合、第 5 の変形例に係る撮像装置 1 は、互いに隣接する画素回路 2 2 同士でのクロストークを分離絶縁層 5 3 によって抑制することができるため、画像の解像度低下、又は混色による画質低下を抑制することができる。

20

【0209】

(第 6 の変形例)

続いて、図 4 0 を参照して、撮像装置 1 の水平方向の断面構成の一変形例である第 6 の変形例について説明する。図 4 0 は、図 7 における切断面 Sec 1、及び切断面 Sec 2 の断面構成の一変形例を示す模式図である。

【0210】

図 4 0 では、第 2 半導体基板 2 1 は、4 つのセンサ画素 1 2 によって共有される 1 つの画素回路 2 2 は、例えば、4 つのセンサ画素 1 2 と対応して配置されておらず、第 1 方向 V 1 にずれて配置されている。また、第 6 の変形例に係る撮像装置 1 では、第 2 半導体基板 2 1 は、分離絶縁層 5 3 を介して第 1 方向 V 1、及び第 2 方向 V 2 に並んで配置された複数の島状のブロック 2 1 A で構成される。ブロック 2 1 A の各々には、例えば、一組のリセットトランジスタ RST、増幅トランジスタ AMP、及び選択トランジスタ SEL が設けられる。さらに、第 6 の変形例に係る撮像装置 1 では、複数の貫通配線 4 7、及び複数の貫通配線 5 4 が、第 2 方向 V 2 に配列される。

30

【0211】

これにより、複数の貫通配線 4 7 は、1 つの画素回路 2 2 を共有する 4 つの貫通配線 5 4 と、該画素回路 2 2 の第 2 方向 V 2 に隣接する他の画素回路 2 2 を共有する 4 つの貫通配線 5 4 との間に配置される。これによれば、第 6 の変形例に係る撮像装置 1 は、互いに隣接する画素回路 2 2 同士のクロストークを分離絶縁層 5 3、及び貫通配線 4 7 によって抑制することができるため、画像の解像度低下、又は混色による画質低下を抑制することができる。

40

【0212】

(第 7 の変形例)

次に、図 4 1 ~ 図 4 3 を参照して、撮像装置 1 の水平方向の断面構成の一変形例である第 7 の変形例について説明する。図 4 1 は、図 7 における切断面 Sec 1、及び切断面 Sec 2 の断面構成の一変形例を示す模式図である。

50

## 【 0 2 1 3 】

図 4 1 に示すように、第 7 の変形例に係る撮像装置 1 では、第 1 基板 1 0 は、フォトダイオード P D、及び転送トランジスタ T R（すなわち、転送ゲート T G）をセンサ画素 1 2 ごとに有し、フローティングディフュージョン F D を 4 つのセンサ画素 1 2 ごとに共有している。そのため、第 7 の変形例に係る撮像装置 1 は、4 つのセンサ画素 1 2 ごとに 1 つの貫通配線 5 4 が設けられている。

## 【 0 2 1 4 】

また、第 7 の変形例に係る撮像装置 1 では、1 つのフローティングディフュージョン F D を共有する 4 つのセンサ画素 1 2 に対応する単位領域を 1 つのセンサ画素 1 2 分だけ第 2 方向 V 2 にずらした領域ごとに、貫通配線 4 7 が設けられている。すなわち、第 7 の変形例に係る撮像装置 1 では、1 つのフローティングディフュージョン F D を共有する 4 つのセンサ画素 1 2 に対応する単位領域と、該単位領域と第 2 方向 V 2 に隣接する隣接単位領域との間に貫通配線 4 7 が設けられる。また、貫通配線 4 7 は、貫通配線 4 7 の周囲に存在する単位領域の 2 つのセンサ画素 1 2、及び貫通配線 4 7 の周囲に存在する隣接単位領域の 2 つのセンサ画素 1 2 にて共有されている。

## 【 0 2 1 5 】

さらに、第 7 の変形例に係る撮像装置 1 では、第 1 基板 1 0 は、フォトダイオード P D、及び転送トランジスタ T R をセンサ画素 1 2 ごとに分離する素子分離部 4 3 を有する。第 1 半導体基板 1 1 の主面を法線方向から平面視した場合、素子分離部 4 3 は、センサ画素 1 2 の周囲を完全に囲っておらず、フローティングディフュージョン F D（すなわち、貫通配線 5 4）の近傍、及び貫通配線 4 7 の近傍に間隙（未形成領域）を有している。この間隙によって、4 つのセンサ画素 1 2 による貫通配線 5 4 の共有、及び単位領域と隣接単位領域との間での 4 つのセンサ画素 1 2 による貫通配線 4 7 の共有が可能となる。なお、第 7 の変形例に係る撮像装置 1 では、第 2 基板 2 0 は、フローティングディフュージョン F D を共有する 4 つのセンサ画素 1 2 ごとに画素回路 2 2 を有する。

## 【 0 2 1 6 】

図 4 2 及び図 4 3 は、第 7 の変形例に係る撮像装置 1 の切断面 S e c 2 の断面構成の他の例を示す模式図である。図 4 2 に示すように、第 1 基板 1 0 は、フォトダイオード P D、及び転送トランジスタ T R をセンサ画素 1 2 ごとに有し、フローティングディフュージョン F D を 4 つのセンサ画素 1 2 ごとに共有していてもよい。さらに、第 1 基板 1 0 は、フォトダイオード P D、及び転送トランジスタ T R をセンサ画素 1 2 ごとに分離する素子分離部 4 3 を有していてもよい。また、図 4 3 に示すように、フォトダイオード P D、及び転送トランジスタ T R をセンサ画素 1 2 ごとに有し、フローティングディフュージョン F D を 4 つのセンサ画素 1 2 ごとに共有していてもよい。さらに、第 1 基板 1 0 は、フォトダイオード P D、及び転送トランジスタ T R をセンサ画素 1 2 ごとに分離する素子分離部 4 3 を有していてもよい。

## 【 0 2 1 7 】

（第 8 の変形例）

続いて、図 4 4 を参照して、撮像装置 1 の回路構成の一変形例である第 8 の変形例について説明する。図 4 4 は、列並列 A D C（A n a l o g t o D i g i t a l C o n v e r t e r）搭載の C M O S イメージセンサの回路構成を示す模式図である。

## 【 0 2 1 8 】

図 4 4 に示すように、第 8 の変形例に係る撮像装置 1 は、光電変換素子を含む複数のセンサ画素 1 2 が行列状（すなわち、マトリクス状）に二次元配置された画素領域 1 3 と、垂直駆動回路 3 3 と、カラム信号処理回路 3 4 と、参照電圧供給部 3 8 と、水平駆動回路 3 5 と、水平出力線 3 7 と、システム制御回路 3 6 とを備える。

## 【 0 2 1 9 】

システム制御回路 3 6 は、マスタークロック M C K に基づいて、垂直駆動回路 3 3、カラム信号処理回路 3 4、参照電圧供給部 3 8、及び水平駆動回路 3 5 などの動作の基準となるクロック信号、及び制御信号などを生成する。システム制御回路 3 6 は、さらに、生

10

20

30

40

50

成したクロック信号、及び制御信号を垂直駆動回路 3 3、カラム信号処理回路 3 4、参照電圧供給部 3 8、及び水平駆動回路 3 5 に供給する。

【 0 2 2 0 】

垂直駆動回路 3 3 は、画素領域 1 3 のセンサ画素 1 2 の各々が形成された第 1 基板 1 0、及び画素回路 2 2 が形成された第 2 基板 2 0 にそれぞれ形成される。カラム信号処理回路 3 4、参照電圧供給部 3 8、水平駆動回路 3 5、水平出力線 3 7、及びシステム制御回路 3 6 は、第 3 基板 3 0 に形成される。

【 0 2 2 1 】

ここでの図示は省略するが、センサ画素 1 2 は、例えば、フォトダイオード P D と、フォトダイオード P D で光電変換された電荷をフローティングディフュージョン F D に転送する転送トランジスタ T R とを有する。画素回路 2 2 は、例えば、フローティングディフュージョン F D の電位を制御するリセットトランジスタ R S T と、フローティングディフュージョン F D の電位に応じた信号を出力する増幅トランジスタ A M P と、画素選択を行うための選択トランジスタ S E L とを有する。

10

【 0 2 2 2 】

画素領域 1 3 には、センサ画素 1 2 が二次元配置される。例えば、n 行 m 列のマトリクス状にセンサ画素 1 2 が配置された画素領域 1 3 では、行ごとに画素駆動線 2 3 が配線され、列ごとに垂直信号線 2 4 が配線される。複数の画素駆動線 2 3 の一端には、垂直駆動回路 3 3 の各行に対応した出力端がそれぞれ接続されている。垂直駆動回路 3 3 は、シフトレジスタなどによって構成され、複数の画素駆動線 2 3 を介して画素領域 1 3 の行アドレス又は行走査の制御を行う。

20

【 0 2 2 3 】

カラム信号処理回路 3 4 は、例えば、画素領域 1 3 の画素列ごと、すなわち垂直信号線 2 4 ごとに設けられた A D C (アナログ - デジタル変換回路) 3 4 - 1 ~ 3 4 - m を有する。カラム信号処理回路 3 4 は、A D C によって、画素領域 1 3 のセンサ画素 1 2 の各々から列ごとに出力されるアナログ信号をデジタル信号に変換して出力する。

【 0 2 2 4 】

参照電圧供給部 3 8 は、例えば、D A C (デジタル - アナログ変換回路) 3 8 A を有し、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ ( R A M P ) 波形の参照電圧 V r e f を生成する。なお、参照電圧供給部 3 8 は、D A C 3 8 A 以外の手段を用いて、ランプ波形の参照電圧 V r e f を生成してもよい。

30

【 0 2 2 5 】

D A C 3 8 A は、システム制御回路 3 6 からの制御信号 C S 1、及びクロック C K に基づいてランプ波形の参照電圧 V r e f を生成し、生成した参照電圧 V r e f をカラム信号処理回路 3 4 の A D C 3 4 - 1 ~ 3 4 - m に対して供給する。

【 0 2 2 6 】

なお、A D C 3 4 - 1 ~ 3 4 - m の各々は、センサ画素 1 2 全ての情報を読み出すプログレッシブ走査方式での通常フレームレートモードと、通常フレームレートモード時に比べてセンサ画素 1 2 の露光時間を 1 / N に設定することでフレームレートを N 倍 (例えば、2 倍) に引き上げる高速フレームレートモードとの各動作モードに対応した A D 変換動作を選択的に実行可能に構成される。この動作モードの切り替えは、システム制御回路 3 6 からの制御信号 C S 2、C S 3 による制御によって行われる。また、システム制御回路 3 6 は、外部のシステムコントローラ (図示せず) からの指示情報に基づいて、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための制御信号 C S 2、C S 3 を生成する。

40

【 0 2 2 7 】

A D C 3 4 - 1 ~ 3 4 - m は、全て同じ構成であるため、ここでは A D C 3 4 - m を例に挙げて説明する。

【 0 2 2 8 】

A D C 3 4 - m は、比較器 3 4 A と、アップ / ダウンカウンタ ( U / D C N T ) 3 4 B

50

と、転送スイッチ 34C と、メモリ装置 34D とを有する。

【0229】

比較器 34A は、画素領域 13 の m 列目のセンサ画素 12 の各々から出力される信号に応じた垂直信号線 24 の信号電圧  $V_x$  と、参照電圧供給部 38 から供給されるランプ波形の参照電圧  $V_{ref}$  とを比較する。比較器 34A は、例えば、参照電圧  $V_{ref}$  が信号電圧  $V_x$  よりも大きい場合に出力  $V_{co}$  を「H」レベルとし、参照電圧  $V_{ref}$  が信号電圧  $V_x$  以下の場合に出力  $V_{co}$  を「L」レベルとする。

【0230】

アップ/ダウンカウンタ 34B は、非同期カウンタである。アップ/ダウンカウンタ 34B は、システム制御回路 36 から与えられる制御信号  $CS_2$  に基づいて、システム制御回路 36 からクロック  $CK$  を供給される。アップ/ダウンカウンタ 34B は、該クロック  $CK$  に同期してダウン (DOWN) カウント、又はアップ (UP) カウントを行うことにより、比較器 34A での比較動作の開始から終了までの比較期間を計測する。

10

【0231】

具体的には、通常フレームレートモードでは、アップ/ダウンカウンタ 34B は、1つのセンサ画素 12 からの 1 回目の読み出し動作時にダウンカウントを行うことにより 1 回目の読み出し時の比較時間を計測する。また、アップ/ダウンカウンタ 34B は、2 回目の読み出し動作時にアップカウントを行うことにより 2 回目の読み出し時の比較時間を計測する。

【0232】

20

一方、高速フレームレートモードでは、アップ/ダウンカウンタ 34B は、ある行のセンサ画素 12 についてのカウント結果をそのまま保持する。その後、アップ/ダウンカウンタ 34B は、次の行のセンサ画素 12 について、前回のカウント結果を引き継いで 1 回目の読み出し動作時のダウンカウントを行うことで 1 回目の読み出し時の比較時間を計測する。また、アップ/ダウンカウンタ 34B は、2 回目の読み出し動作時にアップカウントを行うことで 2 回目の読み出し時の比較時間を計測する。

【0233】

転送スイッチ 34C は、システム制御回路 36 から与えられる制御信号  $CS_3$  に基づいて動作する。転送スイッチ 34C は、通常フレームレートモードでは、ある行のセンサ画素 12 についてのアップ/ダウンカウンタ 34B のカウント動作が完了した時点でオン (閉) 状態となることで、アップ/ダウンカウンタ 34B のカウント結果をメモリ装置 34D に転送する。

30

【0234】

一方、例えば  $N = 2$  の高速フレームレートでは、転送スイッチ 34C は、ある行のセンサ画素 12 についてのアップ/ダウンカウンタ 34B のカウント動作が完了した時点でオフ (開) 状態のままとなる。その後、転送スイッチ 34C は、次の行のセンサ画素 12 についてのアップ/ダウンカウンタ 34B のカウント動作が完了した時点でオン状態となることで、アップ/ダウンカウンタ 34B の垂直 2 画素分についてのカウント結果をメモリ装置 34D に転送する。

【0235】

40

このようにして、画素領域 13 のセンサ画素 12 の各々から垂直信号線 24 を経由して列ごとに供給されるアナログ信号は、 $ADC_{34-1} \sim 34-m$  における比較器 34A、及びアップ/ダウンカウンタ 34B の動作により、 $N$  ビットのデジタル信号に変換されてメモリ装置 34D に格納される。

【0236】

水平駆動回路 35 は、シフトレジスタなどによって構成され、カラム信号処理回路 34 における  $ADC_{34-1} \sim 34-m$  の列アドレス、及び列走査の制御を行う。水平駆動回路 35 は、 $ADC_{34-1} \sim 34-m$  の各々を制御することで、 $AD$  変換された  $N$  ビットのデジタル信号を順に水平出力線 37 に読み出させる。読み出された  $N$  ビットのデジタル信号は、水平出力線 37 を経由して撮像データとして出力される。

50

## 【 0 2 3 7 】

なお、本特に図示しないが、水平出力線 3 7 を経由して出力される撮像データに対して各種の信号処理を施す回路等を上記構成要素以外に設けることも可能である。

## 【 0 2 3 8 】

第 8 の変形例に係る撮像装置 1 では、転送スイッチ 3 4 C を介してアップ / ダウンカウンタ 3 4 B のカウント結果を選択的にメモリ装置 3 4 D に転送することができる。これによれば、第 8 の変形例に係る撮像装置 1 では、アップ / ダウンカウンタ 3 4 B のカウント動作と、アップ / ダウンカウンタ 3 4 B のカウント結果の水平出力線 3 7 への読み出し動作とを独立して制御することが可能である。

## 【 0 2 3 9 】

( 第 9 の変形例 )

次に、図 4 5 を参照して、撮像装置 1 の積層構造の一変形例である第 9 の変形例について説明する。図 4 5 は、図 3 8 に示す撮像装置 1 を 3 つの基板を積層して構成した一例を示す模式図である。

## 【 0 2 4 0 】

図 4 5 に示すように、第 9 の変形例に係る撮像装置 1 は、第 1 基板 1 0、第 2 基板 2 0、及び第 3 基板を積層して構成される。第 1 基板 1 0 では、中央部分に複数のセンサ画素 1 2 を含む画素領域 1 3 が形成されており、画素領域 1 3 の周囲に垂直駆動回路 3 3 が形成されている。また、第 2 基板 2 0 では、中央部分に、複数の画素回路 2 2 を含む画素回路領域 1 5 が形成されており、画素回路領域 1 5 の周囲に垂直駆動回路 3 3 が形成されている。さらに、第 3 基板 3 0 では、カラム信号処理回路 3 4、水平駆動回路 3 5、システム制御回路 3 6、水平出力線 3 7、及び参照電圧供給部 3 8 が形成されている。なお、垂直駆動回路 3 3 は、上述したように第 1 基板 1 0、及び第 2 基板 2 0 の両方に形成されてもよく、第 1 基板 1 0 のみに形成されてもよく、第 2 基板 2 0 のみに形成されてもよい。

## 【 0 2 4 1 】

第 9 の変形例に係る撮像装置 1 は、基板同士を電氣的に接続する構造に起因するチップサイズの拡大、又は画素面積の拡大を抑制することができる。これによれば、第 9 の変形例に係る撮像装置 1 は、1 画素あたりの面積をより微細化することが可能となる。

## 【 0 2 4 2 】

( 第 1 0 の変形例 )

続いて、図 4 6 及び図 4 7 を参照して、撮像装置 1 の断面構成の一変形例である第 1 0 の変形例について説明する。図 4 6 は、第 1 0 の変形例に係る撮像装置 1 の断面構成の一例を示す模式図である。

## 【 0 2 4 3 】

上記で説明した実施形態、及び変形例では、撮像装置 1 は、第 1 基板 1 0、第 2 基板 2 0、及び第 3 基板 3 0 の 3 つの基板を積層して構成される例を示した。しかしながら、本開示に係る技術は、上記例示に限定されない。例えば、撮像装置 1 は、第 1 基板 1 0、及び第 2 基板 2 0 の 2 つの基板を積層して構成されてもよい。

## 【 0 2 4 4 】

図 4 6 に示すように、このような場合、処理回路 3 2 は、例えば、第 1 基板 1 0 と、第 2 基板 2 0 とに分けて形成される。

## 【 0 2 4 5 】

処理回路 3 2 のうち第 1 基板 1 0 側に設けられた回路 3 2 A では、高温プロセスに耐え得る材料 (例えば、h i g h - k 材料) からなる高誘電率膜と、メタルゲート電極とを積層したゲート構造を有するトランジスタが設けられる。

## 【 0 2 4 6 】

一方、処理回路 3 2 のうち第 2 基板 2 0 側に設けられた回路 3 2 B では、ソース電極及びドレイン電極と接する不純物拡散領域の表面に、C o S i<sub>2</sub>又はN i S iなどのシリサイドからなる低抵抗領域 2 6 が形成されている。シリサイドからなる低抵抗領域は、半導体基板の材料と金属との化合物で形成されており、耐熱性が高い。したがって、センサ画素

10

20

30

40

50

12を形成する際に熱酸化などの高温プロセスを用いることができるようになる。また、 $\text{CoSi}_2$ 又は $\text{NiSi}$ などのシリサイドからなる低抵抗領域26は、接触抵抗を低減することができるため、処理回路32での演算速度を高速化することができる。

【0247】

なお、 $\text{CoSi}_2$ 又は $\text{NiSi}$ などのシリサイドからなる低抵抗領域26は、上記で説明した実施形態、及び変形例に係る撮像装置1に設けられてもよい。具体的には、第1基板10、第2基板20、及び第3基板30の3つの基板を積層して構成される撮像装置1においても、 $\text{CoSi}_2$ 又は $\text{NiSi}$ などのシリサイドからなる低抵抗領域26が設けられてもよい。図47は、3つの基板を積層して構成される撮像装置1に $\text{CoSi}_2$ 又は $\text{NiSi}$ などのシリサイドからなる低抵抗領域26を適用した例を示す模式図である。

10

【0248】

図47に示すように、第3基板30の処理回路32において、ソース電極及びドレイン電極と接する不純物拡散領域の表面に、 $\text{CoSi}_2$ 又は $\text{NiSi}$ などのシリサイドからなる低抵抗領域26が形成されてもよい。これにより、センサ画素12を形成する際に、熱酸化などの高温プロセスを用いることができるようになる。また、 $\text{CoSi}_2$ 又は $\text{NiSi}$ などのシリサイドからなる低抵抗領域26は、接触抵抗を低減することができるため、処理回路32での演算速度を高速化することができる。

【0249】

<<4. 具体例>>

上記で説明した本開示に係る技術は、種々の撮像装置等に適用することが可能である。以下では、本開示に係る技術が適用される撮像装置、及び該撮像装置を備える機器について、具体例を挙げて説明する。

20

【0250】

<4.1. 実施の形態>

[撮像装置1の機能構成]

図48は、本開示の一実施の形態に係る撮像装置(撮像装置1)の機能構成の一例を示すブロック図である。

【0251】

図48の撮像装置1は、例えば、入力部510A、行駆動部520、タイミング制御部530、画素アレイ部540、列信号処理部550、画像信号処理部560および出力部510Bを含んでいる。

30

【0252】

画素アレイ部540には、画素541がアレイ状に繰り返し配置されている。より具体的には、複数の画素を含んだ画素共有ユニット539が繰り返し単位となり、これが、行方向と列方向とからなるアレイ状に繰り返し配置されている。なお、本明細書では、便宜上、行方向をH方向、行方向と直交する列方向をV方向、と呼ぶ場合がある。図48の例において、1つの画素共有ユニット539が、4つの画素(画素541A, 541B, 541C, 541D)を含んでいる。画素541A, 541B, 541C, 541Dは各々、フォトダイオードPD(後述の図53等に図示)を有している。画素共有ユニット539は、1つの画素回路(後述の図50の画素回路210)を共有する単位である。換言すれば、4つの画素(画素541A, 541B, 541C, 541D)毎に、1つの画素回路(後述の画素回路210)を有している。この画素回路を時分割で動作させることにより、画素541A, 541B, 541C, 541D各々の画素信号が順次読み出されるようになっている。画素541A, 541B, 541C, 541Dは、例えば2行×2列で配置されている。画素アレイ部540には、画素541A, 541B, 541C, 541Dとともに、複数の行駆動信号線542および複数の垂直信号線(列読出し線)543が設けられている。行駆動信号線542は、画素アレイ部540において行方向に並んで配列された、複数の画素共有ユニット539各々に含まれる画素541を駆動する。画素共有ユニット539のうち、行方向に並んで配列された各画素を駆動する。後に図51を参照して詳しく説明するが、画素共有ユニット539には、複数のトランジスタが設けられ

40

50

ている。これら複数のトランジスタをそれぞれ駆動するために、１つの画素共有ユニット５３９には複数の行駆動信号線５４２が接続されている。垂直信号線（列読出し線）５４３には、画素共有ユニット５３９が接続されている。画素共有ユニット５３９に含まれる画素５４１Ａ，５４１Ｂ，５４１Ｃ，５４１Ｄ各々から、垂直信号線（列読出し線）５４３を介して画素信号が読み出される。

【０２５３】

行駆動部５２０は、例えば、画素駆動するための行の位置を決める行アドレス制御部、言い換えれば、行デコーダ部と、画素５４１Ａ，５４１Ｂ，５４１Ｃ，５４１Ｄを駆動するための信号を発生させる行駆動回路部とを含んでいる。

【０２５４】

列信号処理部５５０は、例えば、垂直信号線５４３に接続され、画素５４１Ａ，５４１Ｂ，５４１Ｃ，５４１Ｄ（画素共有ユニット５３９）とソースフォロア回路を形成する負荷回路部を備える。列信号処理部５５０は、垂直信号線５４３を介して画素共有ユニット５３９から読み出された信号を増幅する増幅回路部を有していてもよい。列信号処理部５５０は、ノイズ処理部を有していてもよい。ノイズ処理部では、例えば、光電変換の結果として画素共有ユニット５３９から読み出された信号から、系のノイズレベルが取り除かれる。

【０２５５】

列信号処理部５５０は、例えば、アナログデジタルコンバータ（ＡＤＣ）を有している。アナログデジタルコンバータでは、画素共有ユニット５３９から読み出された信号もしくは上記ノイズ処理されたアナログ信号がデジタル信号に変換される。ＡＤＣは、例えば、コンパレータ部およびカウンタ部を含んでいる。コンパレータ部では、変換対象となるアナログ信号と、これと比較対象となる参照信号とが比較される。カウンタ部では、コンパレータ部での比較結果が反転するまでの時間が計測されるようになっている。列信号処理部５５０は、読出し列を走査する制御を行う水平走査回路部を含んでいてもよい。

【０２５６】

タイミング制御部５３０は、装置へ入力された基準クロック信号やタイミング制御信号を基にして、行駆動部５２０および列信号処理部５５０へ、タイミングを制御する信号を供給する。

【０２５７】

画像信号処理部５６０は、光電変換の結果得られたデータ、言い換えれば、撮像装置１における撮像動作の結果得られたデータに対して、各種の信号処理を施す回路である。画像信号処理部５６０は、例えば、画像信号処理回路部およびデータ保持部を含んでいる。画像信号処理部５６０は、プロセッサ部を含んでいてもよい。

【０２５８】

画像信号処理部５６０において実行される信号処理の一例は、ＡＤ変換された撮像データが、暗い被写体を撮影したデータである場合には階調を多く持たせ、明るい被写体を撮影したデータである場合には階調を少なくするトーンカーブ補正処理である。この場合、撮像データの階調をどのようなトーンカーブに基づいて補正するか、トーンカーブの特性データを予め画像信号処理部５６０のデータ保持部に記憶させておくことが望ましい。

【０２５９】

入力部５１０Ａは、例えば、上記基準クロック信号、タイミング制御信号および特性データなどを装置外部から撮像装置１へ入力するためのものである。タイミング制御信号は、例えば、垂直同期信号および水平同期信号などである。特性データは、例えば、画像信号処理部５６０のデータ保持部へ記憶させるためのものである。入力部５１０Ａは、例えば、入力端子５１１、入力回路部５１２、入力振幅変更部５１３、入力データ変換回路部５１４および電源供給部（不図示）を含んでいる。

【０２６０】

入力端子５１１は、データを入力するための外部端子である。入力回路部５１２は、入力端子５１１へ入力された信号を撮像装置１の内部へと取り込むためのものである。入力

10

20

30

40

50

振幅変更部 5 1 3 では、入力回路部 5 1 2 で取り込まれた信号の振幅が、撮像装置 1 の内部で利用しやすい振幅へと変更される。入力データ変換回路部 5 1 4 では、入力データのデータ列の並びが変更される。入力データ変換回路部 5 1 4 は、例えば、シリアルパラレル変換回路により構成されている。このシリアルパラレル変換回路では、入力データとして受け取ったシリアル信号がパラレル信号へと変換される。なお、入力部 5 1 0 A では、入力振幅変更部 5 1 3 および入力データ変換回路部 5 1 4 が、省略されていてもよい。電源供給部は、外部から撮像装置 1 へ供給された電源をもとにして、撮像装置 1 の内部で必要となる各種の電圧に設定された電源を供給する。

#### 【 0 2 6 1 】

撮像装置 1 が外部のメモリデバイスと接続されるとき、入力部 5 1 0 A には、外部のメモリデバイスからのデータを受け取るメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、S R A M および D R A M 等である。

10

#### 【 0 2 6 2 】

出力部 5 1 0 B は、画像データを装置外部へと出力する。この画像データは、例えば、撮像装置 1 で撮影された画像データ、および、画像信号処理部 5 6 0 で信号処理された画像データ等である。出力部 5 1 0 B は、例えば、出力データ変換回路部 5 1 5、出力振幅変更部 5 1 6、出力回路部 5 1 7 および出力端子 5 1 8 を含んでいる。

#### 【 0 2 6 3 】

出力データ変換回路部 5 1 5 は、例えば、パラレルシリアル変換回路により構成されており、出力データ変換回路部 5 1 5 では、撮像装置 1 内部で使用したパラレル信号がシリアル信号へと変換される。出力振幅変更部 5 1 6 は、撮像装置 1 の内部で用いた信号の振幅を変更する。変更された振幅の信号は、撮像装置 1 の外部に接続される外部デバイスで利用しやすくなる。出力回路部 5 1 7 は、撮像装置 1 の内部から装置外部へとデータを出力する回路であり、出力回路部 5 1 7 により、出力端子 5 1 8 に接続された撮像装置 1 外部の配線が駆動される。出力端子 5 1 8 では、撮像装置 1 から装置外部へとデータが出力される。出力部 5 1 0 B では、出力データ変換回路部 5 1 5 および出力振幅変更部 5 1 6 が、省略されていてもよい。

20

#### 【 0 2 6 4 】

撮像装置 1 が外部のメモリデバイスと接続されるとき、出力部 5 1 0 B には、外部のメモリデバイスへとデータを出力するメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、S R A M および D R A M 等である。

30

#### 【 0 2 6 5 】

[撮像装置 1 の概略構成]

図 4 9 および図 5 0 は、撮像装置 1 の概略構成の一例を表したものである。撮像装置 1 は、3 つの基板（第 1 基板 1 0 0、第 2 基板 2 0 0、第 3 基板 3 0 0）を備えている。図 4 9 は、第 1 基板 1 0 0、第 2 基板 2 0 0、第 3 基板 3 0 0 各々の平面構成を模式的に表したものであり、図 5 0 は、互いに積層された第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の断面構成を模式的に表している。図 5 0 は、図 4 9 に示した I I I - I I I ' 線に沿った断面構成に対応する。撮像装置 1 は、3 つの基板（第 1 基板 1 0 0、第 2 基板 2 0 0、第 3 基板 3 0 0）を貼り合わせて構成された 3 次元構造の撮像装置である。第 1 基板 1 0 0 は、半導体層 1 0 0 S および配線層 1 0 0 T を含む。第 2 基板 2 0 0 は、半導体層 2 0 0 S および配線層 2 0 0 T を含む。第 3 基板 3 0 0 は、半導体層 3 0 0 S および配線層 3 0 0 T を含む。ここで、第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の各基板に含まれる配線とその周囲の層間絶縁膜を合せたものを、便宜上、それぞれの基板（第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0）に設けられた配線層（1 0 0 T、2 0 0 T、3 0 0 T）と呼ぶ。第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 は、この順に積層されており、積層方向に沿って、半導体層 1 0 0 S、配線層 1 0 0 T、半導体層 2 0 0 S、配線層 2 0 0 T、配線層 3 0 0 T および半導体層 3 0 0 S の順に配置されている。第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の具体的な構

40

50

成については後述する。図 50 に示した矢印は、撮像装置 1 への光 L の入射方向を表す。本明細書では、便宜上、以降の断面図で、撮像装置 1 における光入射側を「下」「下側」「下方」、光入射側と反対側を「上」「上側」「上方」と呼ぶ場合がある。また、本明細書では、便宜上、半導体層と配線層を備えた基板に関して、配線層の側を表面、半導体層の側を裏面と呼ぶ場合がある。なお、明細書の記載は、上記の呼び方に限定されない。撮像装置 1 は、例えば、フォトダイオードを有する第 1 基板 100 の裏面側から光が入射する、裏面照射型撮像装置となっている。

#### 【0266】

画素アレイ部 540 および画素アレイ部 540 に含まれる画素共有ユニット 539 は、ともに、第 1 基板 100 および第 2 基板 200 の双方を用いて構成されている。第 1 基板 100 には、画素共有ユニット 539 が有する複数の画素 541A, 541B, 541C, 541D が設けられている。これらの画素 541 のそれぞれが、フォトダイオード（後述のフォトダイオード PD）および転送トランジスタ（後述の転送トランジスタ TR）を有している。第 2 基板 200 には、画素共有ユニット 539 が有する画素回路（後述の画素回路 210）が設けられている。画素回路は、画素 541A, 541B, 541C, 541D 各々のフォトダイオードから転送トランジスタを介して転送された画素信号を読み出し、あるいは、フォトダイオードをリセットする。この第 2 基板 200 は、このような画素回路に加えて、行方向に延在する複数の行駆動信号線 542 および列方向に延在する複数の垂直信号線 543 を有している。第 2 基板 200 は、更に、行方向に延在する電源線 544（後述の電源線 VDD 等）を有している。第 3 基板 300 は、例えば、入力部 510A, 行駆動部 520、タイミング制御部 530、列信号処理部 550、画像信号処理部 560 および出力部 510B を有している。行駆動部 520 は、例えば、第 1 基板 100、第 2 基板 200 および第 3 基板 300 の積層方向（以下、単に積層方向という）において、一部が画素アレイ部 540 に重なる領域に設けられている。より具体的には、行駆動部 520 は、積層方向において、画素アレイ部 540 の H 方向の端部近傍に重なる領域に設けられている（図 49）。列信号処理部 550 は、例えば、積層方向において、一部が画素アレイ部 540 に重なる領域に設けられている。より具体的には、列信号処理部 550 は、積層方向において、画素アレイ部 540 の V 方向の端部近傍に重なる領域に設けられている（図 49）。図示は省略するが、入力部 510A および出力部 510B は、第 3 基板 300 以外の部分に配置されていてもよく、例えば、第 2 基板 200 に配置されていてもよい。あるいは、第 1 基板 100 の裏面（光入射面）側に入力部 510A および出力部 510B を設けるようにしてもよい。なお、上記第 2 基板 200 に設けられた画素回路は、別の呼称として、画素トランジスタ回路、画素トランジスタ群、画素トランジスタ、画素読み出し回路または読出回路と呼ばれることもある。本明細書では、画素回路との呼称を用いる。

#### 【0267】

第 1 基板 100 と第 2 基板 200 とは、例えば、貫通電極（後述の図 53 の貫通電極 120E, 121E）により電氣的に接続されている。第 2 基板 200 と第 3 基板 300 とは、例えば、コンタクト部 201, 202, 301, 302 を介して電氣的に接続されている。第 2 基板 200 にコンタクト部 201, 202 が設けられ、第 3 基板 300 にコンタクト部 301, 302 が設けられている。第 2 基板 200 のコンタクト部 201 が第 3 基板 300 のコンタクト部 301 に接し、第 2 基板 200 のコンタクト部 202 が第 3 基板 300 のコンタクト部 302 に接している。第 2 基板 200 は、複数のコンタクト部 201 が設けられたコンタクト領域 201R と、複数のコンタクト部 202 が設けられたコンタクト領域 202R とを有している。第 3 基板 300 は、複数のコンタクト部 301 が設けられたコンタクト領域 301R と、複数のコンタクト部 302 が設けられたコンタクト領域 302R とを有している。コンタクト領域 201R, 301R は、積層方向において、画素アレイ部 540 と行駆動部 520 との間に設けられている（図 50）。換言すれば、コンタクト領域 201R, 301R は、例えば、行駆動部 520（第 3 基板 300）と、画素アレイ部 540（第 2 基板 200）とが積層方向に重なる領域、もしくはこの近

傍領域に設けられている。コンタクト領域 201R, 301R は、例えば、このような領域のうち、H 方向の端部に配置されている（図 49）。第 3 基板 300 では、例えば、行駆動部 520 の一部、具体的には行駆動部 520 の H 方向の端部に重なる位置にコンタクト領域 301R が設けられている（図 49, 図 50）。コンタクト部 201, 301 は、例えば、第 3 基板 300 に設けられた行駆動部 520 と、第 2 基板 200 に設けられた行駆動信号線 542 とを接続するものである。コンタクト部 201, 301 は、例えば、第 3 基板 300 に設けられた入力部 510A と電源線 544 および基準電位線（後述の基準電位線 VSS）とを接続していてもよい。コンタクト領域 202R, 302R は、積層方向において、画素アレイ部 540 と列信号処理部 550 との間に設けられている（図 50）。換言すれば、コンタクト領域 202R, 302R は、例えば、列信号処理部 550（第 3 基板 300）と画素アレイ部 540（第 2 基板 200）とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域 202R, 302R は、例えば、このような領域のうち、V 方向の端部に配置されている（図 49）。第 3 基板 300 では、例えば、列信号処理部 550 の一部、具体的には列信号処理部 550 の V 方向の端部に重なる位置にコンタクト領域 301R が設けられている（図 49, 図 50）。コンタクト部 202, 302 は、例えば、画素アレイ部 540 が有する複数の画素共有ユニット 539 各々から出力された画素信号（フォトダイオードでの光電変換の結果発生した電荷の量に対応した信号）を、第 3 基板 300 に設けられた列信号処理部 550 へと接続するためのものである。画素信号は、第 2 基板 200 から第 3 基板 300 に送られるようになっている。

10

20

#### 【0268】

図 50 は、上記のように、撮像装置 1 の断面図の一例である。第 1 基板 100、第 2 基板 200、第 3 基板 300 は、配線層 100T、200T、300T を介して電氣的に接続される。例えば、撮像装置 1 は、第 2 基板 200 と第 3 基板 300 とを電氣的に接続する電氣的接続部を有する。具体的には、導電材料で形成された電極でコンタクト部 201, 202, 301, 302 を形成する。導電材料は、例えば、銅（Cu）、アルミニウム（Al）、金（Au）、などの金属材料で形成される。コンタクト領域 201R、202R、301R、302R は、例えば電極として形成された配線同士を直接接合することで、第 2 基板と第 3 基板とを電氣的に接続し、第 2 基板 200 と第 3 基板 300 との信号の入力及び／又は出力を可能にする。

30

#### 【0269】

第 2 基板 200 と第 3 基板 300 とを電氣的に接続する電氣的接続部は、所望の箇所に設けることができる。例えば、図 50 においてコンタクト領域 201R、202R、301R、302R として述べたように、画素アレイ部 540 と積層方向に重なる領域に設けても良い。また、電氣的接続部を画素アレイ部 540 と積層方向に重ならない領域に設けても良い。具体的には、画素アレイ部 540 の外側に配置された周辺部と、積層方向に重なる領域に設けても良い。

#### 【0270】

第 1 基板 100 および第 2 基板 200 には、例えば、接続孔部 H1, H2 が設けられている。接続孔部 H1, H2 は、第 1 基板 100 および第 2 基板 200 を貫通している（図 50）。接続孔部 H1, H2 は、画素アレイ部 540（または画素アレイ部 540 に重なる部分）の外側に設けられている（図 49）。例えば、接続孔部 H1 は、H 方向において画素アレイ部 540 より外側に配置されており、接続孔部 H2 は、V 方向において画素アレイ部 540 よりも外側に配置されている。例えば、接続孔部 H1 は、第 3 基板 300 に設けられた入力部 510A に達しており、接続孔部 H2 は、第 3 基板 300 に設けられた出力部 510B に達している。接続孔部 H1, H2 は、空洞でもよく、少なくとも一部に導電材料を含んでいても良い。例えば、入力部 510A 及び／又は出力部 510B として形成された電極に、ボンディングワイヤを接続する構成がある。または、入力部 510A 及び／又は出力部 510B として形成された電極と、接続孔部 H1, H2 に設けられた導電材料とを接続する構成がある。接続孔部 H1, H2 に設けられた導電材料は、接続孔部

40

50

H 1 , H 2 の一部または全部に埋め込まれていても良く、導電材料が接続孔部 H 1 , H 2 の側壁に形成されていても良い。

【 0 2 7 1 】

なお、図 5 0 では第 3 基板 3 0 0 に入力部 5 1 0 A、出力部 5 1 0 B を設ける構造としたが、これに限定されない。例えば、配線層 2 0 0 T、3 0 0 T を介して第 3 基板 3 0 0 の信号を第 2 基板 2 0 0 へ送ることで、入力部 5 1 0 A 及び / 又は出力部 5 1 0 B を第 2 基板 2 0 0 に設けることもできる。同様に、配線層 1 0 0 T、2 0 0 T を介して、第 2 基板 2 0 0 の信号を第 1 基板 1 0 0 へ送ることで、入力部 5 1 0 A 及び / 又は出力部 5 1 0 B を第 1 基板 1 0 0 に設けることもできる。

【 0 2 7 2 】

図 5 1 は、画素共有ユニット 5 3 9 の構成の一例を表す等価回路図である。画素共有ユニット 5 3 9 は、複数の画素 5 4 1 ( 図 5 1 では、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D の 4 つの画素 5 4 1 を表す ) と、この複数の画素 5 4 1 に接続された 1 の画素回路 2 1 0 と、画素回路 2 1 0 に接続された垂直信号線 5 4 3 とを含んでいる。画素回路 2 1 0 は、例えば、4 つのトランジスタ、具体的には、増幅トランジスタ A M P、選択トランジスタ S E L、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G を含んでいる。上述のように、画素共有ユニット 5 3 9 は、1 の画素回路 2 1 0 を時分割で動作させることにより、画素共有ユニット 5 3 9 に含まれる 4 つの画素 5 4 1 ( 画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D ) それぞれの画素信号を順次垂直信号線 5 4 3 へ出力するようになっている。複数の画素 5 4 1 に 1 の画素回路 2 1 0 が接続されており、この複数の画素 5 4 1 の画素信号が、1 の画素回路 2 1 0 により時分割で出力される態様を、「複数の画素 5 4 1 が 1 の画素回路 2 1 0 を共有する」という。

【 0 2 7 3 】

画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D は、互いに共通の構成要素を有している。以降、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D の構成要素を互いに区別するために、画素 5 4 1 A の構成要素の符号の末尾には識別番号 1、画素 5 4 1 B の構成要素の符号の末尾には識別番号 2、画素 5 4 1 C の構成要素の符号の末尾には識別番号 3、画素 5 4 1 D の構成要素の符号の末尾には識別番号 4 を付与する。画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D の構成要素を互いに区別する必要のない場合には、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D の構成要素の符号の末尾の識別番号を省略する。

【 0 2 7 4 】

画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D は、例えば、フォトダイオード P D と、フォトダイオード P D と電氣的に接続された転送トランジスタ T R と、転送トランジスタ T R に電氣的に接続されたフローティングディフュージョン F D とを有している。フォトダイオード P D ( P D 1 , P D 2 , P D 3 , P D 4 ) では、カソードが転送トランジスタ T R のソースに電氣的に接続されており、アノードが基準電位線 ( 例えばグラウンド ) に電氣的に接続されている。フォトダイオード P D は、入射した光を光電変換し、その受光量に応じた電荷を発生する。転送トランジスタ T R ( 転送トランジスタ T R 1 , T R 2 , T R 3 , T R 4 ) は、例えば、n 型の C M O S ( Complementary Metal-Oxide-Semiconductor ) トランジスタである。転送トランジスタ T R では、ドレインがフローティングディフュージョン F D に電氣的に接続され、ゲートが駆動信号線に電氣的に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 ( 図 4 8 参照 ) のうちの一部である。転送トランジスタ T R は、フォトダイオード P D で発生した電荷をフローティングディフュージョン F D へと転送する。フローティングディフュージョン F D ( フローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4 ) は、p 型半導体層中に形成された n 型拡散層領域である。フローティングディフュージョン F D は、フォトダイオード P D から転送された電荷を一時的に保持する電荷保持手段であり、かつ、その電荷量に応じた電圧を発生させる、電荷 電圧変換手段である。

【 0 2 7 5 】

1 の画素共有ユニット 5 3 9 に含まれる 4 つのフローティングディフュージョン F D (

10

20

30

40

50

フローティングディフュージョンFD1, FD2, FD3, FD4)は、互いに電氣的に接続されるとともに、増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソースに電氣的に接続されている。FD変換ゲイン切替トランジスタFDGのドレインはリセットトランジスタRSTのソースに接続され、FD変換ゲイン切替トランジスタFDGのゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542のうちの一部である。リセットトランジスタRSTのドレインは電源線VDDに接続され、リセットトランジスタRSTのゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542のうちの一部である。増幅トランジスタAMPのゲートはフローティングディフュージョンFDに接続され、増幅トランジスタAMPのドレインは電源線VDDに接続され、増幅トランジスタAMPのソースは選択トランジスタSELのドレインに接続されている。選択トランジスタSELのソースは垂直信号線543に接続され、選択トランジスタSELのゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542のうちの一部である。

#### 【0276】

転送トランジスタTRは、転送トランジスタTRがオン状態となると、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。転送トランジスタTRのゲート(転送ゲートTG)は、例えば、いわゆる縦型電極を含んでおり、後述の図53に示すように、半導体層(後述の図53の半導体層100S)の表面からPDに達する深さまで延在して設けられている。リセットトランジスタRSTは、フローティングディフュージョンFDの電位を所定の電位にリセットする。リセットトランジスタRSTがオン状態となると、フローティングディフュージョンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、画素回路210からの画素信号の出力タイミングを制御する。増幅トランジスタAMPは、画素信号として、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、選択トランジスタSELを介して垂直信号線543に接続されている。この増幅トランジスタAMPは、列信号処理部550において、垂直信号線543に接続された負荷回路部(図48参照)とともにソースフォロアを構成している。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョンFDの電圧を、垂直信号線543を介して列信号処理部550に出力する。リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELは、例えば、N型のCMOSTランジスタである。

#### 【0277】

FD変換ゲイン切替トランジスタFDGは、フローティングディフュージョンFDでの電荷電圧変換のゲインを変更する際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、フローティングディフュージョンFDの容量(FD容量C)が大きければ、増幅トランジスタAMPで電圧に変換した際のVが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、FD容量Cが大きくなければ、フローティングディフュージョンFDで、フォトダイオードPDの電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際のVが大きくなりすぎないように(言い換えると、小さくなるように)、FD容量Cが大きくなっている必要がある。これらを踏まえると、FD変換ゲイン切替トランジスタFDGをオンにしたときには、FD変換ゲイン切替トランジスタFDG分のゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、FD変換ゲイン切替トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、FD変換ゲイン切替トランジスタFDGをオンオフ切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。FD変換ゲイン切替トランジスタFDGは、例えば、N型のCMOSTランジスタである。

#### 【0278】

10

20

30

40

50

なお、FD変換ゲイン切替トランジスタFDGを設けない構成も可能である。このとき、例えば、画素回路210は、例えば増幅トランジスタAMP、選択トランジスタSELおよびリセットトランジスタRSTの3つのトランジスタで構成される。画素回路210は、例えば、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGなどの画素トランジスタの少なくとも1つを有する。

#### 【0279】

選択トランジスタSELは、電源線VDDと増幅トランジスタAMPとの間に設けられていてもよい。この場合、リセットトランジスタRSTのドレインが電源線VDDおよび選択トランジスタSELのドレインに電氣的に接続されている。選択トランジスタSELのソースが増幅トランジスタAMPのドレインに電氣的に接続されており、選択トランジスタSELのゲートが行駆動信号線542(図48参照)に電氣的に接続されている。増幅トランジスタAMPのソース(画素回路210の出力端)が垂直信号線543に電氣的に接続されており、増幅トランジスタAMPのゲートがリセットトランジスタRSTのソースに電氣的に接続されている。なお、図示は省略するが、1の画素回路210を共有する画素541の数は、4以外であってもよい。例えば、2つまたは8つの画素541が1の画素回路210を共有してもよい。

#### 【0280】

図52は、複数の画素共有ユニット539と、垂直信号線543との接続態様の一例を表したものである。例えば、列方向に並ぶ4つの画素共有ユニット539が4つのグループに分けられており、この4つのグループ各々に垂直信号線543が接続されている。図52には、説明を簡単にするため、4つのグループが各々、1つの画素共有ユニット539を有する例を示したが、4つのグループが各々、複数の画素共有ユニット539を含んでいてもよい。このように、撮像装置1では、列方向に並ぶ複数の画素共有ユニット539が、1つまたは複数の画素共有ユニット539を含むグループに分けられていてもよい。例えば、このグループそれぞれに、垂直信号線543および列信号処理部550が接続されており、それぞれのグループから画素信号を同時に読み出すことができるようになっている。あるいは、撮像装置1では、列方向に並ぶ複数の画素共有ユニット539に1つの垂直信号線543が接続されていてもよい。このとき、1つの垂直信号線543に接続された複数の画素共有ユニット539から、時分割で順次画素信号が読み出されるようになっている。

#### 【0281】

##### [撮像装置1の具体的構成]

図53は、撮像装置1の第1基板100、第2基板200および第3基板300の主面に対して垂直方向の断面構成の一例を表したものである。図53は、構成要素の位置関係を分かりやすくするため、模式的に表したものであり、実際の断面と異なってもよい。撮像装置1では、第1基板100、第2基板200および第3基板300がこの順に積層されている。撮像装置1は、さらに、第1基板100の裏面側(光入射面側)に受光レンズ401を有している。受光レンズ401と第1基板100との間に、カラーフィルタ層(図示せず)が設けられていてもよい。受光レンズ401は、例えば、画素541A, 541B, 541C, 541D各々に設けられている。撮像装置1は、例えば、裏面照射型の撮像装置である。撮像装置1は、中央部に配置された画素アレイ部540と、画素アレイ部540の外側に配置された周辺部540Bとを有している。

#### 【0282】

第1基板100は、受光レンズ401側から順に、絶縁膜111、固定電荷膜112、半導体層100Sおよび配線層100Tを有している。半導体層100Sは、例えばシリコン基板により構成されている。半導体層100Sは、例えば、表面(配線層100T側の面)の一部およびその近傍に、pウェル層115を有しており、それ以外の領域(pウェル層115よりも深い領域)に、n型半導体領域114を有している。例えば、このn型半導体領域114およびpウェル層115によりpn接合型のフォトダイオードPDが

構成されている。p ウェル層 115 は、p 型半導体領域である。

【0283】

図54Aは、第1基板100の平面構成の一例を表したものである。図54Aは、主に、第1基板100の画素分離部117、フォトダイオードPD、フローティングディフュージョンFD、VSSコンタクト領域118および転送トランジスタTRの平面構成を表している。図53とともに、図54Aを用いて第1基板100の構成について説明する。

【0284】

半導体層100Sの表面近傍には、フローティングディフュージョンFDおよびVSSコンタクト領域118が設けられている。フローティングディフュージョンFDは、pウェル層115内に設けられたn型半導体領域により構成されている。画素541A、541B、541C、541D各々のフローティングディフュージョンFD（フローティングディフュージョンFD1、FD2、FD3、FD4）は、例えば、画素共有ユニット539の中央部に互いに近接して設けられている（図54A）。詳細は後述するが、この画素共有ユニット539に含まれる4つのフローティングディフュージョン（フローティングディフュージョンFD1、FD2、FD3、FD4）は、第1基板100内（より具体的には配線層100Tの内）で、電氣的接続手段（後述のパッド部120）を介して互いに電氣的に接続されている。更に、フローティングディフュージョンFDは、第1基板100から第2基板200へ（より具体的には、配線層100Tから配線層200Tへ）と電氣的手段（後述の貫通電極120E）を介して接続されている。第2基板200（より具体的には配線層200Tの内部）では、この電氣的手段により、フローティングディフュージョンFDが、増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソースに電氣的に接続されている。

【0285】

VSSコンタクト領域118は、基準電位線VSSに電氣的に接続される領域であり、フローティングディフュージョンFDと離間して配置されている。例えば、画素541A、541B、541C、541Dでは、各画素のV方向の一端にフローティングディフュージョンFDが配置され、他端にVSSコンタクト領域118が配置されている（図54A）。VSSコンタクト領域118は、例えば、p型半導体領域により構成されている。VSSコンタクト領域118は、例えば接地電位や固定電位に接続されている。これにより、半導体層100Sに基準電位が供給される。

【0286】

第1基板100には、フォトダイオードPD、フローティングディフュージョンFDおよびVSSコンタクト領域118とともに、転送トランジスタTRが設けられている。このフォトダイオードPD、フローティングディフュージョンFD、VSSコンタクト領域118および転送トランジスタTRは、画素541A、541B、541C、541D各々に設けられている。転送トランジスタTRは、半導体層100Sの表面側（光入射面側とは反対側、第2基板200側）に設けられている。転送トランジスタTRは、転送ゲートTGを有している。転送ゲートTGは、例えば、半導体層100Sの表面に対向する水平部分TGbと、半導体層100S内に設けられた垂直部分Tgaとを含んでいる。垂直部分Tgaは、半導体層100Sの厚み方向に延在している。垂直部分Tgaの一端は水平部分TGbに接し、他端はn型半導体領域114内に設けられている。転送トランジスタTRを、このような縦型トランジスタにより構成することにより、画素信号の転送不良が生じにくくなり、画素信号の読み出し効率を向上させることができる。

【0287】

転送ゲートTGの水平部分TGbは、垂直部分Tgaに対向する位置から例えば、H方向において画素共有ユニット539の中央部に向かって延在している（図54A）。これにより、転送ゲートTGに達する貫通電極（後述の貫通電極TG V）のH方向の位置を、フローティングディフュージョンFD、VSSコンタクト領域118に接続される貫通電極（後述の貫通電極120E、121E）のH方向の位置に近づけることができる。例えば、第1基板100に設けられた複数の画素共有ユニット539は、互いに同じ構成を有

している（図５４Ａ）。

【０２８８】

半導体層１００Ｓには、画素５４１Ａ，５４１Ｂ，５４１Ｃ，５４１Ｄを互いに分離する画素分離部１１７が設けられている。画素分離部１１７は、半導体層１００Ｓの法線方向（半導体層１００Ｓの表面に対して垂直な方向）に延在して形成されている。画素分離部１１７は、画素５４１Ａ，５４１Ｂ，５４１Ｃ，５４１Ｄを互いに仕切るように設けられており、例えば格子状の平面形状を有している（図５４Ａ，図５４Ｂ）。画素分離部１１７は、例えば、画素５４１Ａ，５４１Ｂ，５４１Ｃ，５４１Ｄを互いに電気的および光学的に分離する。画素分離部１１７は、例えば、遮光膜１１７Ａおよび絶縁膜１１７Ｂを含んでいる。遮光膜１１７Ａには、例えば、タングステン（Ｗ）等が用いられる。絶縁膜１１７Ｂは、遮光膜１１７Ａとｐウェル層１１５またはｎ型半導体領域１１４との間に設けられている。絶縁膜１１７Ｂは、例えば、酸化シリコン（ＳｉＯ）によって構成されている。画素分離部１１７は、例えば、ＦＴＩ（Full Trench Isolation）構造を有しており、半導体層１００Ｓを貫通している。図示しないが、画素分離部１１７は半導体層１００Ｓを貫通するＦＴＩ構造に限定されない。例えば、半導体層１００Ｓを貫通しないＤＴＩ（Deep Trench Isolation）構造であっても良い。画素分離部１１７は、半導体層１００Ｓの法線方向に延在して、半導体層１００Ｓの一部の領域に形成される。

10

【０２８９】

半導体層１００Ｓには、例えば、第１ピニング領域１１３および第２ピニング領域１１６が設けられている。第１ピニング領域１１３は、半導体層１００Ｓの裏面近傍に設けられており、ｎ型半導体領域１１４と固定電荷膜１１２との間に配置されている。第２ピニング領域１１６は、画素分離部１１７の側面、具体的には、画素分離部１１７とｐウェル層１１５またはｎ型半導体領域１１４との間に設けられている。第１ピニング領域１１３および第２ピニング領域１１６は、例えば、ｐ型半導体領域により構成されている。

20

【０２９０】

半導体層１００Ｓと絶縁膜１１１との間には、負の固定電荷を有する固定電荷膜１１２が設けられている。固定電荷膜１１２が誘起する電界により、半導体層１００Ｓの受光面（裏面）側の界面に、ホール蓄積層の第１ピニング領域１１３が形成される。これにより、半導体層１００Ｓの受光面側の界面準位に起因した暗電流の発生が抑えられる。固定電荷膜１１２は、例えば、負の固定電荷を有する絶縁膜によって形成されている。この負の固定電荷を有する絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。

30

【０２９１】

固定電荷膜１１２と絶縁膜１１１の間には、遮光膜１１７Ａが設けられている。この遮光膜１１７Ａは、画素分離部１１７を構成する遮光膜１１７Ａと連続して設けられていてもよい。この固定電荷膜１１２と絶縁膜１１１との間の遮光膜１１７Ａは、例えば、半導体層１００Ｓ内の画素分離部１１７に対向する位置に選択的に設けられている。絶縁膜１１１は、この遮光膜１１７Ａを覆うように設けられている。絶縁膜１１１は、例えば、酸化シリコンにより構成されている。

【０２９２】

半導体層１００Ｓと第２基板２００との間に設けられた配線層１００Ｔは、半導体層１００Ｓ側から、層間絶縁膜１１９、パッド部１２０，１２１、パッシベーション膜１２２、層間絶縁膜１２３および接合膜１２４をこの順に有している。転送ゲートＴＧの水平部分ＴＧｂは、例えば、この配線層１００Ｔに設けられている。層間絶縁膜１１９は、半導体層１００Ｓの表面全面にわたって設けられており、半導体層１００Ｓに接している。層間絶縁膜１１９は、例えば酸化シリコン膜により構成されている。なお、配線層１００Ｔの構成は上述の限りでなく、配線と絶縁膜とを有する構成であれば良い。

40

【０２９３】

図５４Ｂは、図５４Ａに示した平面構成とともに、パッド部１２０，１２１の構成を表している。パッド部１２０，１２１は、層間絶縁膜１１９上の選択的な領域に設けられて

50

いる。パッド部 1 2 0 は、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D 各々のフローティングディフュージョン F D ( フローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4 ) を互いに接続するためのものである。パッド部 1 2 0 は、例えば、画素共有ユニット 5 3 9 毎に、平面視で画素共有ユニット 5 3 9 の中央部に配置されている ( 図 5 4 B ) 。このパッド部 1 2 0 は、画素分離部 1 1 7 を跨ぐように設けられており、フローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4 各々の少なくとも一部に重畳して配置されている ( 図 5 3 , 図 5 4 B ) 。具体的には、パッド部 1 2 0 は、画素回路 2 1 0 を共有する複数のフローティングディフュージョン F D ( フローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4 ) 各々の少なくとも一部と、その画素回路 2 1 0 を共有する複数のフォトダイオード P D ( フォトダイオード P D 1 , P D 2 , P D 3 , P D 4 ) の間に形成された画素分離部 1 1 7 の少なくとも一部とに対して、半導体層 1 0 0 S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 1 1 9 には、パッド部 1 2 0 とフローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4 とを電氣的に接続するための接続ビア 1 2 0 C が設けられている。接続ビア 1 2 0 C は、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D 各々に設けられている。例えば、接続ビア 1 2 0 C にパッド部 1 2 0 の一部が埋め込まれることにより、パッド部 1 2 0 とフローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4 とが電氣的に接続されている。

10

#### 【 0 2 9 4 】

パッド部 1 2 1 は、複数の V S S コンタクト領域 1 1 8 を互いに接続するためのものである。例えば、V 方向に隣り合う一方の画素共有ユニット 5 3 9 の画素 5 4 1 C , 5 4 1 D に設けられた V S S コンタクト領域 1 1 8 と、他方の画素共有ユニット 5 3 9 の画素 5 4 1 A , 5 4 1 B に設けられた V S S コンタクト領域 1 1 8 とがパッド部 1 2 1 により電氣的に接続されている。パッド部 1 2 1 は、例えば、画素分離部 1 1 7 を跨ぐように設けられており、これら 4 つの V S S コンタクト領域 1 1 8 各々の少なくとも一部に重畳して配置されている。具体的には、パッド部 1 2 1 は、複数の V S S コンタクト領域 1 1 8 各々の少なくとも一部と、その複数の V S S コンタクト領域 1 1 8 の間に形成された画素分離部 1 1 7 の少なくとも一部とに対して、半導体層 1 0 0 S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 1 1 9 には、パッド部 1 2 1 と V S S コンタクト領域 1 1 8 とを電氣的に接続するための接続ビア 1 2 1 C が設けられている。接続ビア 1 2 1 C は、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D 各々に設けられている。例えば、接続ビア 1 2 1 C にパッド部 1 2 1 の一部が埋め込まれることにより、パッド部 1 2 1 と V S S コンタクト領域 1 1 8 とが電氣的に接続されている。例えば、V 方向に並ぶ複数の画素共有ユニット 5 3 9 各々のパッド部 1 2 0 およびパッド部 1 2 1 は、H 方向において略同じ位置に配置されている ( 図 5 4 B ) 。

20

30

#### 【 0 2 9 5 】

パッド部 1 2 0 を設けることで、チップ全体において、各フローティングディフュージョン F D から画素回路 2 1 0 ( 例えば増幅トランジスタ A M P のゲート電極 ) へ接続するための配線を減らすことができる。同様に、パッド部 1 2 1 を設けることで、チップ全体において、各 V S S コンタクト領域 1 1 8 への電位を供給する配線を減らすことができる。これにより、チップ全体の面積の縮小、微細化された画素における配線間の電氣的干渉の抑制、及び / 又は部品点数の削減によるコスト削減などが可能になる。

40

#### 【 0 2 9 6 】

パッド部 1 2 0 、 1 2 1 は、第 1 基板 1 0 0 、第 2 基板 2 0 0 の所望の位置に設けることができる。具体的には、パッド部 1 2 0 、 1 2 1 を配線層 1 0 0 T 、半導体層 2 0 0 S の絶縁領域 2 1 2 のいずれかに設けることができる。配線層 1 0 0 T に設ける場合には、パッド部 1 2 0 、 1 2 1 を半導体層 1 0 0 S に直接接触させても良い。具体的には、パッド部 1 2 0 、 1 2 1 が、フローティングディフュージョン F D 及び / 又は V S S コンタクト領域 1 1 8 の各々の少なくとも一部と直接接続される構成でも良い。また、パッド部 1 2 0 、 1 2 1 に接続するフローティングディフュージョン F D 及び / 又は V S S コンタクト領域 1 1 8 の各々から接続ビア 1 2 0 C , 1 2 1 C を設け、配線層 1 0 0 T 、半導体層

50

200Sの絶縁領域212の所望の位置にパッド部120、121を設ける構成でも良い。  
【0297】

特に、パッド部120、121を配線層100Tに設ける場合には、半導体層200Sの絶縁領域212におけるフローティングディフュージョンFD及びノ又はVSSコンタクト領域118に接続される配線を減らすことができる。これにより、画素回路210を形成する第2基板200のうち、フローティングディフュージョンFDから画素回路210に接続するための貫通配線を形成するための絶縁領域212の面積を削減することができる。よって、画素回路210を形成する第2基板200の面積を大きく確保することができる。画素回路210の面積を確保することで、画素トランジスタを大きく形成することができ、ノイズ低減などによる画質向上に寄与することができる。

10

【0298】

特に、画素分離部117にFTI構造を用いた場合、フローティングディフュージョンFD及びノ又はVSSコンタクト領域118は、各画素541に設けることが好ましいため、パッド部120、121の構成を用いることで、第1基板100と第2基板200とを接続する配線を大幅に削減することができる。

【0299】

また、図54Bのように、例えば複数のフローティングディフュージョンFDが接続されるパッド部120と、複数のVSSコンタクト領域118が接続されるパッド部121とは、V方向において直線状に交互に配置される。また、パッド部120、121は、複数のフォトダイオードPDや、複数の転送ゲートTGや、複数のフローティングディフュージョンFDに囲まれる位置に形成される。これにより、複数の素子を形成する第1基板100において、フローティングディフュージョンFDとVSSコンタクト領域118以外の素子を自由に配置することができ、チップ全体のレイアウトの効率化を図ることができる。また、各画素共有ユニット539に形成される素子のレイアウトにおける対称性が確保され、各画素541の特性のばらつきを抑えることができる。

20

【0300】

パッド部120、121は、例えば、ポリシリコン(Poly Si)、より具体的には、不純物が添加されたドーパドポリシリコンにより構成されている。パッド部120、121はポリシリコン、タングステン(W)、チタン(Ti)および窒化チタン(TiN)等の耐熱性の高い導電性材料により構成されていることが好ましい。これにより、第1基板100に第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成することが可能となる。以下、この理由について説明する。なお、以下の説明において、第1基板100と第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成する方法を、第1の製造方法と呼ぶ。

30

【0301】

ここで、第2基板200に画素回路210を形成した後に、これを第1基板100に貼り合わせることも考え得る(以下第2の製造方法という)。この第2の製造方法では、第1基板100の表面(配線層100Tの表面)および第2基板200の表面(配線層200Tの表面)それぞれに、電気的接続用の電極を予め形成しておく。第1基板100と第2基板200を貼り合わせると、これと同時に、第1基板100の表面と第2基板200の表面のそれぞれに形成された電気的接続用の電極同士が接触する。これにより、第1基板100に含まれる配線と第2基板200に含まれる配線との間で電気的接続が形成される。よって、第2の製造方法を用いた撮像装置1の構成とすることで、例えば第1基板100と第2基板200の各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。

40

【0302】

このような第2の製造方法では、第1基板100と第2基板200とを貼り合わせる際に、貼り合せ用の製造装置に起因して、位置合わせの誤差が生じることがある。また、第1基板100および第2基板200は、例えば、直径数十cm程度の大きさを有するが、第1基板100と第2基板200とを貼り合わせる際に、この第1基板100、第2基板

50

200 各部の微視的領域で、基板の伸び縮みが発生するおそれがある。この基板の伸び縮みは、基板同士が接触するタイミングが多少ずれることに起因する。このような第1基板100および第2基板200の伸び縮みに起因して、第1基板100の表面および第2基板200の表面それぞれに形成された電氣的接続用の電極の位置に、誤差が生じることがある。第2の製造方法では、このような誤差が生じてても、第1基板100および第2基板200それぞれの電極同士が接触するように対処しておくことが好ましい。具体的には、第1基板100および第2基板200の電極の少なくとも一方、好ましくは両方を、上記誤差を考慮して大きくしておく。このため、第2の製造方法を用いると、例えば、第1基板100または第2基板200の表面に形成された電極の大きさ（基板平面方向の大きさ）が、第1基板100または第2基板200の内部から表面に厚み方向へ延在する内部電極の大きさよりも大きくなる。

10

#### 【0303】

一方、パッド部120, 121を耐熱性の導電材料により構成することで、上記第1の製造方法を用いることが可能となる。第1の製造方法では、フォトダイオードPDおよび転送トランジスタTRなどを含む第1基板100を形成した後、この第1基板100と第2基板200（半導体層2000S）とを貼り合わせる。このとき、第2基板200は、画素回路210を構成する能動素子および配線層などのパターンは未形成の状態である。第2基板200はパターンを形成する前の状態であるため、仮に、第1基板100と第2基板200を貼り合わせる際、その貼り合せ位置に誤差が生じたとしても、この貼り合せ誤差によって、第1基板100のパターンと第2基板200のパターンとの間の位置合わせに誤差が生じることはない。なぜならば、第2基板200のパターンは、第1基板100と第2基板200を貼り合わせた後に、形成するからである。なお、第2基板にパターンを形成する際には、例えば、パターン形成のための露光装置において、第1基板に形成されたパターンを位置合わせの対象としながらパターン形成する。上記理由により、第1基板100と第2基板200との貼り合せ位置の誤差は、第1の製造方法においては、撮像装置1を製造する上で問題とならない。同様の理由で、第2の製造方法で生じる基板の伸び縮みに起因した誤差も、第1の製造方法においては、撮像装置1を製造する上で問題とならない。

20

#### 【0304】

第1の製造方法では、このようにして第1基板100と第2基板200（半導体層2000S）とを貼り付けた後、第2基板200上に能動素子を形成する。この後、貫通電極120E, 121Eおよび貫通電極TGV（図53）を形成する。この貫通電極120E, 121E, TGVの形成では、例えば、第2基板200の上方から、露光装置による縮小投影露光を用いて貫通電極のパターンを形成する。縮小露光投影を用いるため、仮に、第2基板200と露光装置との位置合わせに誤差が生じてても、その誤差の大きさは、第2基板200においては、上記第2の製造方法の誤差の数分の一（縮小露光投影倍率の逆数）にしかない。よって、第1の製造方法を用いた撮像装置1の構成とすることで、第1基板100と第2基板200の各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。

30

#### 【0305】

このような第1の製造方法を用いて製造された撮像装置1は、第2の製造方法で製造された撮像装置と異なる特徴を有する。具体的には、第1の製造方法により製造された撮像装置1では、例えば、貫通電極120E, 121E, TGVが、第2基板200から第1基板100に至るまで、略一定の太さ（基板平面方向の大きさ）となっている。あるいは、貫通電極120E, 121E, TGVがテーパ形状を有するときには、一定の傾きのテーパ形状を有している。このような貫通電極120E, 121E, TGVを有する撮像装置1は、画素541を微細化しやすい。

40

#### 【0306】

ここで、第1の製造方法により撮像装置1を製造すると、第1基板100と第2基板200（半導体層2000S）とを貼り付けた後に、第2基板200に能動素子を形成する

50

ので、第1基板100にも、能動素子の形成の際に必要な加熱処理の影響が及ぶことになる。このため、上記のように、第1基板100に設けられたパッド部120, 121には、耐熱性の高い導電材料を用いることが好ましい。例えば、パッド部120, 121には、第2基板200の配線層200Tに含まれる配線材の少なくとも一部よりも、融点の高い(すなわち耐熱性の高い)材料を用いていることが好ましい。例えば、パッド部120, 121にドーフトポリシリコン、タングステン、チタンあるいは窒化チタン等の耐熱性の高い導電材を用いる。これにより、上記第1の製造方法を用いて撮像装置1を製造することが可能となる。

#### 【0307】

パッシベーション膜122は、例えば、パッド部120, 121を覆うように、半導体層100Sの表面全面にわたって設けられている(図53)。パッシベーション膜122は、例えば、窒化シリコン(SiN)膜により構成されている。層間絶縁膜123は、パッシベーション膜122を間にしてパッド部120, 121を覆っている。この層間絶縁膜123は、例えば、半導体層100Sの表面全面にわたって設けられている。層間絶縁膜123は、例えば酸化シリコン(SiO<sub>2</sub>)膜により構成されている。接合膜124は、第1基板100(具体的には配線層100T)と第2基板200との接合面に設けられている。即ち、接合膜124は、第2基板200に接している。この接合膜124は、第1基板100の主面全面にわたって設けられている。接合膜124は、例えば、窒化シリコン膜により構成されている。

#### 【0308】

受光レンズ401は、例えば、固定電荷膜112および絶縁膜111を間にして半導体層100Sに対向している(図53)。受光レンズ401は、例えば画素541A, 541B, 541C, 541D各々のフォトダイオードPDに対向する位置に設けられている。

#### 【0309】

第2基板200は、第1基板100側から、半導体層200Sおよび配線層200Tをこの順に有している。半導体層200Sは、シリコン基板で構成されている。半導体層200Sでは、厚み方向にわたって、ウェル領域211が設けられている。ウェル領域211は、例えば、p型半導体領域である。第2基板200には、画素共有ユニット539毎に配置された画素回路210が設けられている。この画素回路210は、例えば、半導体層200Sの表面側(配線層200T側)に設けられている。撮像装置1では、第1基板100の表面側(配線層100T側)に第2基板200の裏面側(半導体層200S側)が向かうようにして、第2基板200が第1基板100に貼り合わされている。つまり、第2基板200は、第1基板100に、フェイストゥーバックで貼り合わされている。

#### 【0310】

図55~図59は、第2基板200の平面構成の一例を模式的に表している。図55には、半導体層200Sの表面近傍に設けられた画素回路210の構成を表す。図56は、配線層200T(具体的には後述の第1配線層W1)と、配線層200Tに接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表している。図57~図59は、配線層200Tの平面構成の一例を表している。以下、図53とともに、図55~図59を用いて第2基板200の構成について説明する。図55および図56ではフォトダイオードPDの外形(画素分離部117とフォトダイオードPDとの境界)を破線で表し、画素回路210を構成する各トランジスタのゲート電極に重なる部分の半導体層200Sと素子分離領域213または絶縁領域212との境界を点線で表す。増幅トランジスタAMPのゲート電極に重なる部分では、チャネル幅方向の一方に、半導体層200Sと素子分離領域213との境界、および素子分離領域213と絶縁領域212との境界が設けられている。

#### 【0311】

第2基板200には、半導体層200Sを分断する絶縁領域212と、半導体層200Sの厚み方向の一部に設けられた素子分離領域213とが設けられている(図53)。例えば、H方向に隣り合う2つの画素回路210の間に設けられた絶縁領域212に、この2

つの画素回路 2 1 0 に接続された 2 つの画素共有ユニット 5 3 9 の貫通電極 1 2 0 E , 1 2 1 E および貫通電極 T G V ( 貫通電極 T G V 1 , T G V 2 , T G V 3 , T G V 4 ) が配置されている ( 図 5 6 ) 。

#### 【 0 3 1 2 】

絶縁領域 2 1 2 は、半導体層 2 0 0 S の厚みと略同じ厚みを有している ( 図 5 3 ) 。半導体層 2 0 0 S は、この絶縁領域 2 1 2 により分断されている。この絶縁領域 2 1 2 に、貫通電極 1 2 0 E , 1 2 1 E および貫通電極 T G V が配置されている。絶縁領域 2 1 2 は、例えば酸化シリコンにより構成されている。

#### 【 0 3 1 3 】

貫通電極 1 2 0 E , 1 2 1 E は、絶縁領域 2 1 2 を厚み方向に貫通して設けられている。貫通電極 1 2 0 E , 1 2 1 E の上端は、配線層 2 0 0 T の配線 ( 後述の第 1 配線層 W 1 , 第 2 配線層 W 2 , 第 3 配線層 W 3 , 第 4 配線層 W 4 ) に接続されている。この貫通電極 1 2 0 E , 1 2 1 E は、絶縁領域 2 1 2 、接合膜 1 2 4 、層間絶縁膜 1 2 3 およびパッシベーション膜 1 2 2 を貫通して設けられ、その下端はパッド部 1 2 0 , 1 2 1 に接続されている ( 図 5 3 ) 。貫通電極 1 2 0 E は、パッド部 1 2 0 と画素回路 2 1 0 とを電氣的に接続するためのものである。即ち、貫通電極 1 2 0 E により、第 1 基板 1 0 0 のフローティングディフュージョン F D が第 2 基板 2 0 0 の画素回路 2 1 0 に電氣的に接続される。貫通電極 1 2 1 E は、パッド部 1 2 1 と配線層 2 0 0 T の基準電位線 V S S とを電氣的に接続するためのものである。即ち、貫通電極 1 2 1 E により、第 1 基板 1 0 0 の V S S コンタクト領域 1 1 8 が第 2 基板 2 0 0 の基準電位線 V S S に電氣的に接続される。

#### 【 0 3 1 4 】

貫通電極 T G V は、絶縁領域 2 1 2 を厚み方向に貫通して設けられている。貫通電極 T G V の上端は、配線層 2 0 0 T の配線に接続されている。この貫通電極 T G V は、絶縁領域 2 1 2 、接合膜 1 2 4 、層間絶縁膜 1 2 3 、パッシベーション膜 1 2 2 および層間絶縁膜 1 1 9 を貫通して設けられ、その下端は転送ゲート T G に接続されている ( 図 5 3 ) 。このような貫通電極 T G V は、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D 各々の転送ゲート T G ( 転送ゲート T G 1 , T G 2 , T G 3 , T G 4 ) と、配線層 2 0 0 T の配線 ( 行駆動信号線 5 4 2 の一部、具体的には、後述の図 5 8 の配線 T R G 1 , T R G 2 , T R G 3 , T R G 4 ) とを電氣的に接続するためのものである。即ち、貫通電極 T G V により、第 1 基板 1 0 0 の転送ゲート T G が第 2 基板 2 0 0 の配線 T R G に電氣的に接続され、転送トランジスタ T R ( 転送トランジスタ T R 1 , T R 2 , T R 3 , T R 4 ) 各々に駆動信号が送られるようになっている。

#### 【 0 3 1 5 】

絶縁領域 2 1 2 は、第 1 基板 1 0 0 と第 2 基板 2 0 0 とを電氣的に接続するための前記貫通電極 1 2 0 E , 1 2 1 E および貫通電極 T G V を、半導体層 2 0 0 S と絶縁して設けるための領域である。例えば、H 方向に隣り合う 2 つの画素回路 2 1 0 ( 画素共有ユニット 5 3 9 ) の間に設けられた絶縁領域 2 1 2 に、この 2 つの画素回路 2 1 0 に接続された貫通電極 1 2 0 E , 1 2 1 E および貫通電極 T G V ( 貫通電極 T G V 1 , T G V 2 , T G V 3 , T G V 4 ) が配置されている。絶縁領域 2 1 2 は、例えば、V 方向に延在して設けられている ( 図 5 5 , 図 5 6 ) 。ここでは、転送ゲート T G の水平部分 T G b の配置を工夫することにより、垂直部分 T G a の位置に比べて、貫通電極 T G V の H 方向の位置が貫通電極 1 2 0 E , 1 2 1 E の H 方向の位置に近づくように配置されている ( 図 5 4 A , 図 5 6 ) 。例えば、貫通電極 T G V は、H 方向において、貫通電極 1 2 0 E , 1 2 0 E と略同じ位置に配置されている。これにより、V 方向に延在する絶縁領域 2 1 2 に、貫通電極 1 2 0 E , 1 2 1 E および貫通電極 T G V をまとめて設けることができる。別の配置例として、垂直部分 T G a に重畳する領域のみに水平部分 T G b を設けることも考え得る。この場合には、垂直部分 T G a の略直上に貫通電極 T G V が形成され、例えば、各画素 5 4 1 の H 方向および V 方向の略中央部に貫通電極 T G V が配置される。このとき、貫通電極 T G V の H 方向の位置と貫通電極 1 2 0 E , 1 2 1 E の H 方向の位置とが大きくずれる。貫通電極 T G V および貫通電極 1 2 0 E , 1 2 1 E の周囲には、近接する半導体層 2 0 0

Sから電氣的に絶縁するため、例えば、絶縁領域212を設ける。貫通電極TGVのH方向の位置と貫通電極120E, 121EのH方向の位置とが大きく離れる場合には、貫通電極120E, 121E, TGV各々の周囲に絶縁領域212を独立して設けることが必要となる。これにより、半導体層200Sが細かく分断されることになる。これに比べ、V方向に延在する絶縁領域212に、貫通電極120E, 121Eおよび貫通電極TGVをまとめて配置するレイアウトは、半導体層200SのH方向の大きさを大きくすることができる。よって、半導体層200Sにおける半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

#### 【0316】

画素共有ユニット539は、図51を参照して説明したように、複数の画素541のそれぞれに設けられたフローティングディフュージョンFDの間を電氣的に接続し、これら複数の画素541が1つの画素回路210を共有する構造を有している。そして、前記フローティングディフュージョンFD間の電氣的接続は、第1基板100に設けられたパッド部120によってなされている(図53、図54B)。第1基板100に設けられた電氣的接続部(パッド部120)と第2基板200に設けられた画素回路210は、1つの貫通電極120Eを介して電氣的に接続されている。別の構造例として、フローティングディフュージョンFD間の電氣的接続部を第2基板200に設けることも考え得る。この場合、画素共有ユニット539には、フローティングディフュージョンFD1, FD2, FD3, FD4各々に接続される4つの貫通電極が設けられる。したがって、第2基板200において、半導体層200Sを貫通する貫通電極の数が増え、これら貫通電極の周囲を絶縁する絶縁領域212が大きくなる。これに比べ、第1基板100にパッド部120を設ける構造(図53, 図54B)は、貫通電極の数を減らし、絶縁領域212を小さくすることができる。よって、半導体層200Sにおける半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

#### 【0317】

素子分離領域213は、半導体層200Sの表面側に設けられている。素子分離領域213は、STI(Shallow Trench Isolation)構造を有している。この素子分離領域213では、半導体層200Sが厚み方向(第2基板200の主面に対して垂直方向)に掘り込まれており、この掘り込みに絶縁膜が埋め込まれている。この絶縁膜は、例えば、酸化シリコンにより構成されている。素子分離領域213は、画素回路210を構成する複数のトランジスタ間を、画素回路210のレイアウトに応じて素子分離するものである。素子分離領域213の下方(半導体層200Sの深部)には、半導体層200S(具体的には、ウェル領域211)が延在している。

#### 【0318】

ここで、図54A, 図54Bおよび図55を参照して、第1基板100での画素共有ユニット539の外形形状(基板平面方向の外形形状)と、第2基板200での画素共有ユニット539の外形形状との違いを説明する。

#### 【0319】

撮像装置1では、第1基板100および第2基板200の両方にわたり、画素共有ユニット539が設けられている。例えば、第1基板100に設けられた画素共有ユニット539の外形形状と、第2基板200に設けられた画素共有ユニット539の外形形状とは互いに異なっている。

#### 【0320】

図54A, 図54Bでは、画素541A, 541B, 541C, 541Dの外形線を一点鎖線で表し、画素共有ユニット539の外形形状を太線で表している。例えば、第1基板100の画素共有ユニット539は、H方向に隣接して配置された2つの画素541(画素541A, 541B)と、これにV方向に隣接して配置された2つの画素541(画素541C, 541D)により構成されている。即ち、第1基板100の画素共有ユニッ

10

20

30

40

50

ト 5 3 9 は、隣接する 2 行 × 2 列の 4 つの画素 5 4 1 により構成されており、第 1 基板 1 0 0 の画素共有ユニット 5 3 9 は、略正方形の外形形状を有している。画素アレイ部 5 4 0 では、このような画素共有ユニット 5 3 9 が、H 方向へ 2 画素ピッチ（画素 5 4 1 の 2 個分に相当するピッチ）、かつ、V 方向へ 2 画素ピッチ（画素 5 4 1 の 2 個分に相当するピッチ）、で隣接して配列されている。

#### 【 0 3 2 1 】

図 5 5 および図 5 6 では、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D の外形線を一点鎖線で表し、画素共有ユニット 5 3 9 の外形形状を太線で表している。例えば、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の外形形状は、H 方向において第 1 基板 1 0 0 の画素共有ユニット 5 3 9 よりも小さく、V 方向において第 1 基板 1 0 0 の画素共有ユニット 5 3 9 よりも大きくなっている。例えば、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 は、H 方向には画素 1 個分に相当する大きさ（領域）で形成され、V 方向には、画素 4 個分に相当する大きさで形成されている。即ち、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 は、隣接する 1 行 × 4 列に配列された画素に相当する大きさで形成されており、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 は、略長方形の外形形状を有している。

#### 【 0 3 2 2 】

例えば、各画素回路 2 1 0 では、選択トランジスタ S E L、増幅トランジスタ A M P、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G がこの順に V 方向に並んで配置されている（図 5 5）。各画素回路 2 1 0 の外形形状を、上記のように、略長形状に設けることにより、一方向（図 5 5 では V 方向）に 4 つのトランジスタ（選択トランジスタ S E L、増幅トランジスタ A M P、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G）を並べて配置することができる。これにより、増幅トランジスタ A M P のドレインと、リセットトランジスタ R S T のドレインとを一の拡散領域（電源線 V D D に接続される拡散領域）で共有することができる。例えば、各画素回路 2 1 0 の形成領域を略正形状に設けることも可能である（後述の図 6 8 参照）。この場合には、一方向に沿って 2 つのトランジスタが配置され、増幅トランジスタ A M P のドレインと、リセットトランジスタ R S T のドレインとを一の拡散領域で共有することが困難となる。よって、画素回路 2 1 0 の形成領域を略長形状に設けることにより、4 つのトランジスタを近接して配置しやすくなり、画素回路 2 1 0 の形成領域を小さくすることができる。即ち、画素の微細化を行うことができる。また、画素回路 2 1 0 の形成領域を小さくすることが不要であるときには、増幅トランジスタ A M P の形成領域を大きくし、ノイズを抑えることが可能となる。

#### 【 0 3 2 3 】

例えば、半導体層 2 0 0 S の表面近傍には、選択トランジスタ S E L、増幅トランジスタ A M P、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G に加えて、基準電位線 V S S に接続される V S S コンタクト領域 2 1 8 が設けられている。V S S コンタクト領域 2 1 8 は、例えば、p 型半導体領域により構成されている。V S S コンタクト領域 2 1 8 は、配線層 2 0 0 T の配線および貫通電極 1 2 1 E を介して第 1 基板 1 0 0（半導体層 1 0 0 S）の V S S コンタクト領域 1 1 8 に電氣的に接続されている。この V S S コンタクト領域 2 1 8 は、例えば、素子分離領域 2 1 3 を間にして、F D 変換ゲイン切替トランジスタ F D G のソースと隣り合う位置に設けられている（図 5 5）。

#### 【 0 3 2 4 】

次に、図 5 4 B および図 5 5 を参照して、第 1 基板 1 0 0 に設けられた画素共有ユニット 5 3 9 と第 2 基板 2 0 0 に設けられた画素共有ユニット 5 3 9 との位置関係を説明する。例えば、第 1 基板 1 0 0 の V 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうち、一方（例えば図 5 4 B の紙面上側）の画素共有ユニット 5 3 9 は、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうちの方（例えば、図 5 5 の紙面左側）の画素共有ユニット 5 3 9 に接続されている。例えば、第 1 基板 1 0 0 の V 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうち、他方（例えば図 5 4 B の紙面下側）の画素共有ユニット 5 3 9 は、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうちの方（例えば

、図 5 5 の紙面右側 ) の画素共有ユニット 5 3 9 に接続されている。

【 0 3 2 5 】

例えば、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 では、一方の画素共有ユニット 5 3 9 の内部レイアウト ( トランジスタ等の配置 ) が、他方の画素共有ユニット 5 3 9 の内部レイアウトを V 方向および H 方向に反転させたレイアウトに略等しくなっている。以下、このレイアウトによって得られる効果を説明する。

【 0 3 2 6 】

第 1 基板 1 0 0 の V 方向に並ぶ 2 つの画素共有ユニット 5 3 9 では、各々のパッド部 1 2 0 が、画素共有ユニット 5 3 9 の外形形状の中央部、即ち、画素共有ユニット 5 3 9 の V 方向および H 方向の中央部に配置される ( 図 5 4 B ) 。一方、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 は、上記のように、V 方向に長い略長方形の外形形状を有しているので、例えば、パッド部 1 2 0 に接続される増幅トランジスタ AMP は、画素共有ユニット 5 3 9 の V 方向の中央から紙面上方にずれた位置に配置されている。例えば、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の内部レイアウトが同じであるとき、一方の画素共有ユニット 5 3 9 の増幅トランジスタ AMP と、パッド部 1 2 0 ( 例えば、図 7 の紙面上側の画素共有ユニット 5 3 9 のパッド部 1 2 0 ) との距離は比較的短くなる。しかし、他方の画素共有ユニット 5 3 9 の増幅トランジスタ AMP と、パッド部 1 2 0 ( 例えば、図 7 の紙面下側の画素共有ユニット 5 3 9 のパッド部 1 2 0 ) との距離が長くなる。このため、この増幅トランジスタ AMP とパッド部 1 2 0 との接続に要する配線の面積が大きくなり、画素共有ユニット 5 3 9 の配線レイアウトが複雑になるおそれがある。このことは、撮像装置 1 の微細化に影響を及ぼす可能性がある。

【 0 3 2 7 】

これに対して、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 で、互いの内部レイアウトを少なくとも V 方向に反転させることにより、これら 2 つの画素共有ユニット 5 3 9 の両方の増幅トランジスタ AMP とパッド部 1 2 0 との距離を短くすることができる。したがって、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の内部レイアウトを同じにした構成と比べて、撮像装置 1 の微細化を行いやすくなる。なお、第 2 基板 2 0 0 の複数の画素共有ユニット 5 3 9 各々の平面レイアウトは、図 5 5 に記載の範囲では左右対称であるが、後述する図 5 6 に記載の第 1 配線層 W 1 のレイアウトまで含めると、左右非対称のものとなる。

【 0 3 2 8 】

また、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の内部レイアウトは、互いに、H 方向にも反転されていることが好ましい。以下、この理由について説明する。図 5 6 に示したように、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 はそれぞれ、第 1 基板 1 0 0 のパッド部 1 2 0 , 1 2 1 に接続されている。例えば、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の H 方向の中央部 ( H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の間 ) にパッド部 1 2 0 , 1 2 1 が配置されている。したがって、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の内部レイアウトを、互いに、H 方向にも反転させることにより、第 2 基板 2 0 0 の複数の画素共有ユニット 5 3 9 それぞれとパッド部 1 2 0 , 1 2 1 との距離を小さくすることができる。即ち、撮像装置 1 の微細化を更に行いやすくなる。

【 0 3 2 9 】

また、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の外形線の位置は、第 1 基板 1 0 0 の画素共有ユニット 5 3 9 のいずれかの外形線の位置に揃っていなくてもよい。例えば、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうち、一方 ( 例えば図 5 6 の紙面左側 ) の画素共有ユニット 5 3 9 では、V 方向の一方 ( 例えば図 5 6 の紙面上側 ) の外形線が、対応する第 1 基板 1 0 0 の画素共有ユニット 5 3 9 ( 例えば図 5 4 B の紙面上側 ) の V 方向の一方の外形線の外側に配置されている。また、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうち、他方 ( 例えば図 5 6 の紙面右側 ) の画素共有ユニット 5 3 9 では、V 方向の他方 ( 例えば図 5 6 の紙面下側 ) の外形線が、対応する

第1基板100の画素共有ユニット539（例えば図54Bの紙面下側）のV方向の他方の外形線の外側に配置されている。このように、第2基板200の画素共有ユニット539と、第1基板100の画素共有ユニット539とを互いに配置することにより、増幅トランジスタAMPとパッド部120との距離を短くすることが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

#### 【0330】

また、第2基板200の複数の画素共有ユニット539の間で、互いの外形線の位置は揃っていなくてもよい。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539は、V方向の外形線の位置がずれて配置されている。これにより、増幅トランジスタAMPとパッド部120との距離を短くすることが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

10

#### 【0331】

図54Bおよび図56を参照して、画素アレイ部540での画素共有ユニット539の繰り返し配置について説明する。第1基板100の画素共有ユニット539は、H方向に2つ分の画素541の大きさ、およびV方向に2つ分の画素541の大きさを有している（図54B）。例えば、第1基板100の画素アレイ部540では、この4つの画素541に相当する大きさの画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、かつ、V方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、で隣接して繰り返し配列されている。あるいは、第1基板100の画素アレイ部540に、画素共有ユニット539がV方向に2つ隣接して配置された一対の画素共有ユニット539が設けられていてもよい。第1基板100の画素アレイ部540では、例えば、この一対の画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、かつ、V方向へ4画素ピッチ（画素541の4つ分に相当するピッチ）、で隣接して繰り返し配列している。第2基板200の画素共有ユニット539は、H方向に1つ分の画素541の大きさ、およびV方向に4つ分の画素541の大きさを有している（図56）。例えば、第2基板200の画素アレイ部540には、この4つの画素541に相当する大きさの画素共有ユニット539を2つ含む、一対の画素共有ユニット539が設けられている。この画素共有ユニット539は、H方向に隣接して配置され、かつ、V方向にはずらして配置されている。第2基板200の画素アレイ部540では、例えば、この一対の画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2個分に相当するピッチ）、かつ、V方向へ4画素ピッチ（画素541の4個分に相当するピッチ）、で隙間なく隣接して繰り返し配列されている。このような画素共有ユニット539の繰り返し配置により、画素共有ユニット539を隙間なく配置することが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

20

30

#### 【0332】

増幅トランジスタAMPは、例えば、Fin型等の三次元構造を有していることが好ましい（図53）。これにより、実効のゲート幅の大きさが大きくなり、ノイズを抑えることが可能となる。選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGは、例えば、プレーナ構造を有している。増幅トランジスタAMPがプレーナ構造を有していてもよい。あるいは、選択トランジスタSEL、リセットトランジスタRSTまたはFD変換ゲイン切替トランジスタFDGが、三次元構造を有していてもよい。

40

#### 【0333】

配線層200Tは、例えば、パッシベーション膜221、層間絶縁膜222および複数の配線（第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4）を含んでいる。パッシベーション膜221は、例えば、半導体層200Sの表面に接しており、半導体層200Sの表面全面を覆っている。このパッシベーション膜221は、選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDG各々のゲート電極を覆っている。層間絶縁膜222は、パッシベーション膜221と第3基板300との間に設けられている。この層間絶縁膜222

50

により、複数の配線（第 1 配線層 W 1，第 2 配線層 W 2，第 3 配線層 W 3，第 4 配線層 W 4）が分離されている。層間絶縁膜 2 2 2 は、例えば、酸化シリコンにより構成されている。

#### 【 0 3 3 4 】

配線層 2 0 0 T には、例えば、半導体層 2 0 0 S 側から、第 1 配線層 W 1、第 2 配線層 W 2、第 3 配線層 W 3、第 4 配線層 W 4 およびコンタクト部 2 0 1，2 0 2 がこの順に設けられ、これらが互いに層間絶縁膜 2 2 2 により絶縁されている。層間絶縁膜 2 2 2 には、第 1 配線層 W 1、第 2 配線層 W 2、第 3 配線層 W 3 または第 4 配線層 W 4 と、これらの下層とを接続する接続部が複数設けられている。接続部は、層間絶縁膜 2 2 2 に設けた接続孔に、導電材料を埋設した部分である。例えば、層間絶縁膜 2 2 2 には、第 1 配線層 W 1 と半導体層 2 0 0 S の V S S コンタクト領域 2 1 8 とを接続する接続部 2 1 8 V が設けられている。例えば、このような第 2 基板 2 0 0 の素子同士を接続する接続部の孔径は、貫通電極 1 2 0 E，1 2 1 E および貫通電極 T G V の孔径と異なっている。具体的には、第 2 基板 2 0 0 の素子同士を接続する接続孔の孔径は、貫通電極 1 2 0 E，1 2 1 E および貫通電極 T G V の孔径よりも小さくなっていることが好ましい。以下、この理由について説明する。配線層 2 0 0 T 内に設けられた接続部（接続部 2 1 8 V 等）の深さは、貫通電極 1 2 0 E，1 2 1 E および貫通電極 T G V の深さよりも小さい。このため接続部は、貫通電極 1 2 0 E，1 2 1 E および貫通電極 T G V に比べて、容易に接続孔へ導電材を埋めることができる。この接続部の孔径を、貫通電極 1 2 0 E，1 2 1 E および貫通電極 T G V の孔径よりも小さくすることにより、撮像装置 1 の微細化を行いやすくなる。

#### 【 0 3 3 5 】

例えば、第 1 配線層 W 1 により、貫通電極 1 2 0 E と増幅トランジスタ A M P のゲートおよび F D 変換ゲイン切替トランジスタ F D G のソース（具体的には F D 変換ゲイン切替トランジスタ F D G のソースに達する接続孔）とが接続されている。第 1 配線層 W 1 は、例えば、貫通電極 1 2 1 E と接続部 2 1 8 V とを接続しており、これにより、半導体層 2 0 0 S の V S S コンタクト領域 2 1 8 と半導体層 1 0 0 S の V S S コンタクト領域 1 1 8 とが電氣的に接続される。

#### 【 0 3 3 6 】

次に、図 5 7 ~ 図 5 9 を用いて、配線層 2 0 0 T の平面構成について説明する。図 5 7 は、第 1 配線層 W 1 および第 2 配線層 W 2 の平面構成の一例を表したものである。図 5 8 は、第 2 配線層 W 2 および第 3 配線層 W 3 の平面構成の一例を表したものである。図 5 9 は、第 3 配線層 W 3 および第 4 配線層 W 4 の平面構成の一例を表したものである。

#### 【 0 3 3 7 】

例えば、第 3 配線層 W 3 は、H 方向（行方向）に延在する配線 T R G 1，T R G 2，T R G 3，T R G 4，S E L L，R S T L，F D G L を含んでいる（図 5 8）。これらの配線は、図 5 1 を参照して説明した複数の行駆動信号線 5 4 2 に該当する。配線 T R G 1，T R G 2，T R G 3，T R G 4 は各々、転送ゲート T G 1，T G 2，T G 3，T G 4 に駆動信号を送るためのものである。配線 T R G 1，T R G 2，T R G 3，T R G 4 は各々、第 2 配線層 W 2、第 1 配線層 W 1 および貫通電極 1 2 0 E を介して転送ゲート T G 1，T G 2，T G 3，T G 4 に接続されている。配線 S E L L は選択トランジスタ S E L のゲートに、配線 R S T L はリセットトランジスタ R S T のゲートに、配線 F D G L は、F D 変換ゲイン切替トランジスタ F D G のゲートに各々駆動信号を送るためのものである。配線 S E L L，R S T L，F D G L は各々、第 2 配線層 W 2、第 1 配線層 W 1 および接続部を介して、選択トランジスタ S E L，リセットトランジスタ R S T，F D 変換ゲイン切替トランジスタ F D G 各々のゲートに接続されている。

#### 【 0 3 3 8 】

例えば、第 4 配線層 W 4 は、V 方向（列方向）に延在する電源線 V D D、基準電位線 V S S および垂直信号線 5 4 3 を含んでいる（図 5 9）。電源線 V D D は、第 3 配線層 W 3、第 2 配線層 W 2、第 1 配線層 W 1 および接続部を介して増幅トランジスタ A M P のドレインおよびリセットトランジスタ R S T のドレインに接続されている。基準電位線 V S S

は、第3配線層W3、第2配線層W2、第1配線層W1および接続部218Vを介してVSSコンタクト領域218に接続されている。また、基準電位線VSSは、第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121Eおよびパッド部121を介して第1基板100のVSSコンタクト領域118に接続されている。垂直信号線543は、第3配線層W3、第2配線層W2、第1配線層W1および接続部を介して選択トランジスタSELのソース(Vout)に接続されている。

#### 【0339】

コンタクト部201, 202は、平面視で画素アレイ部540に重なる位置に設けられていてもよく(例えば、図50)、あるいは、画素アレイ部540の外側の周辺部540Bに設けられていてもよい(例えば、図53)。コンタクト部201, 202は、第2基板200の表面(配線層200T側の面)に設けられている。コンタクト部201, 202は、例えば、Cu(銅)およびAl(アルミニウム)などの金属により構成されている。コンタクト部201, 202は、配線層200Tの表面(第3基板300側の面)に露出している。コンタクト部201, 202は、第2基板200と第3基板300との電気的な接続および、第2基板200と第3基板300との貼り合わせに用いられる。

#### 【0340】

図53には、第2基板200の周辺部540Bに周辺回路を設けた例を図示した。この周辺回路は、行駆動部520の一部または列信号処理部550の一部等を含んでいてもよい。また、図50に記載のように、第2基板200の周辺部540Bには周辺回路を配置せず、接続孔部H1, H2を画素アレイ部540の近傍に配置するようにしてもよい。

#### 【0341】

第3基板300は、例えば、第2基板200側から配線層300Tおよび半導体層300Sをこの順に有している。例えば、半導体層300Sの表面は、第2基板200側に設けられている。半導体層300Sは、シリコン基板で構成されている。この半導体層300Sの表面側の部分には、回路が設けられている。具体的には、半導体層300Sの表面側の部分には、例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bのうちの少なくとも一部が設けられている。半導体層300Sと第2基板200との間に設けられた配線層300Tは、例えば、層間絶縁膜と、この層間絶縁膜により分離された複数の配線層と、コンタクト部301, 302とを含んでいる。コンタクト部301, 302は、配線層300Tの表面(第2基板200側の面)に露出されており、コンタクト部301は第2基板200のコンタクト部201に、コンタクト部302は第2基板200のコンタクト部202に各々接している。コンタクト部301, 302は、半導体層300Sに形成された回路(例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bの少なくともいずれか)に電気的に接続されている。コンタクト部301, 302は、例えば、Cu(銅)およびアルミニウム(Al)等の金属により構成されている。例えば、接続孔部H1を介して外部端子TAが入力部510Aに接続されており、接続孔部H2を介して外部端子TBが出力部510Bに接続されている。

#### 【0342】

ここで、撮像装置1の特徴について説明する。

#### 【0343】

一般に、撮像装置は、主な構成として、フォトダイオードと画素回路とからなる。ここで、フォトダイオードの面積を大きくすると光電変換の結果発生する電荷が増加し、その結果画素信号のシグナル/ノイズ比(S/N比)が改善し、撮像装置はよりよい画像データ(画像情報)を出力することができる。一方、画素回路に含まれるトランジスタのサイズ(特に増幅トランジスタのサイズ)を大きくすると、画素回路で発生するノイズが減少し、その結果撮像信号のS/N比が改善し、撮像装置はよりよい画像データ(画像情報)を出力することができる。

#### 【0344】

しかし、フォトダイオードと画素回路とを同一の半導体基板に設けた撮像装置において、半導体基板の限られた面積の中でフォトダイオードの面積を大きくすると、画素回路に備わるトランジスタのサイズが小さくなってしまふことが考えられる。また、画素回路に備わるトランジスタのサイズを大きくすると、フォトダイオードの面積が小さくなってしまふことが考えられる。

#### 【 0 3 4 5 】

これらの課題を解決するために、例えば、本実施の形態の撮像装置 1 は、複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有し、かつ、共有した画素回路 2 1 0 をフォトダイオード P D に重畳して配置する構造を用いる。これにより、半導体基板の限られた面積の中で、フォトダイオード P D の面積をできるだけ大きくすることと、画素回路 2 1 0 に備わるトランジスタのサイズをできるだけ大きくすることとを実現することができる。これにより、画素信号の S / N 比を改善し、撮像装置 1 がよりよい画像データ（画像情報）を出力することができる。

10

#### 【 0 3 4 6 】

複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有し、これをフォトダイオード P D に重畳して配置する構造を実現する際、複数の画素 5 4 1 各々のフローティングディフュージョン F D から 1 つの画素回路 2 1 0 に接続される複数の配線が延在する。画素回路 2 1 0 を形成する半導体基板 2 0 0 の面積を大きく確保するためには、例えばこれらの延在する複数の配線の間を相互に接続し、1 つにまとめる接続配線を形成することができる。V S S コンタクト領域 1 1 8 から延在する複数の配線についても同様に、延在する複数の配線の間を相互に接続し、1 つにまとめる接続配線を形成することができる。

20

#### 【 0 3 4 7 】

例えば、複数の画素 5 4 1 各々のフローティングディフュージョン F D から延在する複数の配線の間を相互に接続する接続配線を、画素回路 2 1 0 を形成する半導体基板 2 0 0 において形成すると、画素回路 2 1 0 に含まれるトランジスタを形成する面積が小さくなってしまふことが考えられる。同様に、複数の画素 5 4 1 各々の V S S コンタクト領域 1 1 8 から延在する複数の配線の間を相互接続して 1 つにまとめる接続配線を、画素回路 2 1 0 を形成する半導体基板 2 0 0 に形成すると、これにより画素回路 2 1 0 に含まれるトランジスタを形成する面積が小さくなってしまふことが考えられる。

#### 【 0 3 4 8 】

これらの課題を解決するために、例えば本実施の形態の撮像装置 1 は、複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有し、かつ、共有した画素回路 2 1 0 をフォトダイオード P D に重畳して配置する構造であって、前記複数の画素 5 4 1 各々のフローティングディフュージョン F D の間を相互に接続して 1 つにまとめる接続配線と、前記複数の画素 5 4 1 のそれぞれに備わる V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線と、を第 1 基板 1 0 0 に設けた構造を備えることができる。

30

#### 【 0 3 4 9 】

ここで、前記複数の画素 5 4 1 各々のフローティングディフュージョン F D の間を相互に接続して 1 つにまとめる接続配線と、前記複数の画素 5 4 1 各々の V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線とを、第 1 基板 1 0 0 に設けるための製造方法として、先に述べた第 2 の製造方法を用いると、例えば、第 1 基板 1 0 0 および第 2 基板 2 0 0 各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。また、容易なプロセスで第 1 基板 1 0 0 および第 2 基板 2 0 0 の接続配線を形成することができる。具体的には、上記第 2 の製造方法を用いる場合、第 1 基板 1 0 0 と第 2 基板 2 0 0 の貼り合せ境界面となる第 1 基板 1 0 0 の表面と第 2 基板 2 0 0 の表面とに、フローティングディフュージョン F D に接続する電極と V S S コンタクト領域 1 1 8 に接続する電極とをそれぞれ設ける。さらに、第 1 基板 1 0 0 と第 2 基板 2 0 0 を貼り合せた際にこれら 2 つの基板表面に設けた電極間で位置ずれが発生してもこれら 2 つの基板表面に形成した電極同士が接触するように、これら 2 つの基板表面に形成する電極を大きくすることが好ましい。この場合、撮像装置 1 に

40

50

備わる各画素の限られた面積の中に上記電極を配置することが難しくなってしまうことが考えられる。

#### 【0350】

第1基板100と第2基板200の貼り合せ境界面に大きな電極が必要となる課題を解決するために、例えば本実施の形態の撮像装置1は、複数の画素541が1つの画素回路210を共有し、かつ、共有した画素回路210をフォトダイオードPDに重畳して配置する製造方法として、先に述べた第1の製造方法を用いることができる。これにより、第1基板100および第2基板200各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。さらに、この製造方法を用いることによって生じる固有の構造を備えることができる。すなわち、第1基板100の半導体層100Sと配線層100Tと第2基板200の半導体層200Sと配線層200Tをこの順で積層した構造、言い換えれば、第1基板100と第2基板200をフェイストウバックで積層した構造を備え、かつ、第2基板200の半導体層200Sの表面側から、半導体層200Sと第1基板100の配線層100Tを貫通して、第1基板100の半導体層100Sの表面へと至る、貫通電極120E、121Eを備える。

10

#### 【0351】

前記複数の画素541各々のフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、前記複数の画素541各々のVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を第1基板100に設けた構造において、この構造と第2基板200とを前記第1の製造方法を用いて積層し第2基板200に画素回路210を形成すると、画素回路210に備わる能動素子を形成する際に必要となる加熱処理の影響が、第1基板100に形成した上記接続配線に及んでしまう可能性がある。

20

#### 【0352】

そこで、上記接続配線に対して、上記能動素子を形成する際の加熱処理の影響が及んでしまう課題を解決するために、本実施の形態の撮像装置1は、前記複数の画素541各々のフローティングディフュージョンFD同士を相互に接続して1つにまとめる接続配線と、前記複数の画素541各々のVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、に耐熱性の高い導電材料を用いることが望ましい。具体的には、耐熱性の高い導電材料は、第2基板200の配線層200Tに含まれる配線材の少なくとも一部よりも、融点の高い材料を用いることができる。

30

#### 【0353】

このように、例えば本実施の形態の撮像装置1は、(1)第1基板100と第2基板200をフェイストウバックで積層した構造(具体的には、第1基板100の半導体層100Sと配線層100Tと第2基板200の半導体層200Sと配線層200Tをこの順で積層する構造)と、(2)第2基板200の半導体層200Sの表面側から、半導体層200Sと第1基板100の配線層100Tを貫通して、第1基板100の半導体層100Sの表面へと至る、貫通電極120E、121Eを設けた構造と、(3)複数の画素541のそれぞれに備わるフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、複数の画素541のそれぞれに備わるVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を耐熱性の高い導電材料で形成した構造と、を備えることで、第1基板100と第2基板200との界面に大きな電極を備えることなく、第1基板100に、複数の画素541のそれぞれに備わるフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、複数の画素541のそれぞれに備わるVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を設けることを可能としている。

40

#### 【0354】

##### [撮像装置1の動作]

次に、図60および図61を用いて撮像装置1の動作について説明する。図60および図61は、図50に各信号の経路を表す矢印を追記したものである。図60は、外部から

50

撮像装置 1 に入力される入力信号と、電源電位および基準電位の経路を矢印で表したものである。図 6 1 は、撮像装置 1 から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部 5 1 0 A を介して撮像装置 1 に入力された入力信号（例えば、画素クロックおよび同期信号）は、第 3 基板 3 0 0 の行駆動部 5 2 0 へ伝送され、行駆動部 5 2 0 で行駆動信号が作り出される。この行駆動信号は、コンタクト部 3 0 1 , 2 0 1 を介して第 2 基板 2 0 0 に送られる。更に、この行駆動信号は、配線層 2 0 0 T 内の行駆動信号線 5 4 2 を介して、画素アレイ部 5 4 0 の画素共有ユニット 5 3 9 各々に到達する。第 2 基板 2 0 0 の画素共有ユニット 5 3 9 に到達した行駆動信号のうち、転送ゲート T G 以外の駆動信号は画素回路 2 1 0 に入力されて、画素回路 2 1 0 に含まれる各トランジスタが駆動される。転送ゲート T G の駆動信号は貫通電極 T G V を介して第 1 基板 1 0 0 の転送ゲート T G 1 , T G 2 , T G 3 , T G 4 に入力され、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D が駆動される（図 6 0 ）。また、撮像装置 1 の外部から、第 3 基板 3 0 0 の入力部 5 1 0 A（入力端子 5 1 1）に供給された電源電位および基準電位は、コンタクト部 3 0 1 , 2 0 1 を介して第 2 基板 2 0 0 に送られ、配線層 2 0 0 T 内の配線を介して、画素共有ユニット 5 3 9 各々の画素回路 2 1 0 に供給される。基準電位は、さらに貫通電極 1 2 1 E を介して、第 1 基板 1 0 0 の画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D へも供給される。一方、第 1 基板 1 0 0 の画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D で光電変換された画素信号は、貫通電極 1 2 0 E を介して画素共有ユニット 5 3 9 毎に第 2 基板 2 0 0 の画素回路 2 1 0 に送られる。この画素信号に基づく画素信号は、画素回路 2 1 0 から垂直信号線 5 4 3 およびコンタクト部 2 0 2 , 3 0 2 を介して第 3 基板 3 0 0 に送られる。この画素信号は、第 3 基板 3 0 0 の列信号処理部 5 5 0 および画像信号処理部 5 6 0 で処理された後、出力部 5 1 0 B を介して外部に出力される。

【 0 3 5 5 】

[効果]

本実施の形態では、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D（画素共有ユニット 5 3 9）と画素回路 2 1 0 とが互いに異なる基板（第 1 基板 1 0 0 および第 2 基板 2 0 0）に設けられている。これにより、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D および画素回路 2 1 0 を同一基板に形成した場合と比べて、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D および画素回路 2 1 0 の面積を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路 2 1 0 のトランジスタノイズを低減することが可能となる。これらにより、画素信号のシグナル / ノイズ比を改善して、撮像装置 1 は、よりよい画素データ（画像情報）を出力することが可能となる。また、撮像装置 1 の微細化（言い換えれば、画素サイズの縮小および撮像装置 1 の小型化）が可能となる。撮像装置 1 は、画素サイズの縮小により、単位面積当たりの画素数を増加させることができ、高画質の画像を出力することができる。

【 0 3 5 6 】

また、撮像装置 1 では、第 1 基板 1 0 0 および第 2 基板 2 0 0 が、絶縁領域 2 1 2 に設けられた貫通電極 1 2 0 E , 1 2 1 E によって互いに電氣的に接続されている。例えば、第 1 基板 1 0 0 と第 2 基板 2 0 0 とをパッド電極同士の接合により接続する方法や、半導体層を貫通する貫通配線（例えば T S V（Thorough Si Via））により接続する方法も考え得る。このような方法に比べて、絶縁領域 2 1 2 に貫通電極 1 2 0 E , 1 2 1 E を設けることにより、第 1 基板 1 0 0 および第 2 基板 2 0 0 の接続に要する面積を小さくすることができる。これにより、画素サイズを縮小し、撮像装置 1 をより小型化することができる。また、1 画素あたりの面積の更なる微細化により、解像度をより高くすることができる。チップサイズの小型化が不要なときには、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D および画素回路 2 1 0 の形成領域を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路 2 1 0 に備わるトランジスタのノイズを低減することが可能となる。これにより、画素信号のシグナル / ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

【 0 3 5 7 】

また、撮像装置 1 では、画素回路 2 1 0 と列信号処理部 5 5 0 および画像信号処理部 5 6 0 とが互いに異なる基板（第 2 基板 2 0 0 および第 3 基板 3 0 0）に設けられている。これにより、画素回路 2 1 0 と列信号処理部 5 5 0 および画像信号処理部 5 6 0 とを同一基板に形成した場合と比べて、画素回路 2 1 0 の面積と、列信号処理部 5 5 0 および画像信号処理部 5 6 0 の面積とを拡大することができる。これにより、列信号処理部 5 5 0 で生じるノイズを低減したり、画像信号処理部 5 6 0 により高度な画像処理回路を搭載することが可能となる。よって、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

#### 【0358】

また、撮像装置 1 では、画素アレイ部 5 4 0 が、第 1 基板 1 0 0 および第 2 基板 2 0 0 に設けられ、かつ、列信号処理部 5 5 0 および画像信号処理部 5 6 0 が第 3 基板 3 0 0 に設けられている。また、第 2 基板 2 0 0 と第 3 基板 3 0 0 とを接続するコンタクト部 2 0 1, 2 0 2, 3 0 1, 3 0 2 は、画素アレイ部 5 4 0 の上方に形成されている。このため、コンタクト部 2 0 1, 2 0 2, 3 0 1, 3 0 2 は、画素アレイに備わる各種配線からレイアウト上の干渉を受けずに自由にレイアウトにすることが可能となる。これにより、第 2 基板 2 0 0 と第 3 基板 3 0 0 との電気的な接続に、コンタクト部 2 0 1, 2 0 2, 3 0 1, 3 0 2 を用いることが可能となる。コンタクト部 2 0 1, 2 0 2, 3 0 1, 3 0 2 を用いることにより、例えば、列信号処理部 5 5 0 および画像信号処理部 5 6 0 はレイアウトの自由度が高くなる。これにより、列信号処理部 5 5 0 で生じるノイズを低減したり、画像信号処理部 5 6 0 により高度な画像処理回路を搭載することが可能となる。したがって、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

#### 【0359】

また、撮像装置 1 では、画素分離部 1 1 7 が半導体層 1 0 0 S を貫通している。これにより、1 画素あたりの面積の微細化によって隣り合う画素（画素 5 4 1 A, 5 4 1 B, 5 4 1 C, 5 4 1 D）の距離が近づいた場合であっても、画素 5 4 1 A, 5 4 1 B, 5 4 1 C, 5 4 1 D の間での混色を抑制できる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

#### 【0360】

また、撮像装置 1 では、画素共有ユニット 5 3 9 毎に画素回路 2 1 0 が設けられている。これにより、画素 5 4 1 A, 5 4 1 B, 5 4 1 C, 5 4 1 D 各々に画素回路 2 1 0 を設けた場合に比べて、画素回路 2 1 0 を構成するトランジスタ（増幅トランジスタ AMP, リセットトランジスタ RST, 選択トランジスタ SEL, FD 変換ゲイン切替トランジスタ FDG）の形成領域を大きくすることが可能となる。例えば、増幅トランジスタ AMP の形成領域を大きくすることにより、ノイズを抑えることが可能となる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

#### 【0361】

更に、撮像装置 1 では、4 つの画素（画素 5 4 1 A, 5 4 1 B, 5 4 1 C, 5 4 1 D）のフローティングディフュージョン FD（フローティングディフュージョン FD 1, FD 2, FD 3, FD 4）を電気的に接続するパッド部 1 2 0 が、第 1 基板 1 0 0 に設けられている。これにより、このようなパッド部 1 2 0 を第 2 基板 2 0 0 に設ける場合に比べて、第 1 基板 1 0 0 と第 2 基板 2 0 0 とを接続する貫通電極（貫通電極 1 2 0 E）の数を減らすことができる。したがって、絶縁領域 2 1 2 を小さくし、画素回路 2 1 0 を構成するトランジスタの形成領域（半導体層 2 0 0 S）を十分な大きさを確保することができる。これにより、画素回路 2 1 0 に備わるトランジスタのノイズを低減することが可能となり、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

#### 【0362】

以下、上記実施の形態に係る撮像装置 1 の変形例について説明する。以下の変形例では

10

20

30

40

50

、上記実施の形態と共通の構成に同一の符号を付して説明する。

【0363】

< 4. 2. 変形例 1 >

図62～図66は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図62は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図55に対応する。図63は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図56に対応する。図64は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図57に対応する。図65は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図58に対応する。図66は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図59に対応する。

10

【0364】

本変形例では、図63に示したように、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち、一方（例えば紙面右側）の画素共有ユニット539の内部レイアウトが、他方（例えば紙面左側）の画素共有ユニット539の内部レイアウトをH方向にのみ反転させた構成となっている。また、一方の画素共有ユニット539の外形線と他方の画素共有ユニット539の外形線との間のV方向のずれが、上記実施の形態で説明したずれ（図56）よりも大きくなっている。このように、V方向のずれを大きくすることにより、他方の画素共有ユニット539の増幅トランジスタAMPと、これに接続されたパッド部120（図7に記載のV方向に並ぶ2つの画素共有ユニット539のうちの他方（紙面下側）のパッド部120）との間の距離を小さくすることができる。このようなレイアウトにより、図62～図66に記載の撮像装置1の変形例1は、H方向に並ぶ2つの画素共有ユニット539の平面レイアウトを互いにV方向に反転させることなく、その面積を、上記実施の形態で説明した第2基板200の画素共有ユニット539の面積と同じにすることができる。なお、第1基板100の画素共有ユニット539の平面レイアウトは、上記実施の形態で説明した平面レイアウト（図54A、図54B）と同じである。したがって、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と同様の効果を得ることができる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

20

30

【0365】

< 4. 3. 変形例 2 >

図67～図72は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図67は、第1基板100の平面構成を模式的に表しており、上記実施の形態で説明した図54Aに対応する。図68は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図55に対応する。図69は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図56に対応する。図70は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図57に対応する。図71は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図58に対応する。図72は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図59に対応する。

40

【0366】

本変形例では、各画素回路210の外形が、略正方形の平面形状を有している（図68等）。この点において、本変形例の撮像装置1の平面構成は、上記実施の形態で説明した撮像装置1の平面構成と異なっている。

【0367】

例えば、第1基板100の画素共有ユニット539は、上記実施の形態で説明したのと

50

同様に、2行×2列の画素領域にわたって形成されており、略正方形の平面形状を有している（図67）。例えば、各々の画素共有ユニット539では、一方の画素列の画素541Aおよび画素541Cの転送ゲートTG1、TG3の水平部分TGbが、垂直部分TGaに重畳する位置からH方向において画素共有ユニット539の中央部に向かう方向（より具体的には、画素541A、541Cの外縁に向かう方向、かつ画素共有ユニット539の中央部に向かう方向）に延在し、他方の画素列の画素541Bおよび画素541Dの転送ゲートTG2、TG4の水平部分TGbが、垂直部分TGaに重畳する位置からH方向において画素共有ユニット539の外側に向かう方向（より具体的には、画素541B、541Dの外縁に向かう方向、かつ画素共有ユニット539の外側に向かう方向）に延在している。フローティングディフュージョンFDに接続されたパッド部120は、画素共有ユニット539の中央部（画素共有ユニット539のH方向およびV方向の中央部）に設けられ、VSSコンタクト領域118に接続されたパッド部121は、少なくともH方向において（図67ではH方向およびV方向において）画素共有ユニット539の端部に設けられている。

#### 【0368】

別の配置例として、転送ゲートTG1、TG2、TG3、TG4の水平部分TGbを垂直部分TGaに対向する領域のみに設けることも考え得る。このときには、上記実施の形態で説明したのと同様に、半導体層200Sが細かく分断されやすい。したがって、画素回路210のトランジスタを大きく形成することが困難となる。一方、転送ゲートTG1、TG2、TG3、TG4の水平部分TGbを、上記変形例のように、垂直部分TGaに重畳する位置からH方向に延在させると、上記実施の形態で説明したのと同様に、半導体層200Sの幅を大きくすることが可能となる。具体的には、転送ゲートTG1、TG3に接続された貫通電極TGV1、TGV3のH方向の位置を、貫通電極120EのH方向の位置に近接させて配置し、転送ゲートTG2、TG4に接続された貫通電極TGV2、TGV4のH方向の位置を、貫通電極121EのH方向の位置に近接して配置することが可能となる（図69）。これにより、上記実施の形態で説明したのと同様に、V方向に延在する半導体層200Sの幅（H方向の大きさ）を大きくすることができる。よって、画素回路210のトランジスタのサイズ、特に増幅トランジスタAMPのサイズを大きくすることが可能となる。その結果、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

#### 【0369】

第2基板200の画素共有ユニット539は、例えば、第1基板100の画素共有ユニット539のH方向およびV方向の大きさと略同じであり、例えば、略2行×2列の画素領域に対応する領域にわたって設けられている。例えば、各画素回路210では、V方向に延在する1の半導体層200Sに選択トランジスタSELおよび増幅トランジスタAMPがV方向に並んで配置され、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTがV方向に延在する1の半導体層200Sに、V方向に並んで配置されている。この選択トランジスタSELおよび増幅トランジスタAMPが設けられた1の半導体層200Sと、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTが設けられた1の半導体層200Sとは、絶縁領域212を介してH方向に並んでいる。この絶縁領域212はV方向に延在している（図68）。

#### 【0370】

ここで、第2基板200の画素共有ユニット539の外形について、図68および図69を参照して説明する。例えば、図67に示した第1基板100の画素共有ユニット539は、パッド部120のH方向の一方（図69の紙面左側）に設けられた増幅トランジスタAMPおよび選択トランジスタSELと、パッド部120のH方向の他方（図69の紙面右側）に設けられたFD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTとに接続されている。この増幅トランジスタAMP、選択トランジスタSEL、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTを含む第2基板200の画素共有ユニット539の外形は、次の4つの外縁により決まる。

## 【 0 3 7 1 】

第 1 の外縁は、選択トランジスタ S E L および増幅トランジスタ A M P を含む半導体層 2 0 0 S の V 方向の一端（図 6 9 の紙面上側の端）の外縁である。この第 1 の外縁は、当該画素共有ユニット 5 3 9 に含まれる増幅トランジスタ A M P と、この画素共有ユニット 5 3 9 の V 方向の一方（図 6 9 の紙面上側）に隣り合う画素共有ユニット 5 3 9 に含まれる選択トランジスタ S E L との間に設けられている。より具体的には、第 1 の外縁は、これら増幅トランジスタ A M P と選択トランジスタ S E L との間の素子分離領域 2 1 3 の V 方向の中央部に設けられている。第 2 の外縁は、選択トランジスタ S E L および増幅トランジスタ A M P を含む半導体層 2 0 0 S の V 方向の他端（図 6 9 の紙面下側の端）の外縁である。この第 2 の外縁は、当該画素共有ユニット 5 3 9 に含まれる選択トランジスタ S E L と、この画素共有ユニット 5 3 9 の V 方向の他方（図 6 9 の紙面下側）に隣り合う画素共有ユニット 5 3 9 に含まれる増幅トランジスタ A M P との間に設けられている。より具体的には、第 2 の外縁は、これら選択トランジスタ S E L と増幅トランジスタ A M P との間の素子分離領域 2 1 3 の V 方向の中央部に設けられている。第 3 の外縁は、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G を含む半導体層 2 0 0 S の V 方向の他端（図 6 9 の紙面下側の端）の外縁である。この第 3 の外縁は、当該画素共有ユニット 5 3 9 に含まれる F D 変換ゲイン切替トランジスタ F D G と、この画素共有ユニット 5 3 9 の V 方向の他方（図 6 9 の紙面下側）に隣り合う画素共有ユニット 5 3 9 に含まれるリセットトランジスタ R S T との間に設けられている。より具体的には、第 3 の外縁は、これら F D 変換ゲイン切替トランジスタ F D G とリセットトランジスタ R S T との間の素子分離領域 2 1 3 の V 方向の中央部に設けられている。第 4 の外縁は、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G を含む半導体層 2 0 0 S の V 方向の一端（図 6 9 の紙面上側の端）の外縁である。この第 4 の外縁は、当該画素共有ユニット 5 3 9 に含まれるリセットトランジスタ R S T と、この画素共有ユニット 5 3 9 の V 方向の一方（図 6 9 の紙面上側）に隣り合う画素共有ユニット 5 3 9 に含まれる F D 変換ゲイン切替トランジスタ F D G （不図示）との間に設けられている。より具体的には、第 4 の外縁は、これらリセットトランジスタ R S T と F D 変換ゲイン切替トランジスタ F D G との間の素子分離領域 2 1 3 （不図示）の V 方向の中央部に設けられている。

## 【 0 3 7 2 】

このような第 1 ，第 2 ，第 3 ，第 4 の外縁を含む第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の外形では、第 1 ，第 2 の外縁に対して、第 3 ，第 4 の外縁が V 方向の一方側にずれて配置されている（言い換えれば V 方向の一方側にオフセットされている）。このようなレイアウトを用いることにより、増幅トランジスタ A M P のゲートおよび F D 変換ゲイン切替トランジスタ F D G のソースをとともに、パッド部 1 2 0 にできるだけ近接して配置することが可能となる。したがって、これらを接続する配線の面積を小さくし、撮像装置 1 の微細化を行いやすくなる。なお V S S コンタクト領域 2 1 8 は、選択トランジスタ S E L および増幅トランジスタ A M P を含む半導体層 2 0 0 S と、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G を含む半導体層 2 0 0 S との間に設けられている。例えば、複数の画素回路 2 1 0 は、互いに同じ配置を有している。

## 【 0 3 7 3 】

このような第 2 基板 2 0 0 を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

## 【 0 3 7 4 】

## &lt; 4 . 4 . 変形例 3 &gt;

図 7 3 ~ 図 7 8 は、上記実施の形態に係る撮像装置 1 の平面構成の一変形例を表したものである。図 7 3 は、第 1 基板 1 0 0 の平面構成を模式的に表しており、上記実施の形態で説明した図 5 4 B に対応する。図 7 4 は、第 2 基板 2 0 0 の半導体層 2 0 0 S の表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図 5 5 に対応する。図 7 5 は、第 1 配線層 W 1 と、第 1 配線層 W 1 に接続された半導体層 2 0 0 S および第 1 基板

10

20

30

40

50

100の各部の構成を模式的に表しており、上記実施の形態で説明した図56に対応する。図76は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図57に対応する。図77は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図58に対応する。図78は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図59に対応する。

#### 【0375】

本変形例では、第2基板200の半導体層200Sが、H方向に延在している(図75)。即ち、上記図68等にした撮像装置1の平面構成を90度回転させた構成に略対応している。

#### 【0376】

例えば、第1基板100の画素共有ユニット539は、上記実施の形態で説明したのと同様に、2行×2列の画素領域にわたって形成されており、略正方形の平面形状を有している(図73)。例えば、各々の画素共有ユニット539では、一方の画素行の画素541Aおよび画素541Bの転送ゲートTG1、TG2が、V方向において画素共有ユニット539の中央部に向かって延在し、他方の画素行の画素541Cおよび画素541Dの転送ゲートTG3、TG4が、V方向において画素共有ユニット539の外側方向に延在している。フローティングディフュージョンFDに接続されたパッド部120は、画素共有ユニット539の中央部に設けられ、VSSコンタクト領域118に接続されたパッド部121は、少なくともV方向において(図73ではV方向およびH方向において)画素共有ユニット539の端部に設けられている。このとき、転送ゲートTG1、TG2の貫通電極TG V1、TG V2のV方向の位置が貫通電極120EのV方向の位置に近づき、転送ゲートTG3、TG4の貫通電極TG V3、TG V4のV方向の位置が貫通電極121EのV方向の位置に近づく(図75)。したがって、上記実施の形態で説明したのと同様の理由により、H方向に延在する半導体層200Sの幅(V方向の大きさ)を大きくすることができる。よって、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

#### 【0377】

各々の画素回路210では、選択トランジスタSELおよび増幅トランジスタAMPがH方向に並んで配置され、選択トランジスタSELと絶縁領域212を間にしてV方向に隣り合う位置にリセットトランジスタRSTが配置されている(図74)。FD変換ゲイン切替トランジスタFDGは、リセットトランジスタRSTとH方向に並んで配置されている。VSSコンタクト領域218は、絶縁領域212に島状に設けられている。例えば、第3配線層W3はH方向に延在し(図77)、第4配線層W4はV方向に延在している(図78)。

#### 【0378】

このような第2基板200を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。例えば、上記実施の形態および変形例1で説明した半導体層200Sが、H方向に延在していてもよい。

#### 【0379】

<4.5. 変形例4>

図79は、上記実施の形態に係る撮像装置1の断面構成の一変形例を模式的に表したものである。図79は、上記実施の形態で説明した図50に対応する。本変形例では、撮像装置1が、コンタクト部201、202、301、302に加えて、画素アレイ部540の中央部に対向する位置にコンタクト部203、204、303、304を有している。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

#### 【0380】

コンタクト部203、204は、第2基板200に設けられており、第3基板300と

10

20

30

40

50

の接合面の露出されている。コンタクト部 303, 304 は、第 3 基板 300 に設けられており、第 2 基板 200 との接合面に露出されている。コンタクト部 203 は、コンタクト部 303 と接しており、コンタクト部 204 は、コンタクト部 304 と接している。即ち、この撮像装置 1 では、第 2 基板 200 と第 3 基板 300 とが、コンタクト部 201, 202, 301, 302 に加えてコンタクト部 203, 204, 303, 304 により接続されている。

#### 【0381】

次に、図 80 および図 81 を用いてこの撮像装置 1 の動作について説明する。図 80 には、外部から撮像装置 1 に入力される入力信号と、電源電位および基準電位の経路を矢印で表す。図 81 には、撮像装置 1 から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部 510A を介して撮像装置 1 に入力された入力信号は、第 3 基板 300 の行駆動部 520 へ伝送され、行駆動部 520 で行駆動信号が作り出される。この行駆動信号は、コンタクト部 303, 203 を介して第 2 基板 200 に送られる。更に、この行駆動信号は、配線層 200T 内の行駆動信号線 542 を介して、画素アレイ部 540 の画素共有ユニット 539 各々に到達する。第 2 基板 200 の画素共有ユニット 539 に到達した行駆動信号のうち、転送ゲート TG 以外の駆動信号は画素回路 210 に入力されて、画素回路 210 に含まれる各トランジスタが駆動される。転送ゲート TG の駆動信号は貫通電極 TGV を介して第 1 基板 100 の転送ゲート TG1, TG2, TG3, TG4 に入力され、画素 541A, 541B, 541C, 541D が駆動される。また、撮像装置 1 の外部から、第 3 基板 300 の入力部 510A (入力端子 511) に供給された電源電位および基準電位は、コンタクト部 303, 203 を介して第 2 基板 200 に送られ、配線層 200T 内の配線を介して、画素共有ユニット 539 各々の画素回路 210 に供給される。基準電位は、さらに貫通電極 121E を介して、第 1 基板 100 の画素 541A, 541B, 541C, 541D へも供給される。一方、第 1 基板 100 の画素 541A, 541B, 541C, 541D で光電変換された画素信号は、画素共有ユニット 539 毎に第 2 基板 200 の画素回路 210 に送られる。この画素信号に基づく画素信号は、画素回路 210 から垂直信号線 543 およびコンタクト部 204, 304 を介して第 3 基板 300 に送られる。この画素信号は、第 3 基板 300 の列信号処理部 550 および画像信号処理部 560 で処理された後、出力部 510B を介して外部に出力される。

#### 【0382】

このようなコンタクト部 203, 204, 303, 304 を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。コンタクト部 303, 304 を介した配線の接続先である、第 3 基板 300 の回路等の設計に応じてコンタクト部の位置および数等を変えることができる。

#### 【0383】

##### < 4.6. 変形例 5 >

図 82 は、上記実施の形態に係る撮像装置 1 の断面構成の一変形例を表したものである。図 82 は、上記実施の形態で説明した図 53 に対応する。本変形例では、第 1 基板 100 にプレーナ構造を有する転送トランジスタ TR が設けられている。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

#### 【0384】

この転送トランジスタ TR は、水平部分 TGb のみにより転送ゲート TG が構成されている。換言すれば、転送ゲート TG は、垂直部分 TGa を有しておらず、半導体層 100S に対向して設けられている。

#### 【0385】

このようなプレーナ構造の転送トランジスタ TR を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。更に、第 1 基板 100 にプレーナ型の転送ゲート TG を設けることにより、縦型の転送ゲート TG を第 1 基板 100 に設ける場合に比べて、より半導体層 100S の表面近くまでフォトダイオード PD を形成し、これにより、飽和信号量 (Qs) を増加させることも考え得る。また、第 1 基板 100 にプレーナ

一型の転送ゲートTGを形成する方法は、第1基板100に縦型の転送ゲートTGを形成する方法に比べて、製造工程数が少なく、製造工程に起因したフォトダイオードPDへの悪影響が生じにくい、とも考え得る。

【0386】

<4.7. 変形例6>

図83は、上記実施の形態に係る撮像装置1の画素回路の一変形例を表したものである。図83は、上記実施の形態で説明した図51に対応する。本変形例では、1つの画素(画素541A)毎に画素回路210が設けられている。即ち、画素回路210は、複数の画素で共有されていない。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

10

【0387】

本変形例の撮像装置1は、画素541Aと画素回路210とを互いに異なる基板(第1基板100および第2基板200)に設ける点では、上記実施の形態で説明した撮像装置1と同じである。このため、本変形例に係る撮像装置1も、上記実施の形態で説明したのと同様の効果を得ることができる。

【0388】

<4.8. 変形例7>

図84は、上記実施の形態で説明した画素分離部117の平面構成の一変形例を表したものである。画素541A, 541B, 541C, 541D各々を囲む画素分離部117に、隙間が設けられていてもよい。即ち、画素541A, 541B, 541C, 541Dの全周が画素分離部117に囲まれていなくてもよい。例えば、画素分離部117の隙間は、パッド部120, 121近傍に設けられている(図54B参照)。

20

【0389】

上記実施の形態では、画素分離部117が半導体層100Sを貫通するFTI構造を有する例(図53参照)を説明したが、画素分離部117はFTI構造以外の構成を有していてもよい。例えば、画素分離部117は、半導体層100Sを完全に貫通するように設けられていなくてもよく、いわゆる、DTI(Deep Trench Isolation)構造を有していてもよい。

【0390】

<4.9. 適用例>

図85は、上記実施の形態およびその変形例に係る撮像装置1を備えた撮像システム7の概略構成の一例を表したものである。

30

【0391】

撮像システム7は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像システム7は、例えば、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248を備えている。撮像システム7において、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248は、バスライン249を介して相互に接続されている。

40

【0392】

上記実施の形態およびその変形例に係る撮像装置1は、入射光に応じた画像データを出力する。DSP回路243は、上記実施の形態およびその変形例に係る撮像装置1から出力される信号(画像データ)を処理する信号処理回路である。フレームメモリ244は、DSP回路243により処理された画像データを、フレーム単位で一時的に保持する。表示部245は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画を表示する。記憶部246は、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部247は、ユーザによる操作に従い、撮像システム7が有

50

する各種の機能についての操作指令を発する。電源部 2 4 8 は、上記実施の形態およびその変形例に係る撮像装置 1、DSP 回路 2 4 3、フレームメモリ 2 4 4、表示部 2 4 5、記憶部 2 4 6 および操作部 2 4 7 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

#### 【0393】

次に、撮像システム 7 における撮像手順について説明する。

#### 【0394】

図 8 6 は、撮像システム 7 における撮像動作のフローチャートの一例を表す。ユーザは、操作部 2 4 7 を操作することにより撮像開始を指示する（ステップ S 1 0 1）。すると、操作部 2 4 7 は、撮像指令を撮像装置 1 に送信する（ステップ S 1 0 2）。撮像装置 1（具体的にはシステム制御回路 3 6）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップ S 1 0 3）。 10

#### 【0395】

撮像装置 1 は、撮像により得られた画像データを DSP 回路 2 4 3 に出力する。ここで、画像データとは、フローティングディフュージョン FD に一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP 回路 2 4 3 は、撮像装置 1 から入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理など）を行う（ステップ S 1 0 4）。DSP 回路 2 4 3 は、所定の信号処理がなされた画像データをフレームメモリ 2 4 4 に保持させ、フレームメモリ 2 4 4 は、画像データを記憶部 2 4 6 に記憶させる（ステップ S 1 0 5）。このようにして、撮像システム 7 における撮像が行われる。 20

#### 【0396】

本適用例では、上記実施の形態およびその変形例に係る撮像装置 1 が撮像システム 7 に適用される。これにより、撮像装置 1 を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム 7 を提供することができる。

#### 【0397】

< 4 . 1 0 . 応用例 >

#### [応用例 1]

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。 30

#### 【0398】

図 8 7 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

#### 【0399】

車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 8 7 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F ( i n t e r f a c e ) 1 2 0 5 3 が図示されている。 40

#### 【0400】

駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

#### 【0401】

ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

#### 【０４０２】

車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

10

#### 【０４０３】

撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

20

#### 【０４０４】

車内情報検出ユニット１２０４０は、車内の情報検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

#### 【０４０５】

マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

30

#### 【０４０６】

また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

40

#### 【０４０７】

また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

#### 【０４０８】

音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図８７の例では、出力装置として、オーディオスピーカ１２０６１、表示部１

50

2062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0409】

図88は、撮像部12031の設置位置の例を示す図である。

【0410】

図88では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

【0411】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【0412】

なお、図88には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

【0413】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0414】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0415】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制

10

20

30

40

50

御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【0416】

撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

10

【0417】

以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像装置 1 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

20

【0418】

[応用例 2]

図 89 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

【0419】

図 89 では、術者（医師）11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11133 上の患者 11132 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。

30

【0420】

内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔内に挿入される鏡筒 11101 と、鏡筒 11101 の基端に接続されるカメラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

【0421】

鏡筒 11101 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 11100 には光源装置 11203 が接続されており、当該光源装置 11203 によって生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

40

【0422】

カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAW データとしてカメラコントロールユニット

50

(CCU: Camera Control Unit) 11201に送信される。

【0423】

CCU11201は、CPU(Central Processing Unit)やGPU(Graphics Processing Unit)等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理(デモザイク処理)等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

【0424】

表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

10

【0425】

光源装置11203は、例えばLED(Light Emitting Diode)等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

【0426】

入力装置11204は、内視鏡手術システム11000に対する入力インタフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件(照射光の種類、倍率及び焦点距離等)を変更する旨の指示等を入力する。

【0427】

20

処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

【0428】

なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色(各波長)の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

30

【0429】

また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

40

【0430】

また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光(すなわち、白色光)に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察(Narrow Band Imaging)が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われて

50

もよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニグリーン（ＩＣＧ）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置１１２０３は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

【０４３１】

図９０は、図８９に示すカメラヘッド１１１０２及びＣＣＵ１１２０１の機能構成の一例を示すブロック図である。

【０４３２】

カメラヘッド１１１０２は、レンズユニット１１４０１と、撮像部１１４０２と、駆動部１１４０３と、通信部１１４０４と、カメラヘッド制御部１１４０５と、を有する。ＣＣＵ１１２０１は、通信部１１４１１と、画像処理部１１４１２と、制御部１１４１３と、を有する。カメラヘッド１１１０２とＣＣＵ１１２０１とは、伝送ケーブル１１４００によって互いに通信可能に接続されている。

【０４３３】

レンズユニット１１４０１は、鏡筒１１１０１との接続部に設けられる光学系である。鏡筒１１１０１の先端から取り込まれた観察光は、カメラヘッド１１１０２まで導光され、当該レンズユニット１１４０１に入射する。レンズユニット１１４０１は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

【０４３４】

撮像部１１４０２は、撮像素子で構成される。撮像部１１４０２を構成する撮像素子は、１つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部１１４０２が多板式で構成される場合には、例えば各撮像素子によってＲＧＢそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部１１４０２は、３Ｄ（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

【０４３５】

また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

【０４３６】

駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

【０４３７】

通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

【０４３８】

また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

【０４３９】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE(Auto Exposure)機能、AF(Auto Focus)機能及びAWB(Auto White Balance)機能が内視鏡11100に搭載されていることになる。

【0440】

カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

【0441】

通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

10

【0442】

また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

【0443】

画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

【0444】

20

制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。

【0445】

また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具11112の使用時のミスト等を認識することができる。制御部11413は、表示装置11202に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者11131に提示されることにより、術者11131の負担を軽減することや、術者11131が確実に手術を進めることが可能になる。

30

【0446】

カメラヘッド11102及びCCU11201を接続する伝送ケーブル11400は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

【0447】

ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

40

【0448】

以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡11100のカメラヘッド11102に設けられた撮像部11402に好適に適用され得る。撮像部11402に本開示に係る技術を適用することにより、撮像部11402を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡11100を提供することができる。

【0449】

以上、本開示の一実施形態、変形例、及び具体例を挙げて、本開示にかかる技術を説明した。ただし、本開示にかかる技術は、上記実施の形態等に限定されるものではなく、種

50

々の変形が可能である。

【0450】

また、上記の各変形例は、互いに組み合わせることも可能である。

【0451】

さらに、各実施形態で説明した構成および動作の全てが本開示の構成および動作として必須であるとは限らない。たとえば、各実施形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素は、任意の構成要素として理解されるべきである。

【0452】

本明細書および添付の特許請求の範囲全体で使用される用語は、「限定的でない」用語と解釈されるべきである。例えば、「含む」又は「含まれる」という用語は、「含まれるものとして記載されたものに限定されない」と解釈されるべきである。「有する」という用語は、「有するものとして記載されたものに限定されない」と解釈されるべきである。

【0453】

本明細書で使用した用語には、単に説明の便宜のために用いたものであって、構成および動作を限定したものではないものが含まれる。たとえば、「右」、「左」、「上」、「下」といった用語は、参照している図面上での方向を示しているにすぎない。また、「内側」、「外側」という用語は、それぞれ、注目要素の中心に向かう方向、注目要素の中心から離れる方向を示す。これらに類似する用語や同様の趣旨の用語についても同様である。

【0454】

なお、本開示にかかる技術は、以下のような構成を取ることも可能である。以下の構成を備える本開示にかかる技術によれば、第1半導体基板を透過して半導体層及び絶縁層にて反射する光の分布を、光学情報を取得する単位となるセンサ画素に対して均一にすることができる。よって、三次元構造の撮像装置において、同色画素間での感度差、又は隣接画素へのクロストークの不均一性を低減させることができる。本開示にかかる技術が奏する効果は、ここに記載された効果に必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

(1)

光電変換を行うセンサ画素を有する第1基板と、  
前記センサ画素から出力された電荷に基づいて画素信号を出力する画素回路を有する第2基板と、  
前記画素信号を信号処理する処理回路を有する第3基板と  
を備え、

前記第1基板、前記第2基板、及び前記第3基板は、この順に積層され、  
前記画素回路が設けられる半導体層は、絶縁層によって分断されており、  
前記センサ画素の光軸方向に垂直な平面の少なくとも一方向において、前記絶縁層は、前記半導体層が連続する領域の中心位置、又は前記半導体層を分断する領域の中心位置が前記センサ画素の光学中心の位置と対応するように前記半導体層を分断する、撮像装置。

(2)

前記センサ画素の光軸方向に垂直な平面の少なくとも一方向において、前記絶縁層は、前記半導体層が連続する領域の中心位置、又は前記半導体層を分断する領域の中心位置が前記センサ画素の光学中心の位置と略一致するように前記半導体層を分断する、上記(1)に記載の撮像装置。

(3)

前記センサ画素は、前記第1基板の面内方向に行列状に配列される、上記(1)又は(2)に記載の撮像装置。

(4)

前記絶縁層は、前記センサ画素が配列された行方向、又は列方向の少なくともいずれか1つ以上の方向で前記半導体層を分断する、上記(3)に記載の撮像装置。

(5)

10

20

30

40

50

前記行方向、又は前記列方向の少なくともいずれか1つ以上の方向において、前記半導体層が連続する領域の中心位置、又は前記半導体層を分断する領域の中心位置は、前記センサ画素の光学中心の位置と略一致する、上記(4)に記載の撮像装置。

(6)

前記絶縁層は、前記センサ画素が設けられた画素領域の全面に亘って前記半導体層を分断する、上記(3)~(5)のいずれか一項に記載の撮像装置。

(7)

前記第1基板は、互いに異なる波長帯域の光を光電変換する複数の前記センサ画素を有し、

前記絶縁層は、最も長波長の光を光電変換する前記センサ画素の光学中心の位置と、前記半導体層が連続する領域の中心位置、又は前記半導体層を分断する領域の中心位置とが対応するように前記半導体層を分断する、上記(1)~(6)のいずれか一項に記載の撮像装置。

10

(8)

前記第1基板は、第1半導体基板に第1絶縁層を積層することで構成され、

前記第1基板は、前記第1絶縁層を介して前記半導体層に貼り合わせられており、

前記半導体層の前記第1基板側の面には、前記第1基板の屈折率と、前記第1絶縁層の屈折率との間の値の屈折率を有する反射防止膜がさらに設けられる、上記(1)~(7)のいずれか一項に記載の撮像装置。

(9)

前記センサ画素は、受光レンズ、及びカラーフィルタを通過した光を光電変換する光電変換素子を有し、

前記センサ画素の光学中心の位置は、光学情報を取得する単位となる1又は複数の前記センサ画素の光電変換素子が設けられた領域の中心位置である、上記(1)~(8)のいずれか一項に記載の撮像装置。

20

(10)

光学情報を取得する単位が複数の前記センサ画素である場合、前記センサ画素の光学中心の位置は、複数の前記センサ画素の各々の光電変換素子が設けられた領域を連結した領域の中心位置である、上記(9)に記載の撮像装置。

(11)

複数の前記センサ画素には、前記カラーフィルタ、又は前記受光レンズの一方又は両方が連続して設けられる、上記(10)に記載の撮像装置。

30

(12)

前記センサ画素は、光電変換素子と、前記光電変換素子に電気的に接続された転送トランジスタと、前記転送トランジスタを介して前記光電変換素子から出力された前記電荷を一時的に保持するフローティングディフュージョンとを有し、

前記画素回路は、前記フローティングディフュージョンの電位を所定の電位にリセットするリセットトランジスタと、前記フローティングディフュージョンに保持された前記電荷のレベルに応じた電圧の信号を前記画素信号として生成する増幅トランジスタと、前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタとを有する、上記(1)~(11)のいずれか一項に記載の撮像装置。

40

(13)

前記リセットトランジスタ、前記増幅トランジスタ、及び前記選択トランジスタは、前記半導体層にそれぞれ設けられる、上記(12)に記載の撮像装置。

(14)

前記第1基板の前記フローティングディフュージョンと、前記第2基板の前記画素回路とを電気的に接続する貫通配線は、前記絶縁層を貫通して設けられる、上記(12)又は(13)に記載の撮像装置。

(15)

前記第1基板は、前記光電変換素子、前記転送トランジスタ、及び前記フローティング

50

ディフュージョンを前記センサ画素ごとに有し、

前記第 2 基板は、前記センサ画素ごとに前記画素回路を有する、上記 ( 1 2 ) ~ ( 1 4 ) のいずれか一項に記載の撮像装置。

( 1 6 )

前記第 1 基板は、前記光電変換素子、前記転送トランジスタ、及び前記フローティングディフュージョンを前記センサ画素ごとに有し、

前記第 2 基板は、複数の前記センサ画素ごとに前記画素回路を有する、上記 ( 1 2 ) ~ ( 1 4 ) のいずれか一項に記載の撮像装置。

( 1 7 )

前記第 1 基板は、前記光電変換素子、及び前記転送トランジスタを前記センサ画素ごとに有し、かつ前記フローティングディフュージョンを複数の前記センサ画素ごとに共有し、

前記第 2 基板は、前記フローティングディフュージョンを共有する複数の前記センサ画素ごとに前記画素回路を有する、上記 ( 1 2 ) ~ ( 1 4 ) のいずれか一項に記載の撮像装置。

【 0 4 5 5 】

本出願は、日本国特許庁において 2 0 1 9 年 6 月 2 6 日に出願された日本特許出願番号 2 0 1 9 - 1 1 8 9 1 2 号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

【 0 4 5 6 】

当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

10

20

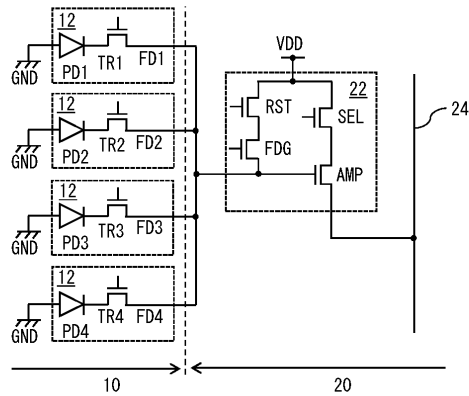
30

40

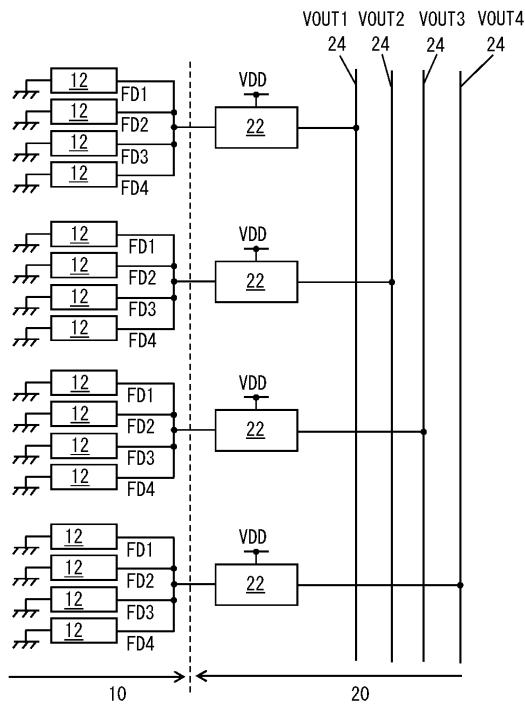
50



【図 5】



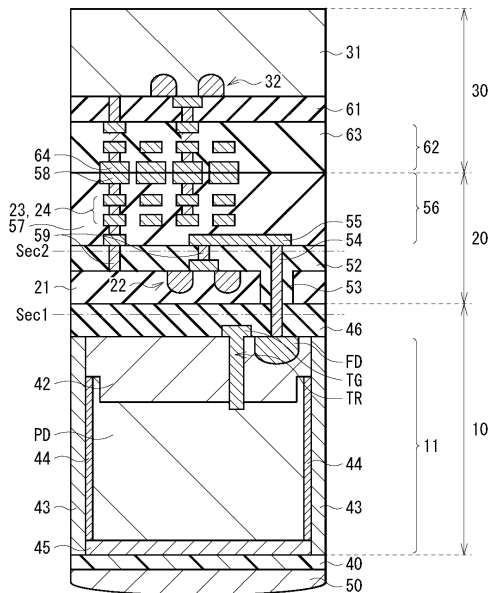
【図 6】



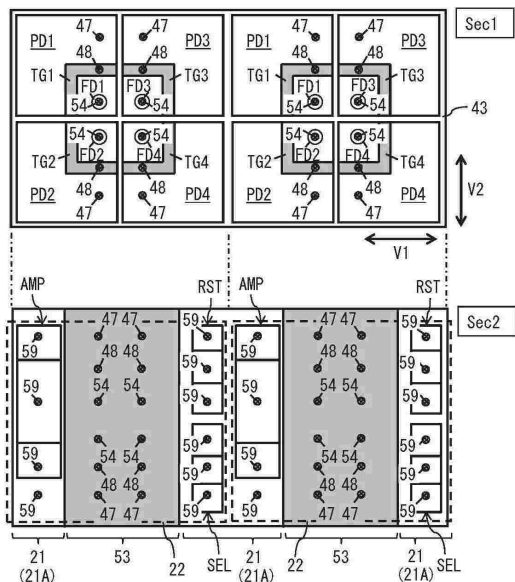
10

20

【図 7】



【図 8】

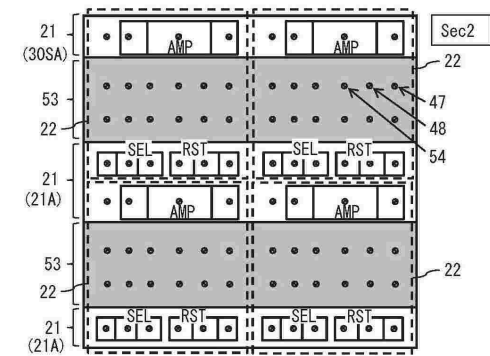
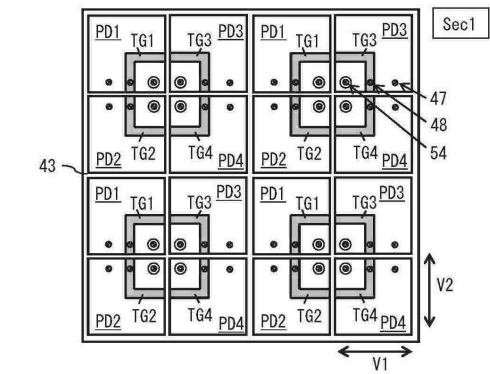


30

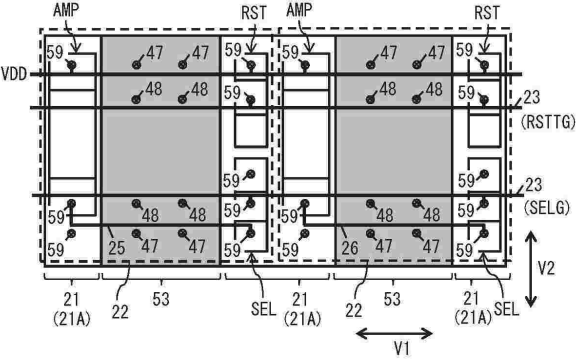
40

50

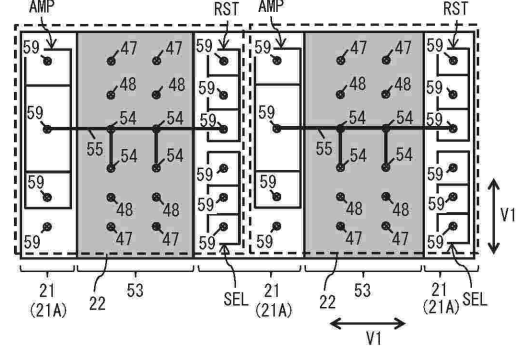
【図 9】



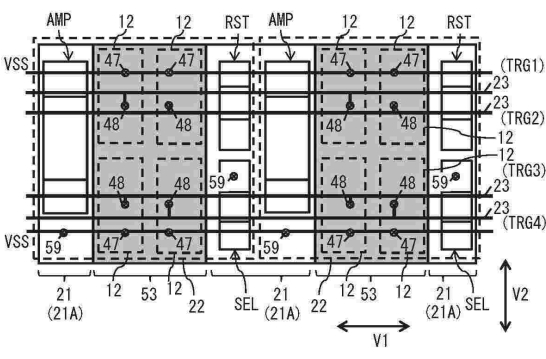
【図 11】



【図 10】



【図 12】



10

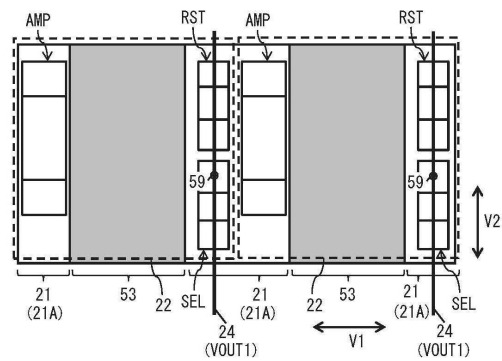
20

30

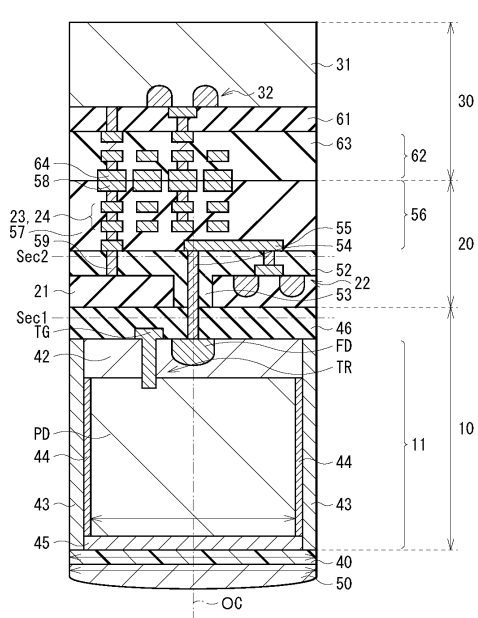
40

50

【図 1 3】

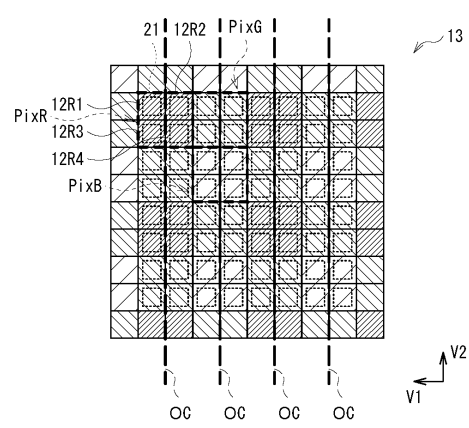


【図 1 4】

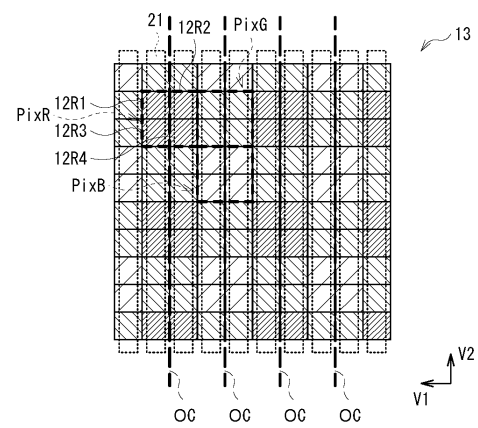


10

【図 1 5】



【図 1 6】



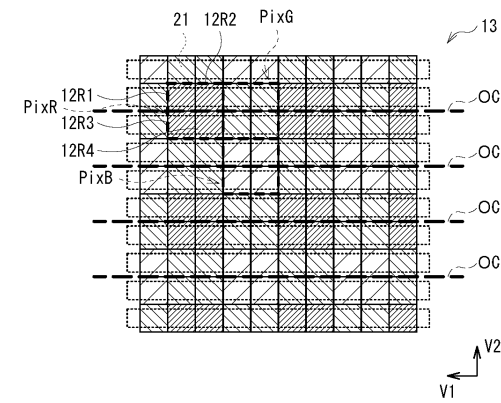
20

30

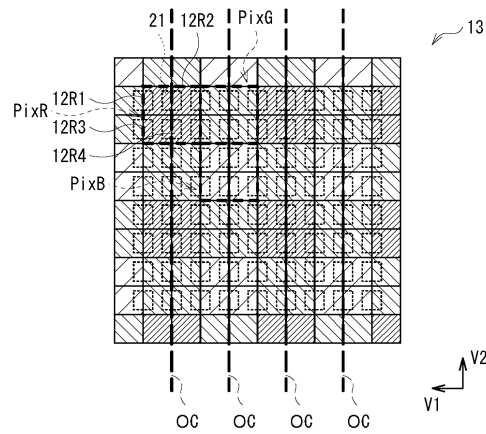
40

50

【図 17】

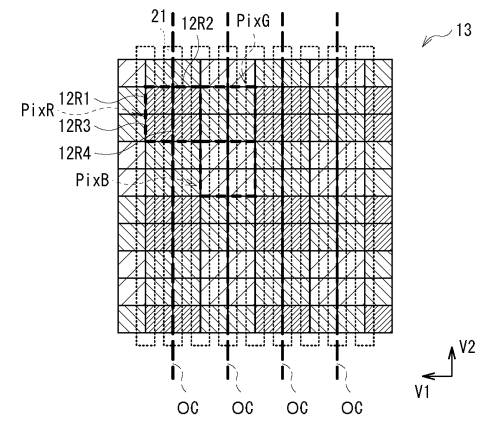


【図 18】

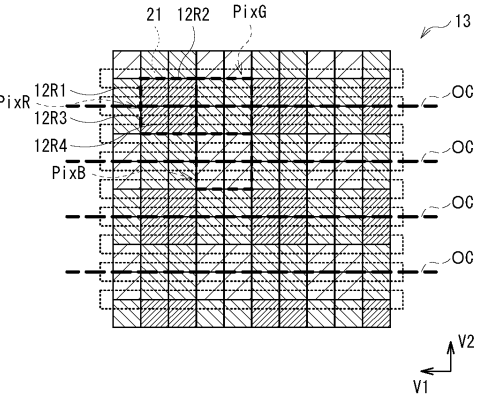


10

【図 19】



【図 20】



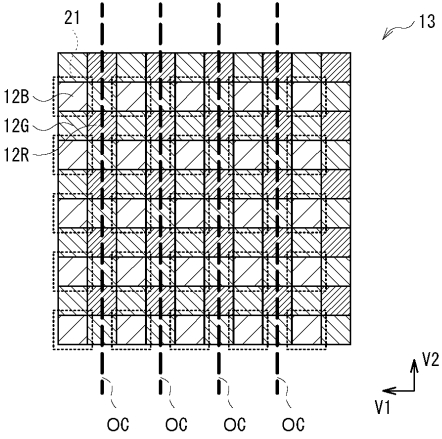
20

30

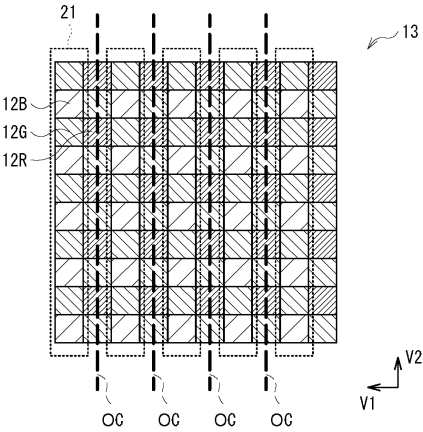
40

50

【図 2 1】

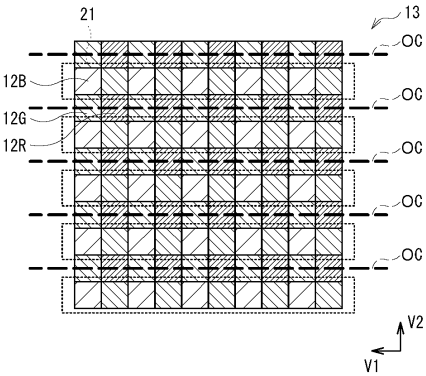


【図 2 2】

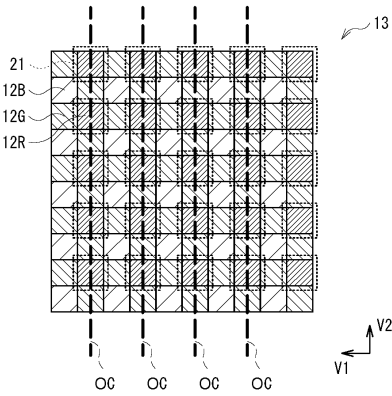


10

【図 2 3】



【図 2 4】



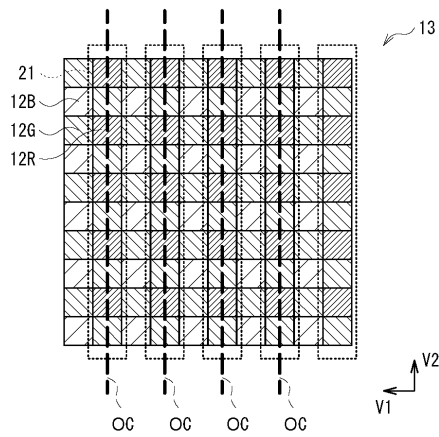
20

30

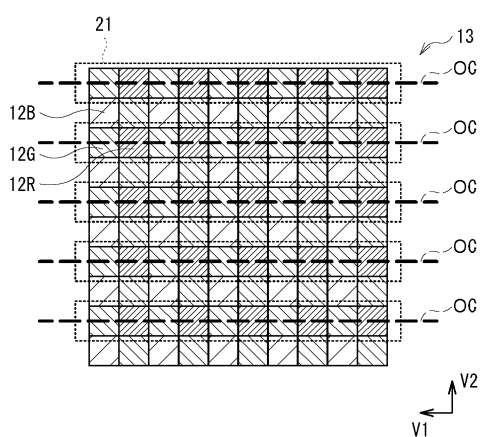
40

50

【図 2 5】

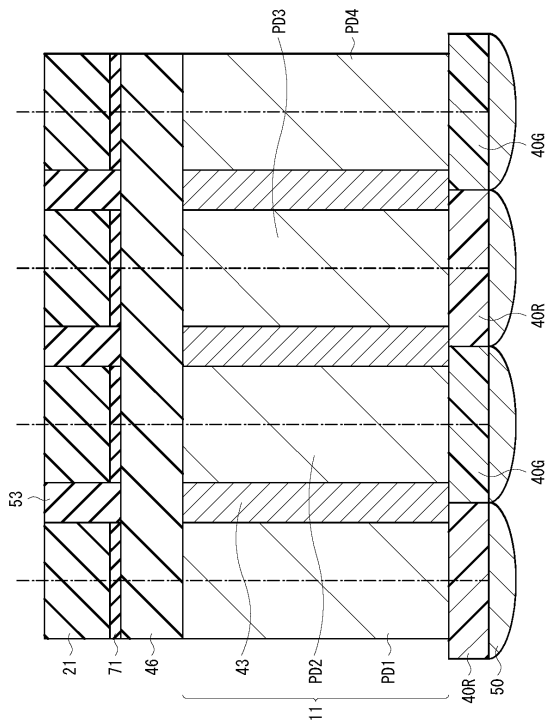


【図 2 6】

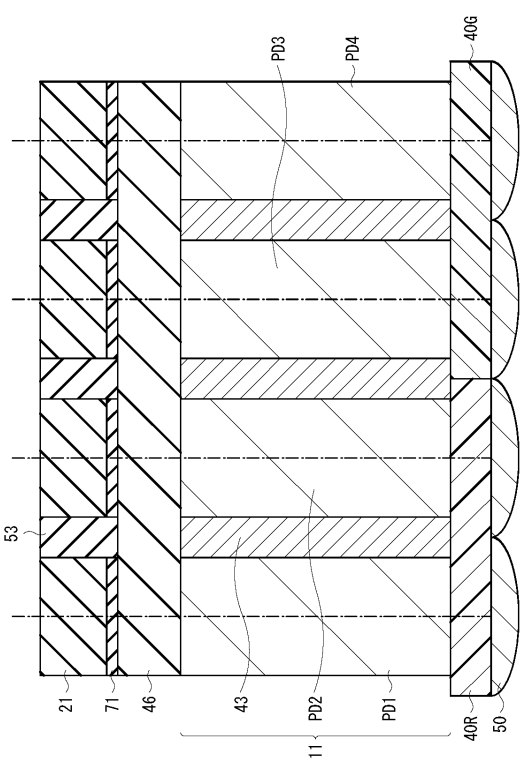


10

【図 2 7 A】



【図 2 7 B】



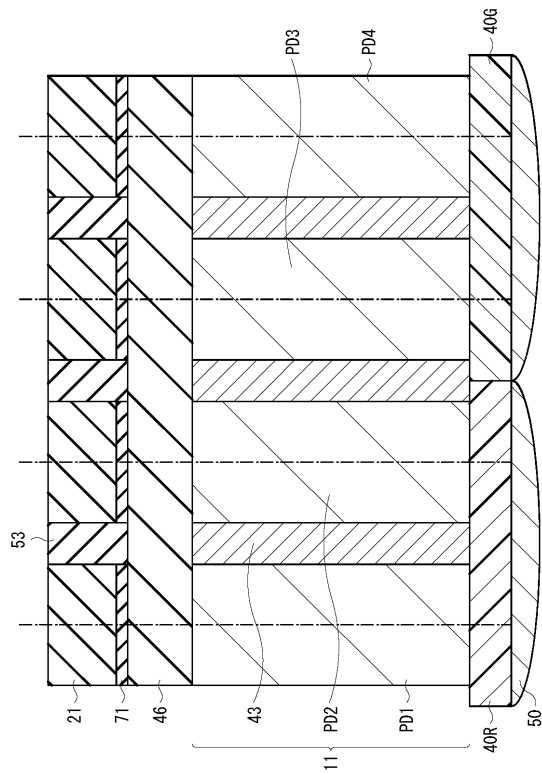
20

30

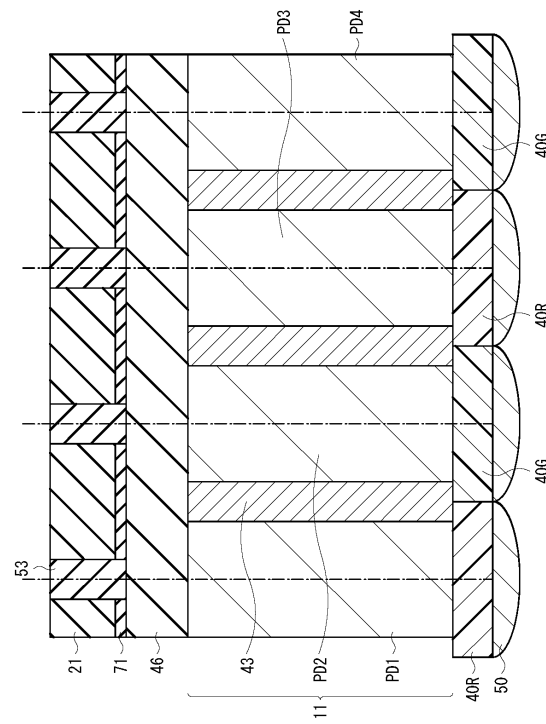
40

50

【図 27 C】



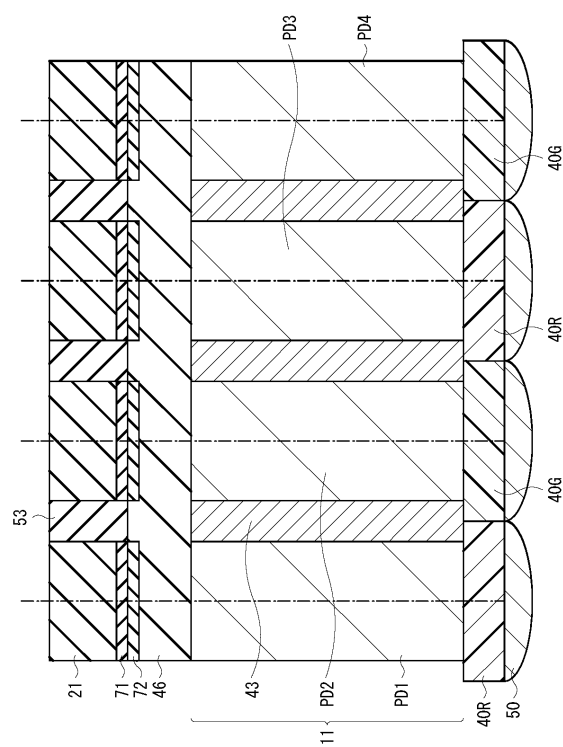
【図 27 D】



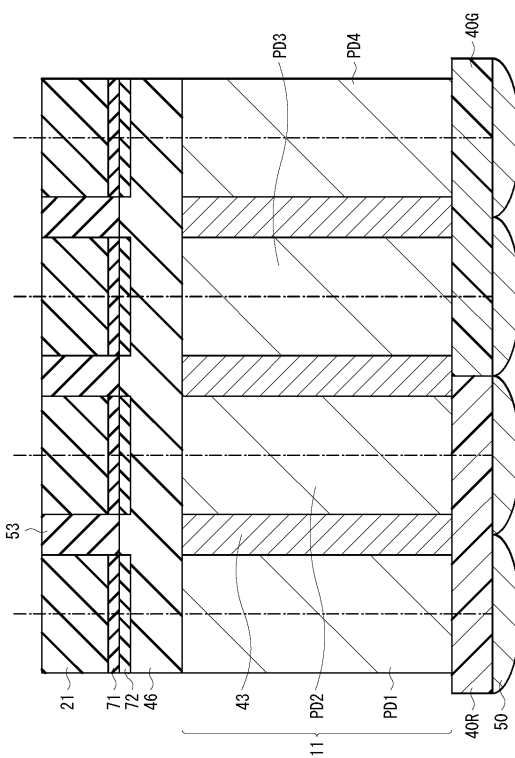
10

20

【図 28 A】



【図 28 B】

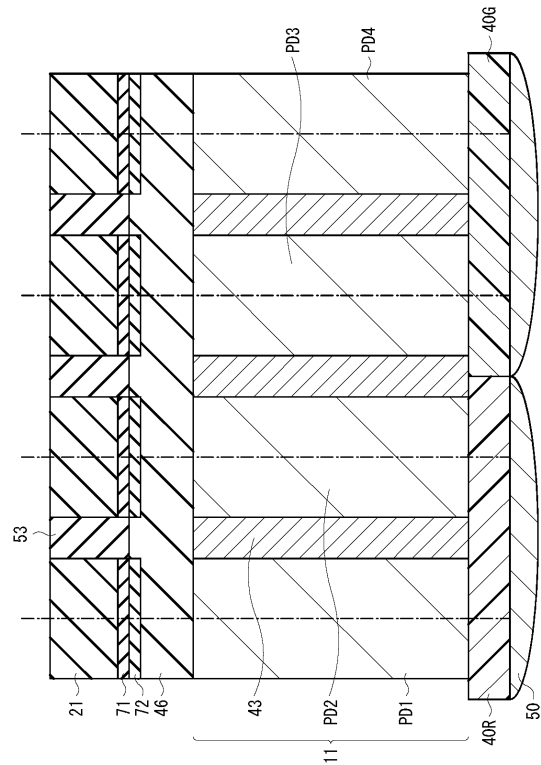


30

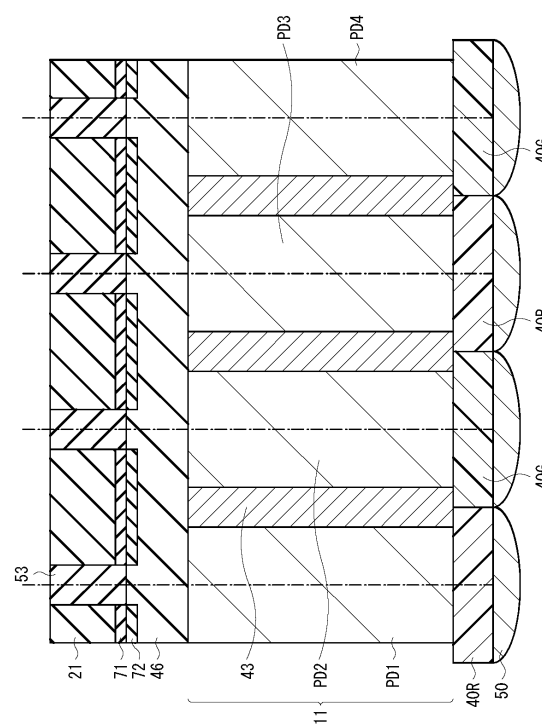
40

50

【図 28C】



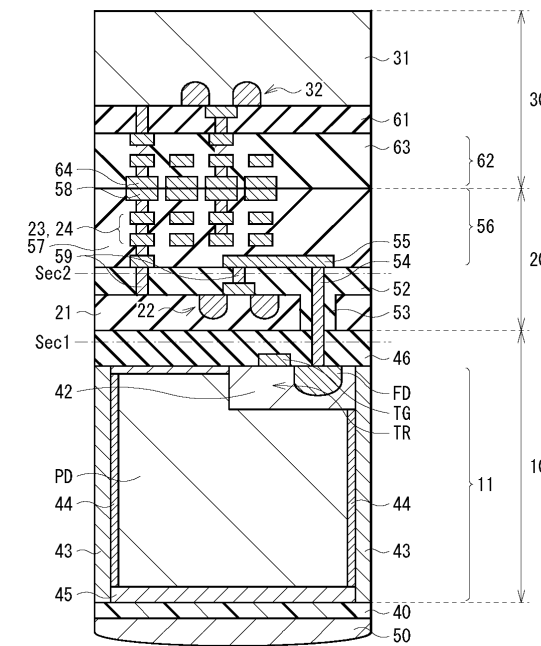
【図 28D】



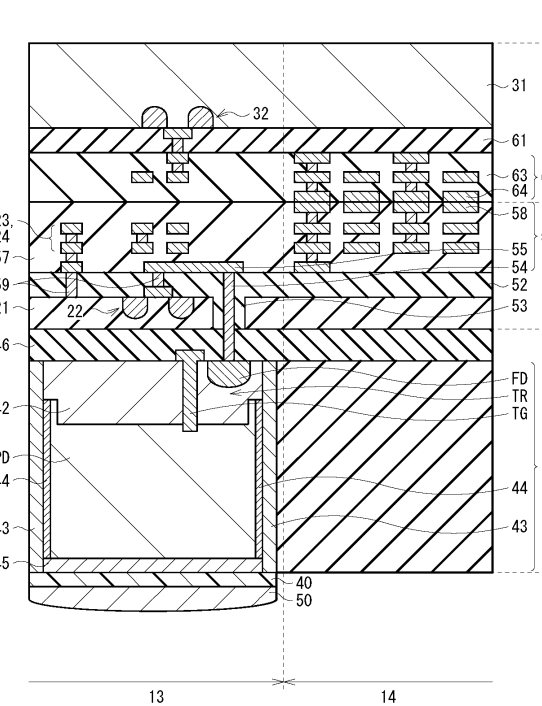
10

20

【図 29】



【図 30】

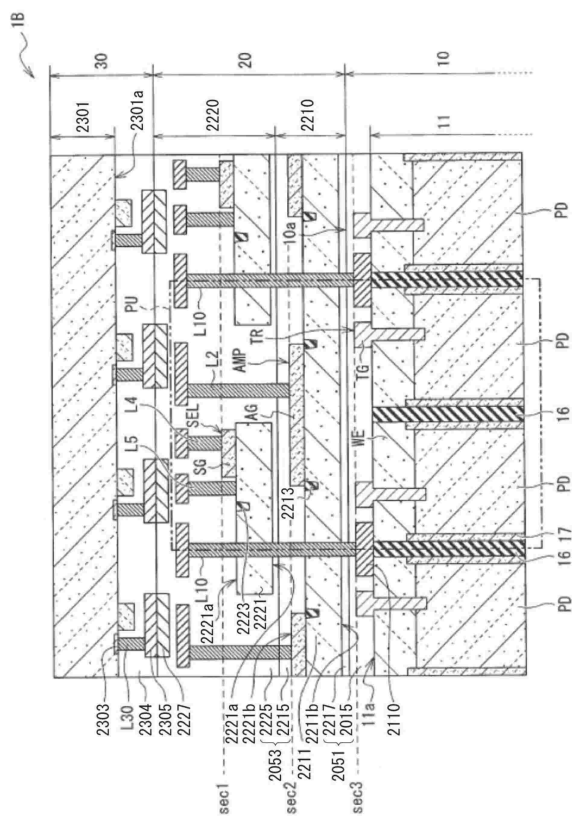


30

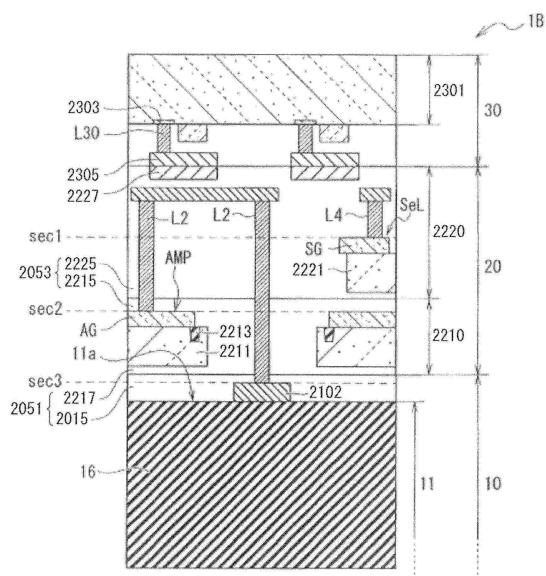
40

50

【 図 3 1 】



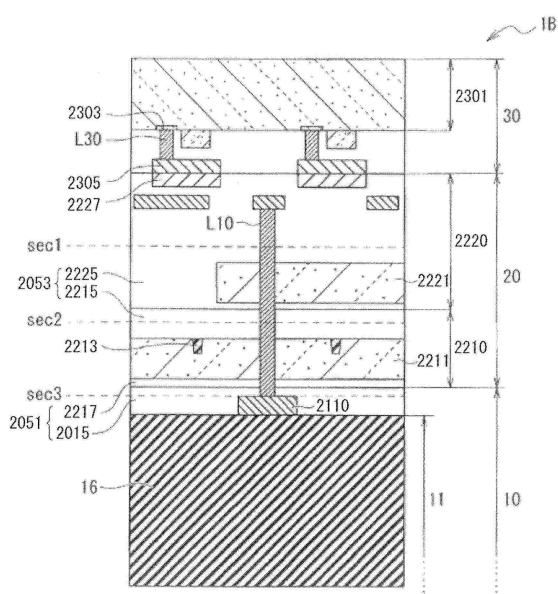
【 図 3 2 】



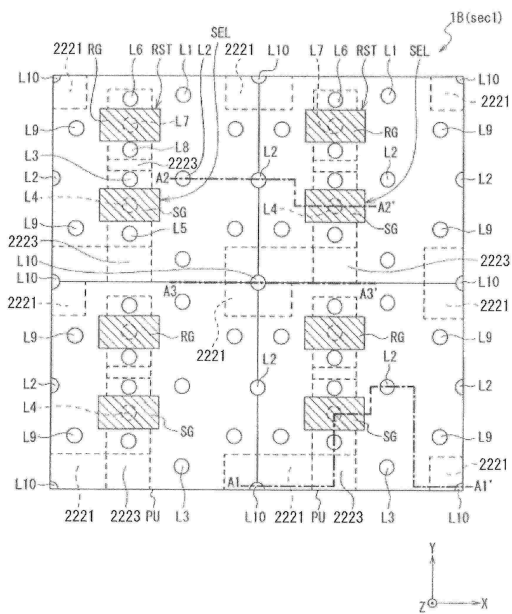
10

20

【 図 3 3 】



【 図 3 4 】

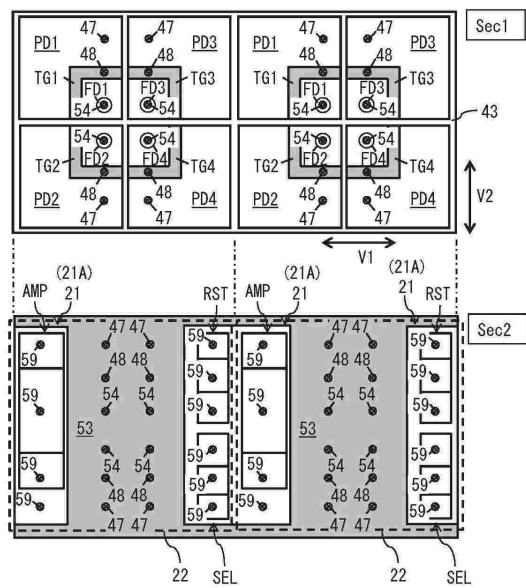


30

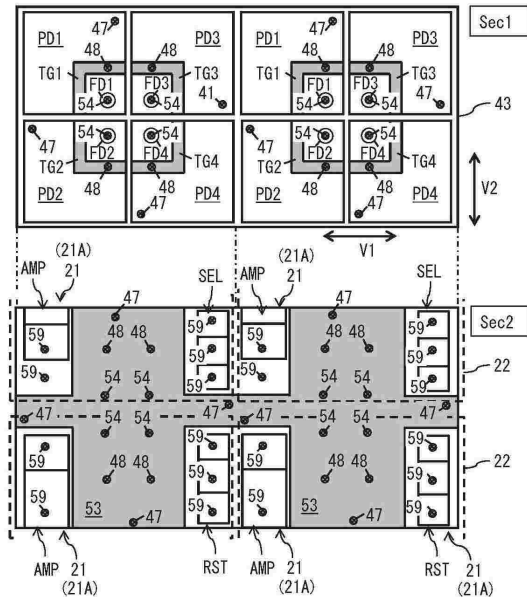
40



【図 3 9】



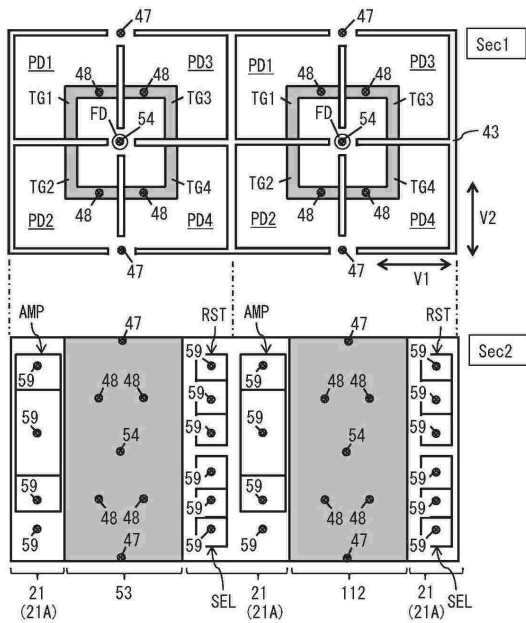
【図 4 0】



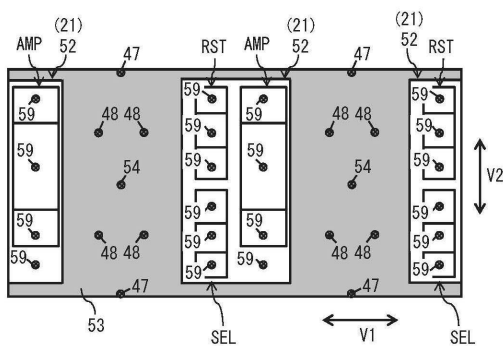
10

20

【図 4 1】



【図 4 2】

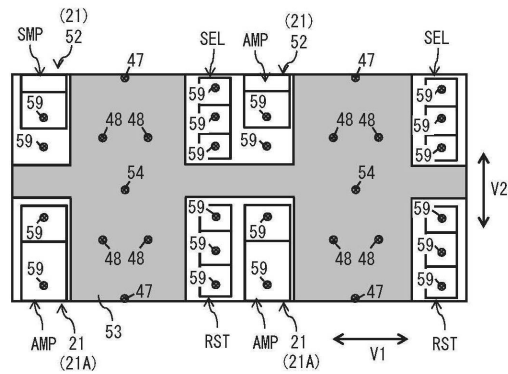


30

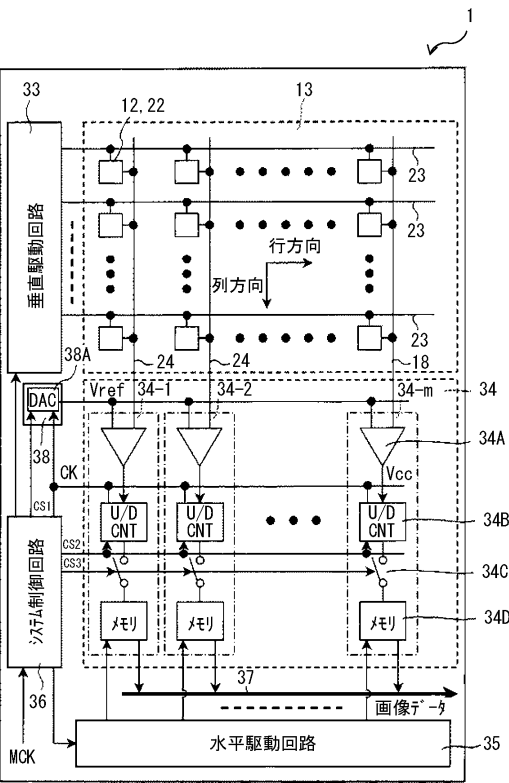
40

50

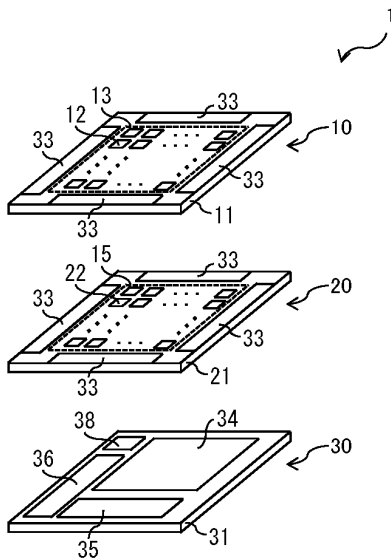
【図 4 3】



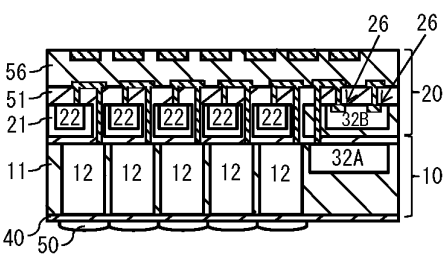
【図 4 4】



【図 4 5】



【図 4 6】



10

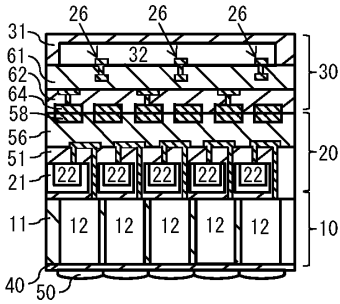
20

30

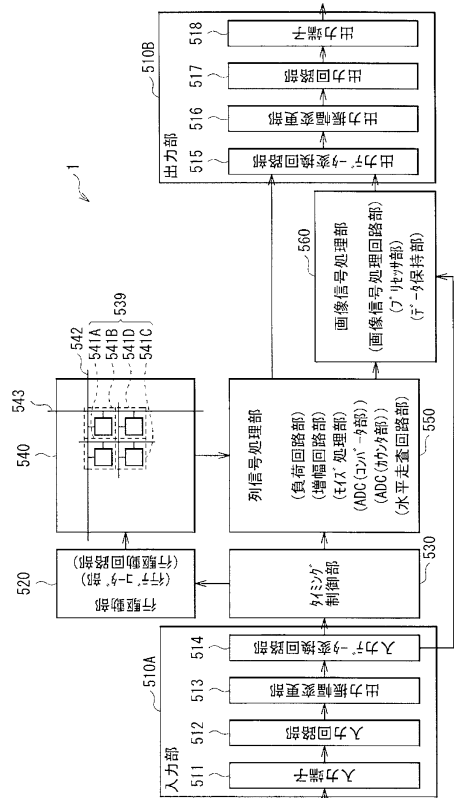
40

50

【図 4 7】



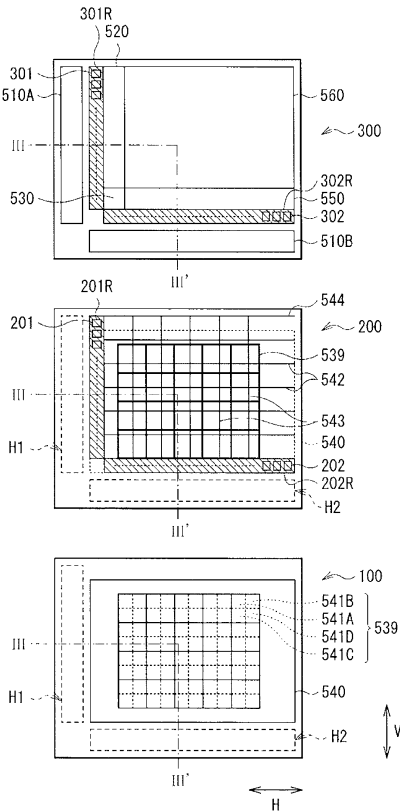
【図 4 8】



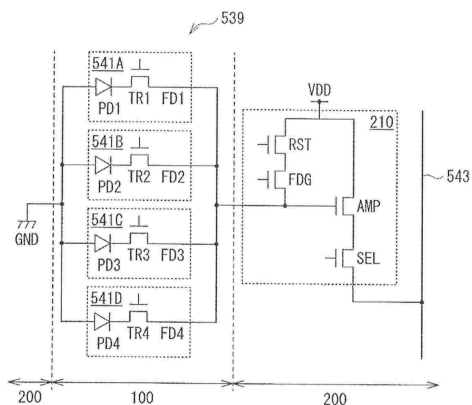
10

20

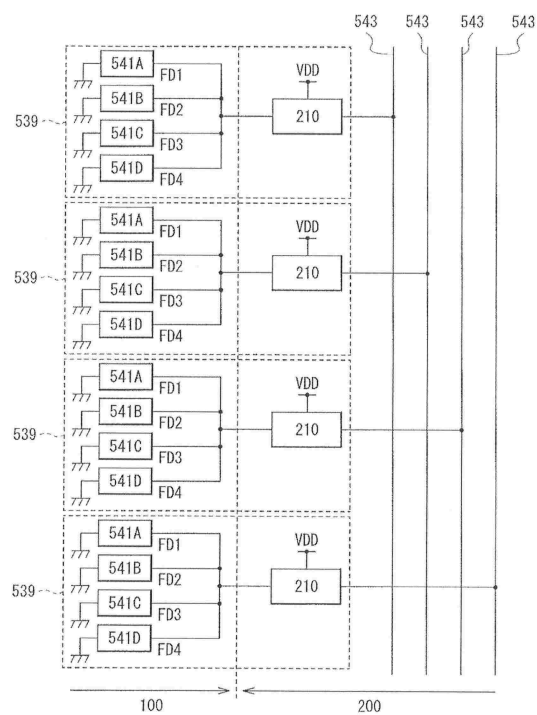
【図 4 9】



【 図 5 1 】



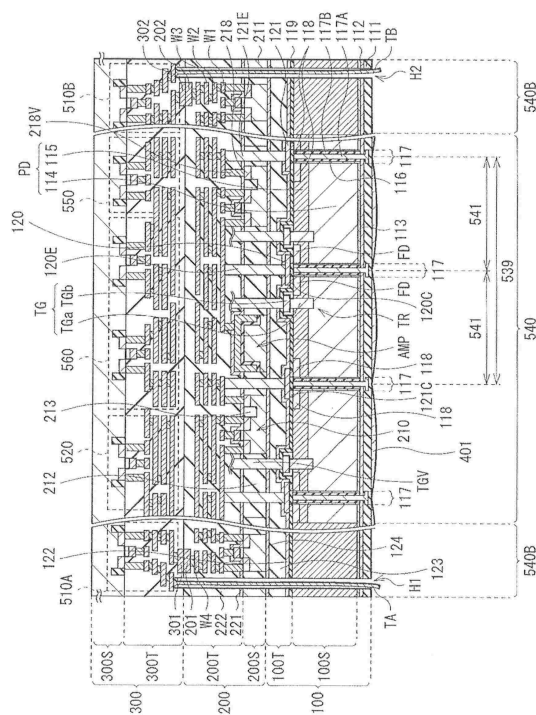
【圖 5 2】



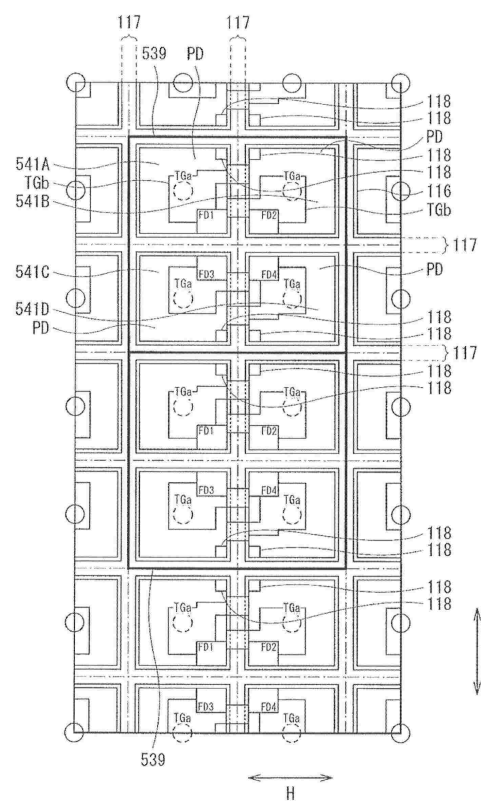
10

20

【 図 5 3 】



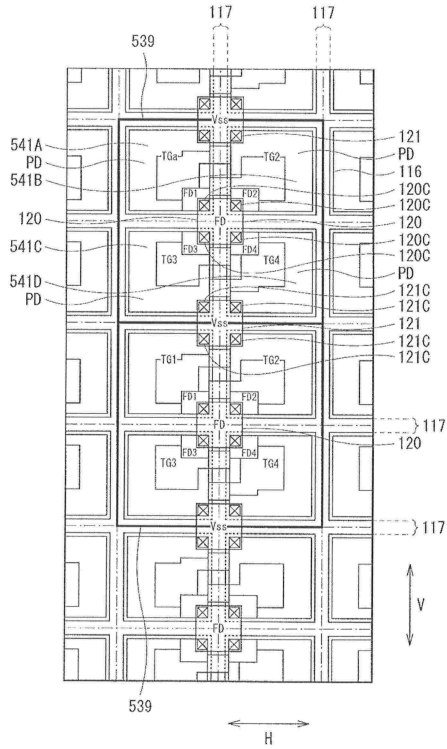
【 図 5 4 A 】



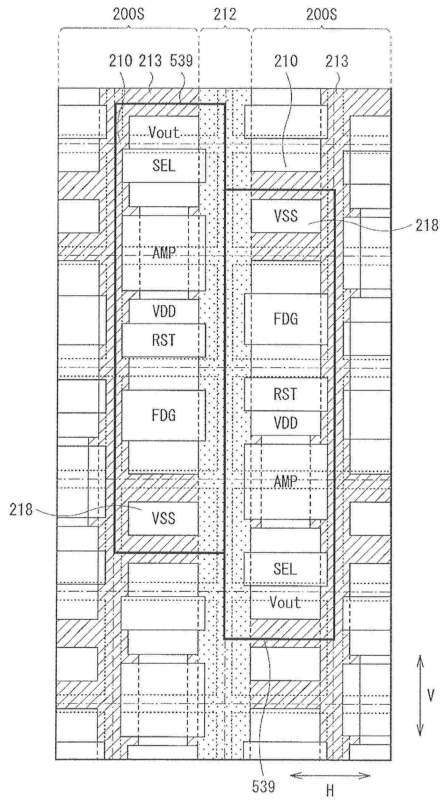
30

40

【図 5 4 B】



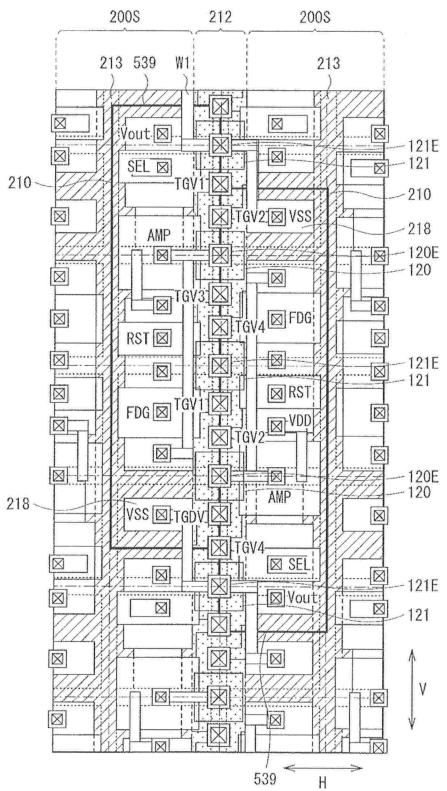
【図 5 5】



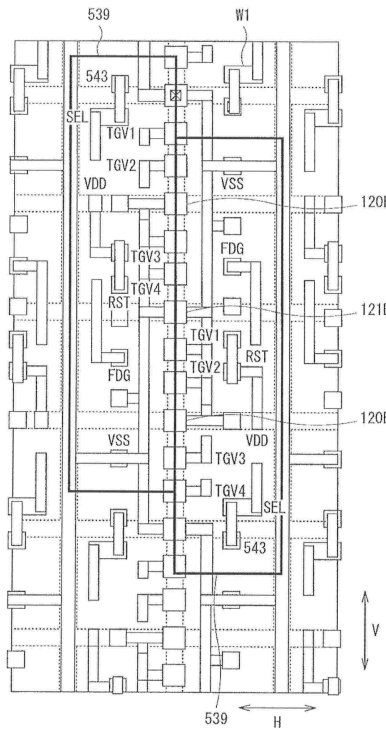
10

20

【図 5 6】



【図 5 7】

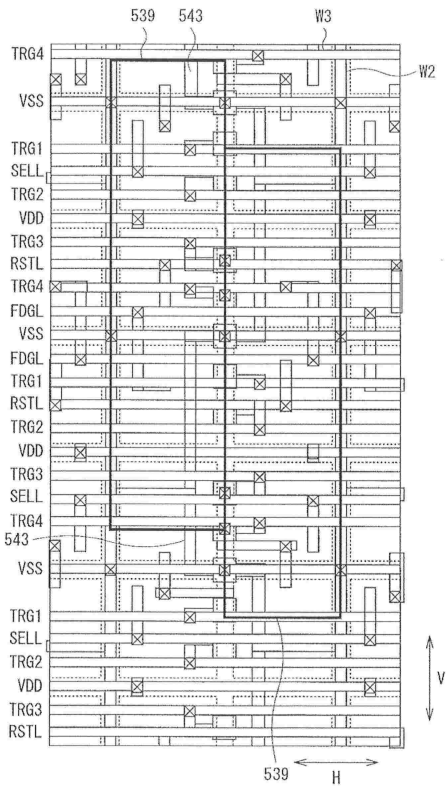


30

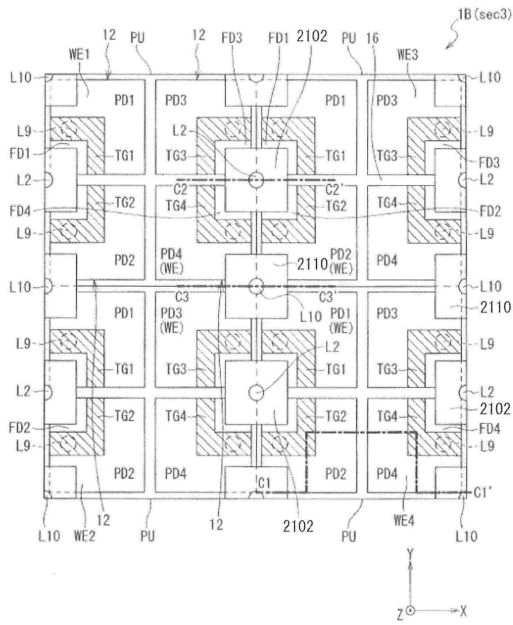
40

50

【図 5 8】



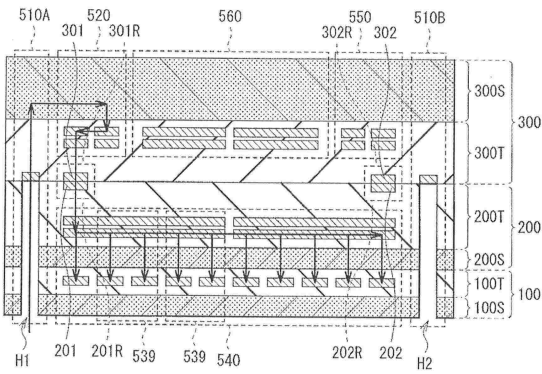
【図 5 9】



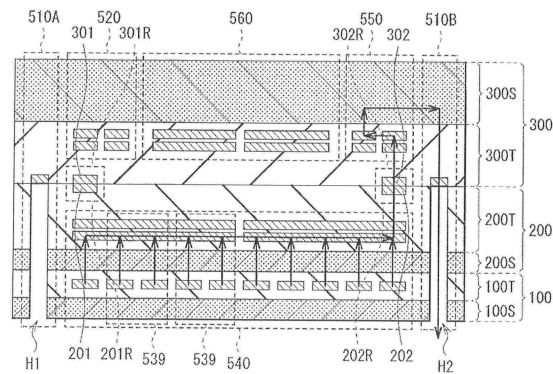
10

20

【図 6 0】



【図 6 1】

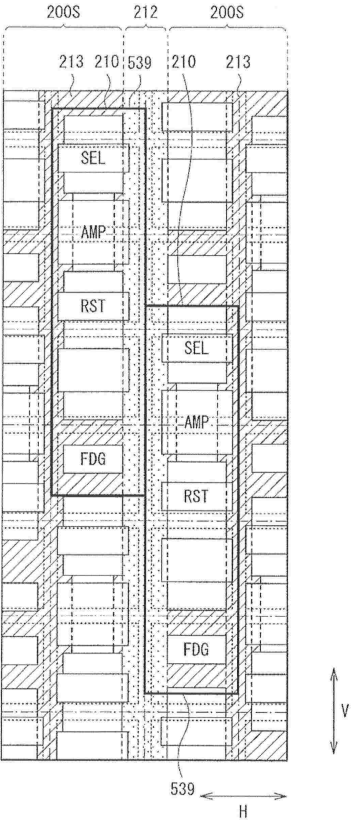


30

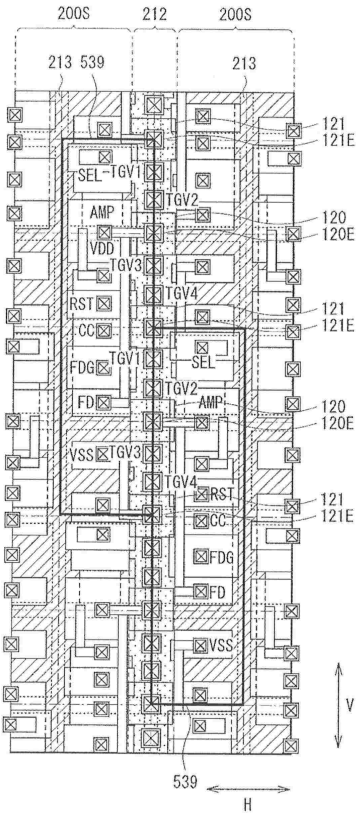
40

50

【図 6 2】



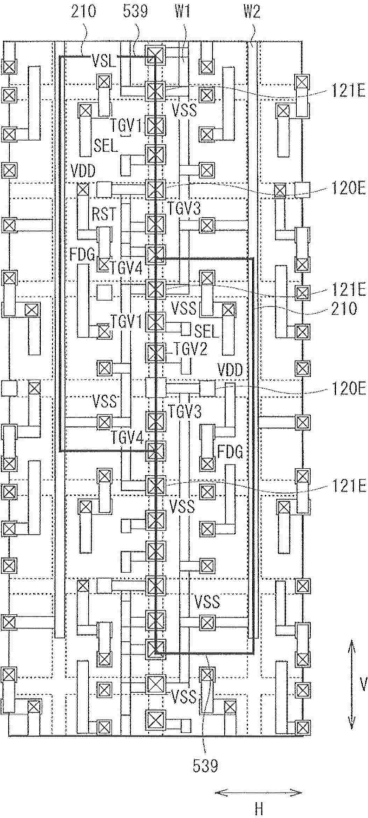
【図 6 3】



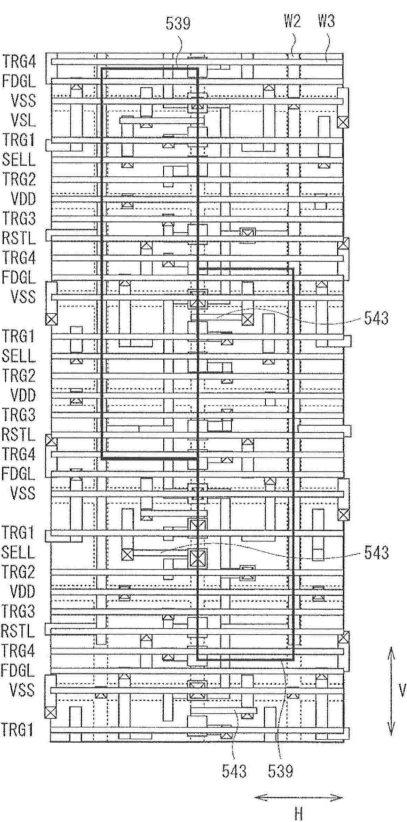
10

20

【図 6 4】



【図 6 5】

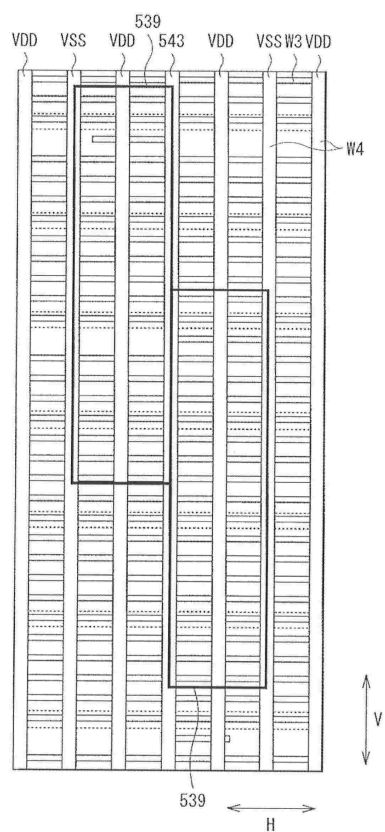


30

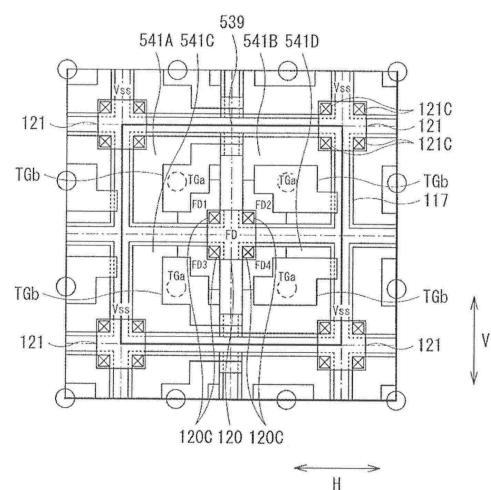
40

50

【 図 6 6 】



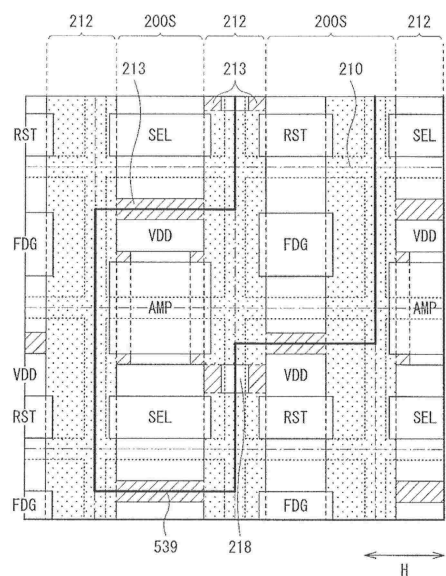
【圖 6 7】



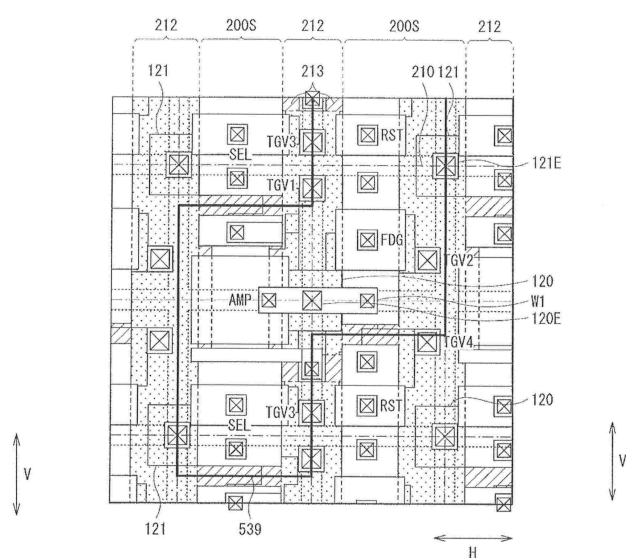
10

20

【 図 6 8 】



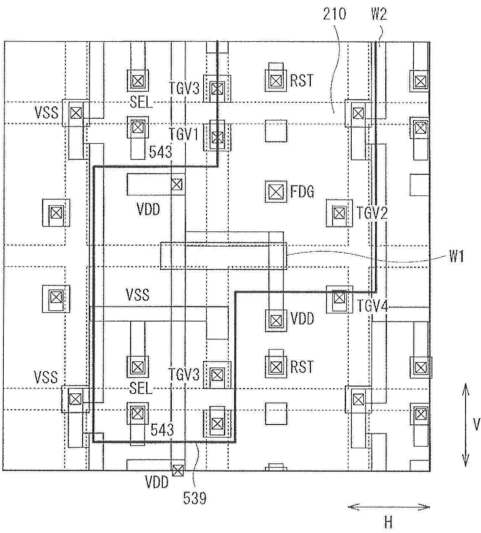
【 図 6 9 】



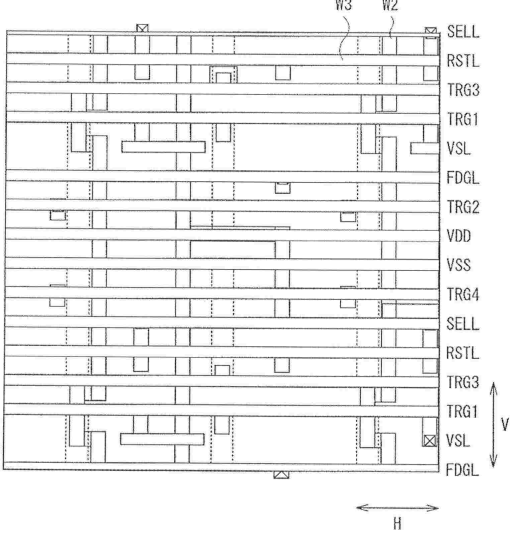
30

40

【図 7 0】

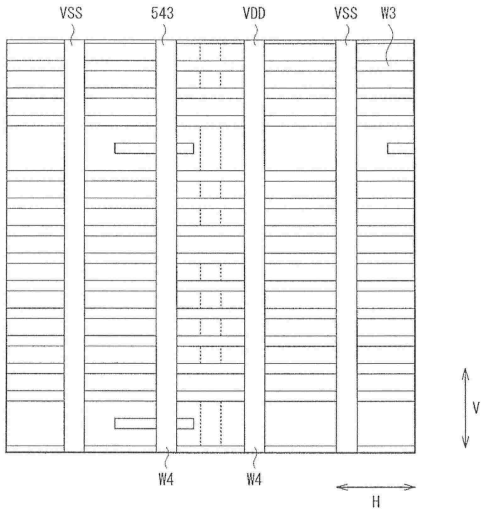


【図 7 1】

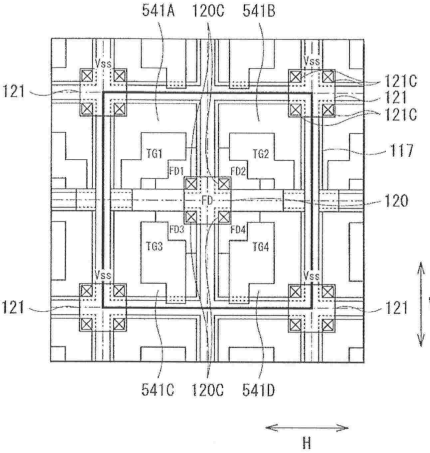


10

【図 7 2】



【図 7 3】



20

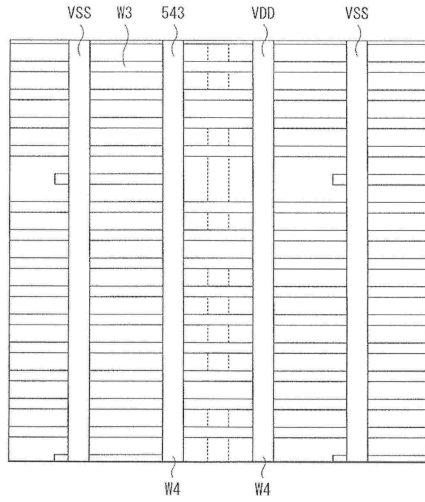
30

40

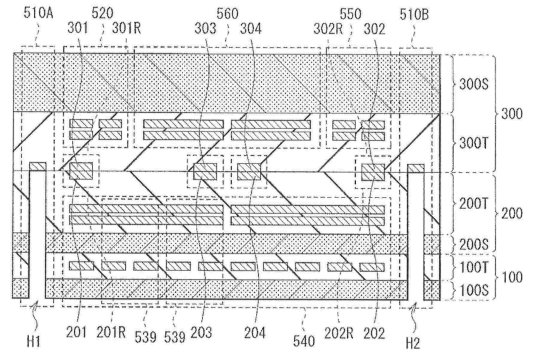
50



【図 78】

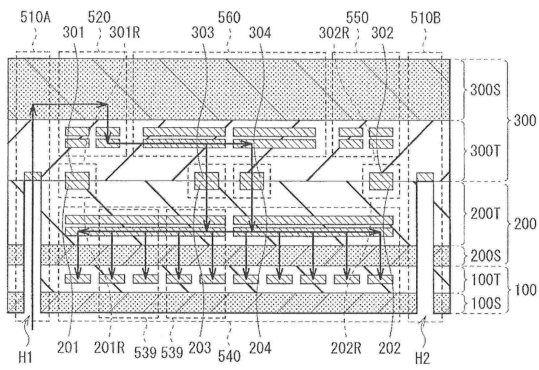


【図 79】

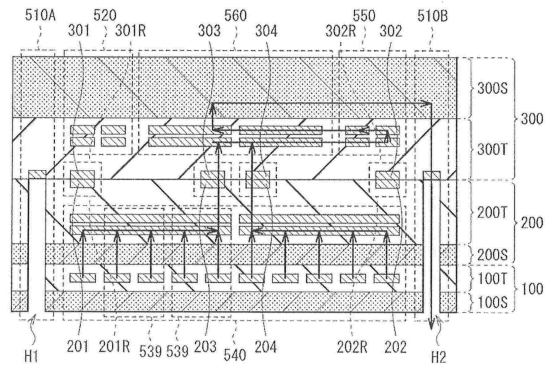


10

【図 80】



【図 81】



20

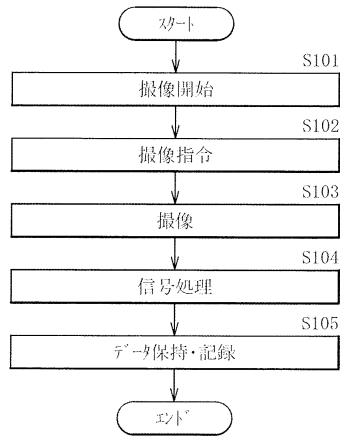
30

40

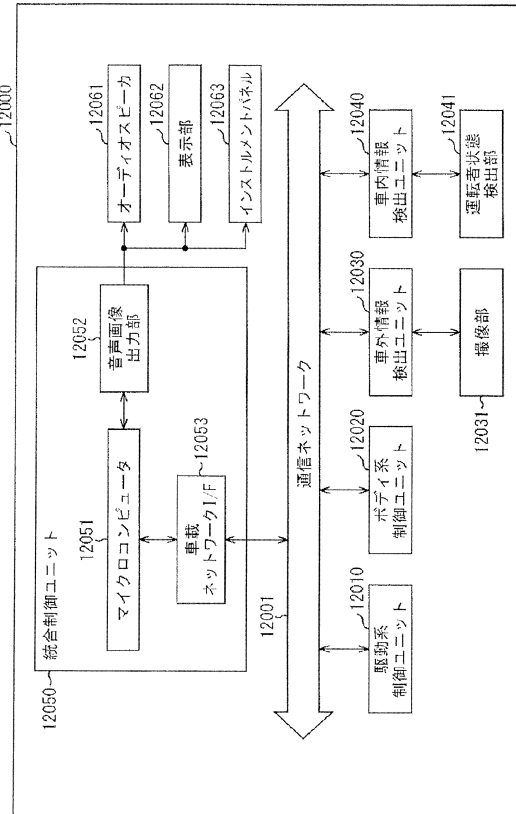
50



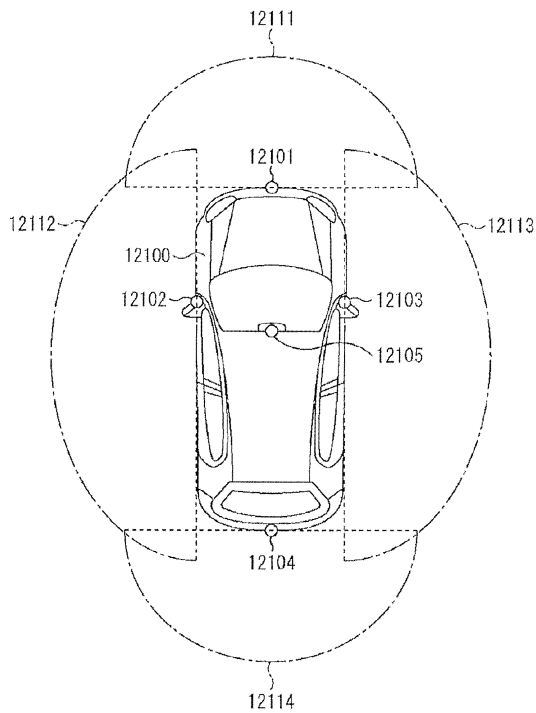
【図 8 6】



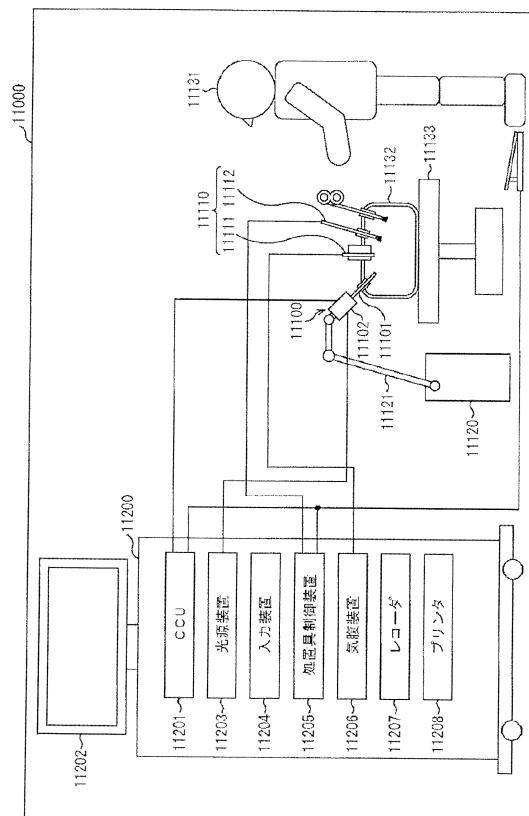
【図 8 7】



【図 8 8】



【図 8 9】



10

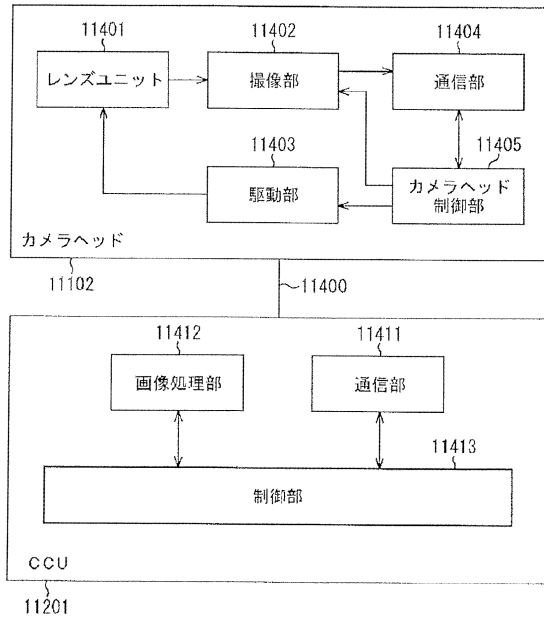
20

30

40

50

【図 90】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

**H 1 0 F 39/12 (2025.01)**

F I

H 1 0 F 39/12

D

H 1 0 F 39/18

F

## (56)参考文献

特開 2 0 1 2 - 1 2 4 3 1 8 ( J P , A )

特開 2 0 1 5 - 0 3 2 6 8 7 ( J P , A )

特開 2 0 1 8 - 1 9 0 7 6 6 ( J P , A )

特開 2 0 1 1 - 1 3 8 8 4 1 ( J P , A )

特開 2 0 1 2 - 1 0 4 7 5 3 ( J P , A )

国際公開第 2 0 1 7 / 1 2 6 3 2 6 ( W O , A 1 )

特開 2 0 0 7 - 2 2 8 4 6 0 ( J P , A )

特開 2 0 1 4 - 0 2 2 5 6 1 ( J P , A )

## (58)調査した分野 (Int.Cl., D B 名)

H 1 0 F 3 9 / 1 8

H 0 4 N 2 5 / 1 0

H 0 4 N 2 5 / 7 0

H 0 4 N 2 5 / 7 6

H 0 4 N 2 5 / 7 7 8

H 1 0 F 3 9 / 1 2