(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7670848号
(P7670848)

(45)発行日　令和7年4月30日(2025.4.30)

(24)登録日　令和7年4月21日(2025.4.21)

(51)国際特許分類

Ｈ１０Ｂ　43/27　(2023.01)	Ｈ１０Ｂ	43/27	
Ｈ１０Ｂ　41/27　(2023.01)	Ｈ１０Ｂ	41/27	
Ｈ１０Ｄ　30/68　(2025.01)	Ｈ１０Ｄ	30/68	
Ｈ１０Ｄ　30/69　(2025.01)	Ｈ１０Ｄ	30/69	
Ｈ１０Ｄ　84/83　(2025.01)	Ｈ１０Ｄ	84/83	Ｅ

ＦＩ

請求項の数　19　（全41頁）

(21)出願番号　特願2023-555822(P2023-555822)
(86)(22)出願日　令和3年3月22日(2021.3.22)
(65)公表番号　特表2024-510223(P2024-510223A)
(43)公表日　令和6年3月6日(2024.3.6)
(86)国際出願番号　PCT/CN2021/082028
(87)国際公開番号　WO2022/198369
(87)国際公開日　令和4年9月29日(2022.9.29)
審査請求日　令和5年9月12日(2023.9.12)

(73)特許権者　519237948
長江存儲科技有限責任公司
Ｙａｎｇｔｚｅ Ｍｅｍｏｒｙ Ｔｅｃｈｎｏｌｏｇｉｅｓ Ｃｏ．，Ｌｔｄ．
中華人民共和国湖北省武漢市東湖新技術開発区未来三路８８号
Ｎｏ．８８ Ｗｅｉｌａｉ ３ｒｄ Ｒｏａｄ，Ｅａｓｔ Ｌａｋｅ Ｈｉｇｈ－ｔｅｃｈ Ｄｅｖｅｌｏｐｍｅｎｔ Ｚｏｎｅ，Ｗｕｈａｎ，Ｈｕｂｅｉ，Ｃｈｉｎａ
(74)代理人　100108453
弁理士　村山 靖彦
(74)代理人　100110364
弁理士　実広 信哉

最終頁に続く

(54)【発明の名称】　３次元のメモリデバイスおよびそれを形成するための方法

(57)【特許請求の範囲】

【請求項１】

交互配置された導電層および誘電体層を含むスタック構造体と、

前記スタック構造体を通って延在するチャネル構造体であって、前記チャネル構造体は、メモリフィルムおよび半導体チャネルを含み、前記半導体チャネルは、ドープされた部分を含み、前記半導体チャネルの前記ドープされた部分の一部は、第１の方向に前記スタック構造体を越えて延在している、チャネル構造体と、

ドープされた半導体層であって、前記ドープされた半導体層は、プレート、および、前記プレートから前記チャネル構造体の中へ延在するプラグを含み、前記半導体チャネルの前記ドープされた部分は、前記ドープされた半導体層の前記プラグを囲んでいる、ドープされた半導体層と、

を含み、

前記半導体チャネルの前記ドープされた部分のドーピング濃度は、前記半導体チャネルの他の部分のドーピング濃度よりも高く、

前記半導体チャネルの前記ドープされた部分、および、前記ドープされた半導体層の前記プラグは、前記第１の方向とは反対の第２の方向に、前記導電層のうちの１つを越えてそれぞれ延在している、３次元（３Ｄ）メモリデバイス。

【請求項２】

前記半導体チャネルの前記ドープされた部分のドーピング濃度は、$１０^{１９}$ｃｍ$^{－３}$から$１０^{２１}$ｃｍ$^{－３}$の間にある、請求項１に記載の３Ｄメモリデバイス。

【請求項３】
前記ドープされた半導体層のドーピング濃度は、$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間にある、請求項１に記載の３Ｄメモリデバイス。
【請求項４】
前記半導体チャネルの前記ドープされた部分および前記ドープされた半導体層は、Ｎ型のドープされたポリシリコンをそれぞれ含む、請求項１に記載の３Ｄメモリデバイス。
【請求項５】
前記導電層のうちの前記１つは、ソース選択ゲートラインを含む、請求項１に記載の３Ｄメモリデバイス。
【請求項６】
前記スタック構造体と前記ドープされた半導体層の前記プレートとの間に充填層をさらに含む、請求項１に記載の３Ｄメモリデバイス。
【請求項７】
前記充填層は、ポリシリコン、高誘電率（高ｋ）誘電体、または金属を含む、請求項６に記載の３Ｄメモリデバイス。
【請求項８】
前記ドープされた半導体層と接触しているソース接触部をさらに含む、請求項１に記載の３Ｄメモリデバイス。
【請求項９】
前記メモリフィルムは、前記第１の方向に前記スタック構造体を越えて延在しており、前記ドープされた半導体層の前記プレートと接触している、請求項１に記載の３Ｄメモリデバイス。
【請求項１０】
交互配置された導電層および誘電体層を含むスタック構造体と、
前記スタック構造体を通って延在するチャネル構造体であって、前記チャネル構造体は、メモリフィルムおよび半導体チャネルを含む、チャネル構造体と、
ドープされた半導体層と、
を含み、
前記チャネル構造体は、第１の方向に前記スタック構造体を越えて延在しており、前記ドープされた半導体層と接触しており、
前記半導体チャネルは、前記第１の方向とは反対の第２の方向に前記導電層のうちの１つを越えて延在するドープされた部分を含み、
前記半導体チャネルの前記ドープされた部分のドーピング濃度は、前記半導体チャネルの他の部分のドーピング濃度よりも高く、
前記半導体チャネルの前記ドープされた部分と接触している前記ドープされた半導体層の一部は、前記第２の方向に前記導電層のうちの１つを越えて延在している、３次元（３Ｄ）メモリデバイス。
【請求項１１】
基板の上方に充填層を形成するステップと、
前記充填層の上方にスタック構造体を形成するステップと、
前記スタック構造体および前記充填層を通って延在するチャネル構造体を形成するステップであって、前記チャネル構造体は、メモリフィルムおよび半導体チャネルを含む、ステップと、
前記半導体チャネルの一部を露出させるために、前記基板、および、前記充填層を越えて延在する前記チャネル構造体の一部を順次に除去するステップと、
前記半導体チャネルの前記露出された一部と接触して、ドープされた半導体層を形成するステップと、
前記ドープされた半導体層、および、前記ドープされた半導体層と接触している前記半導体チャネルの前記一部の中のドーパントを局所的に活性化させるステップと、
を含み、

前記半導体チャネルの前記一部のドーピング濃度は、前記活性化の後に、前記半導体チャネルの他の部分のドーピング濃度よりも高い、３次元（３Ｄ）メモリデバイスを形成するための方法。
【請求項１２】
局所的に活性化させるステップは、前記ドープされた半導体層および前記半導体チャネルの前記一部を有する閉じ込められたエリアにおいて熱を印加し、前記ドープされた半導体層および前記半導体チャネルの前記一部の中のドーパントを活性化させるステップを含む、請求項１１に記載の方法。
【請求項１３】
前記ドープされた半導体層を形成する前に、前記半導体チャネルの前記露出された一部をドープするステップをさらに含む、請求項１１に記載の方法。
【請求項１４】
前記基板と前記充填層との間に第１のストップ層および第２のストップ層を順次に形成するステップをさらに含む、請求項１１に記載の方法。
【請求項１５】
前記チャネル構造体を形成するステップは、
前記スタック構造体および前記充填層を通って延在し、前記第２のストップ層において停止するチャネル孔部を形成するステップと、
前記メモリフィルム、前記半導体チャネル、およびキャッピング層を前記チャネル孔部の中に順次に形成するステップと、
を含む、請求項１４に記載の方法。
【請求項１６】
前記基板および前記チャネル構造体の前記一部を順次に除去するステップは、
前記基板を除去し、前記第１のストップ層において停止するステップと、
前記第１のストップ層を除去し、前記第２のストップ層において停止するステップと、
前記第２のストップ層および前記チャネル構造体の前記一部を除去し、前記充填層において停止するステップと、
を含む、請求項１５に記載の方法。
【請求項１７】
前記基板および前記チャネル構造体の前記一部を順次に除去するステップは、前記チャネル構造体の前記キャッピング層の一部をエッチバックし、前記半導体チャネルの前記一部によって取り囲まれた凹部を形成するステップをさらに含む、請求項１５に記載の方法。
【請求項１８】
前記ドープされた半導体層を形成するステップは、
ポリシリコンの層を前記凹部の中へおよび前記充填層の上に堆積させるステップと、
ポリシリコンの堆積された層をドープするステップと、
を含む、請求項１７に記載の方法。
【請求項１９】
前記ドープされた半導体層を形成するステップは、
ポリシリコンの層を前記充填層の上に堆積させるステップと、
ポリシリコンの堆積された層をドープするステップと、
を含む、請求項１１に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、３次元（３Ｄ）メモリデバイスおよびその製作方法に関する。
【背景技術】
【０００２】
平面的なメモリセルは、プロセス技術、回路設計、プログラミングアルゴリズム、および製作プロセスを改善することによって、より小さなサイズにスケーリングされる。しか

し、メモリセルのフィーチャサイズが下限に接近するとき、平面的なプロセスおよび製作技法は、困難になり、コストがかかるようになる。結果として、平面的なメモリセルのためのメモリ密度は、上限に接近する。

【０００３】

３Ｄメモリアーキテクチャは、平面的なメモリセルにおける密度制限に対処することが可能である。３Ｄメモリアーキテクチャは、メモリアレイと、メモリアレイへのおよびメモリアレイからの信号を制御するための周辺デバイスとを含む。

【発明の概要】

【課題を解決するための手段】

【０００４】

１つの態様では、３Ｄメモリデバイスは、交互配置された導電層および誘電体層を含むスタック構造体と、スタック構造体を通って延在するチャネル構造体と、ドープされた半導体層とを含み、ドープされた半導体層は、プレートと、プレートからチャネル構造体の中へ延在するプラグとを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。半導体チャネルは、ドープされた部分を含み、半導体チャネルのドープされた部分の一部は、第１の方向にスタック構造体を越えて延在している。半導体チャネルのドープされた部分は、ドープされた半導体層のプラグを囲んでいる。

【０００５】

別の態様において、３Ｄメモリデバイスは、交互配置された導電層および誘電体層を含むスタック構造体と、ドープされた半導体層と、スタック構造体を通って延在するチャネル構造体とを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。半導体チャネルは、ドープされた部分を含む。チャネル構造体は、第１の方向にスタック構造体を越えて延在しており、ドープされた半導体層と接触している。半導体チャネルは、第１の方向とは反対の第２の方向に導電層のうちの１つを越えて延在するドープされた部分を含む。

【０００６】

さらに別の態様において、３Ｄメモリデバイスを形成するための方法が提供される。充填層が、基板の上方に形成される。スタック構造体が、充填層の上方に形成される。スタック構造体および充填層を通って延在するチャネル構造体が形成される。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。基板および充填層を越えて延在するチャネル構造体の一部が、半導体チャネルの一部を露出させるために、順次に除去される。ドープされた半導体層が、半導体チャネルの露出された一部と接触して形成される。ドープされた半導体層、および、ドープされた半導体層と接触している半導体チャネルの一部が、局所的に活性化させられる。

【０００７】

さらなる別の態様において、システムは、データを記憶するように構成されている３Ｄメモリデバイスと、メモリコントローラとを含み、メモリコントローラは、３Ｄメモリデバイスに連結されており、３Ｄメモリデバイスを制御するように構成されている。３Ｄメモリデバイスは、交互配置された導電層および誘電体層を含むスタック構造体と、スタック構造体を通って延在するチャネル構造体と、ドープされた半導体層とを含み、ドープされた半導体層は、プレートと、プレートからチャネル構造体の中へ延在するプラグとを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。半導体チャネルは、ドープされた部分を含み、半導体チャネルのドープされた部分の一部は、第１の方向にスタック構造体を越えて延在している。半導体チャネルのドープされた部分は、ドープされた半導体層のプラグを囲んでいる。

【０００８】

添付の図面は、本明細書に組み込まれており、明細書の一部を形成しており、添付の図面は、本開示の態様を図示しており、さらに、説明とともに本開示の原理を説明する役割を果たし、また、当業者が本開示を作製および使用することを可能にする役割を果たす。

【図面の簡単な説明】

【０００９】
【図１Ａ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスの断面の側面図である。
【図１Ｂ】本開示のいくつかの態様による、別の例示的な３Ｄメモリデバイスの断面の側面図である。
【図２】本開示のいくつかの態様による、図１Ａの３Ｄメモリデバイスの中の例示的なチャネル構造体の断面の拡大側面図である。
【図３Ａ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｂ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｃ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｄ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｅ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｆ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｇ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｈ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｉ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｊ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｋ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｌ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｍ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｎ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図３Ｏ】本開示のいくつかの態様による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図４Ａ】本開示のいくつかの態様による、別の例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図４Ｂ】本開示のいくつかの態様による、別の例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図４Ｃ】本開示のいくつかの態様による、別の例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示する図である。
【図５】本開示のいくつかの態様による、３Ｄメモリデバイスを形成するための例示的な方法のフローチャートである。
【図６】本開示のいくつかの態様による、３Ｄメモリデバイスを形成するための別の例示的な方法のフローチャートである。
【図７】本開示のいくつかの態様による、３Ｄメモリデバイスを有する例示的なシステムのブロック図である。
【図８Ａ】本開示のいくつかの態様による、３Ｄメモリデバイスを有する例示的なメモリ

カードのダイアグラムである。
【図８Ｂ】本開示のいくつかの態様による、３Ｄメモリデバイスを有する例示的なソリッドステートドライブ（ＳＳＤ）のダイアグラムである。
【発明を実施するための形態】
【００１０】
本開示が、添付の図面を参照して説明されることとなる。
【００１１】
特定の構成および配置が議論されているが、これは、単に例示目的のためだけに行われているということが理解されるべきである。そうであるので、本開示の範囲から逸脱することなく、他の構成および配置も使用されることが可能である。また、本開示は、さまざまな他の用途において用いられることも可能である。本開示に説明されているような機能的な特徴および構造的な特徴は、互いにおよび図面に具体的に示されていない方式で組み合わせられ、調節され、および修正されることが可能であり、これらの組み合わせ、調節、および修正が、本開示の範囲内にあるようになっている。
【００１２】
一般的に、専門用語は、文脈における使用法から少なくとも部分的に理解されることが可能である。たとえば、本明細書で使用されているような「１つまたは複数の」という用語は、少なくとも部分的に文脈に応じて、単数形の意味で、任意の特徴、構造体、または特質を説明するために使用されことが可能であるか、または、複数形の意味で、特徴、構造体、または特質の組み合わせを説明するために使用されることが可能である。同様に、「ａ」、「ａｎ」、または「ｔｈｅ」などのような用語は、繰り返しになるが、少なくとも部分的に文脈に応じて、単数形の使用法を伝えるということ、または、複数形の使用法を伝えるということを理解されることが可能である。加えて、「基づく」という用語は、必ずしも、排他的な要因のセットを伝えることを意図しているとは限らないということが理解されることが可能であり、その代わりに、繰り返しになるが、少なくとも部分的に文脈に応じて、必ずしも明示的に記載されていない追加的な要因の存在を可能にする可能性がある。
【００１３】
本開示における「の上に」、「の上方に（ａｂｏｖｅ）」、および「の上方に（ｏｖｅｒ）」の意味は、最も広い様式で解釈されるべきであり、「の上に」は、何か「の上に直接的に」を意味するだけではなく、中間特徴または層がそれらの間にある状態で、何か「の上に」を意味することも含むようになっており、「の上方に（ａｂｏｖｅ）」または「の上方に（ｏｖｅｒ）」は、何か「の上方に（ａｂｏｖｅ）」または「の上方に（ｏｖｅｒ）」を意味するだけでなく、中間特徴または層がそれらの間にない状態で、それが何か「の上方に（ａｂｏｖｅ）」または「の上方に（ｏｖｅｒ）」（すなわち、何かの上に直接的に）あることを意味することも含むことが可能であるということが容易に理解されるべきである。
【００１４】
さらに、「の下に」、「の下方に」、「下側」、「の上方に」、および「上側」などのような、空間的に相対的な用語は、説明を容易にするために、図に図示されているような別の要素または特徴に対する１つの要素または特徴の関係を説明するために本明細書で使用されることが可能である。空間的に相対的な用語は、図に示されている配向に加えて、使用中または動作中のデバイスの異なる配向を包含することを意図している。装置は、その他の方法で配向されることが可能であり（９０度回転させられるか、または、他の配向で）、本明細書で使用されている空間的に相対的な記述子は、同様にそのように解釈されることが可能である。
【００１５】
本明細書で使用されているように、「基板」という用語は、後続の材料層がその上に追加される材料を指す。基板自体が、パターニングされることが可能である。基板の上に追加された材料は、パターニングされることが可能であり、または、パターニングされない

ままであることが可能である。そのうえ、基板は、シリコン、ゲルマニウム、ガリウムヒ素、リン化インジウムなどのような、多様な半導体材料を含むことが可能である。代替的に、基板は、ガラス、プラスチック、またはサファイヤウエハなどのような、非導電性材料から作製されることが可能である。

【００１６】

本明細書で使用されているように、「層」という用語は、所定の厚さを有する領域を含む材料部分を指す。層は、下にあるもしくは上にある構造体の全体にわたって延在することが可能であり、または、下にあるもしくは上にある構造体の延在よりも小さい延在を有することが可能である。さらに、層は、連続的な構造体の厚さよりも小さい厚さを有する均質なまたは不均質な連続的な構造体の領域であることが可能である。たとえば、層は、連続的な構造体の上部表面と底部表面との間において（または、上部表面および底部表面において）、水平方向の平面の任意の対の間に位置付けされることが可能である。層は、水平方向に、垂直方向に、および／または、テーパー付きの表面に沿って延在することが可能である。基板は、層であることが可能であり、その中に１つまたは複数の層を含むことが可能であり、ならびに／または、その上に、その上方に、および／もしくはその下方に、１つまたは複数の層を有することが可能である。層は、複数の層を含むことが可能である。たとえば、相互接続層は、１つまたは複数の導体および接触層（相互接続ラインおよび／または垂直方向の相互接続アクセス（ビア）接触部が、その中に形成されている）ならびに１つまたは複数の誘電体層を含むことが可能である。

【００１７】

いくつかの３Ｄ　ＮＡＮＤメモリデバイスでは、半導体層は、チャネル構造体の側壁部を取り囲むように選択的に成長させられる（たとえば、側壁部選択エピタキシャル成長（ＳＥＧ）として知られている）。チャネル構造体のソース端部におけるエピタキシャル成長（たとえば、底部ＳＥＧ）である別のタイプの半導体層と比較して、側壁部ＳＥＧの形成は、チャネルホールの底部表面におけるメモリフィルムおよび半導体チャネルのエッチング（ＳＯＮＯパンチとして知られる）を回避し、それによって、とりわけ、先進技術（たとえば、マルチデッキアーキテクチャによって９０以上のレベルを有するなど）によって３Ｄ　ＮＡＮＤメモリデバイスを製作するときに、プロセスウィンドウを増加させる。

【００１８】

しかし、固有の（純粋な、ドープされていない）半導体材料（たとえば、固有ポリシリコンなど）が半導体チャネルを形成するために使用されるので、比較的高いポテンシャル障壁が、半導体チャネルと側壁部ＳＥＧまたは半導体チャネルと接触している導電層との間に存在しており、それによって、それらの間に高い接触抵抗を導入する。３Ｄメモリデバイスの電気的性能は、高い接触抵抗によって影響を与えられる可能性がある。

【００１９】

上述の問題に対処するために、本開示は、半導体チャネルと側壁部ＳＥＧまたは導電層との間の接触抵抗が低減され得る解決策を導入する。いくつかの実装形態において、半導体チャネルは、部分的にドープされており、ソース接触部を形成する半導体チャネルの一部が、ドープされていないままであるかまたは低度にドープされたメモリセルを形成する半導体チャネルの別の一部を残した状態で、ポテンシャル障壁を低下させるように高度にドープされるようになっている。いくつかの実装形態において、それぞれのチャネル構造体の一方の端部は、バックサイドから開かれ、それぞれの半導体チャネルのドープされた一部を露出させており、３Ｄメモリデバイスは、接触抵抗およびシート抵抗をさらに低減させるために、半導体チャネルの露出されたドープされた一部を電気的に接続するドープされた半導体層をさらに含む。たとえば、ドープされた半導体層は、チャネル構造体のキャッピング層の一部を交換することによってチャネル構造体を延在するプラグを含み、接触面積を増加させ、接触抵抗をさらに低減させることが可能である。結果として、３Ｄメモリデバイスの電気的性能が改善されることが可能である。

【００２０】

本開示の範囲と一貫して、半導体チャネルのドープされた一部、および、ドープされた

半導体層は、（たとえば、局所的なアニーリングを通して）局所的に活性化させられ、熱に敏感なデバイスチップの上の他のパーツ（たとえば、ボンディングインターフェースおよび銅相互接続部など）を損傷させることなく、その中のドーパントを活性化させることが可能である。たとえば、ドーパントを活性化させるための熱は、デバイスチップの上の熱に敏感なコンポーネントを除外するエリアに閉じ込められることが可能である。いくつかの実装形態において、局所的な活性化プロセスは、また、ドープされた半導体層と接触している固有半導体チャネルの一部をドープするためのインサイチュドーピングプロセスとしての役割を果たす。

【００２１】

図１Ａは、本開示のいくつかの態様による、例示的な３Ｄメモリデバイス１００の断面の側面図を図示している。いくつかの実装形態において、３Ｄメモリデバイス１００は、第１の半導体構造体１０２と、第１の半導体構造体１０２の上にスタックされた第２の半導体構造体１０４とを含む結合されたチップである。いくつかの実装形態によれば、第１および第２の半導体構造体１０２および１０４は、それらの間のボンディングインターフェース１０６において接合されている。図１Ａに示されているように、第１の半導体構造体１０２は、基板１０１を含むことが可能であり、基板１０１は、シリコン（たとえば、単結晶シリコン、ｃ－Ｓｉ）、シリコンゲルマニウム（ＳｉＧｅ）、ガリウムヒ素（ＧａＡｓ）、ゲルマニウム（Ｇｅ）、シリコンオンインシュレーター（ＳＯＩ）、または任意の他の適切な材料を含むことが可能である。

【００２２】

３Ｄメモリデバイス１００の第１の半導体構造体１０２は、基板１０１の上に周辺回路１０８を含むことが可能である。基板１０１を有する３Ｄメモリデバイス１００の中のコンポーネントの空間的関係をさらに図示するために、ｘ軸およびｙ軸が図１Ａに含まれているということが留意される。基板１０１は、ｘ方向（すなわち、横方向）に横方向に延在する２つの横方向表面（たとえば、上部表面および底部表面）を含む。本明細書で使用されているように、１つのコンポーネント（たとえば、層またはデバイス）が半導体デバイスの別のコンポーネント（たとえば、層またはデバイス）の「上に」、「上方に」、または「下方に」あるかどうかは、基板がｙ方向に半導体デバイス（たとえば、３Ｄメモリデバイス１００）の最も低い平面の中に位置決めされているときには、半導体デバイス（たとえば、基板１０１）の基板に対してｙ方向（すなわち、垂直方向）に決定される。空間的関係を説明するための同じ概念が、本開示の全体を通して適用される。

【００２３】

いくつかの実装形態において、周辺回路１０８は、３Ｄメモリデバイス１００を制御およびセンシングするように構成されている。周辺回路１０８は、それに限定されないが、ページバッファー、デコーダー（たとえば、行デコーダーおよび列デコーダー）、センスアンプ、ドライバ（たとえば、ワードラインドライバ）、チャージポンプ、電流または電圧リファレンス、または、回路の任意のアクティブまたはパッシブコンポーネント（たとえば、トランジスタ、ダイオード、抵抗器、またはキャパシター）を含む３Ｄメモリデバイス１００の動作を促進させるために使用される任意の適切なデジタル、アナログ、および／または混合信号制御およびセンシング回路であることが可能である。周辺回路１０８は、基板１０１の上に形成されたトランジスタを含むことが可能であり、トランジスタの全体または一部は、基板１０１の中に（たとえば、基板１０１の上部表面の下方に）形成され、および／または、基板１０１の上に直接的に形成されている。アイソレーション領域（たとえば、シャロートレンチアイソレーション（ＳＴＩ： ｓｈａｌｌｏｗ ｔｒｅｎｃｈ ｉｓｏｌａｔｉｏｎ））およびドープ領域（たとえば、トランジスタのソース領域およびドレイン領域）が、同様に基板１０１の中に形成されることが可能である。いくつかの実装形態によれば、トランジスタは、先進的論理プロセス（たとえば、９０ｎｍ、６５ｎｍ、４５ｎｍ、３２ｎｍ、２８ｎｍ、２０ｎｍ、１６ｎｍ、１４ｎｍ、１０ｎｍ、７ｎｍ、５ｎｍ、３ｎｍ、２ｎｍなどの技術ノード）によって高速である。いくつかの実装形態において、周辺回路１０８は、論理回路（たとえば、プロセッサおよびプログラマブ

ルロジックデバイス（ＰＬＤ）など）またはメモリ回路（たとえば、スタティックランダムアクセスメモリ（ＳＲＡＭ）およびダイナミックＲＡＭ（ＤＲＡＭ）など）を含む、先進的論理プロセスに適合する任意の他の回路をさらに含むことが可能であるということが理解される。

【００２４】

いくつかの実装形態において、３Ｄメモリデバイス１００の第１の半導体構造体１０２は、周辺回路１０８へおよび周辺回路１０８から電気信号を転送するために、周辺回路１０８の上方に相互接続層（図示せず）をさらに含む。相互接続層は、横方向の相互接続ラインおよび垂直方向の相互接続アクセス（ＶＩＡ： ｖｅｒｔｉｃａｌ ｉｎｔｅｒｃｏｎｎｅｃｔ ａｃｃｅｓｓ）接触部を含む、複数の相互接続部（本明細書では接触部とも称されている）を含むことが可能である。本明細書で使用されているように、相互接続部という用語は、ミドルエンドオブライン（ＭＥＯＬ： ｍｉｄｄｌｅ－ｅｎｄ－ｏｆ－ｌｉｎｅ）相互接続部およびバックエンドオブライン（ＢＥＯＬ： ｂａｃｋ－ｅｎｄ－ｏｆ－ｌｉｎｅ）相互接続部などのような、任意の適切なタイプの相互接続部を広く含むことが可能である。相互接続層は、１つまたは複数の層間誘電体（ＩＬＤ）層（金属間誘電体（ＩＭＤ）層としても知られる）をさらに含むことが可能であり、相互接続ラインおよびＶＩＡ接触部が、１つまたは複数の層間誘電体（ＩＬＤ）層の中に形成することが可能である。すなわち、相互接続層は、複数のＩＬＤ層の中に相互接続ラインおよびＶＩＡ接触部を含むことが可能である。相互接続層の中の相互接続ラインおよびＶＩＡ接触部は、それに限定されないが、タングステン（Ｗ）、コバルト（Ｃｏ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、シリサイド、または、それらの任意の組み合わせを含む、導電性材料を含むことが可能である。相互接続層の中のＩＬＤ層は、それに限定されないが、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低誘電率（低ｋ）誘電体、または、それらの任意の組み合わせを含む、誘電材料を含むことが可能である。

【００２５】

図１Ａに示されているように、３Ｄメモリデバイス１００の第１の半導体構造体１０２は、ボンディングインターフェース１０６において、ならびに、相互接続層および周辺回路１０８の上方において、ボンディング層１１０をさらに含むことが可能である。ボンディング層１１０は、複数のボンディング接触部１１１と、ボンディング接触部１１１を電気的に隔離する誘電体とを含むことが可能である。ボンディング接触部１１１は、それに限定されないが、Ｗ、Ｃｏ、Ｃｕ、Ａｌ、シリサイド、または、それらの任意の組み合わせを含む、導電性材料を含むことが可能である。ボンディング層１１０の残りのエリアは、それに限定されないが、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低ｋ誘電体、または、それらの任意の組み合わせを含む、誘電体によって形成されることが可能である。ボンディング接触部１１１およびボンディング層１１０の中の周囲の誘電体は、ハイブリッドボンディングのために使用されることが可能である。

【００２６】

同様に、図１Ａに示されているように、３Ｄメモリデバイス１００の第２の半導体構造体１０４は、また、ボンディングインターフェース１０６において、および、第１の半導体構造体１０２のボンディング層１１０の上方において、ボンディング層１１２を含むことが可能である。ボンディング層１１２は、複数のボンディング接触部１１３と、ボンディング接触部１１３を電気的に隔離する誘電体とを含むことが可能である。ボンディング接触部１１３は、それに限定されないが、Ｗ、Ｃｏ、Ｃｕ、Ａｌ、シリサイド、または、それらの任意の組み合わせを含む、導電性材料を含むことが可能である。ボンディング層１１２の残りのエリアは、それに限定されないが、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低ｋ誘電体、または、それらの任意の組み合わせを含む、誘電体によって形成されることが可能である。ボンディング接触部１１３およびボンディング層１１２の中の周囲の誘電体は、ハイブリッドボンディングのために使用されることが可能である。いくつかの実装形態によれば、ボンディング接触部１１３は、ボンディングインターフェース１０６において、ボンディング接触部１１１と接触している。

【００２７】
下記に詳細に説明されているように、第２の半導体構造体１０４は、ボンディングインターフェース１０６において向かい合った様式で第１の半導体構造体１０２の上に結合されることが可能である。いくつかの実装形態において、ボンディングインターフェース１０６は、ハイブリッドボンディング（「金属／誘電体ハイブリッドボンディング」としても知られる）の結果としてボンディング層１１０とボンディング層１１２との間に配設されており、ハイブリッドボンディングは、直接的なボンディング技術（たとえば、中間層（たとえば、はんだまたは接着剤など）を使用することなく表面同士の間にボンディングを形成する）であり、金属－金属ボンディングおよび誘電体－誘電体ボンディングを同時に取得することが可能である。いくつかの実装形態において、ボンディングインターフェース１０６は、ボンディング層１１２および１１０が出会って結合される場所である。実際には、ボンディングインターフェース１０６は、第１の半導体構造体１０２のボンディング層１１０の上部表面および第２の半導体構造体１０４のボンディング層１１２の底部表面を含む特定の厚さを有する層であることが可能である。
【００２８】
いくつかの実装形態において、３Ｄメモリデバイス１００の第２の半導体構造体１０４は、電気信号を転送するために、ボンディング層１１２の上方に相互接続層（図示せず）をさらに含む。相互接続層は、複数の相互接続部（たとえば、ＭＥＯＬ相互接続部およびＢＥＯＬ相互接続部など）を含むことが可能である。相互接続層は、１つまたは複数のＩＬＤ層をさらに含むことが可能であり、相互接続ラインおよびＶＩＡ接触部が、１つまたは複数のＩＬＤ層の中に形成することが可能である。相互接続層の中の相互接続ラインおよびＶＩＡ接触部は、それに限定されないが、Ｗ、Ｃｏ、Ｃｕ、Ａｌ、シリサイド、または、それらの任意の組み合わせを含む、導電性材料を含むことが可能である。相互接続層の中のＩＬＤ層は、それに限定されないが、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低ｋ誘電体、または、それらの任意の組み合わせを含む、誘電材料を含むことが可能である。
【００２９】
いくつかの実装形態において、３Ｄメモリデバイス１００は、ＮＡＮＤフラッシュメモリデバイスであり、メモリセルが、ＮＡＮＤフラッシュメモリデバイスの中に、ＮＡＮＤメモリストリングのアレイの形態で提供されている。それぞれのＮＡＮＤメモリストリングは、それぞれのチャネル構造体１２４を含むことが可能である。図１Ａに示されているように、それぞれのチャネル構造体１２４は、スタック導電層１１６およびスタック誘電体層１１８をそれぞれ含む複数の対を通って垂直方向に延在することが可能である。交互配置されたスタック導電層１１６およびスタック誘電体層１１８は、メモリスタック１１４の一部である。メモリスタック１１４の中のスタック導電層１１６およびスタック誘電体層１１８の対の数は、３Ｄメモリデバイス１００の中のメモリセルの数を決定する。いくつかの実装形態において、メモリスタック１１４は、マルチデッキアーキテクチャ（図示せず）を有することが可能であり、マルチデッキアーキテクチャは、互いにスタックされた複数のメモリデッキを含むということが理解される。それぞれのメモリデッキの中のスタック導電層１１６およびスタック誘電体層１１８の対の数は、同じであるかまたは異なっていることが可能である。
【００３０】
メモリスタック１１４は、複数の交互配置されたスタック導電層１１６およびスタック誘電体層１１８を含むことが可能である。メモリスタック１１４の中のスタック導電層１１６およびスタック誘電体層１１８は、垂直方向に交互になっていることが可能である。換言すれば、メモリスタック１１４の上部または底部にあるものを除いて、それぞれのスタック導電層１１６は、両側において２つのスタック誘電体層１１８によって隣接されることが可能であり、それぞれのスタック誘電体層１１８は、両側において２つのスタック導電層１１６によって隣接されることが可能である。スタック導電層１１６は、それに限定されないが、Ｗ、Ｃｏ、Ｃｕ、Ａｌ、ポリシリコン、がドープされたシリコン、シリサイド、または、それらの任意の組み合わせを含む、導電性材料を含むことが可能である。

それぞれのスタック導電層１１６は、接着剤層およびゲート誘電体層によって取り囲まれているゲート電極（ゲートライン）を含むことが可能である。スタック導電層１１６のゲート電極は、ワードラインとして横方向に延在することが可能であり、メモリスタック１１４の１つまたは複数の階段構造体において終わる。スタック誘電体層１１８は、それに限定されないが、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、または、それらの任意の組み合わせを含む、誘電材料を含むことが可能である。

【００３１】

図１Ａに示されているように、３Ｄメモリデバイス１００の第２の半導体構造体１０４は、メモリスタック１１４の上方に充填層１２０を含むことも可能である。充填層１２０は、ポリシリコン、高誘電率（高ｋ）誘電体、または金属を含むことが可能である。たとえば、高ｋ誘電体は、酸化ケイ素の誘電率よりも高い誘電率（たとえば、ｋ＞３．７）を有する任意の誘電材料を含むことが可能である。充填層１２０が、チャネル構造体１２４を取り囲む側壁部ＳＥＧ、および／または、チャネル構造体１２４を電気的に接続する導電層（たとえば、ドープされたポリシリコン層など）として作用する、いくつかの公知の解決策とは異なり、３Ｄメモリデバイス１００の第２の半導体構造体１０４の充填層１２０は、側壁部ＳＥＧおよび／または導電層としては働かない可能性があり、したがって、ドープされたポリシリコン以外の材料、たとえば、誘電体（たとえば、高ｋ誘電体）、金属（たとえば、Ｗ、Ｃｏ、Ｃｕ、またはＡｌ）、金属シリサイド、またはドープされていないポリシリコンなどを含むことが可能である。いくつかの例において、充填層１２０は、同様に、ドープされたポリシリコンを含むことが可能であるということが理解される。

【００３２】

いくつかの実装形態において、それぞれのチャネル構造体１２４は、（たとえば、半導体チャネル１２８として）半導体層および（たとえば、メモリフィルム１２６として）複合誘電体層によって充填されたチャネルホールを含む。いくつかの実装形態において、半導体チャネル１２８は、シリコン（たとえば、アモルファスシリコン、ポリシリコン、または単結晶シリコンなど）を含む。いくつかの実装形態において、メモリフィルム１２６は、トンネリング層、ストレージ層（「チャージトラップ層」としても知られる）、およびブロッキング層を含む、複合層である。図１Ａに示されているように、チャネルホールの残りのスペースは、誘電材料（たとえば、酸化ケイ素など）および／または空気ギャップ（図示せず）を含むキャッピング層１２７によって部分的に充填されることが可能である。チャネル構造体１２４は、円筒形状（たとえば、ピラー形状）を有することが可能である。いくつかの実装形態によれば、キャッピング層、半導体チャネル１２８、メモリフィルム１２６のトンネリング層、ストレージ層、およびブロッキング層は、中心からピラーの外側表面に向けて半径方向にこの順序で配置されている。トンネリング層は、酸化ケイ素、酸窒化ケイ素、または、それらの任意の組み合わせを含むことが可能である。ストレージ層は、窒化ケイ素、酸窒化ケイ素、シリコン、または、それらの任意の組み合わせを含むことが可能である。ブロッキング層は、酸化ケイ素、酸窒化ケイ素、高ｋ誘電体、または、それらの任意の組み合わせを含むことが可能である。１つの例において、メモリフィルム１２６は、酸化ケイ素／酸窒化ケイ素／酸化ケイ素（ＯＮＯ）の複合層を含むことが可能である。

【００３３】

いくつかの実装形態において、チャネル構造体１２４は、チャネル構造体１２４の底部部分において（たとえば、下側端部において）チャネルプラグ１２９をさらに含む。本明細書で使用されているように、基板１０１が３Ｄメモリデバイス１００の最も低い平面に位置決めされているときに、コンポーネント（たとえば、チャネル構造体１２４）の上側端部は、ｙ方向において基板１０１からより遠くに離れた端部であり、コンポーネント（たとえば、チャネル構造体１２４）の下側端部は、ｙ方向において基板１０１により近い端部である。チャネルプラグ１２９は、半導体材料（たとえば、ポリシリコン）を含むことが可能である。いくつかの実装形態において、チャネルプラグ１２９は、チャネル構造体１２４のドレインとして機能する。

【００３４】
図１Ａに示されているように、それぞれのチャネル構造体１２４は、メモリスタック１１４の交互配置されたスタック導電層１１６およびスタック誘電体層１１８を通って、充填層１２０の中へ垂直方向に延在することが可能である。すなわち、チャネル構造体１２４は、プラスのｙ方向にメモリスタック１１４を越えて延在することが可能である。いくつかの実装形態によれば、メモリフィルム１２６の上側端部は、半導体チャネル１２８の上側端部と同一平面上にあり、すなわち、垂直方向に互いに位置合わせされている。いくつかの実装形態において、メモリフィルム１２６および半導体チャネル１２８の上側端部は、充填層１２０の上部表面と同一平面上にある。
【００３５】
また、図２のチャネル構造体１２４の拡大側面図を参照すると、半導体チャネル１２８は、ドープされた部分１２８ａおよびドープされていない部分１２８ｂを含むことが可能である。いくつかの実装形態において、半導体チャネル１２８のドープされた部分１２８ａの少なくとも一部は、第１の方向に（たとえば、図２のプラスのｙ方向に）メモリスタック１１４を越えて延在している。すなわち、ドープされた部分１２８ａの上側端部は、充填層１２０とメモリスタック１１４との間の（すなわち、充填層１２０の底部表面とメモリスタック１１４の上部表面との間の）インターフェースの上方にあることが可能である。同様に、メモリフィルム１２６の上側端部は、同様に、充填層１２０とメモリスタック１１４との間のインターフェースの上方にあることが可能である。いくつかの実装形態において、半導体チャネル１２８のドープされた部分１２８ａは、また、第１の方向とは反対の第２の方向（たとえば、図２のマイナスのｙ方向）にスタック導電層１１６のうちの１つを越えて延在している。充填層１２０の近くにあるスタック導電層１１６のうちの１つまたは複数は、ソース選択ゲートライン２０１（ＳＳＧライン；底部選択ゲート（ＢＳＧ）ラインと称されることもある）であることが可能であり、スタック導電層１１６の残りの部分は、ワードライン２０３を含むことが可能であるということが理解される。また、いくつかの実装形態によれば、半導体チャネル１２８のドープされた部分１２８ａは、充填層１２０の最も近くにあるソース選択ゲートライン２０１を越えて延在している。３Ｄメモリデバイス１００の第２の半導体構造体１０４が２つ以上のソース選択ゲートライン２０１を含む場合には、ドープされた部分１２８ａは、すべてのソース選択ゲートライン２０１を越えて延在することが可能であるということが理解される。他方では、ドープされた部分１２８ａは、ワードライン２０３に面するようにさらに延在しない可能性がある。すなわち、ドープされた部分１２８ａの下側端部は、いくつかの実装形態によれば、垂直方向においてソース選択ゲートライン２０１とワードライン２０３との間にある。たとえば、図２に示されているように、メモリスタック１１４を越えて延在する半導体チャネル１２８のドープされた部分１２８ａの一部は、充填層１２０に面することが可能であり、一方では、ドープされた部分１２８ａの残りの部分は、ソース選択ゲートライン２０１に面することが可能である。
【００３６】
いくつかの実装形態において、半導体チャネル１２８のドープされた部分１２８ａは、Ｎ型のドープされたポリシリコンを含む。ドーパントは、任意の適切なＮ型ドーパント（たとえば、リン（Ｐ）、ヒ素（Ａｒ）、またはアンチモン（Ｓｂ）など）であることが可能であり、それは、自由電子に寄与し、固有半導体の導電率を増加させる。いくつかの実装形態において、ドープされた部分１２８ａのドーピング濃度は、約$10^{19}cm^{-3}$から約$10^{21}cm^{-3}$の間にあり、たとえば、$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間（たとえば、$10^{19}cm^{-3}$、$2\times10^{19}cm^{-3}$、$3\times10^{19}cm^{-3}$、$4\times10^{19}cm^{-3}$、$5\times10^{19}cm^{-3}$、$6\times10^{19}cm^{-3}$、$7\times10^{19}cm^{-3}$、$8\times10^{19}cm^{-3}$、$9\times10^{19}cm^{-3}$、$10^{20}cm^{-3}$、$2\times10^{20}cm^{-3}$、$3\times10^{20}cm^{-3}$、$4\times10^{20}cm^{-3}$、$5\times10^{20}cm^{-3}$、$6\times10^{20}cm^{-3}$、$7\times10^{20}cm^{-3}$、$8\times10^{20}cm^{-3}$、$9\times10^{20}cm^{-3}$、$10^{21}cm^{-3}$、これらの値のいずれかによる下側端部によって境界を定められた任意の範囲、または、これらの値

のうちの任意の２つによって規定された任意の範囲）などにある。本明細書で開示されているドープされた部分１２８ａのドーピング濃度は、固有半導体と比較して、半導体チャネル１２８とドープされた半導体層１２２との間の接触抵抗を大幅に低減させることが可能である。いくつかの例において、ドーパントの拡散は、半導体チャネル１２８のドープされた部分１２８ａの中に閉じ込められることが可能であり、半導体チャネル１２８の残りの部分（すなわち、ワードライン２０３に面する一部）が、固有半導体（たとえば、固有ポリシリコンなど）を依然として含むドープされていない部分１２８ｂである（すなわち、ドーピング濃度が、公称的にゼロである）ようになっているということが理解される。上記に説明されているドーピング濃度プロファイルは、半導体チャネル１２８のドープされた部分１２８ａにおけるポテンシャル障壁、接触抵抗、およびシート抵抗を低減させることが可能であり、それは、ＮＡＮＤメモリストリングのメモリセルを形成する半導体チャネル１２８のドープされていない部分１２８ｂの固有の性質を変更することなく、対応するＮＡＮＤメモリストリングのソースのための電気的な接続を作製する。

【００３７】

いくつかの実装形態において、３Ｄメモリデバイス１００の第２の半導体構造体１０４は、ドープされた半導体層１２２を含む。それぞれのチャネル構造体１２４は、第１の方向にメモリスタック１１４を越えて延在することが可能であり、ドープされた半導体層１２２と接触していることが可能である。いくつかの実施形態において、それぞれの半導体チャネル１２８のドープされた部分１２８ａの少なくとも一部は、第１の方向にメモリスタック１１４を越えて延在することが可能であり、ドープされた半導体層１２２と接触しており、ドープされた半導体層１２２が、半導体チャネル１２８のそれらのドープされた部分１２８ａを通して、複数のチャネル構造体１２４を電気的に接続することができるようになっている。たとえば、ドープされた半導体層１２２は、（充填層１２０が導電性であるかどうかに応じて）充填層１２０の有無にかかわらず、同じブロックの中のＮＡＮＤメモリストリングのアレイのソース（すなわち、アレイ共通ソース（ＡＣＳ））の間の電気的な接続を提供することが可能である。換言すれば、充填層１２０は、導電性材料（たとえば、金属またはドープされたポリシリコンなど）を含む必要がない可能性がある。その理由は、ドープされた半導体層１２２が単独で複数のＮＡＮＤメモリストリングのソースを電気的に接続することが可能であるからである。結果として、充填層１２０に対する材料および寸法の制約が緩和される可能性がある。

【００３８】

図１Ａに示されているように、いくつかの実装形態において、ドープされた半導体層１２２は、２つの部分（充填層１２０と接触しているプレート１２１、および、プレート１２１からチャネル構造体１２４の中へそれぞれ延在するプラグ１２３）を含む。また、図２を参照すると、半導体チャネル１２８のドープされた部分１２８ａは、いくつかの実施形態によれば、ドープされた半導体層１２２のプラグ１２３を囲んでいる。３Ｄメモリデバイス１００の製作に関して下記に詳細に説明されているように、チャネル構造体１２４がその中に形成されるチャネルホールの一部は、プラグ１２３によって充填されることが可能であり、プラグ１２３は、チャネルホールの中のキャッピング層１２７の一部を交換しており、半導体チャネル１２８のドープされた部分１２８ａが横方向においてプラグ１２３を取り囲み、プラグ１２３と接触していることが可能であるようになっている。また、ドープされた半導体層１２２のプラグ１２３は、垂直方向においてキャッピング層１２７と接触していることが可能である。図２に示されているように、いくつかの実装形態において、プラグ１２３は、チャネル構造体１２４の中へ突出しており、プラグ１２３の下側端部（および、キャッピング層１２７の上側端部）が、充填層１２０とメモリスタック１１４との間のインターフェースの下方にあるようになっている。すなわち、キャッピング層１２７は、いくつかの実施形態によれば、プラグ１２３の延在に起因して、メモリスタック１１４を越えて延在していない。

【００３９】

半導体チャネル１２８のドープされた部分１２８ａと同様に、ドープされた半導体層１

２２のプラグ１２３は、また、第２の方向（たとえば、図１Ａおよび図２のマイナスのｙ方向）にスタック導電層１１６のうちの１つを越えて延在している。また、プラグ１２３は、いくつかの実装形態によれば、充填層１２０の最も近くにあるソース選択ゲートライン２０１を越えて延在している。３Ｄメモリデバイス１００の第２の半導体構造体１０４が２つ以上のソース選択ゲートライン２０１を含む場合には、プラグ１２３は、すべてのソース選択ゲートライン２０１を越えて延在することが可能であるということが理解される。いくつかの実施形態において、プラグ１２３は、垂直方向において半導体チャネル１２８のドープされた部分１２８ａと位置合わせされている。すなわち、プラグ１２３の上側端部および半導体チャネル１２８のドープされた部分１２８ａの上側端部は、互いに同一平面上にあることが可能であり、プラグ１２３の下側端部および半導体チャネル１２８のドープされた部分１２８ａの下側端部は、同様に、互いに同一平面上にあることが可能である。３Ｄメモリデバイス１００の製作に関して下記に詳細に説明されているように、プラグ１２３は、半導体チャネル１２８のドープされた部分１２８ａを形成するためのドーピングソースとして作用することが可能であり、プラグ１２３と接触している半導体チャネル１２８のその一部のみがプラグ１２３によってドープされ、半導体チャネル１２８のドープされた部分１２８ａを形成するようになっている。いくつかの例において、半導体チャネル１２８の一部は、プラグ１２３の形成の前にドープされることが可能であり、プラグ１２３の下側端部および半導体チャネル１２８のドープされた部分１２８ａの下側端部が、互いに同一平面上になくてもよいようになっているということが理解される。

【００４０】

図１Ａに示されているように、ドープされた半導体層１２２のプレート１２１は、いくつかの実施形態によれば、充填層１２０、および、チャネル構造体１２４のメモリフィルム１２６の上方にあり、それらと接触している。換言すれば、メモリフィルム１２６は、第１の方向（たとえば、プラスのｙ方向）にメモリスタック１１４を越えて延在することが可能であり、ドープされた半導体層１２２のプレート１２１と接触しており、充填層１２０は、メモリスタック１１４とドープされた半導体層１２２のプレート１２１との間に形成されることが可能である。複数のチャネル構造体１２４の上方に横方向に延在することによって、プレート１２１は、複数のプラグ１２３を接続することが可能であり、複数のプラグ１２３のそれぞれは、それぞれのチャネル構造体１２４の中へ突出している。

【００４１】

下記に詳細に説明されているように、メモリスタック１１４の形成、ならびに、半導体チャネル１２８のドープされた部分１２８ａおよびドープされた半導体層１２２の形成は、充填層１２０の反対側において起こることが可能であり、それによって、メモリスタック１１４を通って延在する開口部を通した任意の堆積またはエッチングプロセスを回避し、それによって、製作の複雑さおよびコストを低減させ、収率および垂直方向のスケーラビリティを向上させる。

【００４２】

半導体チャネル１２８のドープされた部分１２８ａと同様に、いくつかの実装形態において、ドープされた半導体層１２２（プレート１２１およびプラグ１２３を含む）も、Ｎ型のドープされたポリシリコンを含む。ドーパントは、任意の適切なＮ型ドーパント（たとえば、Ｐ、Ａｒ、またはＳｂなど）であることが可能であり、それは、自由電子に寄与し、固有半導体の導電率を増加させる。半導体チャネル１２８のドープされた部分１２８ａと同様に、いくつかの実装形態において、ドープされた半導体層１２２のドーピング濃度は、約$10^{19}cm^{-3}$から約$10^{21}cm^{-3}$の間にあり、たとえば、$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間（たとえば、$10^{19}cm^{-3}$、$2\times10^{19}cm^{-3}$、$3\times10^{19}cm^{-3}$、$4\times10^{19}cm^{-3}$、$5\times10^{19}cm^{-3}$、$6\times10^{19}cm^{-3}$、$7\times10^{19}cm^{-3}$、$8\times10^{19}cm^{-3}$、$9\times10^{19}cm^{-3}$、$10^{20}cm^{-3}$、$2\times10^{20}cm^{-3}$、$3\times10^{20}cm^{-3}$、$4\times10^{20}cm^{-3}$、$5\times10^{20}cm^{-3}$、$6\times10^{20}cm^{-3}$、$7\times10^{20}cm^{-3}$、$8\times10^{20}cm^{-3}$、$9\times10^{20}cm^{-3}$、$10^{21}cm^{-3}$、これらの値のいずれかによる下側端部によって境界を定められた任意

の範囲、または、これらの値のうちの任意の２つによって規定された任意の範囲）などにある。本明細書で開示されているドープされた半導体層１２２のドーピング濃度は、固有半導体と比較して、半導体チャネル１２８とドープされた半導体チャネル１２２との間の接触抵抗、および、ドープされた半導体層１２２のシート抵抗を大幅に低減させることが可能である。下記に詳細に説明されているように、いくつかの実装形態において、半導体チャネル１２８のドープされた部分１２８ａおよびドープされた半導体層１２２は、同じドーパントを有する同じ材料（たとえば、Ｎ型のドープされたポリシリコン）を有しており、また、その上で実施される同じ局所的な活性化プロセスに起因して連続的なドーピングプロファイルを有している。したがって、半導体チャネル１２８のドープされた部分１２８ａとドープされた半導体層１２２のプラグ１２３との間のインターフェースおよび境界は、区別不可能になる可能性があり、したがって、３Ｄメモリデバイス１００の中で判別されることができないということが理解される。

【００４３】

半導体チャネル１２８およびドープされた半導体層１２２をドープおよび接触させることによって、ＮＡＮＤメモリストリングの間の（すなわち、同じブロックの中のＮＡＮＤメモリストリングのＡＣＳにおける）接触抵抗が低減されることが可能であり、それによって、３Ｄメモリデバイス１００の電気的性能を改善する。図１Ａおよび図２に示されているように、プラグ１２３をチャネル構造体１２４の中へ延在させることによって、半導体チャネル１２８のドープされた部分１２８ａは、ドープされた半導体層１２２のプラグ１２３を囲むことが可能であり、それによって、半導体チャネル１２８とドープされた半導体層１２２との間の接触面積を増加させ、それは、それらの間の接触抵抗をさらに低減させる。Ｎ型のドープされた半導体層１２２のプラグ１２３（それは、半導体チャネル１２８のドープされた部分１２８ａによって取り囲まれている）は、３Ｄメモリデバイス１００のための消去動作のためのゲート誘導ドレインリーケージ（ＧＩＤＬ： ｇａｔｅ－ｉｎｄｕｃｅｄ ｄｒａｉｎ ｌｅａｋａｇｅ）支援型のボディバイアシング（ｂｏｄｙ ｂｉａｓｉｎｇ）を可能にすることができる。ソース選択ゲートライン２０１の周りのＧＩＤＬは、対応するＮＡＮＤメモリストリングのソースから半導体チャネル１２８の中へ正孔電流（すなわち、ソースリーケージ電流）を発生させ、消去動作のためのボディポテンシャルを上昇させることが可能である。すなわち、Ｎ型のドープされた半導体層１２２のプラグ１２３は、いくつかの実装形態によれば、消去動作を実施するときに、ＧＩＤＬ支援型のボディバイアシングを発生させるように構成されている。いくつかの実装形態において、ソース選択ゲートライン２０１に面する半導体チャネル１２８の一部をドープすることによっても、ＧＩＤＬ効果がさらに強化されることが可能である。

【００４４】

図１Ａに示されているように、３Ｄメモリデバイス１００の第２の半導体構造体１０４は、メモリスタック１１４の交互配置されたスタック導電層１１６およびスタック誘電体層１１８を通って垂直方向にそれぞれ延在する絶縁構造体１３０をさらに含むことが可能である。充填層１２０の中へさらに延在するチャネル構造体１２４とは異なり、絶縁構造体１３０は、いくつかの実装形態によれば、充填層１２０の底部表面において停止し、すなわち、充填層１２０の中へ垂直方向に延在しない。すなわち、絶縁構造体１３０の上部表面は、充填層１２０の底部表面と同一平面上にあることが可能である。また、それぞれの絶縁構造体１３０は、別個のチャネル構造体１２４を複数のブロックに分離するために、横方向に延在することが可能である。すなわち、メモリスタック１１４は、絶縁構造体１３０によって複数のメモリブロックに分割されることが可能であり、チャネル構造体１２４のアレイがそれぞれのメモリブロックへと分離されることが可能であるようになっている。既存の３Ｄ ＮＡＮＤメモリデバイス（それは、フロントサイドＡＣＳ接触部を含む）の中のスリット構造体とは異なり、絶縁構造体１３０は、いくつかの実装形態によれば、任意の接触部をその中に含まず（すなわち、ソース接触部として機能しない）、したがって、スタック導電層１１６によって寄生容量およびリーケージ電流を導入しない。いくつかの実装形態において、それぞれの絶縁構造体１３０は、それに限定されないが、酸

化ケイ素、窒化ケイ素、酸窒化ケイ素、または、それらの任意の組み合わせを含む、１つまたは複数の誘電材料によって充填された開口部（たとえば、スリット）を含む。１つの例において、それぞれの絶縁構造体１３０は、酸化ケイ素によって充填されることが可能である。いくつかの例において（図１Ａに示されているように）、絶縁構造体１３０は、非誘電材料（たとえば、ポリシリコンなど）によって部分的に充填され、絶縁構造体１３０の機械的特性（たとえば、硬度および／または応力）を調節することが可能であるということが理解される。

【００４５】

そのうえ、下記に詳細に説明されているように、絶縁構造体１３０を形成するための開口部は、ドープされた半導体層１２２および半導体チャネル１２８のドープされた部分１２８ａを形成するために使用されないので、交互配置されたスタック導電層１１６およびスタック誘電体層１１８の数が増加するにつれて開口部のアスペクト比が増加することは（たとえば、５０よりも大きい）、ドープされた半導体層１２２および半導体チャネル１２８のドープされた部分１２８ａの形成に影響を与えることとならない。

【００４６】

フロントサイドソース接触部の代わりに、３Ｄメモリデバイス１００は、図１Ａに示されているように、ドープされた半導体層１２２の上方において、ドープされた半導体層１２２に接触して、１つまたは複数のバックサイドソース接触部１３２を含むことが可能である。ソース接触部１３２およびメモリスタック１１４（および、それを通る絶縁構造体１３０）は、充填層１２０の反対側に配設されることが可能であり、したがって、「バックサイド」ソース接触部として見られることが可能である。いくつかの実装形態において、ソース接触部１３２は、ドープされた半導体層１２２を通してチャネル構造体１２４の半導体チャネル１２８に電気的に接続されている。ソース接触部１３２は、任意の適切なタイプの接触部を含むことが可能である。いくつかの実装形態において、ソース接触部１３２は、ＶＩＡ接触部を含む。いくつかの実装形態において、ソース接触部１３２は、横方向に延在する壁形状の接触部を含む。ソース接触部１３２は、接着剤層（たとえば、窒化チタン（ＴｉＮ））によって取り囲まれている金属層（たとえば、Ｗ、Ｃｏ、Ｃｕ、もしくはＡｌ）またはシリサイド層などのような、１つまたは複数の導電層を含むことが可能である。

【００４７】

図１Ａに示されているように、３Ｄメモリデバイス１００は、パッドアウトのために（たとえば、３Ｄメモリデバイス１００と外部回路との間で電気信号を転送するために）、ソース接触部１３２の上方においてソース接触部１３２に電気的に接続されているＢＥＯＬ相互接続層１３３をさらに含むことが可能である。いくつかの実装形態において、相互接続層１３３は、ドープされた半導体層１２２の上の１つまたは複数のＩＬＤ層１３４と、ＩＬＤ層１３４の上の再分配層１３６とを含む。ソース接触部１３２の上側端部は、ＩＬＤ層１３４の上部表面、および、再分配層１３６の底部表面と同一平面上にあり、ソース接触部１３２は、いくつかの実装形態によれば、ドープされた半導体層１２２と接触するようにＩＬＤ層１３４を通って垂直方向に延在している。相互接続層１３３の中のＩＬＤ層１３４は、それに限定されないが、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低ｋ誘電体、または、それらの任意の組み合わせを含む、誘電材料を含むことが可能である。相互接続層１３３の中の再分配層１３６は、それに限定されないが、Ｗ、Ｃｏ、Ｃｕ、Ａｌ、シリサイド、または、それらの任意の組み合わせを含む、導電性材料を含むことが可能である。いくつかの実装形態において、相互接続層１３３は、３Ｄメモリデバイス１００のパッシベーションおよび保護のための最外層としてパッシベーション層１３８をさらに含む。再分配層１３６の一部は、接触パッド１４０としてパッシベーション層１３８から露出されることが可能である。すなわち、３Ｄメモリデバイス１００の相互接続層１３３は、ワイヤーボンディングおよび／またはインターポーザとのボンディングのための接触パッド１４０を含むことも可能である。製作プロセスに関して下記に説明されているように、いくつかの実装形態において、ソース接触部１３２および再分配層１３６は、同じプ

ロセスによって形成され、同じ材料（たとえば、Ａｌ）を有することが可能である。したがって、ソース接触部１３２は、いくつかの例において、同様に、ＢＥＯＬ相互接続層１３３の一部として見られることが可能である。

【００４８】

いくつかの実装形態において、３Ｄメモリデバイス１００の第２の半導体構造体１０４は、ドープされた半導体層１２２および充填層１２０を通る接触部１４２および１４４をさらに含む。ドープされた半導体層１２２はポリシリコンを含むことが可能であるので、接触部１４２および１４４は、いくつかの実装形態によれば、シリコン貫通接触部（ＴＳＣ： ｔｈｒｏｕｇｈ ｓｉｌｉｃｏｎ ｃｏｎｔａｃｔ）である。いくつかの実装形態において、接触部１４２は、ドープされた半導体層１２２、充填層１２０、およびＩＬＤ層１３４を通って延在し、再分配層１３６と接触しており、ドープされた半導体層１２２が、相互接続層１３３のソース接触部１３２および再分配層１３６を通して接触部１４２に電気的に接続されるようになっている。いくつかの実装形態において、接触部１４４は、ドープされた半導体層１２２、充填層１２０、およびＩＬＤ層１３４を通って延在し、接触パッド１４０と接触している。接触部１４２および１４４は、それぞれ、接着剤層（たとえば、スズ）によって取り囲まれている金属層（たとえば、Ｗ、Ｃｏ、Ｃｕ、もしくはＡｌ）またはシリサイド層などのような、１つまたは複数の導電層を含むことが可能である。いくつかの実装形態において、少なくとも接触部１４４は、ドープされた半導体層１２２および充填層１２０から接触部１４４を電気的に分離するためのスペーサ（たとえば、誘電体層）をさらに含む。

【００４９】

いくつかの実装形態において、３Ｄメモリデバイス１００は、メモリスタック１１４の外側に垂直方向にそれぞれ延在する周辺接触部１４６および１４８をさらに含む。それぞれの周辺接触部１４６または１４８は、メモリスタック１１４の深さよりも大きい深さを有し、メモリスタック１１４の外側にある周辺領域において、ボンディング層１１２から充填層１２０まで垂直方向に延在することが可能である。いくつかの実装形態において、周辺接触部１４６は、接触部１４２の下方にあり、接触部１４２と接触しており、ドープされた半導体層１２２が、少なくともソース接触部１３２、再分配層１３６、接触部１４２、および周辺接触部１４６を通して、第１の半導体構造体１０２の中の周辺回路１０８に電気的に接続されるようになっている。いくつかの実装形態において、周辺接触部１４８は、接触部１４４の下方にあり、接触部１４４と接触しており、第１の半導体構造体１０２の中の周辺回路１０８が、少なくとも接触部１４４および周辺接触部１４８を通して、パッドアウトのための接触パッド１４０に電気的に接続されるようになっている。周辺接触部１４６および１４８は、それぞれ、接着剤層（たとえば、ＴｉＮ）によって取り囲まれている金属層（たとえば、Ｗ、Ｃｏ、Ｃｕ、もしくはＡｌ）またはシリサイド層などのような、１つまたは複数の導電層を含むことが可能である。

【００５０】

図１Ａに示されているように、３Ｄメモリデバイス１００は、相互接続構造体の一部としてさまざまなローカル接触部（「Ｃ１」としても知られる）も含み、それは、メモリスタック１１４の中の構造体と直接的に接触している。いくつかの実装形態において、ローカル接触部は、チャネルローカル接触部１５０を含み、チャネルローカル接触部１５０は、それぞれ、それぞれのチャネル構造体１２４の下側端部の下方にあり、それと接触している。それぞれのチャネルローカル接触部１５０は、ビットラインファンアウトのためにビットライン接触部（図示せず）に電気的に接続されることが可能である。いくつかの実装形態において、ローカル接触部は、ワードラインローカル接触部１５２をさらに含み、ワードラインローカル接触部１５２は、それぞれ、ワードラインファンアウトのために、メモリスタック１１４の階段構造体において、それぞれのスタック導電層１１６（ワードラインを含む）の下方にあり、それと接触している。ローカル接触部（たとえば、チャネルローカル接触部１５０およびワードラインローカル接触部１５２など）は、少なくともボンディング層１１２および１１０を通して第１の半導体構造体１０２の周辺回路１０８

に電気的に接続されることが可能である。ローカル接触部（たとえば、チャネルローカル接触部１５０およびワードラインローカル接触部１５２など）は、それぞれ、接着剤層（たとえば、ＴｉＮ）によって取り囲まれている金属層（たとえば、Ｗ、Ｃｏ、Ｃｕ、もしくはＡｌ）またはシリサイド層などのような、１つまたは複数の導電層を含むことが可能である。

【００５１】

例示的な３Ｄメモリデバイス１００が図１Ａに示されているが、第１および第２の半導体構造体１０２および１０４の相対的位置、バックサイドソース接触部１３２もしくは公知のフロントサイドソース接触部（図示せず）の使用法、ならびに／または、（たとえば、第１の半導体構造体１０２および／または第２の半導体構造体１０４を通る）パッドアウト場所を変化させることによって、３Ｄメモリデバイスの任意の他の適切なアーキテクチャが、さらに細かく詳述することなく、本開示において適用可能であり得るということが理解される。

【００５２】

図１Ｂは、本開示のいくつかの実施形態による、別の例示的な３Ｄメモリデバイス１６０の断面の側面図を図示している。３Ｄメモリデバイス１６０は、ドープされた半導体層１２２およびキャッピング層１２７の上側端部の異なる構造を除いて、３Ｄメモリデバイス１００と同様である。３Ｄメモリデバイス１６０および１００の両方の他の同じ構造体の詳細は、説明を容易にするために繰り返されていないということが理解される。

【００５３】

図１Ｂに示されているように、ドープされた半導体層１２２は、いくつかの実施形態によれば、チャネル構造体１２４の中へ延在する任意のプラグ（たとえば、図１Ａのプラグ１２３）を含まない。すなわち、いくつかの実施形態において、ドープされた半導体層１２２全体は、プレート１２１として見られることが可能である。チャネル構造体１２４の中へ延在するプラグ１２３がなければ、チャネル構造体１２４のキャッピング層１２７は、チャネルホールを完全に充填することが可能であり、したがって、第１の方向（たとえば、図１Ｂのプラスのｙ方向）にメモリスタック１１４を越えて延在しており、ドープされた半導体層１２２と接触している。すなわち、メモリフィルム１２６、半導体チャネル１２８、およびキャッピング層１２７の上側端部は、互いに同一平面上にあり、ドープされた半導体層１２２と接触していることが可能である。結果として、いくつかの実施形態において、チャネル構造体１２４は、第１の方向（たとえば、図１Ｂのプラスのｙ方向）にメモリスタック１１４を越えて延在しており、ドープされた半導体層１２２と接触している。

【００５４】

図７は、本開示のいくつかの態様による、３Ｄメモリデバイスを有する例示的なシステム７００のブロック図を図示している。システム７００は、携帯電話、デスクトップコンピュータ、ラップトップコンピュータ、タブレット、車両コンピュータ、ゲーミングコンソール、プリンタ、位置決めデバイス、ウェアラブル電子デバイス、スマートセンサ、仮想現実（ＶＲ）デバイス、拡張現実（ＡＲ）デバイス、または、ストレージをその中に有する任意の他の適切な電子デバイスであることが可能である。図７に示されているように、システム７００は、ホスト７０８およびメモリシステム７０２を含むことが可能であり、メモリシステム７０２は、１つまたは複数の３Ｄメモリデバイス７０４およびメモリコントローラ７０６を有している。ホスト７０８は、電子デバイスのプロセッサ（たとえば、中央処理装置（ＣＰＵ）など）、または、システム－オン－チップ（ＳｏＣ）（たとえば、アプリケーションプロセッサ（ＡＰ）など）であることが可能である。ホスト７０８は、３Ｄメモリデバイス７０４にデータを送信するように、または、３Ｄメモリデバイス７０４からデータを受信するように構成されることが可能である。

【００５５】

３Ｄメモリデバイス７０４は、本明細書で開示されている任意の３Ｄメモリデバイス（たとえば、図１Ａおよび図１Ｂに示されている３Ｄメモリデバイス１００および１６０な

ど）であることが可能である。いくつかの実装形態において、それぞれの３Ｄメモリデバイス７０４は、ＮＡＮＤフラッシュメモリを含む。本開示の範囲と一貫して、３Ｄメモリデバイス７０４の半導体チャネルは、部分的にドープされていることが可能であり、ソース接触部を形成する半導体チャネルの一部が、ドープされていないままであるかまたは低度にドープされたメモリセルを形成する半導体チャネルの別の一部を残した状態で、ポテンシャル障壁を低下させるように高度にドープされるようになっている。３Ｄメモリデバイス７０４のそれぞれのチャネル構造体の一方の端部は、バックサイドから開かれ、それぞれの半導体チャネルのドープされた一部を露出させることが可能である。３Ｄメモリデバイス７０４は、接触抵抗およびシート抵抗をさらに低減させるために、半導体チャネルの露出されたドープされた一部を電気的に接続するドープされた半導体層をさらに含むことが可能である。結果として、３Ｄメモリデバイス７０４の電気的性能は、改善されることが可能であるが、そして、それは、メモリシステム７０２およびシステム７００の性能を改善し、たとえば、より高い動作速度を実現する。

【００５６】

メモリコントローラ７０６は、３Ｄメモリデバイス７０４およびホスト７０８に連結されており、いくつかの実装形態によれば、３Ｄメモリデバイス７０４を制御するように構成されている。メモリコントローラ７０６は、３Ｄメモリデバイス７０４の中に記憶されているデータを管理し、ホスト７０８と通信することが可能である。いくつかの実装形態において、メモリコントローラ７０６は、セキュアデジタル（ＳＤ）カード、コンパクトフラッシュ（登録商標）（ＣＦ）カード、ユニバーサルシリアルバス（ＵＳＢ）フラッシュドライブ、または、電子デバイス（たとえば、パーソナルコンピュータ、デジタルカメラ、携帯電話などなど）の中で使用するための他の媒体などのように、低デューティーサイクル環境において動作するように設計されている。いくつかの実装形態において、メモリコントローラ７０６は、モバイルデバイス（たとえば、スマートフォン、タブレット、ラップトップコンピュータなど）のためのデータストレージおよびエンタープライズストレージアレイとして使用される高デューティーサイクル環境ＳＳＤまたは組み込み用マルチメディアカード（ｅＭＭＣ）において動作するように設計されている。メモリコントローラ７０６は、３Ｄメモリデバイス７０４の動作（たとえば、読み出し動作、消去動作、およびプログラム動作など）を制御するように構成されることが可能である。また、メモリコントローラ７０６は、３Ｄメモリデバイス７０４の中に記憶されているかまたは記憶されることとなるデータに関するさまざまな機能を管理するように構成されることが可能である（それに限定されないが、バッドブロック管理、ガベージコレクション、論理アドレス－ツー－物理アドレス変換、ウェアレベリングなどを含む）。いくつかの実装形態において、メモリコントローラ７０６は、３Ｄメモリデバイス７０４から読み取られるかまたは３Ｄメモリデバイス７０４に書き込まれるデータに関して誤り訂正符号（ＥＣＣ）を処理するようにさらに構成されている。任意の他の適切な機能は、メモリコントローラ７０６によって同様に実施されることが可能であり、たとえば、３Ｄメモリデバイス７０４を形成する。メモリコントローラ７０６は、特定の通信プロトコルに従って、外部デバイス（たとえば、ホスト７０８）と通信することが可能である。たとえば、メモリコントローラ７０６は、さまざまなインターフェースプロトコル（たとえば、ＵＳＢプロトコル、ＭＭＣプロトコル、周辺コンポーネント相互接続（ＰＣＩ）プロトコル、ＰＣＩ－ｅｘｐｒｅｓｓ（ＰＣＩ－Ｅ）プロトコル、アドバンスドテクノロジアタッチメント（ＡＴＡ）プロトコル、シリアルＡＴＡプロトコル、パラレルＡＴＡプロトコル、スモールコンピュータスモールインターフェース（ＳＣＳＩ）プロトコル、エンハンストスモールディスクインターフェース（ＥＳＤＩ）プロトコル、インテグレーティドドライブエレクトロニクス（ＩＤＥ）プロトコル、Ｆｉｒｅｗｉｒｅプロトコルなど）のうちの少なくとも１つを通して、外部デバイスと通信することが可能である。

【００５７】

メモリコントローラ７０６および１つまたは複数の３Ｄメモリデバイス７０４は、さまざまなタイプのストレージデバイスの中へ一体化されることが可能であり、たとえば、同

じパッケージ（たとえば、ユニバーサルフラッシュストレージ（ＵＦＳ）パッケージまたはｅＭＭＣパッケージなど）の中に含まれることが可能である。すなわち、メモリシステム７０２は、異なるタイプの最終エレクトロニクス製品の中へ実装およびパッケージングされることが可能である。図８Ａに示されているような１つの例において、メモリコントローラ７０６および単一の３Ｄメモリデバイス７０４が、メモリカード８０２の中へ一体化されることが可能である。メモリカード８０２は、ＰＣカード（ＰＣＭＣＩＡ、パーソナルコンピュータメモリカード国際協会）、ＣＦカード、スマートメディア（ＳＭ）カード、メモリスティック、マルチメディアカード（ＭＭＣ、ＲＳ－ＭＭＣ、ＭＭＣｍｉｃｒｏ）、ＳＤカード（ＳＤ、ｍｉｎｉＳＤ、ｍｉｃｒｏＳＤ、ＳＤＨＣ）、ＵＦＳなどを含むことが可能である。メモリカード８０２は、メモリカード８０２をホスト（たとえば、図７のホスト７０８）と電気的に連結するメモリカードコネクタ８０４をさらに含むことが可能である。図８Ｂに示されているような別の例では、メモリコントローラ７０６および複数の３Ｄメモリデバイス７０４は、ＳＳＤ８０６の中へ一体化されることが可能である。ＳＳＤ８０６は、ＳＳＤ８０６をホスト（たとえば、図７のホスト７０８）と電気的に連結するＳＳＤコネクタ８０８をさらに含むことが可能である。いくつかの実装形態において、ＳＳＤ８０６のストレージ容量および／または動作速度は、メモリカード８０２のものよりも大きい。

【００５８】

図３Ａ～図３Ｏは、本開示のいくつかの実装形態による、例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示している。図５は、本開示のいくつかの実装形態による、例示的な３Ｄメモリデバイスを形成するための方法５００のフローチャートを図示している。図３Ａ～図３Ｏおよび図５に描かれている３Ｄメモリデバイスの例は、図１Ａに描かれている３Ｄメモリデバイス１００を含む。図３Ａ～図３Ｏおよび図５は、共に説明されることとなる。方法５００に示されている動作は、網羅的なものではないということ、および、図示されている動作のいずれかの前に、その後に、またはその間に、他の動作も同様に実施されることが可能であるということが理解される。さらに、動作のうちのいくつかは、同時に実施されることが可能であり、または、図５に示されているものとは異なる順序で実施されることが可能である。

【００５９】

図５を参照すると、方法５００は、動作５０２において開始し、動作５０２では、周辺回路が、第１の基板の上に形成される。第１の基板は、シリコン基板であることが可能である。図３Ｇに図示されているように、複数のトランジスタは、それに限定されないが、フォトリソグラフィ、エッチング、薄膜堆積、熱膨張、インプランテーション、化学的機械研磨（ＣＭＰ）、および任意の他の適切なプロセスを含む、複数のプロセスを使用して、シリコン基板３５０の上に形成される。いくつかの実装形態において、ドープ領域（図示せず）は、イオンインプランテーションおよび／または熱拡散によって、シリコン基板３５０の中に形成され、それは、たとえば、トランジスタのソース領域および／またはドレイン領域として機能する。いくつかの実装形態において、アイソレーション領域（たとえば、ＳＴＩ）が、また、ウェットエッチングおよび／またはドライエッチングおよび薄膜堆積によってシリコン基板３５０の中に形成される。トランジスタは、シリコン基板３５０の上に周辺回路３５２を形成することが可能である。

【００６０】

図３Ｇに図示されているように、ボンディング層３４８が、周辺回路３５２の上方に形成される。ボンディング層３４８は、周辺回路３５２に電気的に接続されているボンディング接触部を含む。ボンディング層３４８を形成するために、ＩＬＤ層が、１つまたは複数の薄膜堆積プロセスを使用して堆積され、１つまたは複数の薄膜堆積プロセスは、たとえば、化学蒸着（ＣＶＤ）、物理蒸着（ＰＶＤ）、原子層堆積（ＡＬＤ）、または、それらの任意の組み合わせなどである；ＩＬＤ層を通るボンディング接触部が、ウェットエッチングおよび／またはドライエッチング（たとえば、反応性イオンエッチング（ＲＩＥ））を使用して形成され、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、

それらの任意の組み合わせなどのような、１つまたは複数の薄膜堆積プロセスがそれに続く。

【００６１】

方法５００は、図５に図示されているように、動作５０４に進行し、動作５０４では、充填層が、第２の基板の上方に形成され、スタック構造体が、充填層の上方に形成される。充填層およびスタック構造体は、半導体デバイスがその上に形成され得る第２の基板のフロントサイドに形成されることが可能である。第２の基板は、シリコン基板であることが可能である。第２の基板は最終製品から除去されることとなるので、第２の基板は、第２の基板のコストを低減させるために任意の適切な材料（たとえば、いくつか例を挙げると、ガラス、サファイヤ、プラスチック、シリコンなどから作製されたダミーウエハの一部（たとえば、キャリア基板）であることが可能であるということが理解される。いくつかの実装形態において、基板は、キャリア基板である。いくつかの実装形態において、充填層は、ポリシリコン、高ｋ誘電体、または金属を含み、スタック構造体は、交互配置されたスタック誘電体層およびスタック犠牲層を有する誘電体スタックを含む。いくつかの例において、スタック構造体は、交互配置されたスタック誘電体層（たとえば、酸化ケイ素層）およびスタック導電層（たとえば、ポリシリコン層）を有するメモリスタックを含むことが可能であるということが理解される。

【００６２】

第２の基板の上に形成されることとなるさまざまな構造体のゲージングおよび表面平坦性をより良好に制御するために、さまざまなストップ層が、第２の基板と充填層との間に形成されることが可能である。いくつかの実装形態において、第１のストップ層および第２のストップ層が、第２の基板と充填層との間に順次に形成される。第１のストップ層は、酸化ケイ素または窒化ケイ素を含むことが可能であり、第２のストップ層は、酸化ケイ素またはポリシリコンを含むことが可能である。いくつかの実装形態において、第３のストップ層（たとえば、窒化ケイ素層またはポリシリコン層など）が、第２のストップ層と充填層との間に形成される。いくつかの実装形態において、単一のストップ層（たとえば、酸化ケイ素層または高ｋ誘電体層など）が、第２の基板と充填層との間に形成される。

【００６３】

図３Ａに図示されているように、第１のストップ層３０３が、キャリア基板３０２の上方に形成され、第２のストップ層３０４が、第１のストップ層３０３の上に形成され、充填層３０６が、第２のストップ層３０４の上に形成される。充填層３０６は、ポリシリコン、高ｋ誘電体、または金属を含むことが可能である。第２のストップ層３０４は、フロントサイドからチャネルホールをエッチングするときにエッチングストップ層として作用することが可能であり、したがって、直接的に第２のストップ層３０４の上の材料（たとえば、酸化ケイ素またはポリシリコンなど）に関して高いエッチング選択性（たとえば、約５よりも大きい）を有する任意の適切な材料を含むことが可能である。第１のストップ層３０３は、バックサイドからキャリア基板３０２を除去するときにＣＭＰ／エッチングストップ層として作用することが可能であり、したがって、キャリア基板３０２の材料以外の任意の適切な材料（たとえば、窒化ケイ素または酸化ケイ素など）を含むことが可能である。いくつかの例において、パッド酸化物層（たとえば、酸化ケイ素層）が、キャリア基板３０２と第１のストップ層３０３との間に形成され、異なる層の間の応力を緩和し、剥離を回避することが可能であるということが理解される。

【００６４】

図３Ａに示されているように、酸化ケイ素層（パッド酸化物層）、窒化ケイ素層（第１のストップ層３０３）、および酸化ケイ素層（第２のストップ層３０４）のスタックは、それに限定されないが、ＣＶＤ、ＰＶＤ、ＡＬＤ、または、それらの任意の組み合わせを含む、１つまたは複数の薄膜堆積プロセスを使用して、キャリア基板３０２の上に順次に形成されることが可能である。いくつかの実装形態において、充填層３０６は、それに限定されないが、ＣＶＤ、ＰＶＤ、ＡＬＤ、または、それらの任意の組み合わせを含む、１つまたは複数の薄膜堆積プロセスを使用して、ポリシリコンまたは任意の他の適切な材料

（たとえば、高ｋ誘電体または金属など）を第２のストップ層３０４の上に堆積させることによって形成される。説明を容易にするために、図３Ａに示されているストップ層の組み合わせは、製作プロセスを説明するために本開示を通して使用されている。しかし、ストップ層の任意の他の適切な組み合わせは、同様に、他の例においても使用されることが可能であるということが理解される。示されていない例において、（第１および第２のストップ層３０３および３０４として）単一の酸化物層または高ｋ誘電体層が、それに限定されないが、ＣＶＤ、ＰＶＤ、ＡＬＤ、または、それらの任意の組み合わせを含む、１つまたは複数の薄膜堆積プロセスを使用して、キャリア基板３０２の上に形成されることが可能である。

【００６５】

図３Ｂに図示されているように、複数の対の第１の誘電体層（本明細書では「スタック犠牲層」３１２と称される）および第２の誘電体層（本明細書では「スタック誘電体層」３１０と称される；共に本明細書では「誘電体層対」と称される）を含む誘電体スタック３０８が、充填層３０６の上に形成される。誘電体スタック３０８は、いくつかの実装形態によれば、交互配置されたスタック犠牲層３１２およびスタック誘電体層３１０を含む。スタック誘電体層３１０およびスタック犠牲層３１２は、キャリア基板３０２の上方において充填層３０６の上に交互に形成され、誘電体スタック３０８を形成することが可能である。いくつかの実装形態において、それぞれのスタック誘電体層３１０は、酸化ケイ素の層を含み、それぞれのスタック犠牲層３１２は、窒化ケイ素の層を含む。誘電体スタック３０８は、それに限定されないが、ＣＶＤ、ＰＶＤ、ＡＬＤ、または、それらの任意の組み合わせを含む、１つまたは複数の薄膜堆積プロセスによって形成されることが可能である。図３Ｂに図示されているように、階段構造体が、誘電体スタック３０８の縁部の上に形成されることが可能である。階段構造体は、キャリア基板３０２に向けて誘電体スタック３０８の誘電体層対に対して複数のいわゆる「トリムエッチング」サイクルを実施することによって形成されることが可能である。誘電体スタック３０８の誘電体層対に適用される繰り返されるトリムエッチングサイクルに起因して、誘電体スタック３０８は、図３Ｂに示されているように、１つまたは複数の傾斜した縁部と、底部のものよりも短い上部の誘電体層対とを有することが可能である。

【００６６】

方法５００は、図５に図示されているように、動作５０６に進行し、動作５０６では、誘電体スタックおよび充填層を通って垂直方向に延在するチャネル構造体が形成される。チャネル構造体は、メモリフィルムおよび半導体チャネルを含むことが可能である。いくつかの実装形態において、チャネル構造体を形成するために、誘電体スタックおよび充填層を通って垂直方向に延在するチャネルホールが形成され、それは、第２のストップ層において停止し、メモリフィルム、半導体チャネル、およびキャッピング層が、チャネルホールの中に順次に形成される。

【００６７】

図３Ｂに図示されているように、それぞれのチャネルホールは、誘電体スタック３０８および充填層３０６を通って垂直方向に延在する開口部であり、それは、第２のストップ層３０４において停止する。いくつかの実装形態において、複数の開口部が形成され、それぞれの開口部が、後のプロセスにおいて個々のチャネル構造体３１４を成長させるための場所になるようになっている。いくつかの実装形態において、チャネル構造体３１４のチャネルホールを形成するための製作プロセスは、ウェットエッチングおよび／またはドライエッチング（たとえば、ディープＲＩＥ（ＤＲＩＥ）など）を含む。チャネルホールのエッチングは、いくつかの実装形態によれば、第２のストップ層３０４（たとえば、酸化シリコンまたはポリシリコンなど）によって停止されるまで継続する。いくつかの実装形態において、エッチング条件（たとえば、エッチング速度および時間など）は、チャネルホールおよびその中に形成されたチャネル構造体３１４の間でのえぐれのばらつき（ｇｏｕｇｉｎｇ　ｖａｒｉａｔｉｏｎ）を最小化するために、それぞれのチャネルホールが第２のストップ層３０４に到達して停止することを保証するように制御されることが可能

である。特定のエッチング選択性に応じて、１つまたは複数のチャネルホールは、小さな程度だけ第２のストップ層３０４の中へ延在することが可能であり、それは、依然として、本開示では第２のストップ層３０４によって停止されるものとして見られるということが理解される。

【００６８】

図３Ｂに図示されているように、ブロッキング層３１７、ストレージ層３１６、およびトンネリング層３１５を含むメモリフィルム、ならびに、半導体チャネル３１８が、チャネルホールの側壁部および底部表面に沿って、この順序で順次に形成される。いくつかの実装形態において、ブロッキング層３１７、ストレージ層３１６、およびトンネリング層３１５が、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、チャネルホールの側壁部および底部表面に沿ってこの順序で最初に堆積され、メモリフィルムを形成する。次いで、半導体チャネル３１８が、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、トンネリング層３１５の上に半導体材料（たとえば、ポリシリコン（たとえば、ドープされていないポリシリコン）など）を堆積させることによって形成されることが可能である。いくつかの実装形態において、第１の酸化ケイ素層、窒化ケイ素層、第２の酸化ケイ素層、およびポリシリコン層（「ＳＯＮＯ」構造体）が順次に堆積され、メモリフィルムのブロッキング層３１７、ストレージ層３１６、およびトンネリング層３１５、ならびに半導体チャネル３１８を形成する。

【００６９】

図３Ｂに図示されているように、キャッピング層３１９が、チャネルホールの中および半導体チャネル３１８の上に形成され、（たとえば、空気ギャップを備えずにまたは空気ギャップを備えて）チャネルホールを完全にまたは部分的に充填する。キャッピング層３１９は、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、誘電材料（たとえば、酸化ケイ素など）を堆積させることによって形成されることが可能である。次いで、チャネルプラグが、チャネルホールの上部部分の中に形成されることが可能である。いくつかの実装形態において、誘電体スタック３０８の上部表面の上にあるメモリフィルム、半導体チャネル３１８、およびキャッピング層３１９の一部が除去され、ＣＭＰ、ウェットエッチング、および／またはドライエッチングによって平面化される。次いで、チャネルホールの上部部分の中の半導体チャネル３１８およびキャッピング層３１９の一部をウェットエッチングおよび／またはドライエッチングすることによって、凹部が、チャネルホールの上部部分の中に形成されることが可能である。次いで、チャネルプラグが、１つまたは複数の薄膜堆積プロセス（たとえば、ＣＶＤ、ＰＶＤ、ＡＬＤ、または、それらの任意の組み合わせなど）によって、半導体材料（たとえば、ポリシリコンなど）を凹部の中へ堆積させることによって形成されることが可能である。それによって、チャネル構造体３１４が、いくつかの実装形態によれば、誘電体スタック３０８および充填層３０６を通して形成され、それは、第２のストップ層３０４において停止する。

【００７０】

図３Ｃに図示されているように、スリット３２０は、誘電体スタック３０８を通って垂直方向に延在し、充填層３０６において停止する開口部である。いくつかの実装形態において、スリット３２０を形成するための製作プロセスは、ウェットエッチングおよび／またはドライエッチング（たとえば、ＤＲＩＥなど）を含む。次いで、ゲート交換が、スリット３２０を通して実施され、誘電体スタック３０８をメモリスタック３３０（図３Ｅに示されている）と交換することが可能である。

【００７１】

図３Ｄに図示されているように、横方向凹部３２２が、スリット３２０を通してスタック犠牲層３１２（図３Ｃに示されている）を除去することによって最初に形成される。いくつかの実装形態において、スタック犠牲層３１２は、スリット３２０を通してエッチン

グ液を適用することによって除去され、スタック誘電体層３１０の間に交互配置された横方向凹部３２２を生成させる。エッチング液は、スタック誘電体層３１０に対して選択的にスタック犠牲層３１２をエッチングする任意の適切なエッチング液を含むことが可能である。

【００７２】

図３Ｅに図示されているように、スタック導電層３２８（ゲート電極および接着剤層を含む）が、スリット３２０を通して横方向凹部３２２（図３Ｄに示されている）の中へ堆積される。いくつかの実装形態において、ゲート誘電体層３３２が、スタック導電層３２８の前に横方向凹部３２２の中へ堆積され、スタック導電層３２８がゲート誘電体層３３２の上に堆積されるようになっている。スタック導電層３２８（たとえば、金属層など）は、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して堆積されることが可能である。いくつかの実装形態において、ゲート誘電体層３３２（たとえば、高ｋ誘電体層など）が、同様に、スリット３２０の側壁部および底部に沿って形成される。それによって、交互配置されたスタック導電層３２８およびスタック誘電体層３１０を含むメモリスタック３３０が形成され、いくつかの実装形態によれば、誘電体スタック３０８（図３Ｄに示されている）を交換する。

【００７３】

図３Ｅに図示されているように、メモリスタック３３０を通って垂直方向に延在する絶縁構造体３３６が形成され、それは、充填層３０６の上部表面において停止する。絶縁構造体３３６は、１つまたは複数の誘電材料（たとえば、酸化ケイ素など）をスリット３２０の中へ堆積させることによって形成され、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、（たとえば、空気ギャップを備えずにまたは空気ギャップを備えて）スリット３２０を完全にまたは部分的に充填することが可能である。いくつかの実装形態において、絶縁構造体３３６は、ゲート誘電体層３３２（たとえば、高ｋ誘電体を含む）および誘電体キャッピング層３３４（たとえば、酸化ケイ素を含む）を含む。いくつかの実施形態において、誘電体キャッピング層３３４は、スリット３２０を部分的に充填することが可能であり、ポリシリコンコア層３３５が、絶縁構造体３３６の一部として、スリット３２０の残りのスペースを充填し、絶縁構造体３３６の機械的特性（たとえば、硬度または応力など）を調節することが可能である。

【００７４】

図３Ｆに図示されているように、絶縁構造体３３６の形成の後に、ローカル接触部（チャネルローカル接触部３４４およびワードラインローカル接触部３４２、ならびに、周辺接触部３３８および３４０を含む）が形成される。１つまたは複数の薄膜堆積プロセス（たとえば、ＣＶＤ、ＰＶＤ、ＡＬＤ、または、それらの任意の組み合わせなど）を使用して、誘電材料（たとえば、酸化ケイ素または窒化ケイ素など）をメモリスタック３３０の上に堆積させることによって、ローカル誘電体層が、メモリスタック３３０の上に形成されることが可能である。ウェットエッチングおよび／またはドライエッチング（たとえば、ＲＩＥ）を使用して、ローカル誘電体層（および、任意の他のＩＬＤ層）を通して接触部開口部をエッチングすることによって、そして、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、導電性材料によって接触部開口部を充填することがそれに続くことによって、チャネルローカル接触部３４４、ワードラインローカル接触部３４２、ならびに、周辺接触部３３８および３４０が、形成されることが可能である。

【００７５】

図３Ｆに図示されているように、ボンディング層３４６が、チャネルローカル接触部３４４、ワードラインローカル接触部３４２、ならびに周辺接触部３３８および３４０の上方に形成される。ボンディング層３４６は、チャネルローカル接触部３４４、ワードラインローカル接触部３４２、ならびに周辺接触部３３８および３４０に電気的に接続されて

いるボンディング接触部を含む。ボンディング層３４６を形成するために、ＩＬＤ層は、１つまたは複数の薄膜堆積プロセス（たとえば、ＣＶＤ、ＰＶＤ、ＡＬＤ、または、それらの任意の組み合わせなど）を使用して堆積され、ボンディング接触部が、ウェットエッチングおよび／またはドライエッチング（たとえば、ＲＩＥ）を使用して、そして、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）がそれに続くことによって、ＩＬＤ層を通して形成される。

【００７６】

方法５００は、図５に図示されているように、動作５０８に進行し、動作５０８では、第１の基板および第２の基板が向かい合った様式で結合され、メモリスタックが周辺回路の上方にあるようになっている。ボンディングは、ハイブリッドボンディングを含むことが可能である。図３Ｇに図示されているように、キャリア基板３０２およびその上に形成されたコンポーネント（たとえば、メモリスタック３３０およびそれを通して形成されたチャネル構造体３１４）が、逆さまにひっくり返される。いくつかの実装形態によれば、下を向いたボンディング層３４６が、上を向いたボンディング層３４８と結合され、すなわち、向かい合った様式で結合され、それによって、キャリア基板３０２とシリコン基板３５０との間にボンディングインターフェース３５４を形成する。いくつかの実装形態において、処理プロセス（たとえば、プラズマ処理、ウェット処理、および／または熱処理）が、ボンディングの前にボンディング表面に適用される。ボンディングの後に、ボンディング層３４６の中のボンディング接触部およびボンディング層３４８の中のボンディング接触部が位置合わせされ、互いに接触しており、メモリスタック３３０およびそれを通して形成されたチャネル構造体３１４が、周辺回路３５２に電気的に接続されることが可能であり、周辺回路３５２の上方にあるようになっている。

【００７７】

方法５００は、図５に図示されているように、動作５１０に進行し、動作５１０では、第２の基板および充填層を越えて延在するチャネル構造体の一部が順次に除去され、半導体チャネルの一部を露出させる。除去は、第２の基板のバックサイドから実施されることが可能である。図６に示されているように、いくつかの実装形態において、６０２において、第２の基板およびチャネル構造体の一部を順次に除去するために、第２の基板が除去され、それは、第１のストップ層において停止し；６０４において、第１のストップ層が除去され、それは、第２のストップ層において停止し；６０６において、第２のストップ層およびチャネル構造体の一部が除去され、それは、充填層において停止する。いくつかの実装形態において、チャネル構造体の除去された一部は、第２のストップ層の中へ延在しており、第２のストップ層および第２のストップ層の中へ延在するチャネル構造体の一部が研磨される。図６に示されているように、いくつかの実施形態において、６０８において、チャネル構造体のキャッピング層の一部がエッチバックされ、半導体チャネルの一部によって取り囲まれた凹部を形成する。

【００７８】

図３Ｈに図示されているように、キャリア基板３０２（および、図３Ｇに示されている、キャリア基板３０２と第１のストップ層３０３との間のパッド酸化物層）が、第１のストップ層３０３（たとえば、窒化ケイ素層）によって停止されるまで、バックサイドから完全に除去される。キャリア基板３０２は、ＣＭＰ、研削、ドライエッチング、および／またはウェットエッチングを使用して、完全に除去されることが可能である。いくつかの実装形態において、キャリア基板３０２が剥離される。キャリア基板３０２がシリコンを含み、第１のストップ層３０３が窒化ケイ素を含むいくつかの実装形態において、キャリア基板３０２は、シリコンＣＭＰを使用して除去され、それは、シリコン以外の材料を有する第１のストップ層３０３に到達したときに自動的に停止されることが可能である（すなわち、バックサイドＣＭＰストップ層として作用する）。いくつかの実装形態において、キャリア基板３０２（シリコン基板）は、テトラメチル水酸化アンモニウム（ＴＭＡＨ）によるウェットエッチングを使用して除去され、それは、シリコン以外の材料を有する

第１のストップ層３０３に到達したときに自動的に停止される（すなわち、バックサイドエッチングストップ層として作用する）。第１のストップ層３０３は、薄化の後の厚さの均一性の心配なしに、キャリア基板３０２の完全な除去を保証することが可能である。

【００７９】

図３Ｉに示されているように、第１および第２のストップ層３０３および３０４（図３Ｈに示されている）は、次いで、適切なエッチング液（たとえば、リン酸およびフッ化水素酸など）によるウェットエッチングを使用して、第２のストップ層３０４とは異なる材料（たとえば、ポリシリコン）を有する充填層３０６によって停止されるまで、同様に完全に除去されることが可能である。図３Ｉに示されているように、充填層３０６を越えて延在するチャネル構造体３１４の一部が除去され、チャネル構造体３１４の上側端部が充填層３０６の上部表面と同一平面上になるようになっている。チャネル構造体３１４の一部が第２のストップ層３０４の中へ延在するいくつかの実施形態において、第２のストップ層３０４および第２のストップ層３０４の中へ延在するチャネル構造体３１４の一部が、研磨（たとえば、ＣＭＰなど）によって共に除去され、それは、充填層３０６において停止する。チャネル構造体３１４が充填層３０６を越えて第２のストップ層３０４の中へ延在していない場合、チャネル構造体３１４の上側端部の除去はスキップされてもよいということが理解される。

【００８０】

図３Ｊに図示されているように、キャッピング層３１９の一部が除去され、半導体チャネル３１８の上部部分によって取り囲まれた凹部３２１を形成する。たとえば、チャネル構造体３１４のキャッピング層３１９の一部は、たとえば、ドライエッチングおよび／またはウェットエッチングを使用して、凹部３２１を形成するためにエッチバックされることが可能である。いくつかの例において、キャッピング層３１９の上側端部が依然として半導体チャネル３１８によってカバーされている場合、半導体チャネル３１８の一部が最初にエッチングされ、キャッピング層３１９を露出させることが可能である。キャッピング層３１９のエッチングは、エッチング時間および／またはエッチング速度を制御することによって制御されることが可能であり、エッチングが、ソース選択ゲートライン（たとえば、充填層３０６の最も近くの１つまたは複数のスタック導電層３２８）を越えて継続しないようになっている。凹部３２１の形成は、凹部３２１を取り囲む半導体チャネル３１８の一部を露出させることが可能である。いくつかの実装形態において、凹部３２１によって露出される半導体チャネル３１８の上部部分は、その導電率を増加させるためにドープされる。たとえば、傾斜イオンインプランテーションプロセスは、凹部３２１によって露出された半導体チャネル３１８（たとえば、ポリシリコンを含む）の上部部分を、任意の適切なドーパント（たとえば、Ｐ、Ａｓ、またはＳｂなどのようなＮ型ドーパント）によって、所望のドーピング濃度にドープするように実施されることが可能である。

【００８１】

バックサイドからのチャネル構造体３１４の一部の除去は、高いアスペクト比（たとえば、５０よりも大きい）を有する誘電体スタック３０８／メモリスタック３３０を通る開口部（たとえば、図３Ｄのスリット３２０）を介したフロントサイドウェットエッチングを使用する公知の解決策と比較して、はるかに困難でなく、より高い生産収率を有している。スリット３２０の高いアスペクト比によって導入される問題を回避することによって、製作の複雑さおよびコストが低減されることが可能であり、収率が増加されることが可能である。また、垂直方向のスケーラビリティ（たとえば、誘電体スタック３０８／メモリスタック３３０のレベルの増加）も同様に改善されることが可能である。

【００８２】

方法５００は、図５に図示されているように、動作５１２に進行し、動作５１２では、半導体チャネルの露出された一部と接触しているドープされた半導体層が形成される。いくつかの実装形態において、ドーパントは、Ｎ型ドーパントを含む。図６に示されているように、いくつかの実装形態において、ドープされた半導体層を形成するために、６１０において、ポリシリコンの層が、凹部の中へおよび充填層の上に堆積され；６１２におい

て、ポリシリコンの堆積された層がドープされる。

【００８３】

図３Ｋに図示されているように、ドープされた半導体層３６０が、凹部３２１（図３Ｊに示されている）の中に形成され、それは、半導体チャネル３１８の露出された一部、および、充填層３０６の上の凹部３２１の外側によって取り囲まれており、それと接触している（それによって囲まれている）。いくつかの実装形態において、ドープされた半導体層３６０を形成するために、半導体層（たとえば、ポリシリコン）が、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、半導体チャネル３１８の露出された一部およびキャッピング層３１９と接触して凹部３２１の中に堆積され、また、充填層３０６と接触して凹部３２１の外側に堆積される。堆積された半導体層は、イオンインプランテーションおよび／または熱拡散を使用して、Ｎ型ドーパント（たとえば、Ｐ、Ａｓ、またはＳｂなど）でドープされることが可能である。いくつかの実装形態において、ドープされた半導体層３６０を形成するために、半導体層を凹部３２１の中へおよび充填層３０６の上に堆積させるときに、Ｎ型ドーパント（たとえば、Ｐ、Ａｓ、またはＳｂなど）のインサイチュドーピングが実施される。いくつかの実装形態において、必要に応じて、任意の過剰なドープされた半導体層３６０を除去するために、ＣＭＰプロセスが実施されることが可能である。

【００８４】

方法５００は、図５に図示されているように、動作５１４に進行し、動作５１４では、ドープされた半導体層、および、ドープされた半導体層と接触している半導体チャネルの一部が、局所的に活性化させられる。いくつかの実装形態において、局所的に活性化させるために、ドープされた半導体層および半導体チャネルの一部の中のドーパントを活性化させるために、ドープされた半導体層および半導体チャネルの一部を有する閉じ込められたエリアに、熱が印加される。閉じ込められたエリアは、スタック構造体とドープされた半導体層との間にあることが可能である。いくつかの実装形態において、ドープされた半導体層のドーピング濃度、および、ドープされた半導体層と接触している半導体チャネルの一部のドーピング濃度は、それぞれ、活性化の後に$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間にある。

【００８５】

図３Ｌに図示されているように、ドープされた半導体層３６０、および、ドープされた半導体層３６０と接触している半導体チャネル３１８の一部が、局所的に活性化させられる。いくつかの実装形態において、熱が、ドープされた半導体層３６０および半導体チャネル３１８の一部を有する閉じ込められたエリアに印加され、その中のドーパント（たとえば、Ｎ型ドーパント（たとえば、Ｐ、Ａｓ、またはＳｂ）など）を活性化させる。たとえば、閉じ込められたエリアは、垂直方向において、メモリスタック３３０とドープされた半導体層３６０との間にあることが可能である。熱は、任意の適切な技法（たとえば、アニーリング、レーザー、超音波、または任意の他の適切な熱的プロセスなど）によって印加および集束されることが可能である。いくつかの実装形態において、局所的な活性化プロセスの間に熱によって影響を受ける可能性のある閉じ込められたエリアは、ボンディングインターフェース３５４および周辺回路３５２を接続するために使用されるＣｕ相互接続部を加熱することを回避するために、ボンディングインターフェース３５４までおよびボンディングインターフェース３５４を越えて延在しない。局所的な活性化プロセスは、ドープされた半導体層３６０（および、半導体チャネル３１８がすでにドープされている場合に、半導体チャネル３１８の露出された一部）の中へドープされたドーパントを活性化させることが可能である。結果として、ドープされた半導体層３６０のドーピング濃度、および、半導体チャネル３１８の露出された一部のドーピング濃度は、それぞれ、活性化の後に$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間にある。いくつかの実装形態において、局所的な活性化プロセスは制御され、ドープされた半導体層３６０（および、半導体チャネル３１８がすでにドープされている場合に、半導体チャネル３１８の露出された一

部）の中にドーパントが、図２に関して上記に説明されているように、ソース選択ゲートライン（たとえば、充填層３０６の最も近くの１つまたは複数のスタック導電層３２８）を越えるまで、しかし、ワードラインに面しないように、チャネル構造体３１４のソースからチャネル構造体３１４のドレインに向けて拡散することが可能であるようになっている。半導体チャネル３１８の一部がまだドープされていない場合、ドープされた半導体層３６０は、局所的な活性化プロセスの間にドーピングソースとして作用し、ドープされた半導体層３６０から半導体チャネル３１８の中へドーパントを拡散させることが可能であり、ドープされた半導体層３６０と接触している半導体チャネル３１８の一部が、ドープされた部分になることが可能であるようになっており、ドープされた半導体層３６０および半導体チャネル３１８のドープされた部分が、同じドーパントおよびドーピング濃度を有することが可能であるようになっている。

【００８６】

局所的な活性化プロセスは、ドーパントを活性化させることが可能であり、ドーパントがシリコン格子を占有し、ドープされた半導体層３６０と半導体チャネル３１８との間の接触抵抗を低減させ、また、ドープされた半導体層３６０のシート抵抗を低減させることが可能であるようになっている。他方では、局所的な活性化プロセスの間の熱を、感熱構造体を備えないエリアの中へ閉じ込めることによって、感熱構造体（たとえば、ボンディングインターフェース３５４、および、周辺回路３５２を接続するために使用されるＣｕ相互接続部など）への任意の潜在的な損傷が低減または回避されることが可能である。

【００８７】

方法５００は、図５に図示されているように、動作５１６に進行し、動作５１６では、ソース接触部が、ドープされた半導体層と接触して形成されている。図３Ｍに図示されているように、１つまたは複数のＩＬＤ層３５６が、ドープされた半導体層３６０の上に形成される。ＩＬＤ層３５６は、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、ドープされた半導体層３６０の上部表面の上に誘電材料を堆積させることによって形成されることが可能である。図３Ｎに図示されているように、ソース接触部開口部３５８が、ＩＬＤ層３５６を通して形成され、ドープされた半導体層３６０の一部を露出させることが可能である。いくつかの実装形態において、ソース接触部開口部３５８は、ウェットエッチングおよび／またはドライエッチング（たとえば、ＲＩＥなど）を使用して形成される。

【００８８】

図３Ｏに図示されているように、（導電層３７０の一部としての）ソース接触部が、充填層３０６のバックサイドにおいて、それぞれのソース接触部開口部３５８（図３Ｎに示されている）の中に形成される。いくつかの実装形態によれば、ソース接触部は、ドープされた半導体層３６０の上方にあり、ドープされた半導体層３６０と接触している。いくつかの実装形態において、導電層３７０（たとえば、Ａｌなど）が、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、ソース接触部開口部３５８の中へ堆積され、ソース接触部開口部３５８を充填する。次いで、平面化プロセス（たとえば、ＣＭＰなど）が、過剰な導電層３７０を除去するために実施されることが可能である。

【００８９】

図３Ｏに図示されているように、いくつかの実装形態において、導電層３７０は、再分配層も含み、再分配層は、ソース接触部の上方にあり、ソース接触部と接触している。すなわち、導電層３７０は、いくつかの実装形態によれば、ソース接触部としてソース接触部開口部３５８の中へ堆積されるだけでなく、複数のソース接触部を電気的に接続する再分配層として、ＩＬＤ層３５６の上にソース接触部開口部３５８の外側にも堆積される。

【００９０】

図３Ｏに図示されているように、いくつかの実装形態において、導電層３７０は、ＩＬＤ層３５６、ドープされた半導体層３６０、および充填層３０６を通って延在する接触部

をさらに含む。すなわち、導電層３７０は、ソース接触部としてソース接触部開口部３５８の中へ堆積されるだけでなく、周辺接触部３３８および３４０に電気的に接続されている接触部として、接触部開口部３６３および３６１（図３Ｎに示されている）の中へも堆積される。図３Ｍおよび図３Ｎに図示されているように、スペーサ層３７１、ＩＬＤ層３５６、ドープされた半導体層３６０、および充填層３０６を通ってそれぞれ延在する接触部開口部３６３および３６１は、ウェットエッチングおよび／またはドライエッチング（たとえば、ＲＩＥなど）を使用して形成される。いくつかの実装形態において、接触部開口部３６３および３６１は、周辺接触部３３８および３４０とそれぞれ位置合わせされるように、リソグラフィーを使用してパターニングされる。接触部開口部３６３および３６１のエッチングは、周辺接触部３３８および３４０を露出させるために、周辺接触部３３８および３４０の上側端部において停止することが可能である。図３Ｎに図示されているように、スペーサ３６２が、ドープされた半導体層３６０を電気的に分離するために、接触部開口部３６３および３６１の側壁部に沿ってスペーサ層３７１から形成されている。

【００９１】

図４Ａ～図４Ｃは、本開示のいくつかの実施形態による、別の例示的な３Ｄメモリデバイスを形成するための製作プロセスを図示している。図４Ａ～図４Ｃに描かれている３Ｄメモリデバイスの例は、図１Ｂに描かれている３Ｄメモリデバイス１６０を含む。図４Ａに示されているように、凹部３２１がキャッピング層３１９をエッチバックすることによって形成される図３Ｊとは異なり、半導体チャネル３１８の上部部分は、半導体チャネル３１８の一部を露出させるためにキャッピング層３１９を最初にエッチバックすることなしに、その導電率を増加させるようにドープされる。たとえば、傾斜イオンインプランテーションプロセスが、半導体チャネル３１８（たとえば、ポリシリコンを含む）の上部部分を、任意の適切なドーパント（たとえば、Ｐ、Ａｓ、またはＳｂなどのようなＮ型ドーパント）によって、所望のドーピング濃度にドープするように実施されることが可能である。

【００９２】

いくつかの実施形態において、ドープされた半導体層を形成するために、ポリシリコンの層が、充填層の上に堆積され、ポリシリコンの堆積された層がドープされる。図４Ｂに示されているように、ドープされた半導体層３６０が、充填層３０６の上に、および、チャネル構造体３１４の上側端部の上に形成される。いくつかの実装形態において、ドープされた半導体層３６０を形成するために、半導体層（たとえば、ポリシリコン）が、１つまたは複数の薄膜堆積プロセス（たとえば、ＡＬＤ、ＣＶＤ、ＰＶＤ、任意の他の適切なプロセス、または、それらの任意の組み合わせなど）を使用して、充填層３０６の上に堆積される。堆積された半導体層は、イオンインプランテーションおよび／または熱拡散を使用して、Ｎ型ドーパント（たとえば、Ｐ、Ａｓ、またはＳｂなど）でドープされることが可能である。いくつかの実装形態において、ドープされた半導体層３６０を形成するために、半導体層を充填層３０６の上に堆積させるときに、Ｎ型ドーパント（たとえば、Ｐ、Ａｓ、またはＳｂなど）のインサイチュドーピングが実施される。いくつかの実装形態において、必要に応じて、任意の過剰なドープされた半導体層３６０を除去するために、ＣＭＰプロセスが実施されることが可能である。

【００９３】

図４Ｃに示されているように、ドープされた半導体層３６０および半導体チャネル３１８のドープされた部分が、局所的に活性化させられる。いくつかの実装形態において、熱が、ドープされた半導体層３６０および半導体チャネル３１８のドープされた部分を有する閉じ込められたエリアに印加され、その中のドーパント（たとえば、Ｎ型ドーパント（たとえば、Ｐ、Ａｓ、またはＳｂ）など）を活性化させる。局所的な活性化プロセスは、ドープされた半導体層３６０および半導体チャネル３１８のドープされた部分の中へドープされたドーパントを活性化させることが可能である。結果として、ドープされた半導体層３６０のドーピング濃度、および、半導体チャネル３１８のドープされた部分のドーピング濃度は、それぞれ、活性化の後に10^{19}ｃｍ$^{-3}$から10^{21}ｃｍ$^{-3}$の間にある。

いくつかの実装形態において、局所的な活性化プロセスは制御され、ドープされた半導体層３６０および半導体チャネル３１８のドープされた部分の中のドーパントが、図２に関して上記に説明されているように、ソース選択ゲートライン（たとえば、充填層３０６の最も近くの１つまたは複数のスタック導電層３２８）を越えるまで、しかし、ワードラインに面しないように、チャネル構造体３１４のソースからチャネル構造体３１４のドレインに向けて拡散することが可能であるようになっている。

【００９４】

本開示の１つの態様によれば、３Ｄメモリデバイスは、交互配置された導電層および誘電体層を含むスタック構造体と、スタック構造体を通って延在するチャネル構造体と、ドープされた半導体層とを含み、ドープされた半導体層は、プレートと、プレートからチャネル構造体の中へ延在するプラグとを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。半導体チャネルは、ドープされた部分を含み、半導体チャネルのドープされた部分の一部は、第１の方向にスタック構造体を越えて延在している。半導体チャネルのドープされた部分は、ドープされた半導体層のプラグを囲んでいる。

【００９５】

いくつかの実装形態において、半導体チャネルのドープされた部分のドーピング濃度、および、ドープされた半導体層のドーピング濃度は、それぞれ、$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間にある。

【００９６】

いくつかの実装形態において、半導体チャネルのドープされた部分およびドープされた半導体層は、Ｎ型のドープされたポリシリコンをそれぞれ含む。

【００９７】

いくつかの実装形態において、半導体チャネルのドープされた部分、および、ドープされた半導体層のプラグは、第１の方向とは反対の第２の方向に、導電層のうちの１つを越えてそれぞれ延在している。

【００９８】

いくつかの実装形態において、導電層のうちの１つは、ソース選択ゲートラインを含む。

【００９９】

いくつかの実装形態において、３Ｄメモリデバイスは、スタック構造体とドープされた半導体層のプレートとの間に充填層をさらに含む。

【０１００】

いくつかの実装形態において、充填層は、ポリシリコン、高ｋ誘電体、または金属を含む。

【０１０１】

いくつかの実装形態において、３Ｄメモリデバイスは、ドープされた半導体層と接触しているソース接触部をさらに含む。

【０１０２】

いくつかの実装形態において、メモリフィルムは、第１の方向にスタック構造体を越えて延在しており、ドープされた半導体層のプレートと接触している。

【０１０３】

いくつかの実装形態において、ドープされた半導体層のプラグは、消去動作を実施するときにＧＩＤＬ支援型のボディバイアスを発生させるように構成されている。

【０１０４】

本開示の別の態様によれば、３Ｄメモリデバイスは、交互配置された導電層および誘電体層を含むスタック構造体と、ドープされた半導体層と、スタック構造体を通って延在するチャネル構造体とを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。半導体チャネルは、ドープされた部分を含む。チャネル構造体は、第１の方向にスタック構造体を越えて延在しており、ドープされた半導体層と接触している。半導体チャネルは、第１の方向とは反対の第２の方向に導電層のうちの１つを越えて延在するドープされた部分を含む。

【０１０５】
いくつかの実装形態において、半導体チャネルのドープされた部分のドーピング濃度、および、ドープされた半導体層のドーピング濃度は、それぞれ、$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間にある。
【０１０６】
いくつかの実装形態において、半導体チャネルのドープされた部分およびドープされた半導体層は、Ｎ型のドープされたポリシリコンをそれぞれ含む。
【０１０７】
いくつかの実装形態において、導電層のうちの１つは、ソース選択ゲートラインを含む。
【０１０８】
いくつかの実装形態において、半導体チャネルのドープされた部分の一部は、第１の方向にスタック構造体を越えて延在しており、ドープされた半導体層と接触している。
【０１０９】
いくつかの実装形態において、３Ｄメモリデバイスは、スタック構造体とドープされた半導体層との間に充填層をさらに含む。
【０１１０】
いくつかの実装形態において、充填層は、ポリシリコン、高ｋ誘電体、または金属を含む。
【０１１１】
いくつかの実装形態において、３Ｄメモリデバイスは、ドープされた半導体層と接触しているソース接触部をさらに含む。
【０１１２】
いくつかの実装形態において、チャネル構造体は、第１の方向にスタック構造体を越えて延在するキャッピング層をさらに含み、ドープされた半導体層と接触している。
【０１１３】
いくつかの実装形態において、ドープされた半導体層は、消去動作を実施するときにＧＩＤＬ支援型のボディバイアスを発生させるように構成されている。
【０１１４】
本開示のさらに別の態様によれば、３Ｄメモリデバイスを形成するための方法が提供される。充填層が、基板の上方に形成される。スタック構造体が、充填層の上方に形成される。スタック構造体および充填層を通って延在するチャネル構造体が形成される。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。基板および充填層を越えて延在するチャネル構造体の一部が、半導体チャネルの一部を露出させるために、順次に除去される。ドープされた半導体層が、半導体チャネルの露出された一部と接触して形成される。ドープされた半導体層、および、ドープされた半導体層と接触している半導体チャネルの一部が、局所的に活性化させられる。
【０１１５】
いくつかの実装形態において、局所的に活性化させるために、熱が、ドープされた半導体層および半導体チャネルの一部を有する閉じ込められたエリアにおいて印加され、ドープされた半導体層および半導体チャネルの一部の中のドーパントを活性化させる。
【０１１６】
いくつかの実装形態において、閉じ込められたエリアは、スタック構造体とドープされた半導体層との間にある。
【０１１７】
いくつかの実装形態において、ドーパントは、Ｎ型ドーパントを含み、活性化の後に、ドープされた半導体層のドーピング濃度、および、ドープされた半導体層と接触している半導体チャネルの一部のドーピング濃度は、それぞれ、$10^{19}cm^{-3}$から$10^{21}cm^{-3}$の間にある。
【０１１８】
いくつかの実装形態において、ドープされた半導体層を形成する前に、半導体チャネル

の露出された一部がドープされる。
【０１１９】
いくつかの実装形態において、第１のストップ層および第２のストップ層が、基板と充填層との間に順次に形成される。
【０１２０】
いくつかの実装形態において、第１のストップ層は、酸化ケイ素または窒化ケイ素を含み、第２のストップ層は、酸化ケイ素またはポリシリコンを含み、充填層は、ポリシリコン、高ｋ誘電体、または金属を含む。
【０１２１】
いくつかの実装形態において、チャネル構造体を形成するために、チャネルホールが、スタック構造体および充填層を通って延在し、第２のストップ層において停止するように形成され、メモリフィルム、半導体チャネル、およびキャッピング層が、チャネルホールの中に順次に形成される。
【０１２２】
いくつかの実装形態において、基板およびメモリフィルムの一部を順次に除去するために、基板が除去され、第１のストップ層において停止し、第１のストップ層が除去され、第２のストップ層において停止し、第２のストップ層およびチャネル構造体の一部が除去され、充填層において停止する。
【０１２３】
いくつかの実装形態において、チャネル構造体の除去された一部は、第２のストップ層の中へ延在している。いくつかの実装形態において、第２のストップ層およびチャネル構造体の一部を除去するために、第２のストップ層および第２のストップ層の中へ延在するチャネル構造体の一部が研磨される。
【０１２４】
いくつかの実装形態において、基板およびチャネル構造体の一部を順次に除去するために、チャネル構造体のキャッピング層の一部がエッチバックされ、半導体チャネルの一部によって取り囲まれた凹部を形成する。
【０１２５】
いくつかの実装形態において、ドープされた半導体層を形成するために、ポリシリコンの層が、凹部の中へおよび充填層の上に堆積され、ポリシリコンの堆積された層がドープされる。
【０１２６】
いくつかの実装形態において、ドープされた半導体層を形成するために、ポリシリコンの層が、充填層の上に堆積され、ポリシリコンの堆積された層がドープされる。
【０１２７】
いくつかの実装形態において、ドープされた半導体層を局所的に活性化させた後に、ソース接触部が、ドープされた半導体層と接触して形成される。
【０１２８】
本開示のさらなる別の態様によれば、システムは、データを記憶するように構成されている３Ｄメモリデバイスと、メモリコントローラとを含み、メモリコントローラは、３Ｄメモリデバイスに連結されており、３Ｄメモリデバイスを制御するように構成されている。３Ｄメモリデバイスは、交互配置された導電層および誘電体層を含むスタック構造体と、スタック構造体を通って延在するチャネル構造体と、ドープされた半導体層とを含み、ドープされた半導体層は、プレートと、プレートからチャネル構造体の中へ延在するプラグとを含む。チャネル構造体は、メモリフィルムおよび半導体チャネルを含む。半導体チャネルは、ドープされた部分を含み、半導体チャネルのドープされた部分の一部は、第１の方向にスタック構造体を越えて延在している。半導体チャネルのドープされた部分は、ドープされた半導体層のプラグを囲んでいる。
【０１２９】
いくつかの実装形態において、システムは、ホストをさらに含み、ホストは、メモリコ

ントローラに連結されており、データを送信または受信するように構成されている。
【０１３０】
特定の実装形態の先述の説明は、さまざまな用途に関して容易に修正および／または適合されることが可能である。したがって、そのような適合および修正は、本明細書に提示されている教示および指針に基づいて、開示されている実装形態の均等物の意味および範囲の中にあることを意図されている。
【０１３１】
本開示の幅および範囲は、上記に説明された例示的な実施形態のいずれによっても限定されるべきではなく、添付の特許請求の範囲およびその均等物のみに従って定義されるべきである。
【符号の説明】
【０１３２】
１００　３Ｄメモリデバイス
１０１　基板
１０２　第１の半導体構造体
１０４　第２の半導体構造体
１０６　ボンディングインターフェース
１０８　周辺回路
１１０　ボンディング層
１１１　ボンディング接触部
１１２　ボンディング層
１１３　ボンディング接触部
１１４　メモリスタック
１１６　スタック導電層
１１８　スタック誘電体層
１２０　充填層
１２１　プレート
１２２　ドープされた半導体層
１２３　プラグ
１２４　チャネル構造体
１２６　メモリフィルム
１２７　キャッピング層
１２８　半導体チャネル
１２８ａ　ドープされた部分
１２８ｂ　ドープされていない部分
１２９　チャネルプラグ
１３０　絶縁構造体
１３２　ソース接触部
１３３　相互接続層
１３４　ＩＬＤ層
１３６　再分配層
１３８　パッシベーション層
１４０　接触パッド
１４２　接触部
１４４　接触部
１４６　周辺接触部
１４８　周辺接触部
１５０　チャネルローカル接触部
１５２　ワードラインローカル接触部
１６０　３Ｄメモリデバイス

２０１　ソース選択ゲートライン
２０３　ワードライン
３０２　キャリア基板
３０３　第１のストップ層
３０４　第２のストップ層
３０６　充填層
３０８　誘電体スタック
３１０　スタック誘電体層
３１２　スタック犠牲層
３１４　チャネル構造体
３１５　トンネリング層
３１６　ストレージ層
３１７　ブロッキング層
３１８　半導体チャネル
３１９　キャッピング層
３２０　スリット
３２１　凹部
３２２　横方向凹部
３２８　スタック導電層
３３０　メモリスタック
３３２　ゲート誘電体層
３３４　誘電体キャッピング層
３３５　ポリシリコンコア層
３３６　絶縁構造体
３３８　周辺接触部
３４０　周辺接触部
３４２　ワードラインローカル接触部
３４４　チャネルローカル接触部
３４６　ボンディング層
３４８　ボンディング層
３５０　シリコン基板
３５２　周辺回路
３５４　ボンディングインターフェース
３５６　ＩＬＤ層
３５８　ソース接触部開口部
３６０　ドープされた半導体層
３６１　接触部開口部
３６２　スペーサ
３６３　接触部開口部
３７０　導電層
３７１　スペーサ層
７００　システム
７０２　メモリシステム
７０４　３Ｄメモリデバイス
７０６　メモリコントローラ
７０８　ホスト
８０２　メモリカード
８０４　メモリカードコネクタ
８０６　ＳＳＤ
８０８　ＳＳＤコネクタ

【図面】

【図１Ａ】

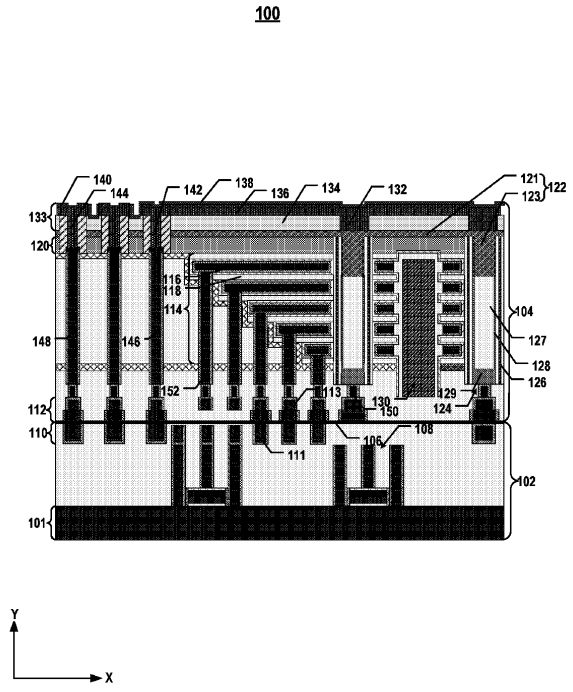


FIG. 1A

【図１Ｂ】

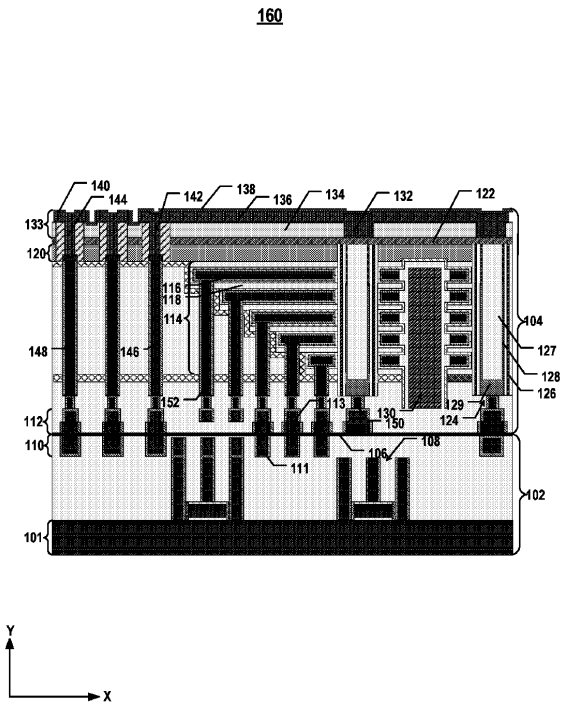


FIG. 1B

【図２】

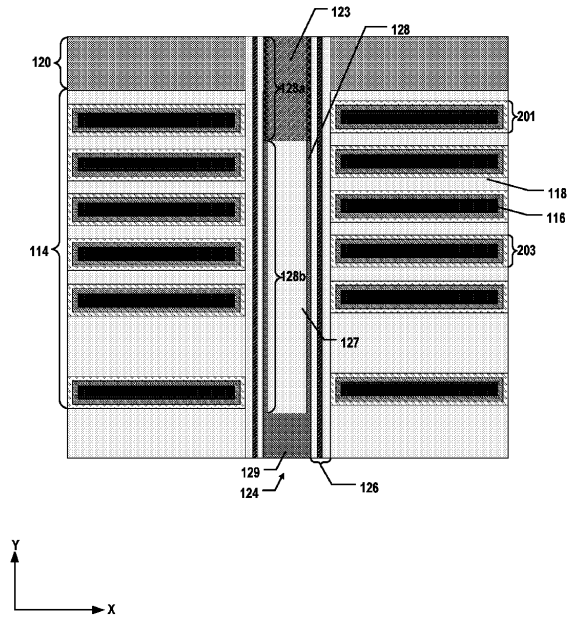


FIG. 2

【図３Ａ】

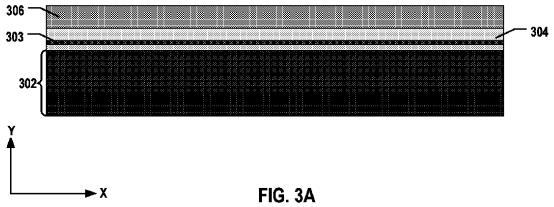


FIG. 3A

【図３Ｂ】

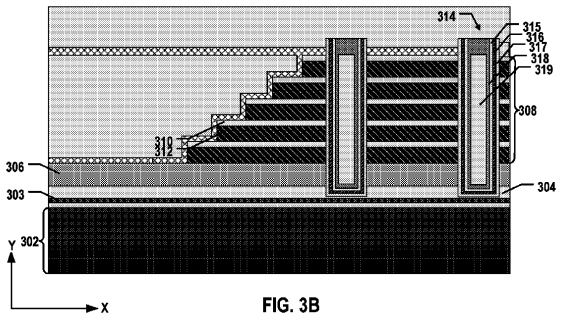


FIG. 3B

【図３Ｃ】

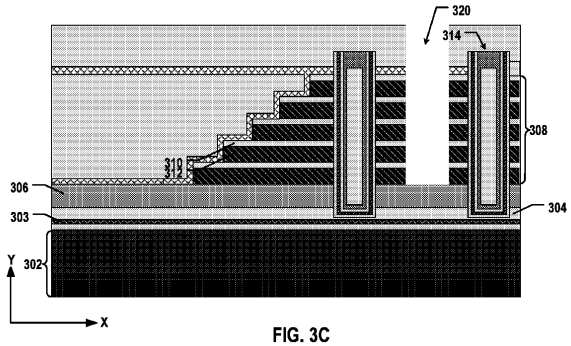


FIG. 3C

【図３Ｄ】

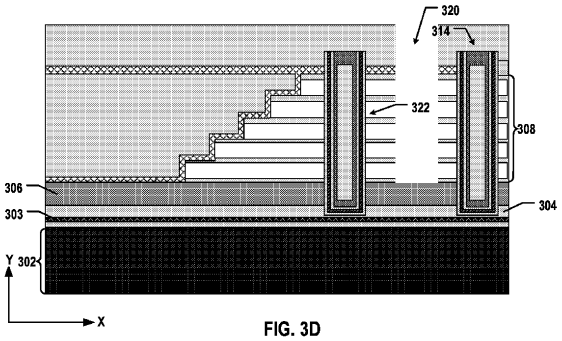


FIG. 3D

【図３Ｅ】

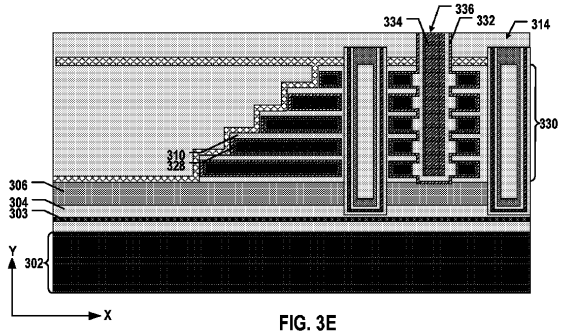


FIG. 3E

【図３Ｆ】

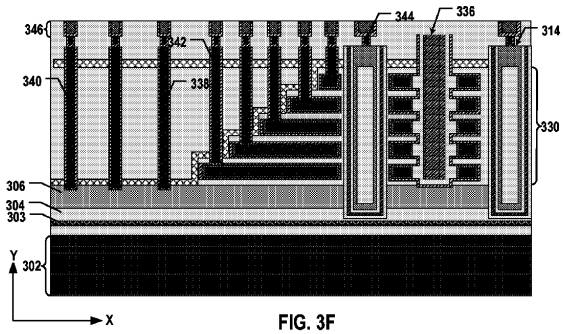


FIG. 3F

【図３Ｇ】

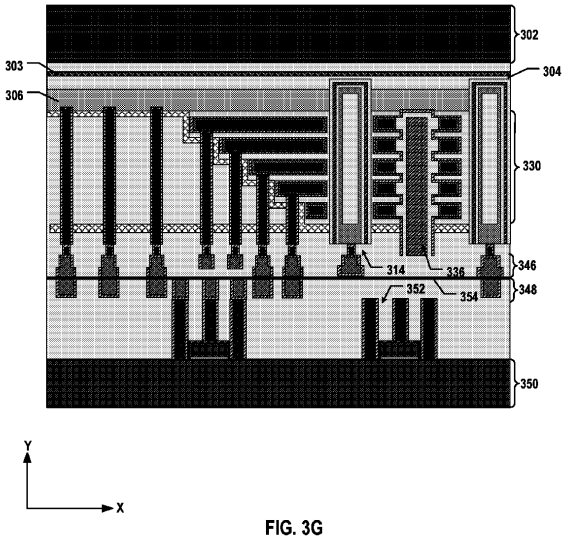


FIG. 3G

【図３Ｈ】

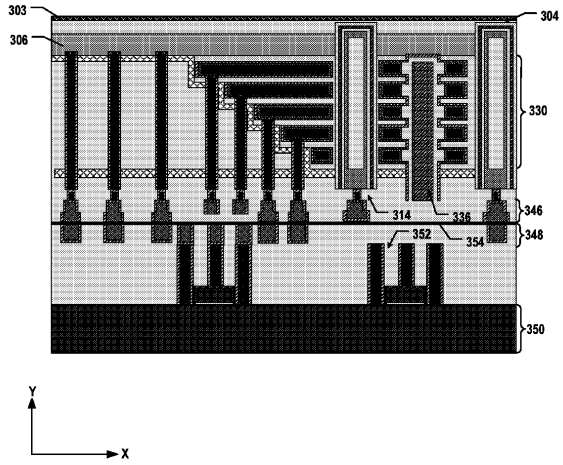


FIG. 3H

【図３Ｉ】

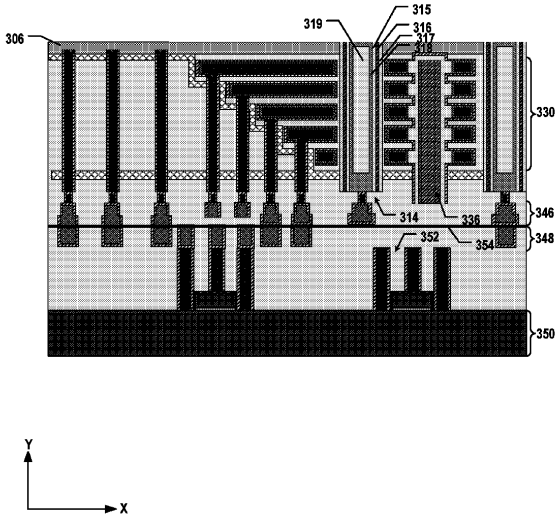


FIG. 3I

【図３Ｊ】

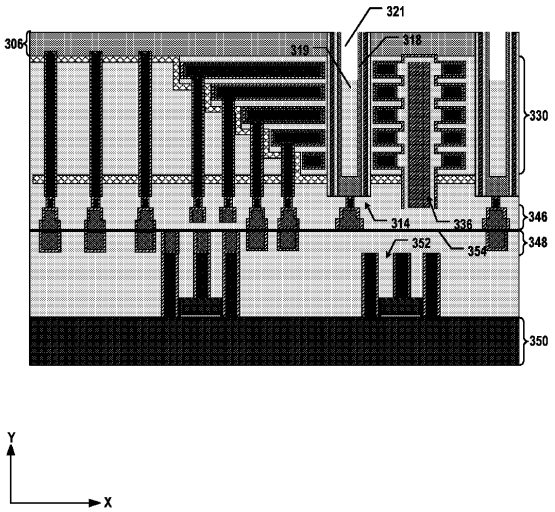


FIG. 3J

【図３Ｋ】

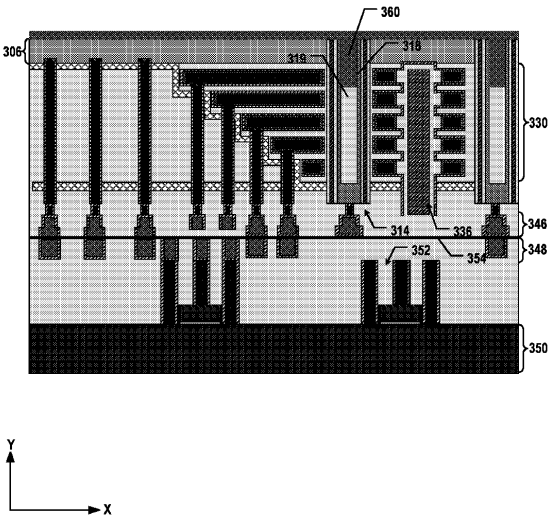


FIG. 3K

【図３Ｌ】

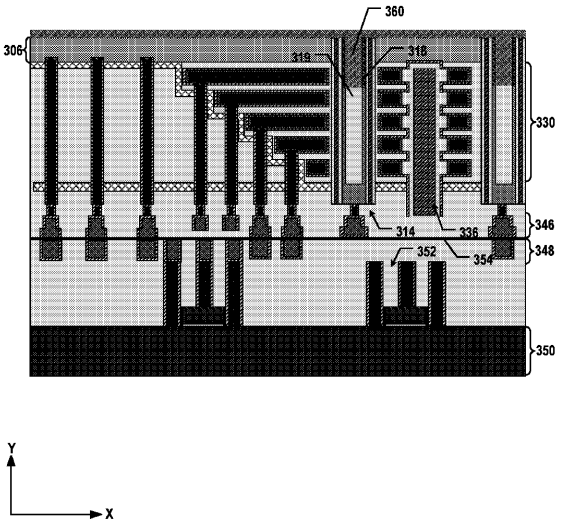


FIG. 3L

【図３Ｍ】

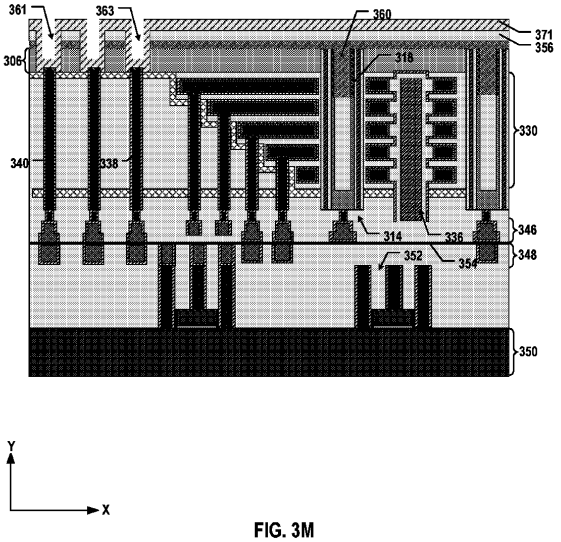


FIG. 3M

【図３Ｎ】

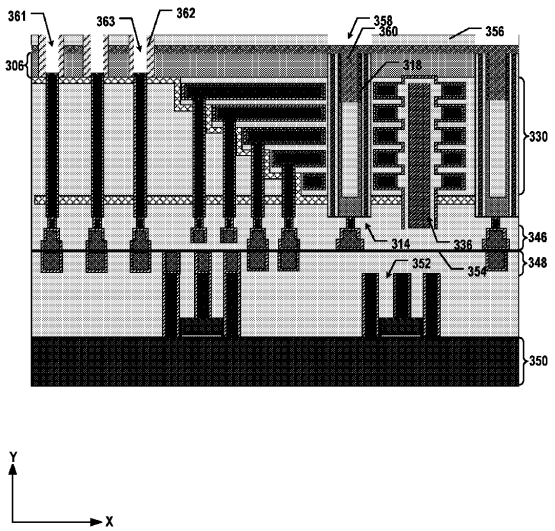


FIG. 3N

【図３Ｏ】

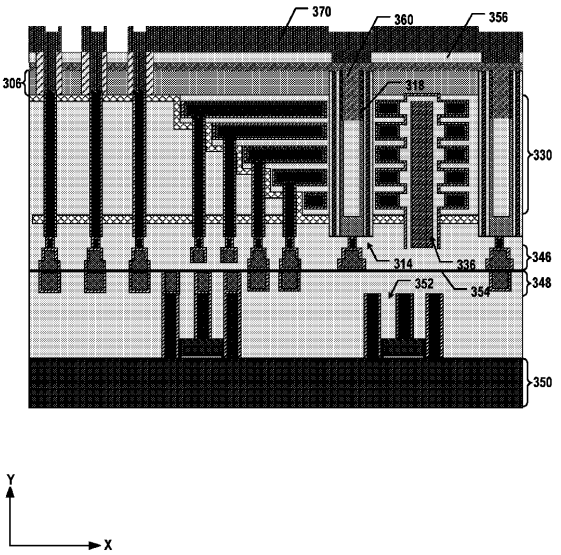


FIG. 3O

【図４Ａ】

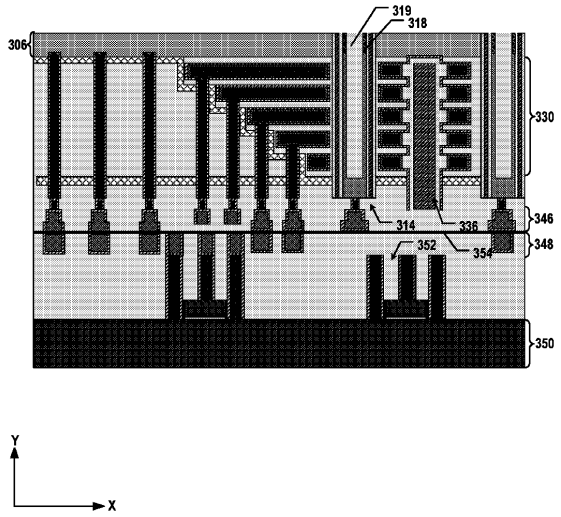


FIG. 4A

【図４Ｂ】

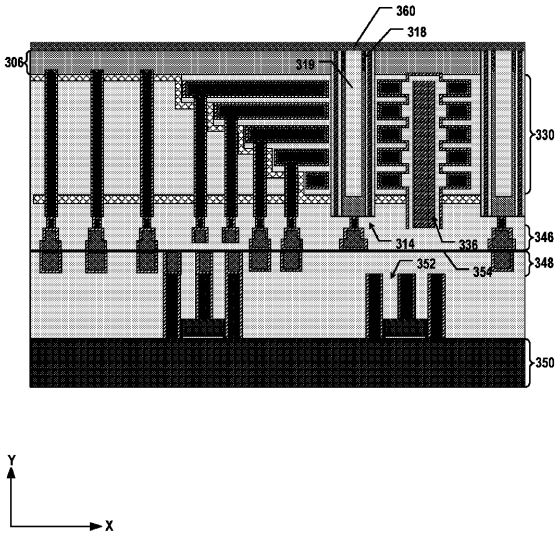


FIG. 4B

【図４Ｃ】

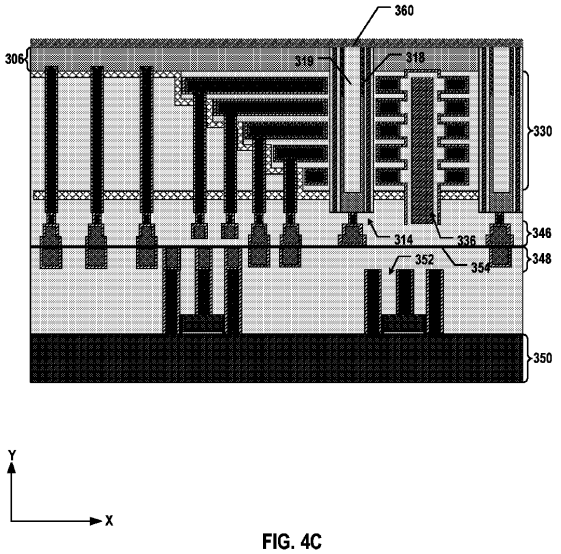
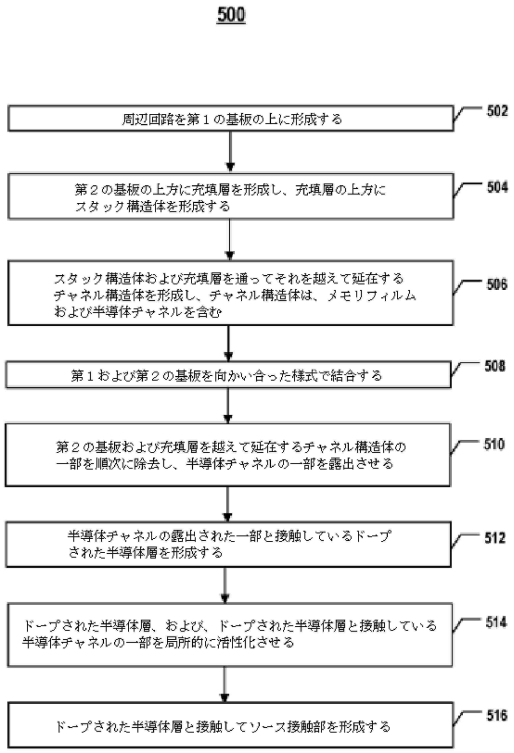
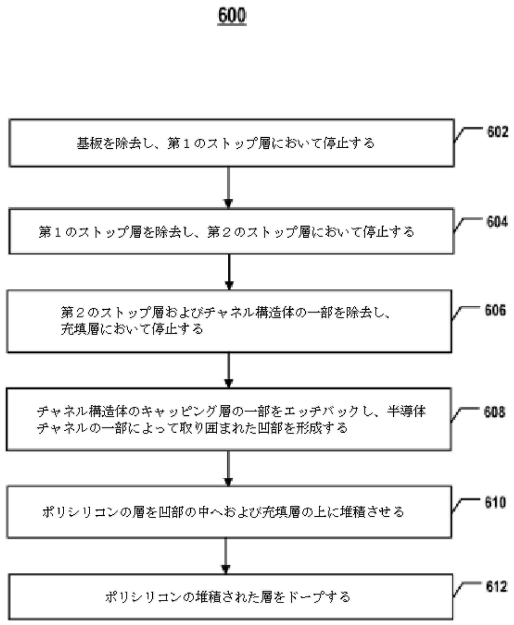


FIG. 4C

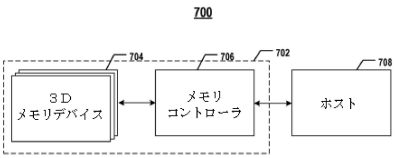
【図５】



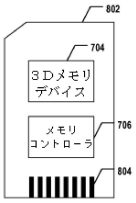
【図６】


600
基板を除去し、第１のストップ層において停止する
602
第１のストップ層を除去し、第２のストップ層において停止する
604
第２のストップ層およびチャネル構造体の一部を除去し、充填層において停止する
606
チャネル構造体のキャッピング層の一部をエッチバックし、半導体チャネルの一部によって取り囲まれた凹部を形成する
608
ポリシリコンの層を凹部の中へおよび充填層の上に堆積させる
610
ポリシリコンの堆積された層をドープする
612

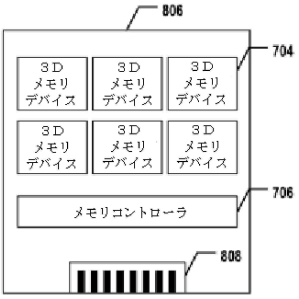
【図７】


700
704
706
702
708
３Ｄ
メモリデバイス
メモリ
コントローラ
ホスト

【図８Ａ】


802
704
３Ｄメモリ
デバイス
メモリ
コントローラ
706
804

【図８Ｂ】


806
704
３Ｄ
メモリ
デバイス
706
メモリコントローラ
808

フロントページの続き

(74)代理人　100133400
弁理士　阿部 達彦
(72)発明者　クン・ジャン
中華人民共和国・フーペイ・４３０２２３・ウーハン・イースト・レイク・ハイ－テック・デヴェロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・８８
(72)発明者　ウェンシ・ジョウ
中華人民共和国・フーペイ・４３０２２３・ウーハン・イースト・レイク・ハイ－テック・デヴェロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・８８

審査官　加藤 俊哉

(56)参考文献
米国特許出願公開第２０１８／０１３８１９３（ＵＳ，Ａ１）
米国特許出願公開第２０１５／０２００２５９（ＵＳ，Ａ１）
米国特許出願公開第２０１３／００３２８７８（ＵＳ，Ａ１）
中国特許出願公開第１１１８０１８００（ＣＮ，Ａ）
中国特許出願公開第１１１７５８１６４（ＣＮ，Ａ）
中国特許出願公開第１１０８００１０６（ＣＮ，Ａ）
米国特許出願公開第２０２０／０２５８８１６（ＵＳ，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ１０Ｂ　４３／２７
Ｈ１０Ｂ　４１／２７
Ｈ１０Ｄ　３０／６８
Ｈ１０Ｄ　３０／６９
Ｈ１０Ｄ　８４／８３