

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



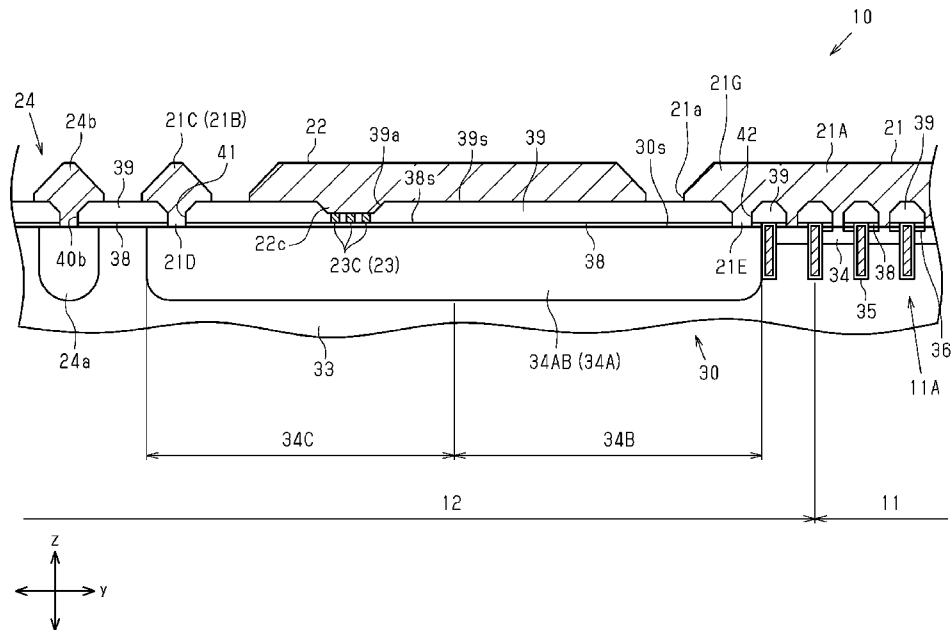
(10) 国際公開番号

WO 2022/202040 A1

- (51) 国際特許分類:
H01L 29/06 (2006.01) *H01L 29/739* (2006.01)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
- (21) 国際出願番号: PCT/JP2022/007066
- (22) 国際出願日: 2022年2月22日(22.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-048986 2021年3月23日(23.03.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 村 ▲ 崎 ▼ 耕平 (MURASAKI Kohei);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩 田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目 1 2 番地 1 Gifu (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device comprises a peripheral region surrounding a cell region, a gate electrode disposed in the peripheral region, and an emitter electrode. The emitter electrode includes a cell electrode portion, a peripheral electrode portion formed at a distance from the cell electrode portion in the peripheral region, and a connecting portion connecting the cell electrode portion and the peripheral electrode portion. The peripheral region includes a well region formed to surround the cell region, an insulating film and an intermediate insulating film that cover the well region, and a

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

gate finger embedded in the insulating films. The connecting portion is formed across the gate finger on the intermediate insulating film. The peripheral electrode portion is electrically connected to the well region.

(57) 要約: 半導体装置は、セル領域を囲む外周領域と、外周領域に配置されたゲート電極と、エミッタ電極と、を備えている。エミッタ電極は、セル電極部と、セル電極部と距離を隔てて外周領域に形成された外周電極部と、セル電極部と外周電極部とを接続する接続部と、を有している。外周領域には、セル領域を囲むように形成されたウェル領域と、ウェル領域を覆う絶縁膜および中間絶縁膜と、これら絶縁膜に埋め込まれたゲートフィンガーと、が設けられている。接続部は、中間絶縁膜上にゲートフィンガーを跨いで形成されている。外周電極部は、ウェル領域に電氣的に接続されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] たとえば車載用インバータ装置に用いられる I G B T (Insulated Gate Bipolar Transistor) 等の半導体装置では、発熱を抑えるため、ゲートフィンガーを囲むようにエミッタ引き回し部がエミッタ電極と一体に形成されている（たとえば特許文献 1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 1 8 - 1 2 0 9 9 0 号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、エミッタ引き回し部と、ゲートフィンガーと、エミッタ電極とが互いに間隔をあけて配置されているため、半導体装置のうちエミッタ電極が形成可能な領域のうちエミッタ電極が占める割合を高くすることに限界がある。なお、このような問題は、I G B T に限られず、M O S F E T (metal-oxide-semiconductor field-effect transistor) 等の他のトランジスタについても同様に生じ得る。

課題を解決するための手段

[0005] 上記課題を解決する半導体装置は、セルが設けられたセル領域と、前記セル領域を囲む外周領域と、前記外周領域に配置されたゲート電極と、前記セル領域に設けられた電極部と、前記電極部と距離を隔てて前記外周領域に形成された外周電極部と、前記電極部と前記外周電極部とを接続する接続部と、を有する駆動電極と、を備え、前記外周領域には、前記セル領域を囲むように設けられた半導体領域であるウェル領域と、前記ウェル領域を覆い、平

面視において前記セル領域を囲むように設けられた絶縁膜と、前記絶縁膜内に埋め込まれ、前記ゲート電極に接続されるとともに前記セル領域を囲むように形成されたゲートフィンガーと、が設けられ、前記接続部は、前記絶縁膜上に前記ゲートフィンガーを跨いで形成されており、前記外周電極部は、前記ウェル領域に電氣的に接続されている。

発明の効果

[0006] 上記半導体装置によれば、駆動電極の面積を大きくすることができる。

図面の簡単な説明

[0007] [図1]図1は、第1実施形態の半導体装置の平面図である。

[図2]図2は、図1の半導体装置のゲート電極およびその周辺の拡大図である。

[図3]図3は、図1の半導体装置のセル領域の断面構造を示す断面図である。

[図4]図4は、図1の半導体装置の外周領域の断面構造を示す断面図である。

[図5]図5は、図1の半導体装置の5-5線の断面構造を示す断面図である。

[図6]図6は、図1の半導体装置の6-6線の断面構造を示す断面図である。

[図7]図7は、比較例の半導体装置の平面図である。

[図8]図8は、図7の比較例の半導体装置の8-8線の断面構造を示す断面図である。

[図9]図9は、図7の比較例の半導体装置の9-9線の断面構造を示す断面図である。

[図10]図10は、第2実施形態の半導体装置の平面図である。

[図11]図11は、図10の半導体装置のゲート電極およびその周辺の拡大図である。

[図12]図12は、図10の半導体装置の12-12線の断面構造を示す断面図である。

[図13]図13は、図10の半導体装置の13-13線の断面構造を示す断面図である。

[図14]図14は、変更例の半導体装置のゲート電極およびその周辺を拡大し

た平面図である。

発明を実施するための形態

[0008] 以下、半導体装置の実施形態について図面を参照して説明する。以下に示す実施形態は、技術的思想を具体化するための構成や方法を例示するものであり、各構成部品の材質、形状、構造、配置、寸法等を下記のものに限定するものではない。

[0009] [第1実施形態]

(半導体装置の構成)

図1～図6を参照して、半導体装置10の一実施形態の構成について説明する。

[0010] 図1に示すように、本実施形態の半導体装置10は、トレンチゲート型IGBT (Insulated Gate Bipolar Transistor) である。この半導体装置10は、たとえば車載用インバータ装置においてスイッチング素子として用いられる。この場合、半導体装置10には、たとえば5A以上1000A以下の電流が流れる。

[0011] 図1に示すように、半導体装置10は、たとえば矩形平板状に形成されている。本実施形態では、半導体装置10の装置主面10sは、たとえば正方形に形成されている。本実施形態では、装置主面10sの一辺の長さは、11mm程度である。つまり、本実施形態の半導体装置10のチップサイズは、11mm□である。半導体装置10は、装置主面10sと反対側を向く装置裏面10r (図3参照) と、装置主面10sと装置裏面10rとの間に形成された4つの装置側面10a～10dと、を有している。装置側面10a～10dは、たとえば装置主面10sと装置裏面10rとを繋ぐ面であり、装置主面10sと装置裏面10rとの双方と直交している。

[0012] 以下の説明において、装置主面10sおよび装置裏面10rが向く方向を「z方向」とする。z方向は、半導体装置10の高さ方向であるともいえる。z方向に直交する方向のうち互いに直交する2方向を「x方向」および「y方向」とする。本実施形態では、装置側面10a, 10bは半導体装置1

0のx方向の両端面を構成し、装置側面10c、10dは半導体装置10のy方向の両端面を構成している。また、便宜上、装置裏面10rから装置主面10sに向かう方向を「上方」とし、装置主面10sから装置裏面10rに向かう方向を「下方」とする。また、z方向から半導体装置10を視ることを「平面視」とする。

[0013] 図2に示すように、半導体装置10は、半導体装置10の外部と接続するための外部電極として、エミッタ電極21、ゲート電極22、およびコレクタ電極27（図3参照）を備えている。

[0014] エミッタ電極21は、IGBTのエミッタを構成する電極であり、半導体装置10のメイン電流が流れる電極である。エミッタ電極21は、装置主面10sに形成されている。エミッタ電極21のうちy方向の中央よりも装置側面10cの近くかつx方向の中央には、開口部21aが形成されている。

[0015] ゲート電極22は、IGBTのゲートを構成する電極であり、半導体装置10を駆動させるための駆動電圧信号が半導体装置10の外部から供給される電極である。ゲート電極22は、装置主面10sに形成されている。ゲート電極22は、エミッタ電極21の開口部21a内に形成されている。

[0016] コレクタ電極27は、IGBTのコレクタを構成する電極であり、半導体装置10のメイン電流が流れる電極である。つまり、半導体装置10では、コレクタ電極27からエミッタ電極21に向けてメイン電流が流れる。コレクタ電極27は、装置裏面10rに形成されている。より詳細には、コレクタ電極27は、装置裏面10rの全体にわたり形成されている。

[0017] 図1および図2の破線で示すように、半導体装置10は、複数のセル11A（図3参照）が形成されたセル領域11と、セル領域11を囲むようにセル領域11の外側に設けられた外周領域12と、を備えている。ここで、セル11Aとは、トランジスタが形成されたメインセルを意味する。つまり、セル領域11は、トランジスタが形成される領域である。本実施形態では、平面視におけるセル領域11の形状は、矩形状である。

[0018] セル領域11には、エミッタ電極21が設けられている。エミッタ電極2

1 は、セル領域 1 1 の大部分にわたり形成されている。平面視において、エミッタ電極 2 1 は、セル領域 1 1 の形状に沿った形状を有している。セル領域 1 1 のうちゲート電極 2 2 と重なる位置には、セル 1 1 A が形成されていない。つまり、セル領域 1 1 は、ゲート電極 2 2 を避けるように凹んだ凹部 1 1 a を有している。

[0019] 外周領域 1 2 は、半導体装置 1 0 の絶縁耐圧を向上させる終端構造が設けられる領域である。外周領域 1 2 は、平面視において、装置主面 1 0 s の外周部分に形成された環状の領域である。外周領域 1 2 は、平面視において、装置主面 1 0 s のうちセル領域 1 1 以外の領域であるともいえる。

[0020] 外周領域 1 2 には、エミッタ電極 2 1 の一部およびゲート電極 2 2 が配置されている。外周領域 1 2 には、ゲートフィンガー 2 3 と、F L R (Field Limiting Ring) 部 2 4 と、等電位リング 2 5 と、が設けられている。エミッタ電極 2 1、ゲート電極 2 2、F L R 部 2 4 の後述する複数（本実施形態では 8 個）のフィールドプレート 2 4 b、および等電位リング 2 5 は、共通の金属膜を含む。この金属膜は、たとえば A l C u を含む材料（アルミニウムと銅との合金）によって形成されている。

[0021] ゲートフィンガー 2 3 は、エミッタ電極 2 1 のうちゲート電極 2 2 から離れた部分におけるセル 1 1 A にも、ゲート電極 2 2 に供給された電流を速やかに供給するように構成されている。ゲートフィンガー 2 3 は、ゲート電極 2 2 に接続されている。

[0022] ゲートフィンガー 2 3 は、エミッタ電極 2 1 の外周部に設けられている。ゲートフィンガー 2 3 は、セル領域 1 1 を囲むように形成されている。ゲートフィンガー 2 3 は、金属配線によって形成されている。平面視において、ゲートフィンガー 2 3 は、エミッタ電極 2 1 の外周部と重なる位置に配置されている。本実施形態では、ゲートフィンガー 2 3 は、タングステン (W) を含む材料によって形成されている。

[0023] ゲートフィンガー 2 3 は、ゲートフィンガー 2 3 A、2 3 B、2 3 C を含む。ゲートフィンガー 2 3 A は、ゲート電極 2 2 から装置側面 1 0 a に向け

て延び、セル領域 11 を装置側面 10c、装置側面 10a、および装置側面 10d から囲うように形成されている。ゲートフィンガー 23B は、ゲート電極 22 から装置側面 10b に向けて延び、セル領域 11 を装置側面 10c、装置側面 10b、および装置側面 10d から囲うように形成されている。ゲートフィンガー 23A の先端部とゲートフィンガー 23B の先端部とは、エミッタ電極 21 よりも装置側面 10d 寄りの部分において x 方向に隙間をあけて対向している。ゲートフィンガー 23C は、平面視において、ゲート電極 22 と重なる位置に形成されている。ゲートフィンガー 23C は、ゲートフィンガー 23A とゲートフィンガー 23B とを繋いでいる。なお、ゲートフィンガー 23 は、複数設けられていてもよい。

[0024] FLR部 24 は、半導体装置 10 の耐圧向上のための終端構造であり、エミッタ電極 21 の外方に設けられている。FLR部 24 は、エミッタ電極 21 およびゲート電極 22 を囲む環状に形成されている。本実施形態では、FLR部 24 は、閉じた環状となるように形成されている。FLR部 24 は、外周領域 12 における電界を緩和し、外部イオンからの影響を抑制することによって半導体装置 10 の耐圧を向上させる機能を有している。

[0025] 等電位リング 25 は、半導体装置 10 の耐圧向上のための終端構造であり、FLR部 24 を囲うように環状に形成されている。本実施形態では、等電位リング 25 は、閉じた環状となるように形成されている。等電位リング 25 は、半導体装置 10 の耐圧を向上させる機能を有している。

[0026] 半導体装置 10 は、セル領域 11 および外周領域 12 の双方を覆うパッシベーション膜 13 (図 4 参照) を備えている。パッシベーション膜 13 は、エミッタ電極 21、ゲート電極 22、FLR部 24、および等電位リング 25 を覆っている。パッシベーション膜 13 は、半導体装置 10 を半導体装置 10 の外部から保護する保護膜である。また、パッシベーション膜 13 は、たとえばポリイミド (PI) を含む材料によって形成された有機絶縁膜である。なお、図 1 および図 2 では、図面の見やすさの観点からパッシベーション膜 13 を省略している。

[0027] パッシベーション膜 13 には、エミッタ電極 21 の一部を露出する第 1 開口部（図示略）と、ゲート電極 22 の大部分を露出する第 2 開口部（図示略）とが設けられている。エミッタ電極 21 のうち第 1 開口部によって露出した部分は、エミッタ電極パッドを構成している。ゲート電極 22 のうち第 2 開口部によって露出した部分は、ゲート電極パッドを構成している。

[0028] 図 3 は、セル領域 11 の一部の断面構造の一例を示している。なお、図 3 では、便宜上、セル領域 11 における半導体装置 10 の構成要素の一部のハッチングを省略して示している。

[0029] 図 3 に示すように、半導体装置 10 は、半導体基板 30 を備えている。半導体基板 30 は、たとえば n^- 型の Si（シリコン）を含む材料から形成されている。半導体基板 30 は、たとえば $50\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下の厚さを有している。

[0030] 半導体基板 30 は、 z 方向において互いに反対側を向く基板表面 30s および基板裏面 30r を有している。つまり、 z 方向は、半導体基板 30 の厚さ方向であるともいえる。

半導体基板 30 は、基板裏面 30r から基板表面 30s に向けて順に、 p^+ 型のコレクタ層 31、 n 型のバッファ層 32、および n^- 型のドリフト層 33 が積層された構造を有している。基板裏面 30r には、コレクタ電極 27 が形成されている。コレクタ電極 27 は、基板裏面 30r の略全面にわたり形成されている。コレクタ電極 27 のうち基板裏面 30r とは反対側の面は、半導体装置 10 の装置裏面 10r を構成している。

[0031] コレクタ層 31 の p 型ドーパントとしては、たとえば B（ホウ素）、Al（アルミニウム）等が用いられる。コレクタ層 31 の不純物濃度は、たとえば、 $1 \times 10^{15}\ \text{cm}^{-3}$ 以上 $2 \times 10^{19}\ \text{cm}^{-3}$ 以下である。

[0032] バッファ層 32 およびドリフト層 33 の n 型ドーパントとしては、たとえば N（窒素）、P（リン）、As（ひ素）等が用いられる。バッファ層 32 の不純物濃度は、たとえば $1 \times 10^{15}\ \text{cm}^{-3}$ 以上 $5 \times 10^{17}\ \text{cm}^{-3}$ 以下である。ドリフト層 33 の不純物濃度は、バッファ層 32 よりも低く、たとえば

$1 \times 10^{13} \text{ cm}^{-3}$ 以上 $5 \times 10^{14} \text{ cm}^{-3}$ 以下である。

[0033] ドリフト層33の表面、すなわち基板表面30sには、p型のベース領域34が形成されている。ベース領域34は、基板表面30sの略全面にわたり形成されている。ベース領域34の不純物濃度は、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。ベース領域34の基板表面30sからの深さは、たとえば $1.0 \mu\text{m}$ 以上 $4.0 \mu\text{m}$ 以下である。

[0034] セル領域11におけるベース領域34の表面（基板表面30s）には、複数のトレンチ35が並んで配置されている。各トレンチ35は、たとえばy方向に沿って延びており、x方向において互いに離間して配列されている。これにより、ストライプ状のセル11Aに区画されている。x方向において隣り合うトレンチ35の間隔（トレンチ35の中心間距離）は、たとえば、 $1.5 \mu\text{m}$ 以上 $7.0 \mu\text{m}$ 以下である。各トレンチ35の幅（トレンチ35のx方向の寸法）は、たとえば、 $0.5 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。各トレンチ35は、ベース領域34をz方向に貫通して、ドリフト層33の途中まで延びている。なお、各トレンチ35は、行列状のセル11Aを区画するように格子状に形成されていてもよい。

[0035] セル領域11におけるベース領域34の表面（基板表面30s）には、 n^+ 型のエミッタ領域36が形成されている。エミッタ領域36は、トレンチ35のx方向の両側に配置されている。つまり、エミッタ領域36は、ベース領域34のうちトレンチ35の配列方向におけるトレンチ35の両側に設けられているともいえる。このため、x方向において隣り合うトレンチ35のx方向の間には、2つのエミッタ領域36がx方向において互いに間隔をあけて配置されている。各エミッタ領域36の深さは、たとえば $0.2 \mu\text{m}$ 以上 $0.6 \mu\text{m}$ 以下である。また、各エミッタ領域36の不純物濃度は、ベース領域34よりも高く、たとえば $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下である。

[0036] セル領域11におけるベース領域34の表面（基板表面30s）には、 p^+ 型のベースコンタクト領域37が形成されている。ベースコンタクト領域3

7は、エミッタ領域36とx方向に隣り合う位置に設けられている。つまり、ベースコンタクト領域37は、x方向において隣り合うトレンチ35のx方向の間に設けられた2つのエミッタ領域36のx方向の間に設けられている。各ベースコンタクト領域37は、エミッタ領域36よりも深く形成されていてもよい。各ベースコンタクト領域37の深さは、たとえば $0.2\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下である。また、各ベースコンタクト領域37の不純物濃度は、ベース領域34よりも高く、たとえば $5\times 10^{18}\text{cm}^{-3}$ 以上 $1\times 10^{20}\text{cm}^{-3}$ 以下である。

[0037] 各トレンチ35の内面および基板表面30sの双方には、絶縁膜38が一体に形成されている。このため、絶縁膜38は、ドリフト層33の表面に形成されているともいえる。絶縁膜38は、たとえば酸化シリコン(SiO_2)を有している。絶縁膜38の厚さは、たとえば、 $1100\text{\AA}$ 以上 $1300\text{\AA}$ 以下である。セル領域11における絶縁膜38は、ゲート絶縁膜を構成しているともいえる。基板表面30sに形成された絶縁膜38は、基板裏面30rと同じ側を向く裏面38rを有している。本実施形態では、絶縁膜38の裏面38rは基板表面30sと接している。

[0038] 絶縁膜38を介して各トレンチ35内には、たとえばポリシリコン等によって形成された電極材料が埋め込まれている。各トレンチ35に埋め込まれた電極材料は、ゲート電極22（ゲートフィンガー23）およびエミッタ電極21のいずれかに電氣的に接続されている。つまり、各トレンチ35に埋め込まれた電極材料によって、ゲートトレンチ22Aおよびエミッタトレンチ21TEが形成されている。本実施形態では、複数のトレンチ35の配列方向において、ゲートトレンチ22Aとエミッタトレンチ21TEとが交互に設けられている。本実施形態では、ゲートトレンチ22Aおよびエミッタトレンチ21TEの双方は、各トレンチ35の開口端まで埋め込まれている。

[0039] 基板表面30sに設けられた絶縁膜38の表面38sには、中間絶縁膜39が形成されている。中間絶縁膜39は、たとえば SiO_2 を有している。中

間絶縁膜 39 の厚さは、絶縁膜 38 よりも厚く、たとえば $3000\text{ \AA}$ 以上 $15000\text{ \AA}$ 以下である。

[0040] 中間絶縁膜 39 の表面 39 s には、エミッタ電極 21 が形成されている。中間絶縁膜 39 は、エミッタ電極 21 とゲートトレンチ 22 A との間と、エミッタ電極 21 とエミッタトレンチ 21 TE との間との双方を埋める層間絶縁膜である。

[0041] セル領域 11 における中間絶縁膜 39 および絶縁膜 38 の双方には、ベースコンタクト領域 37 を露出するコンタクトホール 40 a が形成されている。エミッタ電極 21 の一部は、コンタクトホール 40 a に埋め込まれてベースコンタクト領域 37 と接している。

[0042] 図 4 は、外周領域 12 の断面構造の一例を示している。

図 4 に示すように、外周領域 12 には、第 2 導電型（本実施形態では p 型）の半導体領域であるウェル領域 34 A が形成されている。ウェル領域 34 A は、ドリフト層 33 の表面（半導体基板 30 の基板表面 30 s）に形成されている。ウェル領域 34 A の深さは、ベース領域 34 の深さよりも深い。本実施形態では、ウェル領域 34 A の深さは、トレンチ 35 の深さよりも深い。ウェル領域 34 A の不純物濃度は、ドリフト層 33 の不純物濃度よりも高く、かつベース領域 34 の不純物濃度よりも低い。一例では、ウェル領域 34 A の不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0043] FLR 部 24 は、ウェル領域 34 A よりも外方の位置に形成されている。FLR 部 24 は、互いに離間して配置された複数（本実施形態では 4 つ）の環状の導電体および半導体領域から構成されている。

[0044] 半導体基板 30 の基板表面 30 s には、複数（本実施形態では 8 つ）の環状のガードリング 24 a が形成されている。本実施形態では、各ガードリング 24 a は、閉じた環状に形成されている。各ガードリング 24 a は、ドリフト層 33 において部分的に形成されている。各ガードリング 24 a は、第 2 導電型（本実施形態では p 型）の半導体領域であり、z 方向と直交する方

向において互いに離間して配置されている。本実施形態では、各ガードリング24aの深さは、ウェル領域34Aの深さと同じである。各ガードリング24aのp型ドーパントとしては、たとえばB、Al等が用いられる。各ガードリング24aの不純物濃度は、たとえばウェル領域34Aの不純物濃度と同じであり、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。この場合、各ガードリング24aとウェル領域34Aとは同一の工程で形成されてもよい。

[0045] FLR部24は、複数のガードリング24aに対応させて設けられた複数のフィールドプレート24bを有している。各フィールドプレート24bは、中間絶縁膜39上に設けられている。平面視において、フィールドプレート24bは対応するガードリング24aと重なる位置に設けられている。

[0046] フィールドプレート24bは対応するガードリング24aに接している。より詳細には、中間絶縁膜39および絶縁膜38における各ガードリング24aに対応する位置には、各ガードリング24aを露出させる開口部40b（図5参照）が個別に形成されている。各フィールドプレート24bは、各ガードリング24aに対応する開口部40bを介して各ガードリング24aに個別に接している。本実施形態では、各ガードリング24aおよび各フィールドプレート24bはそれぞれ、電氣的にフローティング状態である。

[0047] 等電位リング25は、ドリフト層33の表面（基板表面30s）に形成された第1導電型（n⁺型）のチャネルストップ領域（図示略）と、絶縁膜38および中間絶縁膜39内に設けられた内部配線（図示略）と、中間絶縁膜39上に設けられた表面側配線25aと、を有している。

[0048] チャネルストップ領域は、z方向から視て表面側配線25aと重なる位置から装置側面10cまで形成されている。チャネルストップ領域は、内部配線に対して外方（装置側面10c寄り）に配置されている。チャネルストップ領域の不純物濃度は、たとえばエミッタ領域36（図3参照）の不純物濃度と同じであり、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下である。この場合、たとえばチャネルストップ領域は、エミッタ領域36と同一の工程で

形成される。

[0049] 内部配線は、絶縁膜 38 上に設けられており、中間絶縁膜 39 によって覆われている。内部配線は、ポリシリコン等の電極材料によって形成されている。内部配線の表面には、酸化膜が形成されている。

[0050] 表面側配線 25 a は、平面視においてチャネルストップ領域および内部配線の双方と重なる位置に設けられている。表面側配線 25 a は、たとえば AlCu を含む材料によって形成されている。表面側配線 25 a は、チャネルストップ領域および内部配線の双方と電氣的に接続されている。より詳細には、中間絶縁膜 39 および絶縁膜 38 のうちチャネルストップ領域と対応する位置には第 1 開口部が設けられている。表面側配線 25 a は、第 1 開口部を介してチャネルストップ領域と接する第 1 コンタクトを有している。中間絶縁膜 39 のうち内部配線と対応する位置には第 2 開口部が設けられている。表面側配線 25 a は、第 2 開口部を介して内部配線と接する第 2 コンタクトを有している。

[0051] 図 5 および図 6 は、セル領域 11 の一部および外周領域 12 の断面構造の一例を示している。なお、図 5 および図 6 では、便宜上、セル領域 11 の一部および外周領域 12 における半導体装置 10 の構成要素の一部のハッチングを省略して示している。また、図 5 および図 6 では、便宜上、パッシベーション膜 13 を省略して示している。

[0052] 図 2、図 5、および図 6 に示すように、本実施形態では、ウェル領域 34 A は、セル領域 11 と隣接して設けられている。ウェル領域 34 A は、平面視において、セル領域 11 を囲むように設けられている。ウェル領域 34 A は、平面視において、z 方向と直交する方向（たとえば x 方向または y 方向）に幅を有する環状に形成されている。図 5 に示すように、ウェル領域 34 A は、ゲート電極 22 と重なる位置に形成されている。平面視において、ゲート電極 22 は、ウェル領域 34 A 内に配置されているともいえる。

[0053] ウェル領域 34 A は、セル領域 11 の周囲において第 1 幅寸法を有する第 1 ウェル領域 34 A A と、第 1 幅寸法よりも大きい第 2 幅寸法を有する第 2

ウェル領域 3 4 A B と、を有している。第 2 ウェル領域 3 4 A B は、セル領域 1 1 の凹部 1 1 a に入り込むように形成されている。平面視における第 2 ウェル領域 3 4 A B の形状は矩形状である。平面視において、第 2 ウェル領域 3 4 A B は、ゲート電極 2 2 と重なる位置に形成されている。

[0054] 第 1 ウェル領域 3 4 A A は、第 2 ウェル領域 3 4 A B の x 方向の両端部に繋がり、セル領域 1 1 を囲う環状に形成されている。第 1 ウェル領域 3 4 A A は、第 2 ウェル領域 3 4 A B の y 方向の両端部のうちエミッタ電極 2 1 の後述するセル電極部 2 1 A から遠い方の端部と繋がっている。換言すると、第 2 ウェル領域 3 4 A B は、F L R 部 2 4 よりも内方かつ F L R 部 2 4 と隣り合う位置に形成されている。

[0055] ウェル領域 3 4 A は、その幅方向の中心よりもセル電極部 2 1 A 寄りの部分である内周部 3 4 B と、幅方向の中心よりもセル電極部 2 1 A から離れた部分である外周部 3 4 C と、を有している。外周部 3 4 C は、幅方向の中心よりも外周領域 1 2 に近い部分であるともいえる。

[0056] 外周領域 1 2 における基板表面 3 0 s 上には、絶縁膜 3 8 が形成されている。基板表面 3 0 s に形成された絶縁膜 3 8 上には、中間絶縁膜 3 9 が形成されている。つまり、絶縁膜 3 8 および中間絶縁膜 3 9 の双方は、セル領域 1 1 および外周領域 1 2 の双方にわたり形成されている。

[0057] 中間絶縁膜 3 9 の表面 3 9 s には、ゲート電極 2 2 が形成されている。中間絶縁膜 3 9 は、ゲート電極 2 2 とウェル領域 3 4 A との間を埋める層間絶縁膜であるといえる。また、中間絶縁膜 3 9 は、F L R 部 2 4 の複数のフィールドプレート 2 4 b と複数のガードリング 2 4 a（ともに図 4 参照）との間を埋める層間絶縁膜であるともいえる。

[0058] ここで、本実施形態では、中間絶縁膜 3 9 および絶縁膜 3 8 は「絶縁膜」に対応している。中間絶縁膜 3 9 の表面 3 9 s は「絶縁膜の表面」に対応し、絶縁膜 3 8 の裏面 3 8 r は「絶縁膜の裏面」に対応している。

[0059] （エミッタ電極、ゲート電極、およびゲートフィンガーの構成）

図 2、図 5、および図 6 を参照して、エミッタ電極 2 1、ゲート電極 2 2

、およびゲートフィンガー２３Ａ（２３Ｂ）の構成について説明する。なお、ゲートフィンガー２３Ｂの構成は、ゲートフィンガー２３Ａの構成と同じであるため、その説明を省略する。

[0060] エミッタ電極２１は、平面視において、セル領域１１および外周領域１２の双方と重なる位置に設けられている。エミッタ電極２１は、環状のＦＬＲ部２４よりも内方に設けられているともいえる。

[0061] エミッタ電極２１は、セル領域１１に設けられたセル電極部２１Ａと、セル電極部２１Ａと距離を隔てて外周領域１２に設けられた外周電極部２１Ｂと、セル電極部２１Ａと外周電極部２１Ｂとを接続する接続部２１Ｇと、を有している。本実施形態では、セル電極部２１Ａ、外周電極部２１Ｂ、および接続部２１Ｇは一体に形成されている。

[0062] 平面視において、セル電極部２１Ａは、セル領域１１の全体を覆っている。このため、平面視におけるセル電極部２１Ａの形状は、矩形状である。ここで、本実施形態では、セル電極部２１Ａは「電極部」に対応している。

[0063] 平面視において、外周電極部２１Ｂは、外周領域１２における内周領域を覆っている。外周領域１２における内周領域は、外周領域１２のうちＦＬＲ部２４よりも内方に位置する領域である。外周電極部２１Ｂは、ゲートフィンガー２３よりも外方に位置している。つまり、外周電極部２１Ｂは、外周領域１２の内周領域のうちＦＬＲ部２４に近い領域を覆っている。また、外周電極部２１Ｂは、ゲート電極２２を避けるように形成されている。このように、外周電極部２１Ｂは、平面視において、セル領域１１から距離を隔てて外周領域１２に設けられた部分であるともいえる。

[0064] 外周電極部２１Ｂは、平面視において、ウェル領域３４Ａにおけるゲート電極２２と重なる領域以外の領域のうちゲートフィンガー２３よりも外方の領域を覆っている。より詳細には、外周電極部２１Ｂは、第２ウェル領域３４ＡＢの外周部３４Ｃのうちゲート電極２２よりも外方の部分を覆っている。また、外周電極部２１Ｂは、第１ウェル領域３４ＡＡの外周部３４Ｃのうちゲートフィンガー２３Ａ、２３Ｂよりも外方の領域を覆っている。

- [0065] 本実施形態では、外周電極部 2 1 B は、平面視において、セル電極部 2 1 A を囲む環状に設けられている。外周電極部 2 1 B は、エミッタ電極 2 1 の外周部分として設けられている。
- [0066] 上述のように、エミッタ電極 2 1 は、ゲート電極 2 2 が配置された開口部 2 1 a を有している。外周電極部 2 1 B および接続部 2 1 G の双方は、エミッタ電極 2 1 のうち開口部 2 1 a と x 方向に隣り合う部分、換言するとエミッタ電極 2 1 のうちゲート電極 2 2 と x 方向に隣り合う部分を含んでいる。本実施形態では、図 2 に示すように、開口部 2 1 a は、x 方向において外周電極部 2 1 B および接続部 2 1 G にわたり形成されているともいえる。
- [0067] 図 5 および図 6 に示すように、外周電極部 2 1 B は、y 方向において、ゲート電極 2 2 よりも外方に位置する外周端部 2 1 C を有している。ここで、外周電極部 2 1 B の外周端部 2 1 C とは、幅を有する環状に形成された外周電極部 2 1 B の幅方向の両端部のうち F L R 部 2 4 に近い方の端部である。外周端部 2 1 C は、y 方向においてゲート電極 2 2 と F L R 部 2 4 との間に配置された部分を有している。
- [0068] 接続部 2 1 G は、セル電極部 2 1 A と外周電極部 2 1 B との間に設けられている。平面視において、接続部 2 1 G は、外周領域 1 2 に配置され、ゲートフィンガー 2 3 A, 2 3 B を覆っている。このため、接続部 2 1 G は、外周領域 1 2 における内周領域を覆っている。平面視において、接続部 2 1 G は、セル電極部 2 1 A の全周を囲うように形成されている。つまり、接続部 2 1 G は、幅を有する環状に形成されている。
- [0069] 接続部 2 1 G は、平面視において、ウェル領域 3 4 A のうちゲート電極 2 2 と重なる領域以外の領域のうちゲートフィンガー 2 3 よりも内方の領域を覆っている。より詳細には、接続部 2 1 G は、第 2 ウェル領域 3 4 A B の内周部 3 4 B のうちゲート電極 2 2 よりも内方の部分を覆っている。また、接続部 2 1 G は、第 1 ウェル領域 3 4 A A の内周部 3 4 B と外周部 3 4 C の一部とを覆っている。接続部 2 1 G は、第 1 ウェル領域 3 4 A A の外周部 3 4 C のうち平面視においてゲートフィンガー 2 3 A, 2 3 B と重なる領域を覆

っている。このように、外周電極部 2 1 B および接続部 2 1 G によって、エミッタ電極 2 1 は、ウェル領域 3 4 A の全体を覆っている。外周電極部 2 1 B は接続部 2 1 G を有している。平面視において、ゲートフィンガー 2 3 A , 2 3 B は外周電極部 2 1 B と重なる位置に設けられている。

[0070] 絶縁膜 3 8 および中間絶縁膜 3 9 は、セル領域 1 1 および外周領域 1 2 の双方にわたり設けられている。このため、絶縁膜 3 8 および中間絶縁膜 3 9 は、ウェル領域 3 4 A を覆うように形成されている。

[0071] 絶縁膜 3 8 および中間絶縁膜 3 9 の双方には、絶縁膜 3 8 および中間絶縁膜 3 9 を貫通するように第 1 開口部 4 1 および第 2 開口部 4 2 が形成されている。これら開口部 4 1 , 4 2 は、絶縁膜 3 8 および中間絶縁膜 3 9 からウェル領域 3 4 A を露出している。つまり、第 1 開口部 4 1 および第 2 開口部 4 2 の双方は、平面視において、ウェル領域 3 4 A と重なる位置に設けられている。

[0072] 第 1 開口部 4 1 は、ゲートフィンガー 2 3 に対してセル電極部 2 1 A と反対側に形成されている。換言すると、第 1 開口部 4 1 は、ゲートフィンガー 2 3 に対してセル電極部 2 1 A から遠い位置に形成されている。第 1 開口部 4 1 は、外周端部 2 1 C と重なる位置において x 方向に沿って延びている。つまり、第 1 開口部 4 1 は、y 方向においてゲート電極 2 2 に対してセル電極部 2 1 A とは反対側に形成されている。

[0073] 第 1 開口部 4 1 は、平面視において、ウェル領域 3 4 A の外周部 3 4 C と重なる位置に形成されている。本実施形態では、第 1 開口部 4 1 は、ウェル領域 3 4 A の外周端部と重なる位置に形成されている。ウェル領域 3 4 A の外周端部とは、ウェル領域 3 4 A の幅方向におけるウェル領域 3 4 A の両端部のうち F L R 部 2 4 に近い方の端部である。

[0074] 第 2 開口部 4 2 は、ゲートフィンガー 2 3 に対してセル電極部 2 1 A 寄りに形成されている。図 2 に示すとおり、平面視において、第 2 開口部 4 2 は、エミッタ電極 2 1 の開口部 2 1 a の形状に沿って凹形状となる凹部 4 2 a を有している。つまり、y 方向に延びる第 2 開口部 4 2 は、x 方向から視て

ゲート電極 2 2 と重なる位置に設けられており、平面視においてゲート電極 2 2 を避けるように折り曲がった形状となる。

[0075] 第 2 開口部 4 2 は、平面視において、ウェル領域 3 4 A の内周部 3 4 B と重なる位置に形成されている。本実施形態では、第 2 開口部 4 2 は、ウェル領域 3 4 A の内周端部と重なる位置に形成されている。ウェル領域 3 4 A の内周端部とは、ウェル領域 3 4 A の幅方向におけるウェル領域 3 4 A の両端部のうちエミッタ電極 2 1 に近い方の端部である。

[0076] 外周電極部 2 1 B は、平面視において、第 1 開口部 4 1 を覆うように形成されている。外周電極部 2 1 B は、第 1 開口部 4 1 に埋め込まれた第 1 コンタクト 2 1 D を有している。このため、平面視における第 1 コンタクト 2 1 D の形状は平面視における第 1 開口部 4 1 の形状と同じである。

[0077] 接続部 2 1 G は、平面視において、第 2 開口部 4 2 を覆うように形成されている。接続部 2 1 G は、第 2 開口部 4 2 に埋め込まれた第 2 コンタクト 2 1 E を有している。このため、平面視における第 2 コンタクト 2 1 E の形状は平面視における第 2 開口部 4 2 の形状と同じである。

[0078] 第 1 コンタクト 2 1 D は、ウェル領域 3 4 A の外周部 3 4 C と接している。これにより、外周電極部 2 1 B は、ウェル領域 3 4 A と電氣的に接続されている。本実施形態では、第 1 コンタクト 2 1 D は、ウェル領域 3 4 A の外周端部と接している。つまり、外周電極部 2 1 B は、ウェル領域 3 4 A の外周端部においてウェル領域 3 4 A と電氣的に接続されている。第 1 コンタクト 2 1 D は、平面視において、外周電極部 2 1 B の外周端部 2 1 C において環状に形成されている。このため、第 1 コンタクト 2 1 D は、ゲート電極 2 2 に対してセル電極部 2 1 A とは反対側に配置された部分を有している。

[0079] 第 2 コンタクト 2 1 E は、ウェル領域 3 4 A の内周部 3 4 B と接している。これにより、接続部 2 1 G は、ウェル領域 3 4 A と電氣的に接続されている。第 2 コンタクト 2 1 E は、平面視において、接続部 2 1 G の内端部において環状に形成されている。ここで、接続部 2 1 G の内端部とは、幅を有する環状の接続部 2 1 G の幅方向におけるセル電極部 2 1 A 寄りの部分である。

。このため、第2コンタクト21Eは、ゲート電極22に対してセル電極部21A寄りに配置された部分を有しているともいえる。本実施形態では、第2コンタクト21Eは、ウェル領域34Aの内周端部と接している。つまり、接続部21Gは、ウェル領域34Aの内周端部においてウェル領域34Aと電氣的に接続されている。

[0080] ゲートフィンガー23は、絶縁膜38および中間絶縁膜39を含む絶縁膜内に埋め込まれている。本実施形態では、ゲートフィンガー23は、絶縁膜38の表面38s上に形成されており、中間絶縁膜39によって覆われている。

[0081] 図2および図6に示すように、ゲートフィンガー23A, 23B（図6では図示略）は、平面視において、接続部21Gと重なる位置に設けられている。ゲートフィンガー23A, 23Bは、平面視において、ウェル領域34Aと重なる位置に配置されている。ゲートフィンガー23A, 23Bは、平面視において、第1コンタクト21Dと第2コンタクト21Eとの間に配置されているともいえる。本実施形態では、ウェル領域34Aの幅方向において、ゲートフィンガー23A, 23Bは、第1ウェル領域34AAの中央付近に配置されている。一例では、図6に示すとおり、複数のゲートフィンガー23Aのうち1つは、平面視において、第1ウェル領域34AAの外周部34Cと重なる位置に配置されており、別の1つは、平面視において、第1ウェル領域34AAの内周部34Bと重なる位置に配置されている。複数のゲートフィンガー23Aの残りの1つは、平面視において、第1ウェル領域34AAの内周部34Bと外周部34Cとの境界と重なる位置に配置されている。なお、複数のゲートフィンガー23Bの第1ウェル領域34AAに対する配置位置は、ゲートフィンガー23Aと同様である。

[0082] 図5に示すように、ゲートフィンガー23Cは、平面視において、ゲート電極22のy方向の両端部のうち外周端部（FLR部24に近い方の端部）と重なる位置に設けられている。つまり、ゲートフィンガー23Cは、第1コンタクト21Dと第2コンタクト21Eとの間のうち第1コンタクト21

D寄りに配置されている。また、ゲートフィンガー23Cは、平面視において、第2ウェル領域34ABの外周部34Cと重なる位置に配置されているともいえる。本実施形態では、ゲートフィンガー23Cは、x方向に沿って延びている。

[0083] ゲートフィンガー23Cに対応する中間絶縁膜39には、ゲートフィンガー23Aを露出する開口部39aが形成されている。つまり、開口部39aは、ゲートフィンガー23A、23Bに対応する中間絶縁膜39には形成されていない。ゲート電極22は、開口部39aに埋め込まれた埋め込み電極部22cを有している。埋め込み電極部22cは、ゲートフィンガー23Cと接している。これにより、ゲート電極22とゲートフィンガー23とが電氣的に接続されている。

[0084] (半導体装置10の製造方法)

次に、本実施形態の半導体装置10の製造方法の概略について説明する。

半導体装置10の製造方法は、n⁻型のドリフト層33を有する半導体基板30を用意する工程と、半導体基板30にp型のウェル領域34Aおよび複数のガードリング24aを形成する工程と、複数のトレンチ35を形成する工程と、絶縁膜38を形成する工程と、各トレンチに電極材料としてのポリシリコンを埋め込み、エミッタトレンチ21TEおよびゲートトレンチ22Aを形成する工程と、を備えている。これら工程は、既知の方法によって実施される。

[0085] 半導体装置10の製造方法は、ゲートフィンガー23を形成する工程を備えている。絶縁膜38の表面38sに、たとえばタングステン(W)を含む材料によって形成された金属配線を形成することによってゲートフィンガー23が形成される。

[0086] 半導体装置10の製造方法は、中間絶縁膜39を形成する工程と、中間絶縁膜39および絶縁膜38の双方に開口部41、42を形成する工程と、中間絶縁膜39に開口部39aを形成する工程と、を備えている。まず、中間絶縁膜39は、露出した絶縁膜38の表面38sに形成される。この場合、

中間絶縁膜 39 は、ゲートフィンガー 23 を覆うように形成されている。次に、中間絶縁膜 39 および絶縁膜 38 の双方に開口部 39 a、第 1 開口部 41、および第 2 開口部 42 を形成する。続いて、中間絶縁膜 39 におけるゲート電極 22 が形成される領域に開口部 39 a が形成される。これにより、開口部 39 a を介してゲートフィンガー 23 C が露出する。

[0087] 半導体装置 10 の製造方法は、エミッタ電極 21、ゲート電極 22、FLR 部 24 の複数のフィールドプレート 24 b、および等電位リング 25 を形成する工程を備えている。この工程は、既知の方法によって実施される。この場合、第 1 コンタクト 21 D、第 2 コンタクト 21 E、および埋め込み電極部 22 c が形成される。

[0088] 半導体装置 10 の製造方法は、バッファ層 32、コレクタ層 31、およびコレクタ電極 27 を形成する工程を備えている。具体的には、半導体基板 30 の基板裏面 30 r に対して選択的に n 型および p 型ドーパントがイオン注入および拡散されることによって、バッファ層 32 およびコレクタ層 31 が順に形成される。続いて、コレクタ層 31 のうちバッファ層 32 とは反対側の表面にコレクタ電極 27 が形成される。以上の工程を経て、半導体装置 10 が製造される。

[0089] (第 1 実施形態の作用)

本実施形態の半導体装置 10 の作用について説明する。図 7 は比較例の半導体装置 10 X の平面図であり、図 8 は図 7 の比較例の半導体装置 10 X の 8-8 線の断面図であり、図 9 は図 7 の比較例の半導体装置 10 X の 9-9 線の断面図である。

[0090] 図 7 ~ 図 9 に示すように、比較例の半導体装置 10 X のエミッタ電極 21 X は、エミッタ引き回し部 21 Y を有している。エミッタ引き回し部 21 Y は、エミッタ電極 21 X の y 方向の両端部のうち装置側面 10 d に近い方の端部からエミッタ電極 21 X を囲うように延びる環状の配線である。エミッタ引き回し部 21 Y はエミッタ電極 21 X と一体化されている。エミッタ引き回し部 21 Y は、ゲート電極 22 およびゲートフィンガー 23 X よりも外

方に配置されている。換言すると、ゲート電極 2 2 およびゲートフィンガー 2 3 X の双方は、エミッタ電極 2 1 X とエミッタ引き回し部 2 1 Y との間に配置されている。

[0091] 図 9 に示すように、ゲートフィンガー 2 3 X は、中間絶縁膜 3 9 に埋め込まれた内部配線 2 3 X A と、中間絶縁膜 3 9 上に形成された外部配線 2 3 X B と、内部配線 2 3 X A と外部配線 2 3 X B とを接続する接続配線 2 3 X C と、を有している。このため、平面視において、外部配線 2 3 X B は、エミッタ電極 2 1 X と重なる位置に配置することができないため、エミッタ電極 2 1 X よりも外方に配置されている。ゲートフィンガー 2 3 X の外部配線 2 3 X B は、ゲート電極 2 2 と一体化されている。一方、図 8 に示すように、内部配線 2 3 X A および接続配線 2 3 X C は、中間絶縁膜 3 9 内に設けられているため、ゲート電極 2 2 と重なる位置における中間絶縁膜 3 9 内に延びている。

[0092] 図 9 に示すように、ゲートフィンガー 2 3 X の外部配線 2 3 X B がエミッタ引き回し部 2 1 Y とエミッタ電極 2 1 X との間に配置されているため、エミッタ電極 2 1 X には外部配線 2 3 X B を配置するためのスペースが必要となる。つまり、エミッタ電極 2 1 X は、外部配線 2 3 X B を避けて形成されている。したがって、ゲートフィンガー 2 3 X の外部配線 2 3 X B の分だけエミッタ電極 2 1 X を大きくすることができない。

[0093] 本実施形態では、図 5 および図 6 に示すように、エミッタ電極 2 1 の外周電極部 2 1 B に設けられた第 1 コンタクト 2 1 D がウェル領域 3 4 A の外周部 3 4 C に接している。つまり、第 1 コンタクト 2 1 D は、エミッタ引き回し部 2 1 Y に対応している。そして、ゲートフィンガー 2 3 が中間絶縁膜 3 9 および絶縁膜 3 8 によって埋め込まれており、ゲートフィンガー 2 3 を覆うように接続部 2 1 G が形成されている。つまり、平面視において、ゲートフィンガー 2 3 と重なる位置にエミッタ電極 2 1 が形成されている。これにより、エミッタ電極 2 1 は、ゲートフィンガー 2 3 を避けて形成する必要がなくなるため、エミッタ電極 2 1 のサイズをエミッタ電極 2 1 X よりも大き

くすることができる。

[0094] (第1実施形態の効果)

本実施形態の半導体装置10によれば、以下の効果が得られる。

(1-1) 半導体装置10は、セル領域11と、セル領域11とは異なる領域に配置されたゲート電極22と、セル領域11とゲート電極22が配置された領域とを囲む外周領域12と、セル電極部21Aと距離を隔てて外周領域12に形成された外周電極部21Bと、セル電極部21Aと外周電極部21Bとを接続する接続部21Gと、を有するエミッタ電極21と、を備えている。外周領域12は、セル領域11を囲むように設けられたウェル領域34Aと、ウェル領域34Aを覆う絶縁膜38および中間絶縁膜39と、絶縁膜38および中間絶縁膜39からなる絶縁膜に埋め込まれ、ゲート電極22に接続されるとともにセル領域11を囲むゲートフィンガー23を有している。エミッタ電極21の外周電極部21Bは、中間絶縁膜39および絶縁膜38のうちゲートフィンガー23に対してセル電極部21Aとは反対側に形成された第1開口部41を介してウェル領域34Aと電氣的に接続されている。

[0095] この構成によれば、接続部21Gがゲートフィンガー23を覆うように形成されるため、エミッタ電極21のサイズを大きくすることができる。つまり、平面視において、エミッタ電極21の面積を大きくすることができる。したがって、エミッタ電極21からの放熱性能を向上させることができる。

[0096] (1-2) ウェル領域34Aは、幅を有する環状に形成されており、ウェル領域34Aにおける幅方向の中心よりもセル電極部21Aから離れた部分である外周部34Cを有している。外周電極部21Bは、ウェル領域34Aに接する第1コンタクト21Dを有している。平面視において、第1コンタクト21Dは、ウェル領域34Aの外周部34Cと接している。

[0097] この構成によれば、コレクタ電極27からエミッタ電極21に流れる電流がウェル領域34Aの外周部34Cおよび第1コンタクト21Dを介してセル電極部21Aに流れる。このため、コレクタ電極27からエミッタ電極2

1 に流れる電流がウェル領域 3 4 A の外周部 3 4 C および内周部 3 4 B を介してセル電極部 2 1 A に流れる量が少なくなる。つまり、コレクタ電極 2 7 からエミッタ電極 2 1 に流れる電流がウェル領域 3 4 A を流れる経路が短くなる。これにより、ウェル領域 3 4 A に電流が流れることに起因する発熱を低減できる。

[0098] (1-3) 第 1 コンタクト 2 1 D は、ゲート電極 2 2 に対してセル電極部 2 1 A とは反対側に配置された部分を有している。

この構成によれば、外周電極部 2 1 B がゲート電極 2 2 に対してセル電極部 2 1 A とは反対側に配置された部分を有するため、平面視におけるエミッタ電極 2 1 の面積をより大きくすることができる。

[0099] (1-4) 平面視において、絶縁膜 3 8 および中間絶縁膜 3 9 のうちゲートフィンガー 2 3 に対してセル電極部 2 1 A 寄りの位置には、第 2 開口部 4 2 が形成されている。外周電極部 2 1 B は、第 2 開口部 4 2 を介してウェル領域 3 4 A に接する第 2 コンタクト 2 1 E を有している。

[0100] この構成によれば、第 1 コンタクト 2 1 D および第 2 コンタクト 2 1 E によってコレクタ電極 2 7 からエミッタ電極 2 1 に流れる電流の経路が増加するため、コレクタ電極 2 7 からエミッタ電極 2 1 への電流量を増加させることができる。

[0101] (1-5) ゲートフィンガー 2 3 は、金属配線によって形成されている。

この構成によれば、ゲートフィンガー 2 3 がたとえばポリシリコンによって形成される場合と比較して、ゲートフィンガー 2 3 の抵抗が小さくなる。したがって、ゲートフィンガー 2 3 を介してセル 1 1 A により速やかに電流を供給できる。

[0102] (1-6) ゲートフィンガー 2 3 は、絶縁膜 3 8 の裏面 3 8 r と中間絶縁膜 3 9 の表面 3 9 s との双方から離間して配置されている。

この構成によれば、ゲートフィンガー 2 3 が半導体基板 3 0 およびエミッタ電極 2 1 のいずれかと電氣的に接続することを抑制できる。

[0103] (1-7) ゲートフィンガー 2 3 は、絶縁膜 3 8 の表面 3 8 s に形成され

、中間絶縁膜 39 によって覆われている。

この構成によれば、絶縁膜 38 および中間絶縁膜 39 からなる絶縁膜内にゲートフィンガー 23 を埋め込むため、中間絶縁膜 39 に開口部を形成する必要がない。これにより、絶縁膜 38 および中間絶縁膜 39 からなる絶縁膜内にゲートフィンガー 23 を埋め込む工程を簡略化できる。

[0104] [第 2 実施形態]

図 10～図 13 を参照して、第 2 実施形態の半導体装置 10 について説明する。本実施形態の半導体装置 10 は、第 1 実施形態の半導体装置 10 と比較して、エミッタ電極 21 の構成が異なる。以下の説明においては、第 1 実施形態の半導体装置 10 と異なる構成について詳細に説明し、第 1 実施形態の半導体装置 10 と共通の構成要素には同一の符号を付し、その説明を省略する。

[0105] 図 10 に示すように、エミッタ電極 21 は、開口部 21a に代えて、凹部 21b を有している。凹部 21b は、エミッタ電極 21 の y 方向の両端部のうち装置側面 10c に近い方の端部かつ x 方向の中央に設けられている。凹部 21b は、装置側面 10c に向けて開口している。凹部 21b には、ゲート電極 22 が配置されている。このように、本実施形態では、ゲート電極 22 と FLR 部 24 との y 方向の間にエミッタ電極 21 の一部が配置されていない。

[0106] 図 11 に示すように、ゲート電極 22 は、エミッタ電極 21 の y 方向の両端部のうち装置側面 10c に近い方の端部と重なる位置に配置されている。より詳細には、ゲート電極 22 の y 方向の両端部のうち装置側面 10c に近い方の端部と、エミッタ電極 21 の y 方向の両端部のうち装置側面 10c に近い方の端部とは、y 方向において互いに揃った状態で x 方向において互いに離間するように配置されている。このため、ゲート電極 22 は、エミッタ電極 21 における外周電極部 21B の外周端部 21C と重なる位置に配置されているともいえる。

[0107] 図 11 および図 12 に示すように、外周電極部 21B の第 1 コンタクト 2

1 Dは、ゲート電極2 2が配置されている部分に形成されていない。第1コンタクト2 1 Dが延びる方向における第1コンタクト2 1 Dの両端部2 1 D Eは、x方向においてゲート電極2 2と隣り合う位置に設けられている。このため、第1コンタクト2 1 Dは、ゲート電極2 2が配置されている部分を除いて、外周電極部2 1 Bの外周端部2 1 Cに沿って形成された開いた環状であるともいえる。

[0108] このように、第1コンタクト2 1 Dのうち装置側面1 0 c寄りに配置されかつx方向に延びる部分であるコンタクト部2 1 D Aは、第1実施形態の第1コンタクト2 1 Dと比較して、y方向においてセル電極部2 1 A寄りに配置されている。このため、図1 3に示すように、第1コンタクト2 1 Dと第2コンタクト2 1 Eとの間の距離は、第1実施形態の第1コンタクト2 1 Dと第2コンタクト2 1 Eとの間の距離よりも小さくなる。これにともない、図1 2および図1 3に示すように、ウェル領域3 4 Aのうち第1ウェル領域3 4 A Aの幅および第2ウェル領域3 4 A Bの幅の双方が小さくなる。

[0109] (第2実施形態の作用)

図7～図9に示す比較例の半導体装置1 0においては、エミッタ引き回し部2 1 Yがゲート電極2 2とFLR部2 4との間に配置されているため、比較例の半導体装置1 0 Xのチップサイズを小型化することが難しい。

[0110] 加えて、図8および図9を参照して、エミッタ引き回し部2 1 Yは、ウェル領域3 4 Aと接しているため、エミッタ引き回し部2 1 Yが形成された分、ウェル領域3 4 Aの幅が大きくなってしまう。これにより、コレクタ電極2 7からウェル領域3 4 Aを介してエミッタ電極2 1 Xの第2コンタクト2 1 Eに電流が流れる場合、電流がウェル領域3 4 Aを流れる経路の長さが長くなる。ウェル領域3 4 Aはエミッタ電極2 1 Xと比較して抵抗値が高いため、ウェル領域3 4 Aを流れる電流によって発熱しやすい。

[0111] 本実施形態では、図1 1に示すように、エミッタ電極2 1のy方向の両端部のうち装置側面1 0 cに近い方の端部と、ゲート電極2 2のy方向の両端部のうち装置側面1 0 cに近い方の端部とが互いに揃っている。つまり、ゲ

ート電極 2 2 と F L R 部 2 4 との y 方向の間にエミッタ電極 2 1 の一部が形成されていない。このため、半導体装置 1 0 は、比較例の半導体装置 1 0 X よりもチップサイズを小さくすることができる。

[0112] また、本実施形態では、図 1 2 および図 1 3 に示すように、第 1 コンタクト 2 1 D と第 2 コンタクト 2 1 E との y 方向の間の距離が小さくなることにともないウェル領域 3 4 A の幅が小さくなる。このため、コレクタ電極 2 7 (図 2 参照) からウェル領域 3 4 A を介してエミッタ電極 2 1 の第 2 コンタクト 2 1 E に電流が流れる場合、電流がウェル領域 3 4 A を流れる経路の長さが短くなる。したがって、ウェル領域 3 4 A を流れる電流による発熱量を低減することができる。

[0113] (第 2 実施形態の効果)

本実施形態の半導体装置 1 0 によれば、第 1 実施形態の (1-1)、(1-2)、(1-4) ~ (1-7) の効果に加え、以下の効果が得られる。

[0114] (2-1) ゲート電極 2 2 は、エミッタ電極 2 1 の外周電極部 2 1 B の外周端部 2 1 C と重なる位置に配置されている。第 1 コンタクト 2 1 D は、ゲート電極 2 2 が配置されている部分を除いて、外周電極部 2 1 B の外周端部 2 1 C に沿って形成された開いた環状である。

[0115] この構成によれば、外周電極部 2 1 B がゲート電極 2 2 よりも外方に位置していないため、つまり第 1 コンタクト 2 1 D がゲート電極 2 2 よりも外方に配置されていないため、平面視における外周領域 1 2 の面積を小さくできる。したがって、半導体装置 1 0 の小型化を図ることができる。

[0116] [変更例]

上記各実施形態は本開示に関する半導体装置が取り得る形態の例示であり、その形態を制限することを意図していない。本開示に関する半導体装置は、上記各実施形態に例示された形態とは異なる形態を取り得る。その一例は、上記各実施形態の構成の一部を置換、変更、もしくは省略した形態、または上記各実施形態に新たな構成を付加した形態である。また、以下の各変更例は、技術的に矛盾しない限り、互いに組み合わせることができる。以下の

各変更例において、上記各実施形態に共通する部分については、上記各実施形態と同一符号を付してその説明を省略する。

- [0117] ・第1実施形態において、第1コンタクト21Dおよび第2コンタクト21Eの形状は任意に変更可能である。一例では、第1コンタクト21Dは、一部が切り欠かれた開いた環状に形成されていてもよい。第2コンタクト21Eは、一部が切り欠かれた開いた環状に形成されていてもよい。
- [0118] ・各実施形態において、エミッタ電極21の外周電極部21Bの形状は任意に変更可能である。一例では、外周電極部21Bは、セル電極部21Aの周りの一部が切り欠かれた開いた環状に形成されていてもよい。
- [0119] ・各実施形態において、エミッタ電極21の接続部21Gの形状は任意に変更可能である。一例では、接続部21Gは、セル電極部21Aの周りの一部が切り欠かれた開いた環状に形成されていてもよい。
- [0120] ・各実施形態において、平面視において、ゲート電極22に対するゲートフィンガー23Cの位置は任意に変更可能である。一例では、平面視において、ゲートフィンガー23Cは、ゲート電極22のy方向の中央に位置していてもよい。
- [0121] ・各実施形態において、平面視におけるゲートフィンガー23Cの形状は任意に変更可能である。一例では、図14に示すように、ゲートフィンガー23Cは、ゲート電極22のうち、ゲート電極22に接合されるワイヤ等の導電部材が接合される領域RBを避けるように形成されていてもよい。
- [0122] ・各実施形態において、中間絶縁膜39の表面39sに別の絶縁膜が形成されていてもよい。この場合、別の絶縁膜の表面が「絶縁膜の表面」に対応している。別の絶縁膜の一例としては、たとえば窒化シリコンを含む材料によって形成されたバリア層である。バリア層は、外部イオンの中間絶縁膜39および絶縁膜38への侵入を抑制し、外部イオンによって中間絶縁膜39および絶縁膜38が帯電することを抑制する。この場合、バリア層の表面に、エミッタ電極21、ゲート電極22、およびFLR部24の複数のフィールドプレート24bが形成されている。

[0123] ・各実施形態において、第1コンタクト21Dは、外周電極部21Bと別体として設けられていてもよい。また、第2コンタクト21Eは、接続部21Gと別体として設けられていてもよい。この場合、第1コンタクト21Dおよび第2コンタクト21Eは、たとえばタングステン(W)を含む材料によって形成されていてもよい。

[0124] ・各実施形態において、第1コンタクト21Dおよび第2コンタクト21Eのそれぞれの個数は任意に変更可能である。一例では、第1コンタクト21Dは複数設けられていてもよい。この場合、第1コンタクト21Dは、外周電極部21Bの幅方向において互いに離間して配置されていてもよい。

[0125] ・各実施形態において、接続部21Gから第2コンタクト21Eを省略してもよい。

・各実施形態において、エミッタ電極21に対するゲート電極22の位置は任意に変更可能である。一例では、ゲート電極22は、エミッタ電極21の四隅のうち1つの隅に配置されていてもよい。

[0126] ・各実施形態において、ゲートフィンガー23の個数は任意に変更可能である。ゲートフィンガー23は、1個でもよいし、2個であってもよいし、4個以上であってもよい。

・各実施形態において、絶縁膜38および中間絶縁膜39にゲートフィンガー23が埋め込まれる構成は任意に変更可能である。一例では、ゲートフィンガー23は中間絶縁膜39に埋め込まれていてもよい。すなわち、ゲートフィンガー23は、絶縁膜38の表面38sから離間して配置されていてもよい。

[0127] ・各実施形態において、平面視におけるゲートフィンガー23の形状は任意に変更可能である。一例では、平面視において、ゲートフィンガー23は、セル領域11を囲む環状に形成されていてもよい。

[0128] ・各実施形態において、FLR部24および等電位リング25の少なくとも一方を省略してもよい。

・各実施形態では、エミッタトレンチ21TEおよびゲートトレンチ22

Aが交互に配列されたが、これに限られず、エミッタトレンチ21TEおよびゲートトレンチ22Aの配列態様は任意に変更可能である。

[0129] ・各実施形態において、半導体装置10は、トレンチゲート型IGBTに代えて、プレーナゲート型IGBTであってもよい。

・各実施形態では、半導体装置10をIGBTとして具体化した但、これに限られず、半導体装置10は、トレンチ型のSiCMOSFET (metal-oxide-semiconductor field-effect transistor) またはSiMOSFETであってもよい。この場合、MOSFETのソース電極は「駆動電極」に対応する。

[0130] 本開示で使田される「〜上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「〜上に」と「〜の上方に」の意味を含む。したがって、「AがB上に形成される」という表現は、本実施形態ではAがBに接触してB上に直接配置され得るが、変更例として、AがBに接触することなくBの上方に配置され得ることが意図される。すなわち、「〜上に」という用語は、AとBとの間に他の部材が形成される構造を排除しない。

[0131] 本開示で使田されるz方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。したがって、本開示による種々の構造は、本明細書で説明されるz方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。例えば、x方向が鉛直方向であってもよく、またはy方向が鉛直方向であってもよい。

[0132] [付記]

上記各実施形態および上記各変更例から把握できる技術的思想を以下に記載する。なお、各付記に記載された構成要素に対応する実施形態の構成要素の符号を括弧書きで示す。符号は、理解の補助のために例として示すものであり、各付記に記載された構成要素は、符号で示される構成要素に限定されるべきではない。

[0133] (付記1)

セル(11A)が設けられたセル領域(11)と、

前記セル領域（１１）を囲む外周領域（１２）と、
前記外周領域（１２）に配置されたゲート電極（２２）と、
前記セル領域（１１）に設けられた電極部（２１Ａ）と、前記電極部（２１Ａ）と距離を隔てて前記外周領域（１２）に形成された外周電極部（２１Ｂ）と、前記電極部（２１Ａ）と前記外周電極部（２１Ｂ）を接続する接続部（２１Ｇ）と、を有する駆動電極（２１）と、を備え、
前記外周領域（１２）には、
前記セル領域（１１）を囲むように設けられた半導体領域であるウェル領域（３４Ａ）と、
前記ウェル領域（３４Ａ）を覆い、平面視において前記セル領域（１１）を囲むように設けられた絶縁膜（３８，３９）と、
前記絶縁膜（３８，３９）内に埋め込まれ、前記ゲート電極（２２）に接続されるとともに前記セル領域（１１）を囲むように形成されたゲートフィンガー（２３）と、が設けられ、
前記接続部（２１Ｇ）は、前記絶縁膜（３８，３９）上に前記ゲートフィンガー（２３）を跨いで形成されており、
前記外周電極部（２１Ｂ）は、前記ウェル領域（３４Ａ）に電氣的に接続されている
半導体装置（１０）。

[0134] （付記２）

前記ウェル領域（３４Ａ）は、幅を有する環状に形成されており、前記ウェル領域（３４Ａ）における幅方向の中心よりも前記電極部（２１Ａ）から離れた部分である外周部（３４Ｃ）を有し、

前記絶縁膜（３８，３９）の厚さ方向（ｚ方向）から視て、前記コンタクト（２１Ｄ）は、前記ウェル領域（３４Ａ）の前記外周部（３４Ｃ）と接している

付記１に記載の半導体装置。

[0135] （付記３）

前記コンタクト（２１Ｄ）は、前記ゲート電極（２２）に対して前記電極部（２１Ａ）とは反対側に配置された部分を有している

付記１または２に記載の半導体装置。

[0136] （付記４）

前記コンタクト（２１Ｄ）は、前記絶縁膜（３８，３９）の厚さ方向（ z 方向）から視て、前記外周電極部（２１Ｂ）の外周端部（２１Ｃ）において環状に形成されている

付記３に記載の半導体装置。

[0137] （付記５）

前記ゲート電極（２２）は、前記外周電極部（２１Ｂ）の外周端部（２１Ｃ）と重なる位置に配置されており、

前記コンタクト（２１Ｄ）は、前記ゲート電極（２２）が配置されている部分を除いて、前記外周電極部（２１Ｂ）の前記外周端部（２１Ｃ）に沿って形成された開いた環状である

付記１または２に記載の半導体装置。

[0138] （付記６）

前記開口部は、第１開口部（４１）であり、

前記絶縁膜（３８，３９）の厚さ方向（ z 方向）から視て、前記絶縁膜（３８，３９）のうち前記ゲートフィンガー（２３）に対して前記電極部（２１Ａ）寄りの位置には、第２開口部（４２）が形成されており、

前記コンタクトは、第１コンタクト（２１Ｄ）であり、

前記接続部（２１Ｇ）は、前記第２開口部（４２）を介して前記ウェル領域（３４Ａ）に接する第２コンタクト（２１Ｅ）を有している

付記１～５のいずれか１つに記載の半導体装置。

[0139] （付記７）

前記ゲートフィンガー（２３）は、金属配線によって形成されている

付記１～６のいずれか１つに記載の半導体装置。

[0140] （付記８）

前記ゲートフィンガー（２３）は、タングステンを含む材料によって形成されている

付記７に記載の半導体装置。

[0141] （付記９）

前記ゲートフィンガー（２３）は、前記絶縁膜（３８，３９）内において複数設けられており、かつ前記絶縁膜（３８，３９）の厚さ方向（ z 方向）と直交する方向において互いに離間して配置されている

付記１～８のいずれか１つに記載の半導体装置。

[0142] （付記１０）

前記絶縁膜（３８，３９）は、前記絶縁膜（３８，３９）の厚さ方向（ z 方向）において互いに反対側を向く表面（３９ s ）および裏面（３８ r ）を有し、

前記ゲートフィンガー（２３）は、前記絶縁膜（３８，３９）の厚さ方向（ z 方向）において前記表面（３９ s ）および前記裏面（３８ r ）の双方から離間して配置されている

付記１～９のいずれか１つに記載の半導体装置。

[0143] （付記１１）

前記絶縁膜（３８，３９）は、

前記ウェル領域（３４ A ）を覆い、前記裏面（３８ r ）を含む第１絶縁膜（３８）と、

前記第１絶縁膜（３８）に積層され、前記表面（３９ s ）を含む第２絶縁膜（３９）と、

を有し、

前記ゲートフィンガー（２３）は、前記第１絶縁膜（３８）上に形成され、かつ前記第２絶縁膜（３９）によって覆われている

付記１０に記載の半導体装置。

[0144] （付記１２）

前記絶縁膜（３８，３９）の厚さ方向（ z 方向）から見て、前記ゲートフ

ィンガー（２３）は、前記外周電極部（２１Ｂ）と重なる位置に設けられている

付記１０または１１に記載の半導体装置。

[0145] （付記１３）

前記半導体装置（１０）は、ＩＧＢＴであり、

前記駆動電極（２１）は、エミッタ電極である

付記１～１２のいずれか１つに記載の半導体装置。

[0146] （付記１４）

前記半導体装置（１０）は、トレンチゲート型のＭＯＳＦＥＴであり、

前記駆動電極（２１）は、ソース電極である

付記１～１２のいずれか１つに記載の半導体装置。

符号の説明

[0147] １０…半導体装置

１１…セル領域

１１Ａ…セル

１２…外周領域

２１…エミッタ電極（駆動電極）

２１Ａ…セル電極部（電極部）

２１Ｂ…外周電極部

２１Ｃ…外周端部

２１Ｄ…第１コンタクト（コンタクト）

２１Ｅ…第２コンタクト

２１Ｇ…接続部

２２…ゲート電極

２３…ゲートフィンガー

３４Ａ…ウェル領域

３４Ｃ…外周部

３８…絶縁膜（第１絶縁膜）

3 8 r …裏面（絶縁膜の裏面）

3 9 …中間絶縁膜（第 2 絶縁膜）

3 9 s …表面（絶縁膜の表面）

4 1 …第 1 開口部

4 2 …第 2 開口部

請求の範囲

[請求項1]

セルが設けられたセル領域と、
前記セル領域を囲む外周領域と、
前記外周領域に配置されたゲート電極と、
前記セル領域に設けられた電極部と、前記電極部と距離を隔てて前記外周領域に形成された外周電極部と、前記電極部と前記外周電極部とを接続する接続部と、を有する駆動電極と、
を備え、
前記外周領域には、
前記セル領域を囲むように設けられた半導体領域であるウェル領域と、
前記ウェル領域を覆い、平面視において前記セル領域を囲むように設けられた絶縁膜と、
前記絶縁膜内に埋め込まれ、前記ゲート電極に接続されるとともに前記セル領域を囲むように形成されたゲートフィンガーと、
が設けられ、
前記接続部は、前記絶縁膜上に前記ゲートフィンガーを跨いで形成されており、
前記外周電極部は、前記ウェル領域に電氣的に接続されている半導体装置。

[請求項2]

前記ウェル領域は、幅を有する環状に形成されており、前記ウェル領域における幅方向の中心よりも前記電極部から離れた部分である外周部を有し、
前記外周電極部は、前記ウェル領域に接するコンタクトを有し、
前記絶縁膜の厚さ方向から視て、前記コンタクトは、前記ウェル領域の前記外周部と接している
請求項1に記載の半導体装置。

[請求項3]

前記コンタクトは、前記ゲート電極に対して前記電極部とは反対側

に配置された部分を有している

請求項 2 に記載の半導体装置。

[請求項4] 前記コンタクトは、前記絶縁膜の厚さ方向から視て、前記外周電極部の外周端部において環状に形成されている

請求項 3 に記載の半導体装置。

[請求項5] 前記ゲート電極は、前記外周電極部の外周端部と重なる位置に配置されており、

前記コンタクトは、前記ゲート電極が配置されている部分を除いて、前記外周電極部の前記外周端部に沿って形成された開いた環状である

請求項 2 に記載の半導体装置。

[請求項6] 前記コンタクトは、第 1 コンタクトであり、

前記接続部は、前記ゲートフィンガーに対して前記電極部寄りの位置において前記ウェル領域に接する第 2 コンタクトを有している

請求項 2 ～ 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記ゲートフィンガーは、金属配線によって形成されている

請求項 1 ～ 6 のいずれか一項に記載の半導体装置。

[請求項8] 前記ゲートフィンガーは、タングステンを含む材料によって形成されている

請求項 7 に記載の半導体装置。

[請求項9] 前記ゲートフィンガーは、前記絶縁膜内において複数設けられており、かつ前記絶縁膜の厚さ方向と直交する方向において互いに離間して配置されている

請求項 1 ～ 8 のいずれか一項に記載の半導体装置。

[請求項10] 前記絶縁膜は、前記絶縁膜の厚さ方向において互いに反対側を向く表面および裏面を有し、

前記ゲートフィンガーは、前記絶縁膜の厚さ方向において前記表面および前記裏面の双方から離間して配置されている

請求項 1 ～ 9 のいずれか一項に記載の半導体装置。

[請求項11]

前記絶縁膜は、

前記ウェル領域を覆い、前記裏面を含む第 1 絶縁膜と、

前記第 1 絶縁膜に積層され、前記表面を含む第 2 絶縁膜と、

を有し、

前記ゲートフィンガーは、前記第 1 絶縁膜上に形成され、かつ前記第 2 絶縁膜によって覆われている

請求項 1 0 に記載の半導体装置。

[請求項12]

前記絶縁膜の厚さ方向から視て、前記ゲートフィンガーは、前記外周電極部と重なる位置に設けられている

請求項 1 0 または 1 1 に記載の半導体装置。

[請求項13]

前記半導体装置は、 I G B T であり、

前記駆動電極は、エミッタ電極である

請求項 1 ～ 1 2 のいずれか一項に記載の半導体装置。

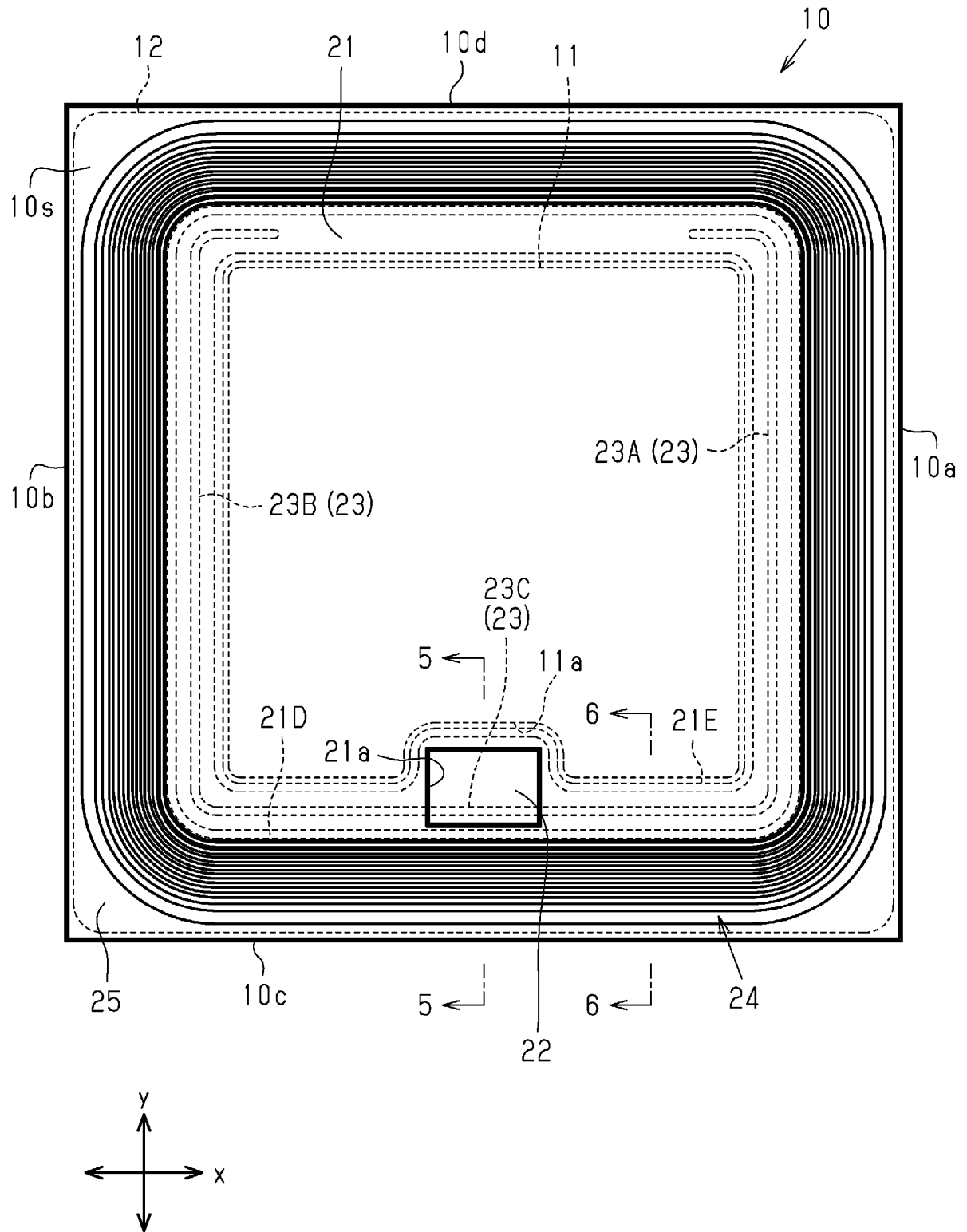
[請求項14]

前記半導体装置は、トレンチゲート型の M O S F E T であり、

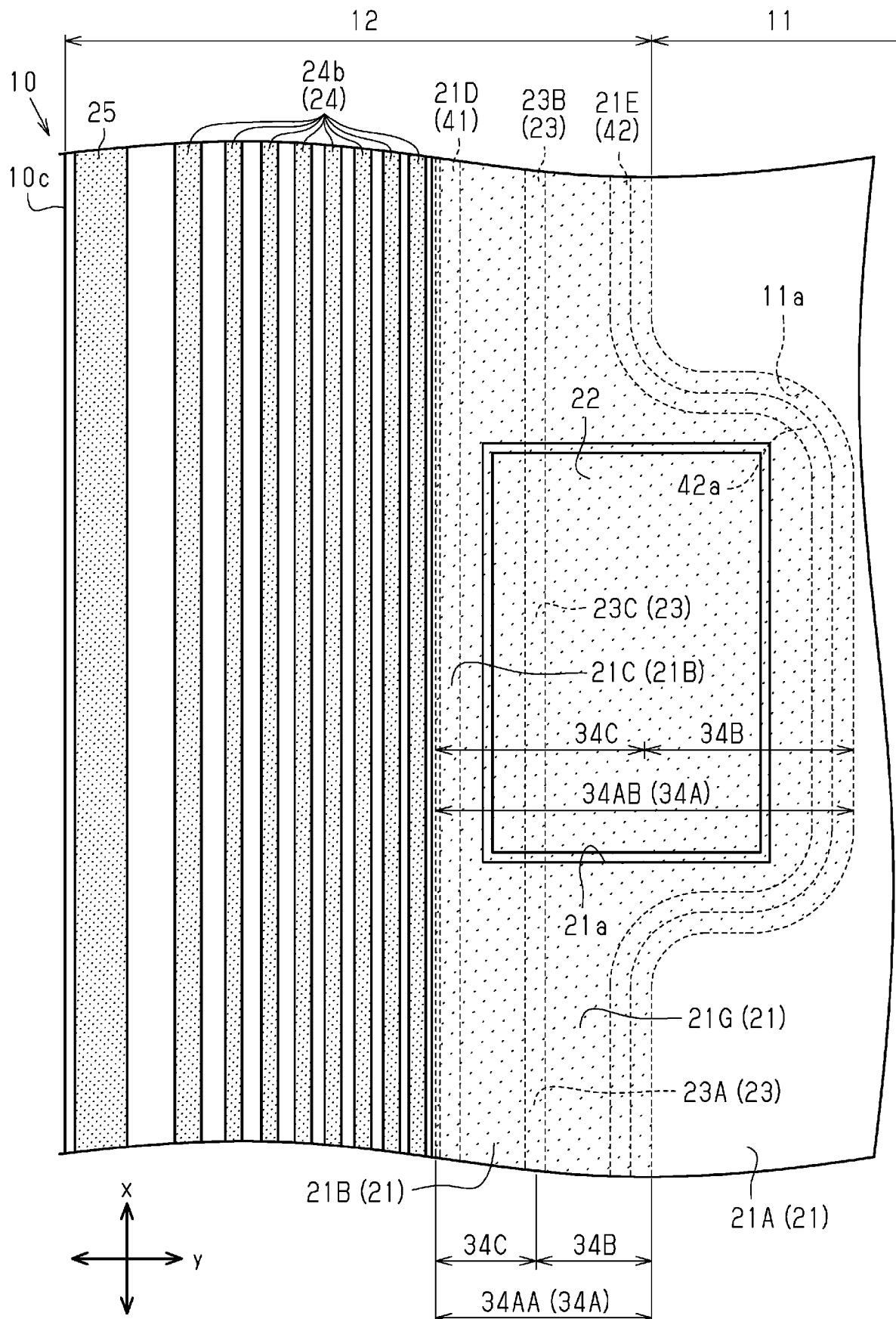
前記駆動電極は、ソース電極である

請求項 1 ～ 1 2 のいずれか一項に記載の半導体装置。

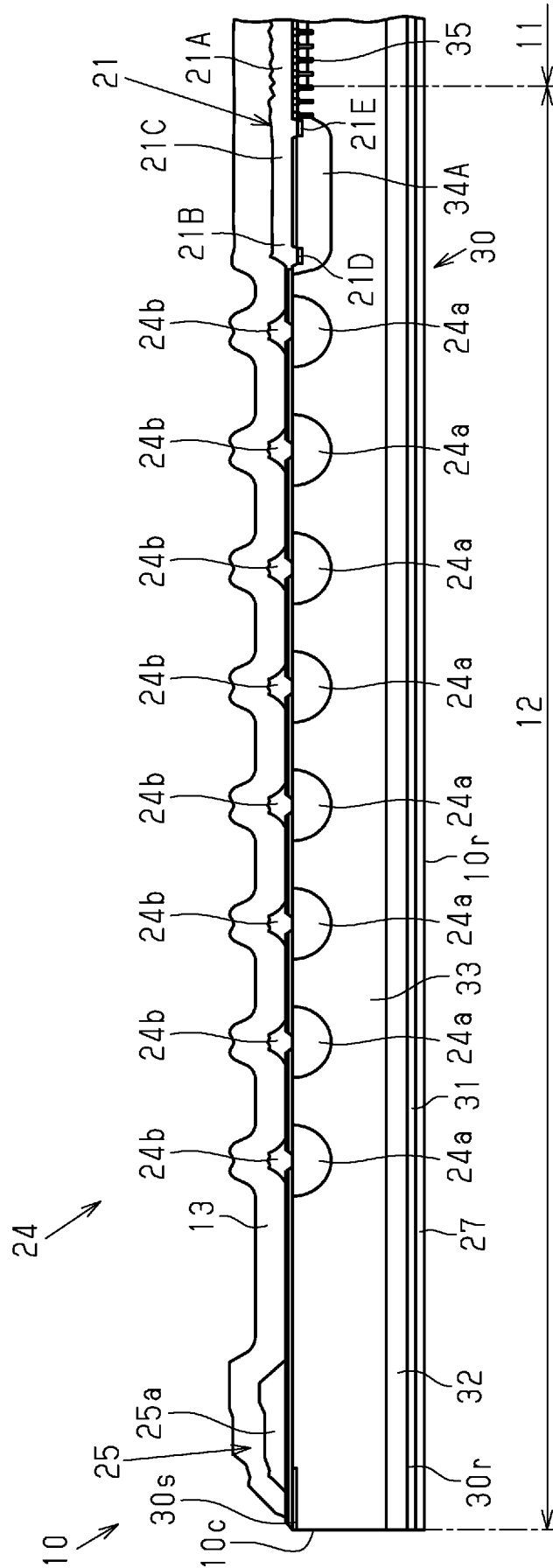
[図1]



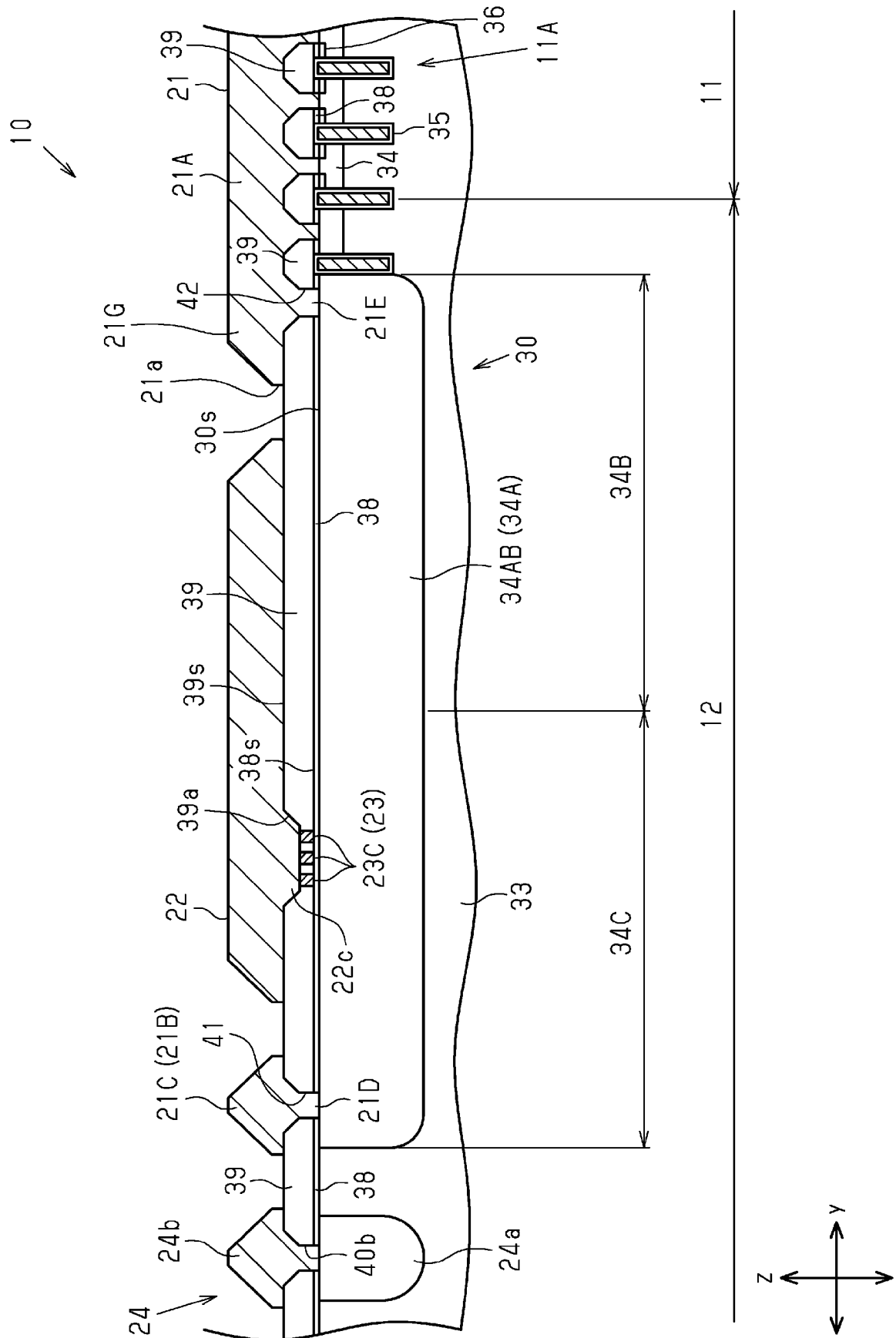
[図2]



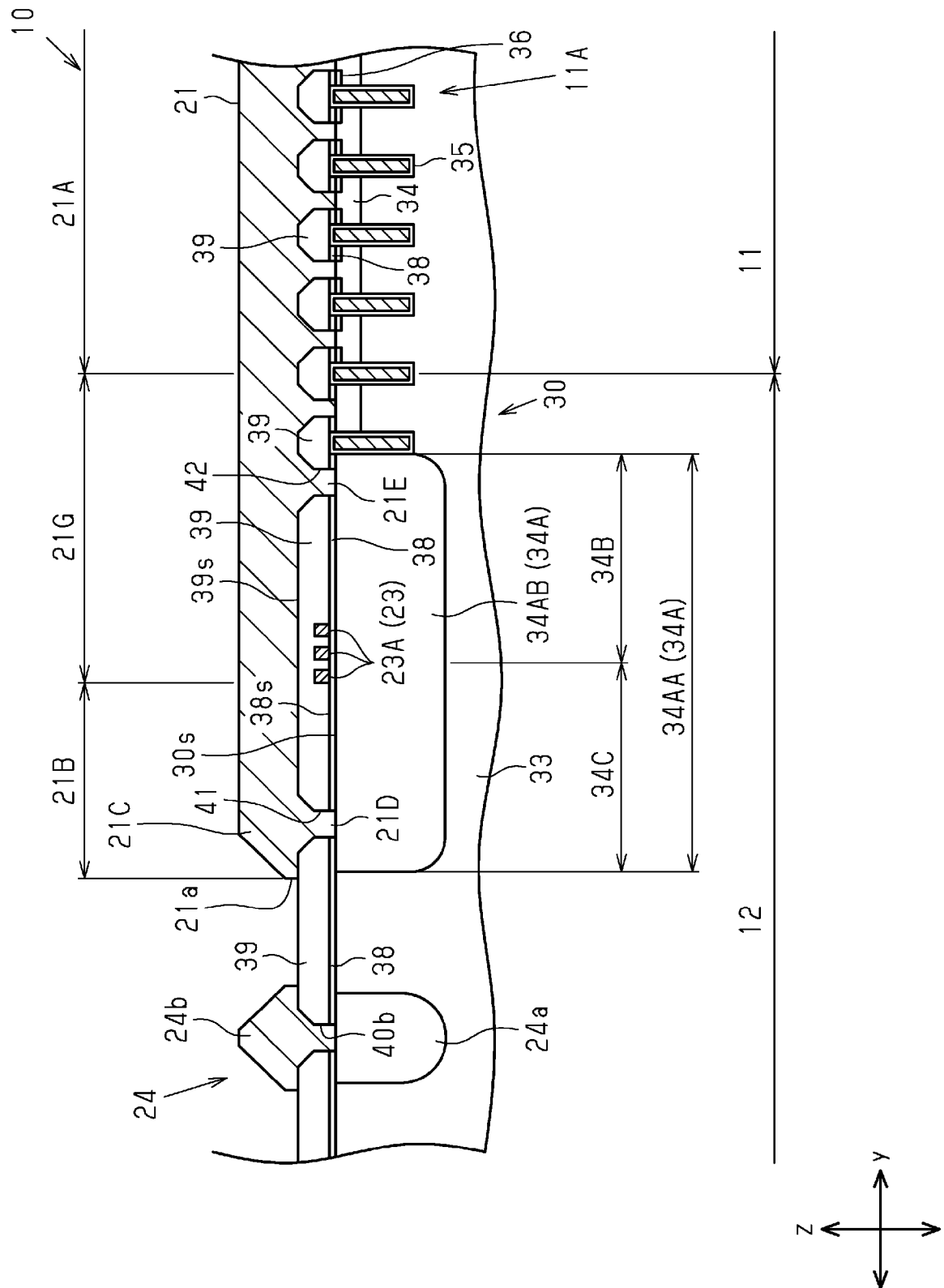
[図4]



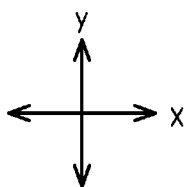
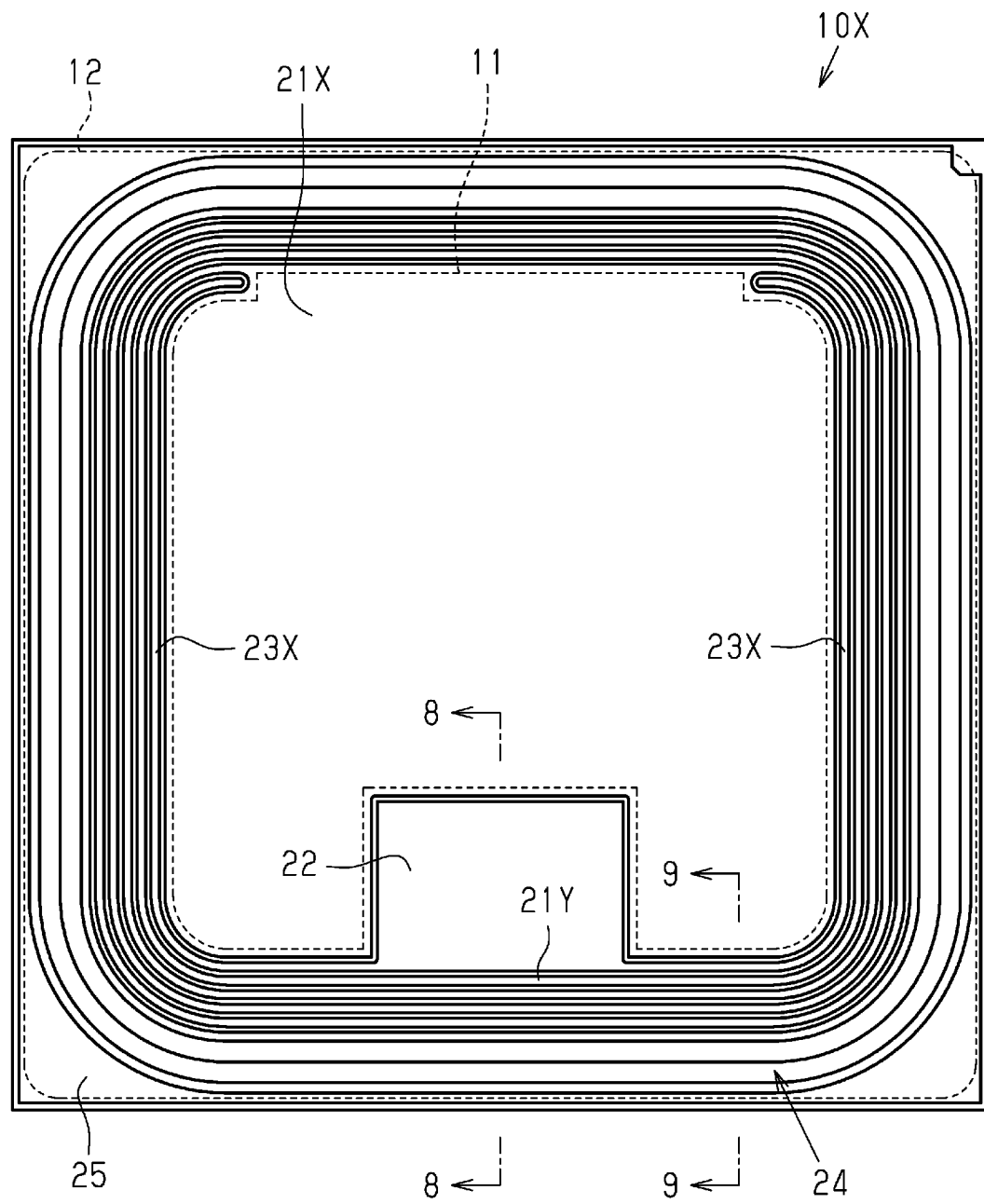
[図5]



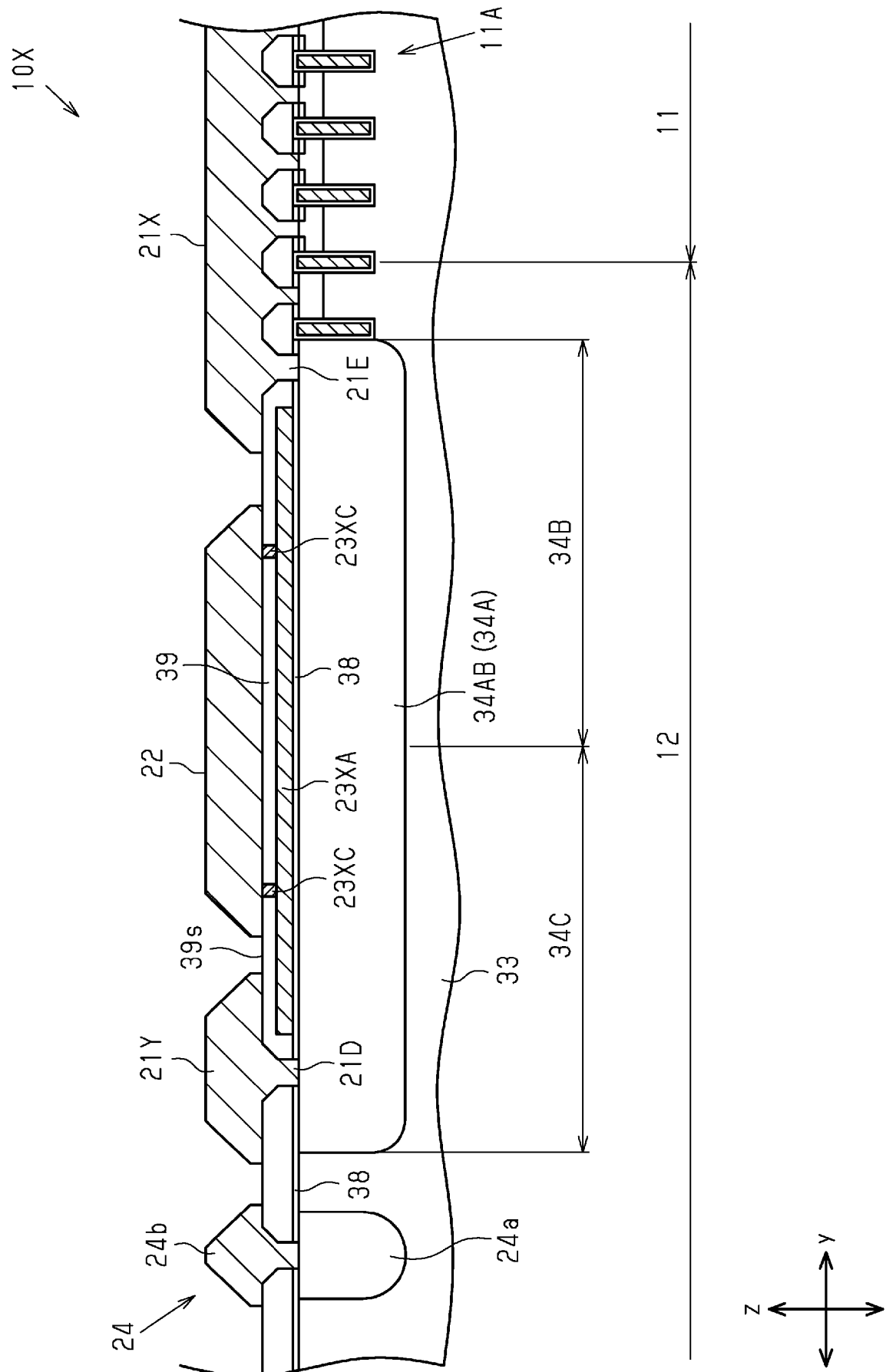
[図6]



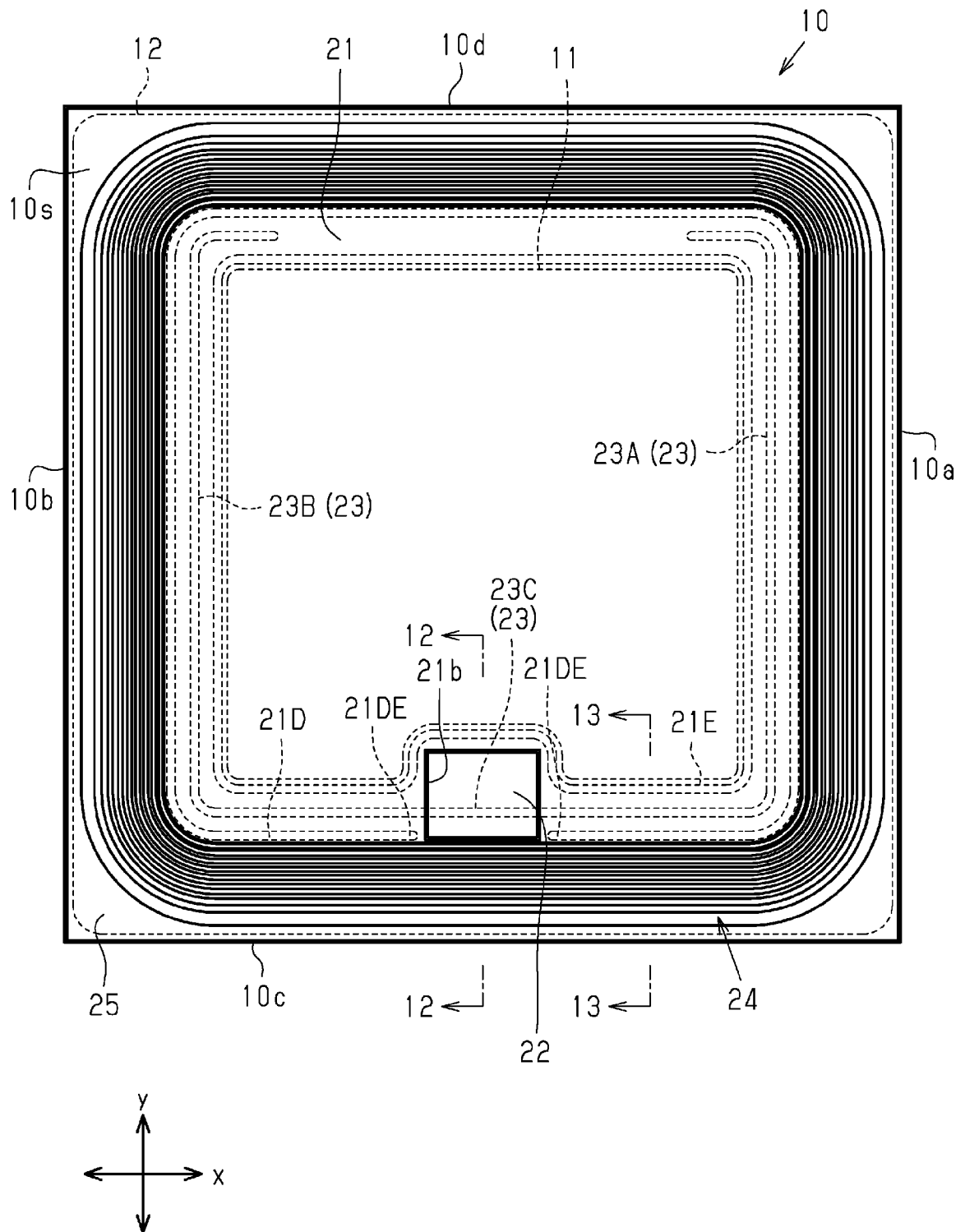
[図7]



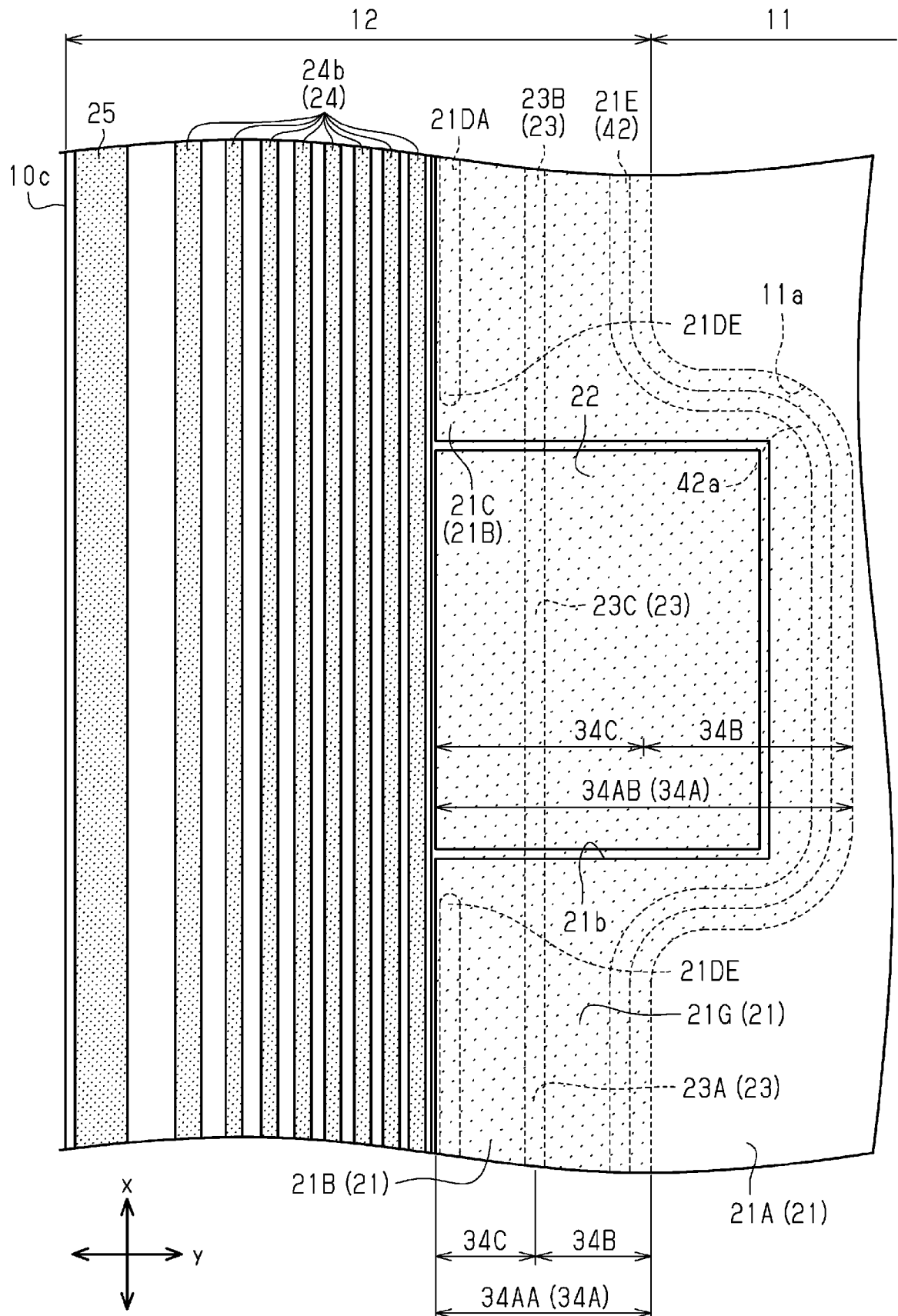
[図8]



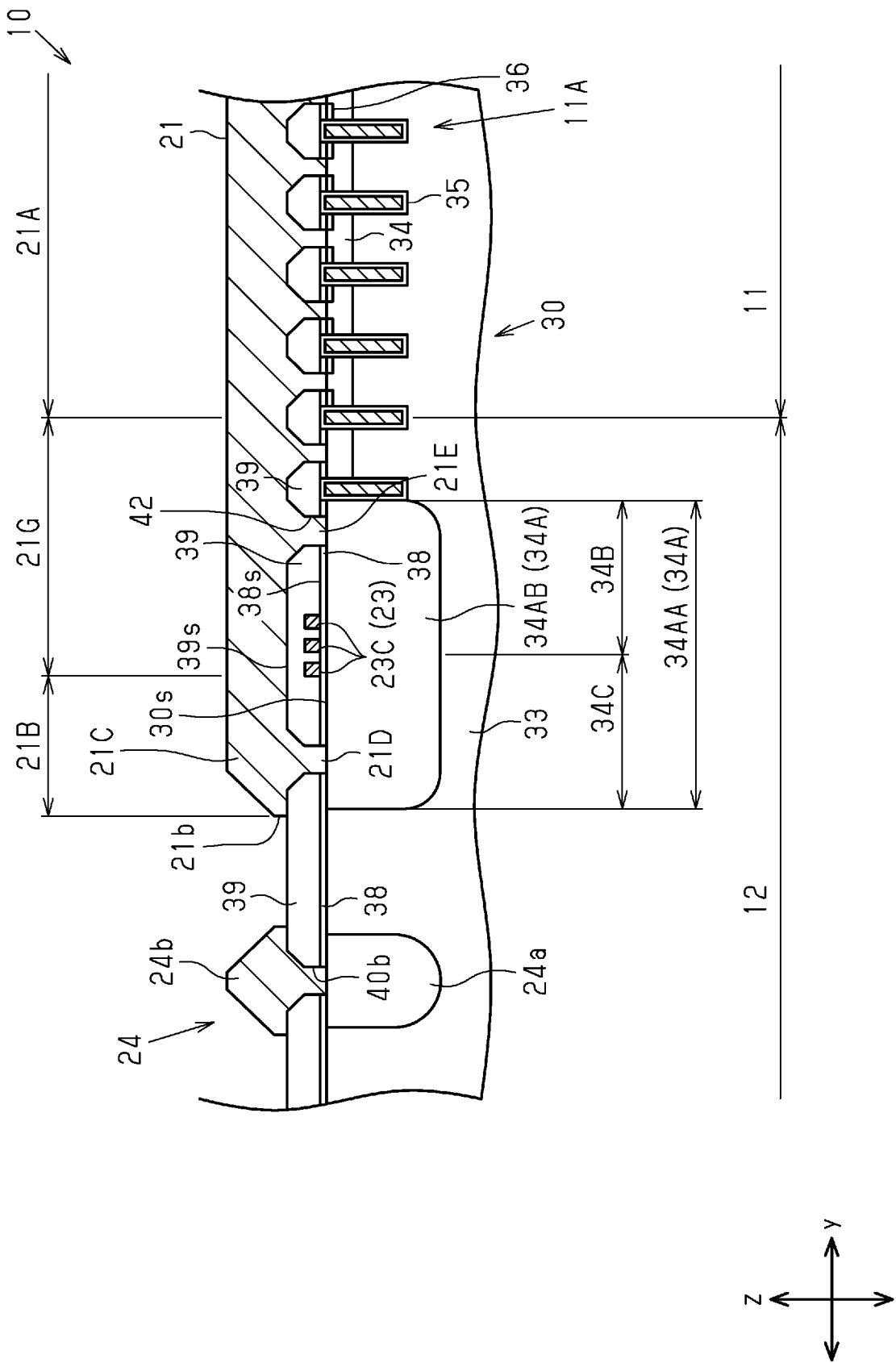
[図10]



[図11]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/007066

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/06**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/739**(2006.01)i; **H01L 21/336**(2006.01)i

FI: H01L29/78 652Q; H01L29/78 653A; H01L29/78 652M; H01L29/78 652P; H01L29/06 301V; H01L29/06 301G; H01L29/78 652F; H01L29/78 658J; H01L29/06 301F; H01L29/78 655A; H01L29/78 655F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06; H01L29/78; H01L29/739; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/055719 A1 (MITSUBISHI ELECTRIC CORP) 29 March 2018 (2018-03-29) paragraphs [0015]-[0044], [0079]-[0084], fig. 1-7, 19	1-14
A	JP 2011-049393 A (MITSUBISHI ELECTRIC CORP) 10 March 2011 (2011-03-10) paragraphs [0011]-[0023], [0031], fig. 1-8	1-14
A	JP 2021-007182 A (MITSUBISHI ELECTRIC CORP) 21 January 2021 (2021-01-21) paragraphs [0010]-[0014], fig. 1, 2	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 May 2022

Date of mailing of the international search report

17 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/007066

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2018/055719	A1	29 March 2018	US 2019/0259845 A1 paragraphs [0038]-[0067], [0104]-[0109], fig. 1-7, 19 CN 109716531 A	
JP	2011-049393	A	10 March 2011	US 2011/0049562 A1 paragraphs [0030]-[0042], [0050], fig. 1-8 DE 102010038641 A1 CN 102005474 A	
JP	2021-007182	A	21 January 2021	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/06(2006.01)i; H01L 29/78(2006.01)i; H01L 29/739(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 652Q; H01L29/78 653A; H01L29/78 652M; H01L29/78 652P; H01L29/06 301V; H01L29/06 301G; H01L29/78 652F; H01L29/78 658J; H01L29/06 301F; H01L29/78 655A; H01L29/78 655F		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/06; H01L29/78; H01L29/739; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/055719 A1（三菱電機株式会社）29.03.2018（2018-03-29） 段落0015-0044, 0079-0084, 図1-7, 19	1-14
A	JP 2011-049393 A（三菱電機株式会社）10.03.2011（2011-03-10） 段落0011-0023, 0031, 図1-8	1-14
A	JP 2021-007182 A（三菱電機株式会社）21.01.2021（2021-01-21） 段落0010-0014, 図1, 2	1-14
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.05.2022		国際調査報告の発送日 17.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 恩田 和彦 5F 5896 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/007066

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/055719	A1	29.03.2018	US 2019/0259845 A1 段落0038-0067, 0104-0109, 図1-7, 19 CN 109716531 A	
JP	2011-049393	A	10.03.2011	US 2011/0049562 A1 段落0030-0042, 0050, 図1-8 DE 102010038641 A1 CN 102005474 A	
JP	2021-007182	A	21.01.2021	(ファミリーなし)	