

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4957925号
(P4957925)

(45) 発行日 平成24年6月20日 (2012. 6. 20)

(24) 登録日 平成24年3月30日 (2012. 3. 30)

(51) Int. Cl.

F I

H O 4 N 5/341 (2011. 01)

H O 4 N 5/335 4 1 O

H O 4 N 5/353 (2011. 01)

H O 4 N 5/335 5 3 O

H O 4 N 5/3745 (2011. 01)

H O 4 N 5/335 7 4 5

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 A

請求項の数 12 (全 22 頁)

(21) 出願番号 特願2009-19218 (P2009-19218)
(22) 出願日 平成21年1月30日 (2009. 1. 30)
(65) 公開番号 特開2010-178117 (P2010-178117A)
(43) 公開日 平成22年8月12日 (2010. 8. 12)
審査請求日 平成23年12月27日 (2011. 12. 27)

早期審査対象出願

(73) 特許権者 508261493
株式会社ブルックマンテクノロジー
静岡県浜松市中区大工町 1 2 5 番地
(74) 代理人 100101454
弁理士 山田 卓二
(74) 代理人 100081422
弁理士 田中 光雄
(72) 発明者 渡辺 恭志
京都府木津川市相楽台 9 - 1 5 - 3 9

審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 増幅型固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

内部にメモリを有する単位画素が行列状に複数配置されてなる画素アレイと、該画素アレイを構成する各画素に対する動作制御を行う制御回路部とを備えた増幅型固体撮像装置において、

前記各画素は、

受光した光に応じた信号を生成して出力する光電変換部と、

該光電変換部から出力された信号がゲートに入力され、該ゲートに入力された信号を増幅して出力する M O S トランジスタからなる第 1 の増幅トランジスタと、

該第 1 の増幅トランジスタから出力された信号を記憶するための前記メモリをなす第 1 の容量と、

前記第 1 の増幅トランジスタから出力された信号に対して、該第 1 の容量への出力制御を行って該第 1 の容量への書き込み制御を行う第 1 の書き込みスイッチ部と、

前記第 1 の容量に書き込まれた信号がゲートに入力され、該ゲートに入力された信号を増幅して出力する M O S トランジスタからなる第 2 の増幅トランジスタと、

前記第 1 の容量に書き込まれた信号を所定の第 1 電圧に初期化する初期化トランジスタと、

をそれぞれ備え、

前記第 1 の増幅トランジスタは、前記第 1 の容量のみを負荷とし、前記第 1 の書き込みスイッチ部は、前記初期化トランジスタによって前記第 1 の容量に対する前記初期化が行

10

20

われた後、前記第 1 の増幅トランジスタが飽和領域動作からサブスレッショルド領域動作に移行して準安定状態になる期間、前記第 1 の増幅トランジスタから出力された信号を前記第 1 の容量へ出力して前記第 1 の容量への書き込みを行うことを特徴とする増幅型固体撮像装置。

【請求項 2】

前記制御回路部は、前記画素アレイを構成する前記各画素に対して、同時に作動させて該各画素内の前記第 1 の容量に対する書き込み動作をそれぞれ行わせた後、所定の方法で前記各画素の前記第 1 の容量からの読み出しを順次行うことを特徴とする請求項 1 記載の増幅型固体撮像装置。

【請求項 3】

10

前記画素アレイ内の各画素は、列単位で前記第 1 の増幅トランジスタが電源線に接続され、該電源線は列単位ごとにそれぞれ抵抗を介して所定の電源電圧に接続されることを特徴とする請求項 2 記載の増幅型固体撮像装置。

【請求項 4】

前記画素アレイ内の各画素は、列単位で前記第 1 の増幅トランジスタが電源線に接続され、全列の該各電源線はそれぞれ接続部で接続され、該接続部は抵抗を介して所定の電源電圧に接続されることを特徴とする請求項 2 記載の増幅型固体撮像装置。

【請求項 5】

前記制御回路部は、前記画素アレイから行ごとに順次読み出しを行う際、非選択行の各画素における前記初期化トランジスタに対して、前記第 2 の増幅トランジスタがそれぞれ不活性になるような前記第 1 電圧に初期化させることを特徴とする請求項 1 ~ 4 のうちのいずれか 1 つに記載の増幅型固体撮像装置。

20

【請求項 6】

前記各画素は、

前記第 1 の増幅トランジスタから出力された信号を記憶するための前記メモリをなす 1 つ以上の第 2 の容量と、

前記第 1 の増幅トランジスタから出力された信号に対して、対応する該第 2 の容量への出力制御を行って該第 2 の容量への書き込み制御を行う 1 つ以上の第 2 の書き込みスイッチ部と、

前記第 1 の容量に書き込まれた信号に対して、前記第 2 の増幅トランジスタのゲートへの出力制御を行う第 1 の読み出しスイッチ部と、

30

対応する前記第 2 の容量に書き込まれた信号に対して、前記第 2 の増幅トランジスタのゲートへの出力制御を行う 1 つ以上の第 2 の読み出しスイッチ部と、
を備え、

前記第 1 の増幅トランジスタは、前記第 1 又は第 2 の容量のみを負荷とし、前記初期化トランジスタは、前記第 2 の容量に書き込まれた信号を前記所定の第 1 電圧に初期化し、前記第 2 の書き込みスイッチ部は、前記初期化トランジスタによって前記第 2 の容量に対する前記初期化が行われた後、前記第 1 の増幅トランジスタが飽和領域動作からサブスレッショルド領域動作に移行して準安定状態になる期間、前記第 1 の増幅トランジスタから出力された信号を前記第 2 の容量へ出力して前記第 2 の容量への書き込みを行うことを特徴とする請求項 1 ~ 5 のうちのいずれか 1 つに記載の増幅型固体撮像装置。

40

【請求項 7】

前記各画素は、前記第 1 の増幅トランジスタのゲートを所定の第 2 電圧にリセットするリセットトランジスタをそれぞれ備え、前記第 1 及び第 2 の各書き込みスイッチ部は、前記第 1 及び第 2 の各容量に対して、ゲートが前記リセットされたときの前記第 1 の増幅トランジスタからの出力信号を一方の容量に書き込み、ゲートに前記光電変換部からの出力信号が入力されているときの前記第 1 の増幅トランジスタからの出力信号を他方の容量に書き込むことを特徴とする請求項 6 記載の増幅型固体撮像装置。

【請求項 8】

前記各画素は、前記ゲートがリセットされたときに前記第 1 の増幅トランジスタの出力

50

端に所定の電圧を出力する制御スイッチ部をそれぞれ備えることを特徴とする請求項 7 記載の増幅型固体撮像装置。

【請求項 9】

前記第 1 の増幅トランジスタは、エンハンスメント型の MOS トランジスタであることを特徴とする請求項 1 ~ 8 のうちのいずれか 1 つに記載の増幅型固体撮像装置。

【請求項 10】

前記第 2 の増幅トランジスタは、デプレッション型の MOS トランジスタであることを特徴とする請求項 9 記載の増幅型固体撮像装置。

【請求項 11】

前記第 1 の容量は、少なくともその一部に MOS 型容量を含むことを特徴とする請求項 1 ~ 10 のうちのいずれか 1 つに記載の増幅型固体撮像装置。

【請求項 12】

前記 MOS 型容量は、デプレッション型の MOS 型容量であることを特徴とする請求項 11 記載の増幅型固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素内にメモリを有する増幅型固体撮像装置に関する。

【背景技術】

【0002】

一般に、増幅型固体撮像装置としては、増幅機能を持たせた画素部とその画素部の周辺に配置された走査回路とを有し、該走査回路によって前記画素部から画素データを読み出すものが普及している。

このような増幅型固体撮像装置の一例としては、画素部が周辺の駆動回路及び信号処理回路と一体化するのに有利な CMOS (コンプリメンタリ・メタル・オキシド・セミコンダクタ) によって構成された APS (Active Pixel Sensor) 型イメージセンサが知られている。このような APS 型イメージセンサの中でも、近年は高画質が得られる 4 トランジスタ型が主流になりつつある。

【0003】

図 16 は、画素 100 内に 4 つの NMOS トランジスタを備えた、従来の 4 トランジスタ型の画素構成例を示した回路図である。

図 16 では、受光素子 PD は通常埋め込みフォトダイオードで構成され、受光素子 PD から接続部 FD へは転送トランジスタ TX によって信号電荷が転送される。接続部 FD は、受光素子 PD から信号電荷が転送される前に、リセットトランジスタ RT によってリセットトランジスタ RT のドレイン電圧である電源電圧 V_{dd} にリセットされる。次に、転送トランジスタ TX がオンして、受光素子 PD からの信号電荷が接続部 FD に転送される。前記リセット後及び前記信号電荷転送後の接続部 FD の電圧は、増幅トランジスタ SF によって増幅され、選択トランジスタ SL を介して読み出し信号線 V_{sig} へ読み出される。読み出し信号線 V_{sig} の一端には定電流負荷トランジスタ CL が接続され、定電流負荷トランジスタ CL のドレインから出力電圧 V_o が得られる。

【0004】

図 17 は、図 16 の画素 100 をマトリクス状に配置した画素アレイ 200 を含む増幅型固体撮像装置をなす 2 次元イメージセンサの構成例を示した図である。

図 17 において、11 はリセットトランジスタ RT 及び増幅トランジスタ SF の各ドレインに電源電圧 V_{dd} をそれぞれ印加するための電源線であり、電源線 11 は増幅型固体撮像装置全体の電源線 13 に直接接続されている。また、駆動線 16 は転送トランジスタ駆動線、リセットトランジスタ駆動線及び選択トランジスタ駆動線を 1 つにして示したものである。

各画素行では、行デコーダ回路 14 により特定の行が選択され、行駆動回路 15 を介して駆動線 16 へ駆動信号が与えられる。読み出し信号線 V_{sig} からの信号は、コラム信

10

20

30

40

50

号処理回路 17 に入力され、コラム信号処理回路 17 でアナログ又はアナログとデジタルの信号処理が施される。この後、コラムデコード回路 18 によって、コラムごとの信号が水平信号線 19 へ読み出され、最終的に増幅型固体撮像装置外部に出力される。

【0005】

図 17 で示した構成では、各画素は行ごとに順次読み出され、画素 100 では該読み出しが行われるときまで受光素子 PD に蓄積された信号を出力するため、各画素の信号は時間的に行ごとに順次ずれが生じ、動きのある被写体を撮像する場合には、動きに応じて像が歪んでいた。このような問題を解決するために、画素内にメモリを備え、すべての画素を同時に読み出して該メモリに書き込み、その後、該メモリ内の情報を順次読み出すようにした一括露光技術があった。しかし、この場合、受光素子からの信号を前記メモリに書き込んでから読み出すまでの間にノイズが増大し、S/N 比が低下するという問題があった。このようなことから、受光素子の信号を増幅してからメモリに書き込む技術があり、図 18 はこの一例を示した回路図である（例えば、特許文献 1 参照。）。

10

【0006】

図 18 に示した画素 110 は、図 16 で示した画素 100 に、第 1 の増幅トランジスタ SF1、定電流負荷 VB、電流制御スイッチ SW、書き込みスイッチ Wr 及びメモリ Cm を追加した構成になっている。なお、図 18 では、第 2 の増幅トランジスタ SF2 が図 16 の増幅トランジスタ SF に相当しており、電流制御スイッチ SW は電源側に設けるようにしてもよい。

例えば、画素 110 を使用して図 17 に示した 2 次元イメージセンサを構成し、まず、すべての画素を一括動作させて、受光素子 PD からの信号をメモリ Cm に書き込むようにする。即ち、電流制御スイッチ SW をオンさせた後、書き込みスイッチ Wr をオンさせ、第 1 の増幅トランジスタ SF1 によって増幅された受光素子 PD からの信号をメモリ Cm に書き込む。

20

【0007】

この後、書き込みスイッチ Wr をオフさせ、次に電流制御スイッチ SW をオフさせて一括書き込み動作が終了する。読み出し動作は、行ごとに順次行われる。すなわち、メモリ Cm に保持された信号を、第 2 の増幅トランジスタ SF2 及び選択トランジスタ SL を介して読み出し信号線 Vsig へ読み出す動作を、行ごとに順次行われる。読み出し信号線 Vsig の一端には定電流負荷トランジスタ CL が接続され、出力電圧 Vo が行ごとに順次得られる。

30

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2005 - 65074 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、図 18 の構成では下記 (a) ~ (d) の課題が伴っていた。

(a) すべての画素で第 1 の増幅トランジスタ SF1 が同時にオンするため、2 次元イメージセンサ素子全体では過大な電流が流れる。例えば、1 画素当り 1 μ A としても 100 万画素あれば、該素子全体で 1 A にもなる。

40

(b) 1 画素当りの電流を抑圧するために、定電流負荷 VB のゲート電圧をしきい値 Vth 付近にすると、しきい値 Vth のばらつきによって電流値が画素ごとに大きく変動する。

(c) 1 画素内に定電流負荷 VB 及び電流制御スイッチ SW の 2 つのトランジスタ、並びに該各トランジスタへの制御信号線が必要になり、画素レイアウトが複雑化する。

【0010】

(d) 第 1 の増幅トランジスタ SF1 と定電流負荷 VB によって構成されたソースフォロワ回路で発生するノイズは、下記 (1) 式のように表される。

50

$$\overline{V_{n,in}^2} = 4 \times k \times T \times \left(\frac{2}{3}\right) \times \frac{1}{gm1} \times \left(1 + \frac{gm2}{gm1}\right) \dots\dots\dots (1)$$

前記(1)式では、 k はボルツマン定数、 T は絶対温度、 $gm1$ 及び $gm2$ は第1の増幅トランジスタ $SF1$ 及び定電流負荷 VB の相互コンダクタンスをそれぞれ示している。画素領域内では、面積の制約から相互コンダクタンス $gm1$ 及び $gm2$ は同程度の値になるため、ノイズ電力は1トランジスタの場合と比較して2倍程度になる。

【0011】

10

1画素当りの電流を安定して小さくする手法として、図19のような回路が考えられる。すなわち、図19では、定電流負荷 VB のソース側に高抵抗 RL が挿入され、 MOS トランジスタのバックゲート効果によって、ゲート電圧をしきい値 V_{th} 以下のサブスレッショルド領域として電流を大幅に抑制しても、ソース電圧を安定して保つことができる。しかし、例えば100万画素で素子全体の電流を100mA以下にするためには、定電流負荷 VB のソース電圧を1Vとし、 $RL = 10M$ とする必要があり、このような高抵抗値の抵抗を1画素内に形成するのは困難であった。

【0012】

更に、図18及び図19で示したような、通常のソースフォロウ出力を容量値 Cm のメモリに書き込む場合、ノイズ電力で表すと下記(2)式のような kTC ノイズが発生し、このような kTC ノイズは、前記ソースフォロウノイズに加算され、ノイズの増大を招いていた。

20

$$\overline{V_{n,kTC}^2} = \frac{k \times T}{Cm} \dots\dots\dots (2)$$

【0013】

本発明は、このような問題を解決するためになされたものであり、簡単な回路構成で、メモリへの書き込み時における電流を抑圧することができ、安定した動作と高い性能を得ることができる増幅型固体撮像装置を得ることを目的とする。

30

【課題を解決するための手段】

【0014】

この発明に係る増幅型固体撮像装置は、内部にメモリを有する単位画素が行列状に複数配置されてなる画素アレイと、該画素アレイを構成する各画素に対する動作制御を行う制御回路部とを備えた増幅型固体撮像装置において、

前記各画素は、

受光した光に応じた信号を生成して出力する光電変換部と、

該光電変換部から出力された信号がゲートに入力され、該ゲートに入力された信号を増幅して出力する MOS トランジスタからなる第1の増幅トランジスタと、

該第1の増幅トランジスタから出力された信号を記憶するための前記メモリをなす第1の容量と、

40

前記第1の増幅トランジスタから出力された信号に対して、該第1の容量への出力制御を行って該第1の容量への書き込み制御を行う第1の書き込みスイッチ部と、

前記第1の容量に書き込まれた信号がゲートに入力され、該ゲートに入力された信号を増幅して出力する MOS トランジスタからなる第2の増幅トランジスタと、

前記第1の容量に書き込まれた信号を所定の第1電圧に初期化する初期化トランジスタと、

をそれぞれ備え、

前記第1の増幅トランジスタは、前記第1の容量のみを負荷とし、前記第1の書き込みスイッチ部は、前記初期化トランジスタによって前記第1の容量に対する前記初期化が行

50

われた後、所定の期間、前記第 1 の増幅トランジスタから出力された信号を前記第 1 の容量へ出力して前記第 1 の容量への書き込みを行うものである。

【 0 0 1 5 】

具体的には、前記第 1 の書き込みスイッチ部は、前記第 1 の増幅トランジスタが飽和領域動作からサブスレッショルド領域動作に移行して準安定状態になる期間、前記第 1 の増幅トランジスタから出力された信号を前記第 1 の容量へ出力して前記第 1 の容量への書き込みを行うようにした。

【 0 0 1 6 】

また、前記制御回路部は、前記画素アレイを構成する前記各画素に対して、同時に作動させて該各画素内の前記第 1 の容量に対する書き込み動作をそれぞれ行わせた後、所定の方法で前記各画素の前記第 1 の容量からの読み出しを順次行うようにした。

10

【 0 0 1 7 】

この場合、前記画素アレイ内の各画素は、列単位で前記第 1 の増幅トランジスタが電源線に接続され、該電源線は列単位ごとにそれぞれ抵抗を介して所定の電源電圧に接続されるようにした。

【 0 0 1 8 】

また、前記画素アレイ内の各画素は、列単位で前記第 1 の増幅トランジスタが電源線に接続され、全列の該各電源線はそれぞれ接続され、該接続部は抵抗を介して電源電圧に接続されるようにしてもよい。

【 0 0 1 9 】

20

また、前記制御回路部は、前記画素アレイから行ごとに順次読み出しを行う際、非選択行の各画素における前記初期化トランジスタに対して、前記第 2 の増幅トランジスタがそれぞれ不活性になるような前記第 1 電圧に初期化させるようにした。

【 0 0 2 0 】

更に、前記各画素は、

前記第 1 の増幅トランジスタから出力された信号を記憶するための前記メモリをなす 1 つ以上の第 2 の容量と、

前記第 1 の増幅トランジスタから出力された信号に対して、対応する該第 2 の容量への出力制御を行って該第 2 の容量への書き込み制御を行う 1 つ以上の第 2 の書き込みスイッチ部と、

30

前記第 1 の容量に書き込まれた信号に対して、前記第 2 の増幅トランジスタのゲートへの出力制御を行う第 1 の読み出しスイッチ部と、

対応する前記第 2 の容量に書き込まれた信号に対して、前記第 2 の増幅トランジスタのゲートへの出力制御を行う 1 つ以上の第 2 の読み出しスイッチ部と、
を備え、

前記第 1 の増幅トランジスタは、前記第 1 又は第 2 の容量のみを負荷とし、前記初期化トランジスタは、前記第 2 の容量に書き込まれた信号を前記所定の第 1 電圧に初期化し、前記第 2 の書き込みスイッチ部は、前記初期化トランジスタによって前記第 2 の容量に対する前記初期化が行われた後、所定の期間、前記第 1 の増幅トランジスタから出力された信号を前記第 2 の容量へ出力して前記第 2 の容量への書き込みを行うようにしてもよい。

40

【 0 0 2 1 】

この場合、前記第 2 の書き込みスイッチ部は、前記第 1 の増幅トランジスタが飽和領域動作からサブスレッショルド領域動作に移行して準安定状態になる期間、前記第 1 の増幅トランジスタから出力された信号を前記第 2 の容量へ出力して前記第 2 の容量への書き込みを行うようにした。

【 0 0 2 2 】

また、前記各画素は、前記第 1 の増幅トランジスタのゲートを所定の第 2 電圧にリセットするリセットトランジスタをそれぞれ備え、前記第 1 及び第 2 の各書き込みスイッチ部は、前記第 1 及び第 2 の各容量に対して、ゲートが前記リセットされたときの前記第 1 の増幅トランジスタからの出力信号を一方の容量に書き込み、ゲートに前記光電変換部から

50

の出力信号が入力されているときの前記第 1 の増幅トランジスタからの出力信号を他方の容量に書き込むようにした。

【 0 0 2 3 】

また、前記各画素は、前記リセット動作時に前記第 1 の増幅トランジスタの出力端に所定の電圧を出力する制御スイッチ部をそれぞれ備えるようにしてもよい。

【 0 0 2 4 】

具体的には、前記第 1 の増幅トランジスタは、エンハンスメント型の MOS トランジスタである。

【 0 0 2 5 】

また、前記第 2 の増幅トランジスタは、デプレッション型の MOS トランジスタであるようにしてもよい。

【 0 0 2 6 】

また、前記第 1 の容量は、少なくともその一部に MOS 型容量を含むようにしてもよい。

【 0 0 2 7 】

この場合、前記 MOS 型容量は、デプレッション型の MOS 型容量であるようにする。

【発明の効果】

【 0 0 2 8 】

本発明の増幅型固体撮像装置によれば、画素内に定電流負荷を有さないため、書き込み時の電流を抑圧することができる。前記第 1 の増幅トランジスタの負荷となる前記第 1 の容量への書き込み動作を行うには、まず該第 1 の容量を所定の電圧、例えば接地電圧のような低い電圧に初期化し、この後、該第 1 の容量への充電電流によって書き込み動作を行うようにして、前記第 1 の書き込みスイッチ部によって該書き込み時間を制御することにより、安定した動作を行うことができる。

【 0 0 2 9 】

また、前記第 1 の書き込みスイッチ部は、前記第 1 の増幅トランジスタが飽和領域動作からサブスレッショルド領域動作に移行して準安定状態になっている期間、前記第 1 の増幅トランジスタから出力された信号を前記第 1 の容量へ出力して前記第 1 の容量への書き込みを行うようにした。このことから、前記第 1 の増幅トランジスタがサブスレッショルド領域に移行して前記第 1 の容量における電圧の時間変化が極めて小さくなった時点で前記書き込み動作を完了するようにしたため、より安定した動作を行うことができる。

【 0 0 3 0 】

また、前記単位画素内には、前記第 2 の容量と前記第 2 の書き込みスイッチ部の組が 1 つ以上存在し、更に第 1 及び第 2 の各容量に対応して第 1 及び第 2 の各読み出しスイッチ部を備え、更に、前記単位画素内に、前記第 1 の増幅トランジスタのゲートをリセットするリセットトランジスタを備えるようにして、例えば、前記第 1 及び第 2 の各容量に対して、ゲートが前記リセットされたときの前記第 1 の増幅トランジスタからの出力信号を一方の容量に書き込み、ゲートに前記光電変換部からの出力信号が入力されているときの前記第 1 の増幅トランジスタからの出力信号を他方の容量に書き込むようにした。このことから、1 画素当りに複数の情報を記憶することができるため、例えば、前記第 1 の増幅トランジスタにおけるゲートのリセットレベルと前記光電変換部からの信号レベルを独立して保持することができる。したがって、これらを第 2 の増幅トランジスタによって別々に信号線に読み出すようにすれば、その後段回路で該両レベルの電圧差を取ることににより、相関二重サンプリング (C D S) 法を適用することができ、前記第 1 及び第 2 の各増幅トランジスタにおけるしきい値 V_{th} のばらつきに起因する固定パターンノイズや、前記第 1 の増幅トランジスタにおけるゲートへのリセットノイズを抑制することができ、低ノイズの画像信号を得ることができる。

【 0 0 3 1 】

また、前記画素アレイを構成する前記各画素に対して、同時に作動させて該各画素内の前記第 1 の容量に対する書き込み動作をそれぞれ行わせた後、所定の方法で前記各画素の

10

20

30

40

50

前記第 1 の容量からの読み出しを順次行うようにし、例えば、列単位で前記第 1 の増幅トランジスタを電源線に接続し、該電源線を列単位ごとにそれぞれ抵抗を介して電源電圧に接続するようにして、全画素を一括して同時に前記各容量に書き込む動作、及び前記各容量から順次読み出す動作を行うことができる。例えば、各列の電源線に抵抗を直列接続するようにすれば、全画素の情報を一括して書き込むときにも、前記容量を充電する過渡電流のピーク値を抑圧することができる。

【 0 0 3 2 】

また、前記画素アレイから行順次で信号を読み出す際に、非選択行の前記第 2 の増幅トランジスタが不活性になるように、該第 2 の増幅トランジスタのゲート電圧を前記初期化トランジスタによって制御するようにしたことから、該第 2 の増幅トランジスタと前記信号線との間に選択トランジスタを設ける必要がなくなり、画素内の構成要素を削減することができ、受光部の面積の増大等の性能向上を図ることができる。

10

【 0 0 3 3 】

また、前記第 1 の増幅トランジスタにエンハンスメント型を使用するか又は、前記リセットトランジスタのドレイン電圧が電源電圧よりも小さくなるようにすることにより、前記第 1 の増幅トランジスタの出力レベルが該電源電圧よりも小さい値になり、前記第 1 の増幅トランジスタが飽和領域動作からサブスレッショルド領域動作に移行するまでの応答時間を短縮させることができ、書き込み動作全体の応答速度を速くすることができる。

【 0 0 3 4 】

また、前記第 2 の増幅トランジスタにデプレッション型を使用することにより、前記第 1 の増幅トランジスタをエンハンスメント型にして、該第 2 の増幅トランジスタの入力電圧が小さくなくても、該第 2 の増幅トランジスタの動作マージンを十分に確保することができる。

20

【 0 0 3 5 】

また、前記第 1 の容量の少なくとも一部に MOS 型容量を含むようにしたことから、限られた画素面積内で十分なメモリ容量値を確保することが容易になり、前記容量をデプレッション型にすることにより、該容量値を確保することができる動作電圧範囲を低電圧側に拡大させることができる。

【図面の簡単な説明】

【 0 0 3 6 】

30

【図 1】本発明の第 1 の実施の形態における増幅型固体撮像装置の画素構成例を示した図である。

【図 2】図 1 の画素 1 0 をマトリクス状に配置した画素アレイ 2 0 を含む 2 次元イメージセンサの構成例を示した図である。

【図 3】図 1 の画素 1 0 をマトリクス状に配置した画素アレイ 2 0 を含む 2 次元イメージセンサの他の構成例を示した図である。

【図 4】図 1 ～ 図 3 で示した増幅型固体撮像装置における 1 列分の画素配列を抜き出した回路構成の一部を示した図である。

【図 5】図 4 の回路構成の動作例をポテンシャルで示した図である。

【図 6】図 4 の回路構成の動作例を電位変化及び電流変化で示した図である。

40

【図 7】図 4 の回路構成の動作例を回路シミュレーションによって示した図である。

【図 8】図 1 の画素構成における動作範囲例を示した図である。

【図 9】本発明の第 1 の実施の形態における増幅型固体撮像装置の他の画素構成例を示した図である。

【図 1 0】本発明の第 2 の実施の形態の増幅型固体撮像装置を画素構成例により示した図である。

【図 1 1】図 1 0 で示した画素 5 0 の動作例を示したタイミングチャートである。

【図 1 2】本発明の第 2 の実施の形態の増幅型固体撮像装置を他の画素構成例を示した図である。

【図 1 3】図 1 2 の画素 5 0 における動作例を示したタイミングチャートである。

50

【図 1 4】本発明の第 3 の実施形態における増幅型固体撮像装置の画素構成例を示した図である。

【図 1 5】図 1 4 で示した画素 6 0 の動作例を示したタイミングチャートである。

【図 1 6】従来の増幅型固体撮像装置の画素構成例を示した図である。

【図 1 7】図 1 6 の画素 1 0 0 をマトリクス状に配置した画素アレイを含む 2 次元イメージセンサの構成例を示した図である。

【図 1 8】従来の増幅型固体撮像装置の他の画素構成例を示した図である。

【図 1 9】従来の増幅型固体撮像装置の他の画素構成例を示した図である。

【発明を実施するための形態】

【 0 0 3 7 】

10

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態 .

図 1 は、本発明の第 1 の実施の形態における増幅型固体撮像装置の画素構成の例を示した図である。

図 1 において、画素 1 0 は、埋め込みフォトダイオードで構成された受光素子 P D、転送トランジスタ T X、リセットトランジスタ R T、第 1 の増幅トランジスタ S F 1、選択トランジスタ S L、第 2 の増幅トランジスタ S F 2、書き込みスイッチ W r、容量からなるメモリ C m 及びメモリ C m の端子電圧を初期化する初期化トランジスタ I T を備えている。転送トランジスタ T X、リセットトランジスタ R T、第 1 の増幅トランジスタ S F 1、選択トランジスタ S L、第 2 の増幅トランジスタ S F 2、書き込みスイッチ W r 及び初期化トランジスタ I T は、それぞれ N M O S トランジスタからなる。なお、受光素子 P D は光電変換部を、書き込みスイッチ W r は第 1 の書き込みスイッチ部を、メモリ C m は第 1 の容量をそれぞれなす。

20

【 0 0 3 8 】

受光素子 P D のアノードは接地電圧に接続され、受光素子 P D のカソードと第 1 の増幅トランジスタ S F 1 のゲートとの間に転送トランジスタ T X が接続されている。転送トランジスタ T X と第 1 の増幅トランジスタ S F 1 のゲートとの接続部を F D とすると、電源電圧 V d d と接続部 F D との間にリセットトランジスタ R T が接続されている。第 1 の増幅トランジスタ S F 1 のドレインは抵抗 R を介して電源電圧 V d d に接続され、第 1 の増幅トランジスタ S F 1 のソースは、書き込みスイッチ W r を介してメモリ C m の一端に接続され、メモリ C m の他端は接地電圧に接続されている。

30

【 0 0 3 9 】

書き込みスイッチ W r とメモリ C m との接続部は第 2 の増幅トランジスタ S F 2 のゲートに接続され、該接続部と所定の電圧 V 1 との間に初期化トランジスタ I T が接続されている。第 2 の増幅トランジスタ S F 2 のドレインは電源電圧 V d d に接続され、第 2 の増幅トランジスタ S F 2 のソースと読み出し信号線 V s i g との間に選択トランジスタ S L が接続されている。読み出し信号線 V s i g の一端と接地電圧との間に定電流負荷トランジスタ C L が接続され、定電流負荷トランジスタ C L と読み出し信号線 V s i g との接続部から出力電圧 V o が出力される。

40

【 0 0 4 0 】

このように、第 1 の増幅トランジスタ S F 1 の電源は、第 2 の増幅トランジスタ S F 1 及びリセットトランジスタの各電源とは分離され、列単位で第 1 の増幅トランジスタ S F 1 のドレインが電源線 1 2 に接続されており、電源線 1 2 は、抵抗 R を介して増幅型固体撮像装置全体の電源をなす電源電圧 V d d に接続されている。初期化トランジスタ I T は、書き込み動作前にメモリ C m の端子電圧の初期値を低電圧、例えば接地電圧である所定の電圧 V 1 にリセットし、書き込み動作の開始と共に書き込みスイッチ W r をオンにするとメモリ C m に充電電流が流れることによって、第 1 の増幅トランジスタ S F 1 の定電流負荷をなくしてもソースフォロワ動作を可能にしている。

【 0 0 4 1 】

図 2 は、図 1 の画素 1 0 をマトリクス状に配置した画素アレイ 2 0 を含む増幅型固体撮

50

像装置をなす２次元イメージセンサの構成例を示した図である。

図２において、電源線１１は、リセットトランジスタＲＴ及び第２の増幅トランジスタＳＦ２の各ドレインに電源電圧Ｖｄｄをそれぞれ印加するための電源線であり、電源線１１は増幅型固体撮像装置全体の電源線１３に直接接続されている。また、各電源線１２は、それぞれ抵抗Ｒｃｏｌを介して電源線１３に接続されており、各第１の増幅トランジスタＳＦ１のドレインにそれぞれ接続されている。駆動線１６は、転送トランジスタＴＸに対する駆動線、リセットトランジスタＲＴに対する駆動線、書き込みスイッチＷｒに対する駆動線、初期化トランジスタＩＴに対する駆動線及び選択トランジスタＳＬに対する駆動線を１つにして示したものであり、該各駆動線は、対応するトランジスタのゲートにそれぞれ接続されている。

10

【００４２】

各画素行では、行デコーダ回路１４により特定の行が選択され、行駆動回路１５を介して駆動線１６へ駆動信号が与えられる。読み出し信号線Ｖｓｉｇからの信号は、コラム信号処理回路１７に入力され、コラム信号処理回路１７でアナログ又はアナログとデジタルの信号処理が施される。この後、コラムデコーダ回路１８によって、コラムごとの信号が水平信号線１９へ読み出され、最終的に増幅型固体撮像装置外部に出力される。なお、行デコーダ１４、行駆動回路１５、コラム信号処理回路１７及びコラムデコーダ回路１８は制御回路部をなし、行デコーダ１４に入力される制御信号、及び該制御信号を生成する回路は省略している。

第１の増幅トランジスタＳＦ１の電源を、リセットトランジスタＲＴ及び第２の増幅トランジスタＳＦ２の電源と分離し、列単位で抵抗Ｒｃｏｌを介して増幅型固体撮像装置全体の電源線１３に接続されており、抵抗Ｒｃｏｌが図１の抵抗Ｒに相当する。なお、抵抗を列単位ではなく、すべての列で共通接続した後、抵抗Ｒｆｒｍを介して増幅型固体撮像装置全体の電源電圧Ｖｄｄに接続するようにしてもよく、このようにした場合、図２は図３のようになる。

20

【００４３】

このような構成において、メモリＣｍへの書き込みはすべての画素が一括して同時に行われる。まず、受光素子ＰＤから接続部ＦＤへは転送トランジスタＴＸによって信号電荷が転送される。接続部ＦＤは、受光素子ＰＤから信号電荷が転送される前に、リセットトランジスタＲＴによってリセットトランジスタＲＴのドレイン電圧である電源電圧Ｖｄｄにリセットされる。次に、転送トランジスタＴＸがオンして、受光素子ＰＤからの信号電荷が接続部ＦＤに転送される。前記リセット後及び前記信号電荷転送後の接続部ＦＤの電圧は、第１の増幅トランジスタＳＦ１によって増幅される。受光素子ＰＤからの信号をメモリＣｍに書き込む際に書き込みスイッチＷｒをオンさせ、第１の増幅トランジスタＳＦ１によって増幅された受光素子ＰＤからの信号をメモリＣｍに書き込む。この後、書き込みスイッチＷｒをオフさせて書き込み動作が終了する。

30

【００４４】

読み出し動作は、行ごとに順次行われる。すなわち、メモリＣｍに保持された信号を、第２の増幅トランジスタＳＦ２及び選択トランジスタＳＬを介して読み出し信号線Ｖｓｉｇへ読み出す動作を、行ごとに順次行われる。読み出し信号線Ｖｓｉｇの一端には定電流負荷トランジスタＣＬが接続され、定電流負荷トランジスタＣＬのドレインから出力電圧Ｖｏが行ごとに順次得られる。

40

【００４５】

図４は、図１～図３で示した増幅型固体撮像装置における１列分の画素配列を抜き出した回路構成の一部を示した図である。

図４で示すように、増幅型固体撮像装置全体の電源電圧Ｖｄｄに抵抗Ｒを介して電源線１２が接続され、電源線１２と接地電圧との間には、画素ごとに第１の増幅トランジスタＳＦ１とメモリＣｍが直列に接続されている。

ここで、各画素内の第１の増幅トランジスタＳＦ１のチャネルポテンシャルをそれぞれｊで表し、図４の動作を説明するために、１画素における第１の増幅トランジスタＳＦ

50

1 のポテンシャルの関係例を図 5 に示す。

【 0 0 4 6 】

図 5 では、第 1 の増幅トランジスタ S F 1 において、ゲートのチャネルポテンシャルは j であり、ドレイン電圧は電源電圧 V_{dd} であり、ソースは時刻 $t = 0$ のときの初期値が初期化トランジスタ I T によるリセット動作によって接地電圧 GND になっている。 $t > 0$ においては、最初に第 1 の増幅トランジスタ S F 1 のゲートが飽和領域動作であるモード 1 になり、ソース電圧 $V_{s,j}$ は初期値の接地電圧 GND から急速に j まで上昇する。該ソース電圧 $V_{s,j}$ が j を超えると、第 1 の増幅トランジスタ S F 1 のゲートは、サブスレッショルド領域動作であるモード 2 になり、熱放出現象によって時間に対して対数的な変化となり、非常に緩慢な電圧変化になる。前記モード 1 の飽和領域動作では第 1 の増幅トランジスタ S F 1 から出力された電流がメモリ C_m の充電電流になり、該充電電流は、対象とする電流路での抵抗値 R_a と負荷容量値 C_a とで決まる時定数 $\tau_{CR} = C_a \times R_a$ によって指数関数的に減衰する。このようなモード 1 の場合の、ソース電圧 $V_{s,j}$ の電圧変化を下記 (3) 式に示す。前記充電電流は開始点でピークになり、その値は V_{dd} / R_a になる。

$$V_{s,j}(t) = V_{dd} \times [1 - \exp(-\frac{t}{\tau_{CR}})] \dots \dots \dots (3)$$

【 0 0 4 7 】

図 4 の回路では、抵抗 R がコラムごとにある場合は、 $R_a = R_{col}$ 、 $C_a = n \times C_m$ になり、抵抗 R が増幅型固体撮像装置全体で 1 か所にある場合は、 $R_a = R_{frm}$ 、 $C_a = n \times m \times C_m$ になる。なお、 n は信号線 1 2 に接続される画素数、 m はコラム数を示している。モード 2 での第 1 の増幅トランジスタ S F 1 のソース電圧 $V_{s,j}$ の電圧変化は下記 (4) 式のように対数的な変化で表される。

$$V_{s,j}(t) = \Phi_j + \frac{k \times T}{q} \times \ln(1 + \frac{t}{\tau_{th}}) \dots \dots \dots (4)$$

$$\tau_{th} = \frac{C_m}{i_o} \times \frac{k \times T}{q}$$

なお、 q は電子電荷を、 i_o はモード 2 の開始点における前記充電電流をそれぞれ示している。

【 0 0 4 8 】

これらの関係を模式的に示すと、図 6 のようになる。

時刻 t_o の前では前記モード 1 になって RC の時定数で決まる指数関数応答になり、時刻 t_o の後ではモード 2 になって熱放出で決まる対数関数応答になる。また、時刻 t_o では、第 1 の増幅トランジスタ S F 1 のソース電圧 $V_{s,j}$ がチャネルポテンシャル j とほぼ一致する。これらのことから、モード 2 に移行して十分時間が経過した時刻 t_s でサンプリングを行えば、ほぼ安定したメモリ C_m の出力レベルを読み取ることができる。また、メモリ C_m に流れる電流のピーク値は、抵抗 R の抵抗値を適切に選ぶことによって抑制することができる。

【 0 0 4 9 】

ここで、図 2 と図 3 の場合についての相違点について説明する。

増幅型固体撮像装置全体での時定数 $\tau_{CR} = C_a \times R_a$ を同じになるようにするには、 $R_{col} = m \times R_{frm}$ の関係が成り立ち、抵抗 R_{frm} よりも抵抗 R_{col} は大きな抵

10

20

30

40

50

抗値になる。図6で示したように、各画素で第1の増幅トランジスタSF1のソース電圧 $V_{s,j}$ が j を超えると、第1の増幅トランジスタSF1からの電流 i_{1W} は急激に低下し(すなわち第1の増幅トランジスタSF1の抵抗値が非常に大きくなり)、この状態をセミオフ状態と呼ぶ。各コラムには多数の画素が接続されているため、コラム単位で見るとソース電圧 $V_{s,j}$ の変化点、すなわち第1の増幅トランジスタSF1のソース電圧 $V_{s,j}$ がチャネルポテンシャルを超えたときの電圧は該チャネルポテンシャルの値に応じた異なった値になる。仮に、大多数のコラムが前記セミオフ状態になり、少数のコラムだけがオン状態であるとする、該少数のコラムにおいてのみ第1の増幅トランジスタSF1の抵抗値が小さいまま残り、信号線12が、該少数のコラムの容量をなすメモリCmに直結された状態になる。

10

【0050】

図3で示した場合では、直列に接続された抵抗 R_{frm} の抵抗値が小さく、前記のような少数のコラムに大きな電流が流れる。これに対して、図2で示した場合では、コラムごとに比較的大きな抵抗値をなす抵抗 R_{col} が電源に対して接続されているため、前記のような少数のコラムに大きな電流が流れることを回避することができる。しかし、特定のコラムに接続された大部分の画素において、第1の増幅トランジスタSF1がオン状態になり、他のコラムに接続された大部分の画素で、第1の増幅トランジスタSF1がセミオフ状態になることは、多数の画素からなる一般のイメージセンサでは極めてまれである。したがって、簡易的に図3のような構成にしても、通常は問題になることはない。

20

【0051】

前記(3)式及び(4)式を使用して計算した結果の例を図7に示す。図7では、画素数が $1280 \times 1024 = 130$ 万、電源電圧が $3.3V$ 、メモリCmの容量が $40fF$ 、抵抗はコラムごとに $R_{col} = 40k$ である場合を例にしており、チャネルポテンシャルの値は、 $1 \sim 2V$ の範囲での結果を示している。

図7から明らかなように、サンプリング時間を $5\mu s$ 以上にすれば、ほぼ安定したメモリCmの電圧である容量電圧 $V_{s,j}(t)$ が得られる。また、このときの増幅型固体撮像装置全体でのピーク電流は $105mA$ になり、画素内に従来のような例えば $1\mu A$ の定電流負荷を持つ場合の値 $1280mA$ と比較して、十分に小さい値になる。

【0052】

本発明の更なる利点として、低ノイズ化に有利ということがある。前記(1)式で示したような、従来型の画素構成では避けられなかったソースフォロワ負荷側で発生するノイズが、本発明では本質的に回避されている。更に、本発明は、次のような低ノイズ化の要因がある。通常は、画素内のメモリCmに信号を書き込む際、前記(2)式のようなノイズが発生し、このノイズは kTC ノイズと言われ、避けることができない。

30

【0053】

しかし、本発明においては、図5に示したように、書き込みの最終段階ではサブスレッショルド領域動作であるモード2になり、この場合にはノイズは下記(5)式で表されることが知られている。これはソフトリセットモードと呼ばれ、ノイズ電力が通常動作の $1/2$ になる。

$$\overline{V_{n,kTC}^2} = \frac{k \times T}{2 \times C_m} \dots \dots \dots (5)$$

40

【0054】

図1において、第1の増幅トランジスタSF1における出力レベルの最大値は、図6において $V(UL)$ で示したように、電源電圧 V_{dd} に対してマージンを持つことが望ましい。ここで、 $V(UL)$ の値は、第1の増幅トランジスタSF1のしきい値及び接続部FDの電圧に依存し、接続部FDの電圧はリセットトランジスタRTのドレイン電圧 V_{rd} に依存する。図1に例示するように、 $V_{rd} = V_{dd}$ である場合には、第1の増幅トランジスタSF1のしきい値をエンハンスメント型にすることにより、前記マージンを確保し

50

易くなる。又は、図示しないが、 $V_{rd} < V_{dd}$ である場合には、第1の増幅トランジスタ $SF1$ のしきい値がデプレッション型であっても、前記マージンを確保することが容易になる。このようにして、図6におけるモード1の期間を短縮させることができ、書き込み動作全体の応答を早めることが可能になる。

【0055】

図1において、前記のような手法により第1の増幅トランジスタ $SF1$ における出力レベル、したがって第2の増幅トランジスタ $SF2$ の入力レベルの最大値を電源電圧 V_{dd} よりも低下させた場合、第2の増幅トランジスタ $SF2$ がエンハンスメント型であるとすると、図8に示すように、直線性の良い動作領域が低下する。なお、図8で示した入力とはゲート電圧を示しており、図8で示した出力とはソース電圧を示している。図8(a)は、第1及び第2の各増幅トランジスタ $SF1$ 、 $SF2$ が共にエンハンスメント型である場合の、第1及び第2の各増幅トランジスタ $SF1$ 、 $SF2$ における入出力電圧の関係例を示している。

10

【0056】

$SF1i$ で示した第1の増幅トランジスタ $SF1$ の入力電圧、すなわちゲート電圧に対して、該出力電圧、すなわちソース電圧は $SF1o$ になり、この電圧が第2の増幅トランジスタ $SF2$ のゲート電圧である入力電圧 $SF2i$ になる。図8(a)から明らかなように、第2の増幅トランジスタ $SF2$ の動作領域の下限付近は直線性から外れた領域になっている。これに対して、図8(b)に示すように、第2の増幅トランジスタ $SF2$ をデプレッション型にすることにより、第2の増幅トランジスタ $SF2$ の入力電圧 $SF2i$ が小さくなくても、第2の増幅トランジスタ $SF2$ の動作マージンを十分に確保することができる。

20

【0057】

また、図1において、メモリ Cm の少なくとも一部をMOS型容量にすることにより、容量密度(単位面積当たりの容量)を高めることが可能となり、限られた画素面積内で十分なメモリ Cm の容量値を確保し易くなる。更に、前記MOS型容量をデプレッション型にすればメモリ Cm の容量値を確保することができる動作電圧範囲を低い側へ拡大させることができ、前記のように、第1の増幅トランジスタ $SF1$ の出力電圧 $SF1o$ が低下しても、一定のメモリ Cm の容量値を確保しやすくすることができる。

【0058】

30

なお、図1において、転送トランジスタ TX を省略して3トランジスタ型の画素を構成するようにしてもよく、このようにした場合、図1は図9のようになる。図9のようにした場合においても、メモリ Cm への書き込み、及びメモリ Cm からの読み出しは、図1の場合と同様である。

【0059】

第2の実施の形態.

図10は、本発明の第2の実施の形態における増幅型固体撮像装置の画素構成の例を示した図である。なお、図10では、図1と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図1との相違点のみ説明する。

図10における図1との相違点は、画素内のメモリを $Cm1$ と $Cm2$ の2個にし、これに伴って2つの書き込みスイッチ $Wr1$ 、 $Wr2$ と、2つの読み出しスイッチ $Rd1$ 、 $Rd2$ を備えたことにあり、これらのことから図1の画素10を画素50にした。

40

【0060】

図10において、画素50は、受光素子 PD 、転送トランジスタ TX 、リセットトランジスタ RT 、第1の増幅トランジスタ $SF1$ 、選択トランジスタ SL 、第2の増幅トランジスタ $SF2$ 、第1及び第2の各書き込みスイッチ $Wr1$ 、 $Wr2$ 、第1及び第2の各読み出しスイッチ $Rd1$ 、 $Rd2$ 、第1及び第2の各メモリ $Cm1$ 、 $Cm2$ 及び第1及び第2の各メモリ $Cm1$ 、 $Cm2$ を初期化する初期化トランジスタ IT を備えている。第1及び第2の各書き込みスイッチ $Wr1$ 、 $Wr2$ 、並びに第1及び第2の各読み出しスイッチ $Rd1$ 、 $Rd2$ は、それぞれNMOSトランジスタからなる。なお、メモリ $Cm1$ は第1

50

の容量を、メモリ $Cm2$ は第 2 の容量をそれぞれなし、第 1 の書き込みスイッチ $Wr1$ は第 1 の書き込みスイッチ部を、第 2 の書き込みスイッチ $Wr2$ は第 2 の書き込みスイッチ部を、第 1 の読み出しスイッチ $Rd1$ は第 1 の読み出しスイッチ部を、第 2 の読み出しスイッチ $Rd2$ は第 2 の読み出しスイッチ部をそれぞれなす。

【0061】

第 2 の増幅トランジスタ $SF2$ のゲートと初期化トランジスタ IT との接続部を $FD2$ とすると、第 1 の増幅トランジスタ $SF1$ のソースと接続部 $FD2$ との間に、第 1 の書き込みトランジスタ $Wr1$ 及び第 1 の読み出しトランジスタ $Rd1$ の直列回路と、第 2 の書き込みトランジスタ $Wr2$ 及び第 2 の読み出しトランジスタ $Rd2$ の直列回路が並列に接続されている。第 1 の書き込みトランジスタ $Wr1$ と第 1 の読み出しトランジスタ $Rd1$ との接続部と接地電圧との間に第 1 のメモリ $Cm1$ が接続され、第 2 の書き込みトランジスタ $Wr2$ と第 2 の読み出しトランジスタ $Rd2$ との接続部と接地電圧との間に第 2 のメモリ $Cm2$ が接続されている。

10

【0062】

なお、図 10 の画素 50 をマトリクス状に配置した画素アレイを含む 2 次元イメージセンサの構成例を示した図は、図 2 及び図 3 の画素 10 の符号を 50 に変える以外は同じであることから省略する。第 1 及び第 2 の各書き込みスイッチ $Wr1$, $Wr2$ 、並びに第 1 及び第 2 の各読み出しスイッチ $Rd1$, $Rd2$ は、それぞれ信号線 16 を介して行駆動回路 15 からの制御信号がゲートに入力される。

このような構成において、図 11 は、図 10 で示した画素 50 の動作例を示したタイミングチャートであり、図 11 を用いて図 10 の画素 50 の動作について説明する。

20

【0063】

書き込み動作は全行とも同時動作になる。図 11 において、まず期間 $t1$ でリセットトランジスタ RT をオン/オフさせて接続部 FD の電圧をリセットし、次に、期間 $t2$ において、第 1 の書き込みスイッチ $Wr1$ をオンさせ、このときの接続部 FD の電圧を前記図 4 から図 7 で説明した本発明の書き込み動作により、リセットレベル FR として第 1 のメモリ $Cm1$ に書き込む。

次に、期間 $t3$ で、転送トランジスタ TX をオンさせて信号電荷を接続部 FD に転送し、期間 $t4$ で、第 2 の書き込みスイッチ $Wr2$ をオンさせて該信号電荷によって変化した接続部 FD の電圧を信号レベル FS として、前記 $t2$ の場合と同様の書き込み動作により第 2 のメモリ $Cm2$ に書き込む。最後に、期間 $t5$ で、リセットトランジスタ RT を再度オン/オフさせて接続部 FD の信号電荷を排出して接続部 FD をリセットする。このようにして、各画素単位で、2 つのメモリ $Cm1$ 及び $Cm2$ に、リセットレベル FR 及び信号レベル FS を独立に全行一括して書き込むことができる。

30

【0064】

各メモリ $Cm1$ 及び $Cm2$ に書き込まれた信号の読み出しは行単位で順次行われる。例えば任意の i 行目について示すと次のようになる。なお、符号において、 (i) は i 行目のものであることを示し、 $(i+1)$ は $(i+1)$ 行目のものであることを示している。

まず、期間 $t6$ で、初期化トランジスタ $IT(i)$ をオン/オフさせて、2 段目のソースフォロワをなす第 2 の増幅トランジスタ $SF2(i)$ のゲート電圧になる接続部 $FD2(i)$ の電圧を接地電圧等の低電圧 $V1$ に初期化する。

40

次に、期間 $t7$ で、第 2 の増幅トランジスタ $SF2(i)$ と読み出し信号線 $Vsig$ との間の選択トランジスタ $SL(i)$ をオンさせた後、読み出しスイッチ $Rd1(i)$ をオンさせて、第 1 のメモリ $Cm1(i)$ に保持されたりセットレベル FR を読み出す。

【0065】

次に、期間 $t8$ で、初期化トランジスタ $IT(i)$ を再度オン/オフさせて、先に読み出した信号を消去して接続部 $FD2$ の電圧をリセットする。

期間 $t9$ では、第 2 の読み出しスイッチ $Rd2(i)$ をオンさせて、第 2 のメモリ $Cm2(i)$ に保持された信号レベル FS を読み出す。

期間 $t10$ では、選択トランジスタ $SL(i)$ をオフさせ、初期化トランジスタ $IT(i)$

50

i) をオンさせると共に第 1 及び第 2 の各読み出しスイッチ $Rd1(i)$, $Rd2(i)$ をそれぞれオンさせ、2 つの第 1 及び第 2 の各メモリ $Cm1$, $Cm2$ を同時に低電圧 $V1$ にリセットし、次のフレームでの書き込み動作に備える。

【0066】

このようにして、読み出された 2 つの信号 FR 及び FS について、図示しないが後段の処理回路で両者の差分を取る相関二重サンプリング (CDS) 動作を行うことにより、接続部 FD で発生するリセットノイズを除去することができるだけでなく、1 段目ソースフォロワをなす第 1 の増幅トランジスタ $SF1$ 及び 2 段目ソースフォロワをなす第 2 の増幅トランジスタ $SF2$ のそれぞれにおいて、しきい値が画素間でばらつくことによって発生する、画素ごとの固定パターンノイズをも除去することができる。

10

【0067】

なお、図 10 において、選択トランジスタ SL を省略するようにしてもよく、このようにした場合、図 10 は図 12 のようになる。なお、図 12 の画素 50 をマトリクス状に配置した画素アレイを含む 2 次元イメージセンサの構成例を示した図においても、図 2 及び図 3 の画素 10 の符号を 50 に変える以外は同じであることから省略する。

このような構成において、図 13 は、図 12 の画素 50 における動作例を示したタイミングチャートであり、図 13 を用いて図 12 の画素 50 の動作について説明する。

【0068】

図 13 において、書き込み動作は図 11 と同じであるのでその説明を省略する。なお、図 13 においても、各メモリ $Cm1$ 及び $Cm2$ に書き込まれた信号の読み出しは行単位で順次行われ、例えば任意の i 行目について示すと次のようになる。図 13 の符号においても、 (i) は i 行目のものであることを示し、 $(i+1)$ は $(i+1)$ 行目のものであることを示している。

20

図 12 では、初期化トランジスタ IT をノーマリオン (読み出し動作時以外はオン) にする。したがって、読み出し動作では、非選択行ではすべての初期化トランジスタ IT がオンしており、これらの画素では、接続部 $FD2$ が接地電圧等の低電圧 $V1$ に固定される。このため、ソースフォロワをなしている第 2 の増幅トランジスタ $SF2$ はオフする。

【0069】

読み出し行 i においては、期間 $t7$ と期間 $t9$ においてのみ、初期化トランジスタ $IT(i)$ がオフし、接続部 $FD2(i)$ はフローティング状態になる。期間 $t7$ では、この間に第 1 の読み出しトランジスタ $Rd1(i)$ がオンし、第 1 のメモリ $Cm1(i)$ からリセットレベル FR が接続部 $FD2(i)$ に読み出され、接続部 $FD2(i)$ の電圧がこれに対応した大きい電圧になる。このため、このような行 i のみ第 2 の増幅トランジスタ $SF2(i)$ はオンし、行 i のリセットレベル FR が選択的に読み出される。

30

【0070】

同様に、期間 $t9$ では、この間に第 2 の読み出しスイッチ $Rd2(i)$ がオンし、第 2 のメモリ $Cm2(i)$ から信号レベル FS が接続部 $FD2(i)$ に読み出され、接続部 $FD2(i)$ の電圧がこれに対応した大きい電圧になって、この行 i の信号レベル FS が選択的に読み出される。動作範囲としては、 $FR = FS$ であることから、 $FS > V1$ であれば非選択行の影響を受けずに読み出しを行うことができる。また、図示しない後段の処理回路で、リセットレベル FR と信号レベル FS の差分を取る CDS 動作を行うことも、図 10 及び図 11 の場合と同様である。

40

【0071】

第 3 の実施の形態。

前記第 2 の実施の形態で示した画素構成の場合、期間 $t1$ でリセットトランジスタ RT をオンさせて接続部 FD をリセットする際、第 1 の増幅トランジスタ $SF1$ の出力側 Va がフローティング状態になって電圧が不定になるため、接続部 FD と出力側 Va との間の容量 Ca に不定電圧情報がメモリされる。これは、次にリセットトランジスタ RT をオフさせて接続部 FD をフローティング状態にすると、容量 Ca を介して接続部 FD の電圧が前記不定電圧情報に影響され、誤差が生じる。このような誤差をなくすようにしたものを

50

本発明の第3の実施の形態とする。

【0072】

図14は、本発明の第3の実施形態における増幅型固体撮像装置の画素構成の例を示した図である。なお、図14では、図10と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図10との相違点のみ説明する。

図14における図10との相違点は、第1の増幅トランジスタSF1に並列にNMOSTランジスタである制御スイッチWr3を接続したことにあり、これに伴って、図10の画素50を画素60にした。なお、制御スイッチWr3は制御スイッチ部をなす。

図14において、制御スイッチWr3がオンしているときには、第1の増幅トランジスタSF1の出力側Vaの電圧が電源電圧Vddになるように、制御スイッチWr3をデプレッション型のMOSTランジスタにすることが望ましい。あるいは、図示しないが、制御スイッチWr3のドレイン側を電源電圧Vddとは異なる所定のDC電圧としてもよい。

【0073】

図14において、画素60は、受光素子PD、転送トランジスタTX、リセットトランジスタRT、第1の増幅トランジスタSF1、選択トランジスタSL、第2の増幅トランジスタSF2、第1及び第2の各書き込みスイッチWr1, Wr2、第1及び第2の各読み出しスイッチRd1, Rd2、制御スイッチWr3、第1及び第2の各メモリCm1, Cm2及び第1及び第2の各メモリCm1, Cm2を初期化するための初期化トランジスタITを備えている。

なお、図14の画素60をマトリクス状に配置した画素アレイを含む2次元イメージセンサの構成例を示した図は、図2及び図3の画素10の符号を60に変える以外は同じであることから省略する。制御スイッチWr3は、信号線16を介して行駆動回路15からの制御信号がゲートに入力される。

【0074】

このような構成において、図15は、図14で示した画素60の動作例を示したタイミングチャートであり、図15を用いて図14の画素60の動作について説明する。

図15において、まず最初のリセット期間t1内の期間taにおいて、リセットトランジスタRTと制御スイッチWr3を同時にオンさせて、接続部FDをリセットすると共に出力側Vaの電圧を電源電圧Vddにすることにより、容量Caには確定した電圧情報が書き込まれる。この後、期間t2～t5では、図11で示した動作が誤差を生じることなく行われる。このような動作は、全画素一括して行われ、その後の読み出し動作は、図11の場合とまったく同じである。

【0075】

なお、前記第1から第3の各実施形態では、画素内の各MOSTランジスタがNMOS型である場合を例にして説明したが、これは一例であり、本発明はこれに限定するものではなく、PMOS型の場合についても、電圧、電流の極性を逆にすることによって同様に適用することができる。また、受光素子PDの信号電荷が電子である場合を例にして説明したが、正孔である場合においても信号蓄積による極性変化が逆になることで、同様に適用することができる。

【符号の説明】

【0076】

10, 50, 60 画素

PD 受光素子

TX 転送トランジスタ

RT リセットトランジスタ

SF1 第1の増幅トランジスタ

SF2 第2の増幅トランジスタ

Wr 書き込みスイッチ

SL 選択トランジスタ

10

20

30

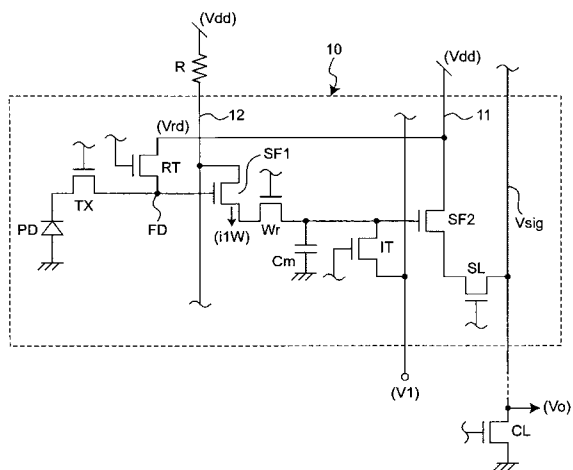
40

50

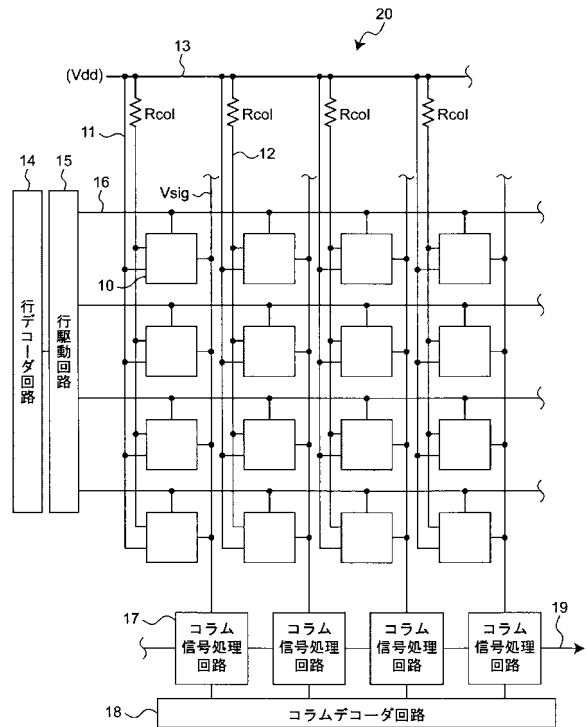
I T 初期化トランジスタ
 C m メモリ
 W r 1 第 1 の書き込みスイッチ
 W r 2 第 2 の書き込みスイッチ
 W r 3 制御スイッチ
 R d 1 第 1 の読み出しスイッチ
 R d 2 第 2 の読み出しスイッチ
 C m 1 第 1 のメモリ
 C m 2 第 2 のメモリ
 R , R c o l , R f r m 抵抗
 C L 定電流負荷トランジスタ
 1 1 , 1 2 , 1 3 電源線
 1 4 行デコーダ回路
 1 5 行駆動回路
 1 6 駆動線
 1 7 コラム信号処理回路
 1 8 コラムデコーダ回路
 1 9 水平信号線
 2 0 画素アレイ

10

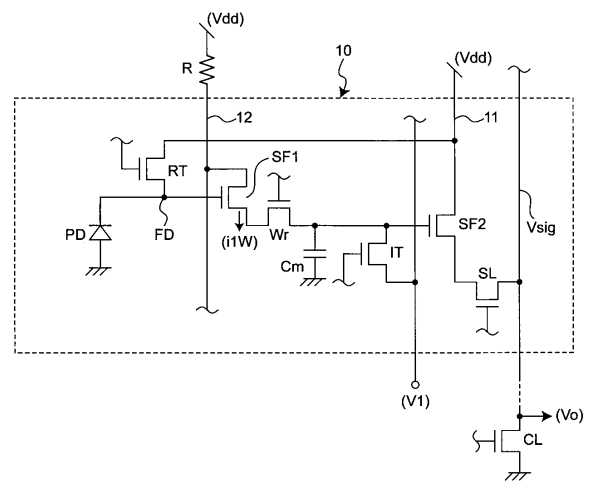
【図 1】



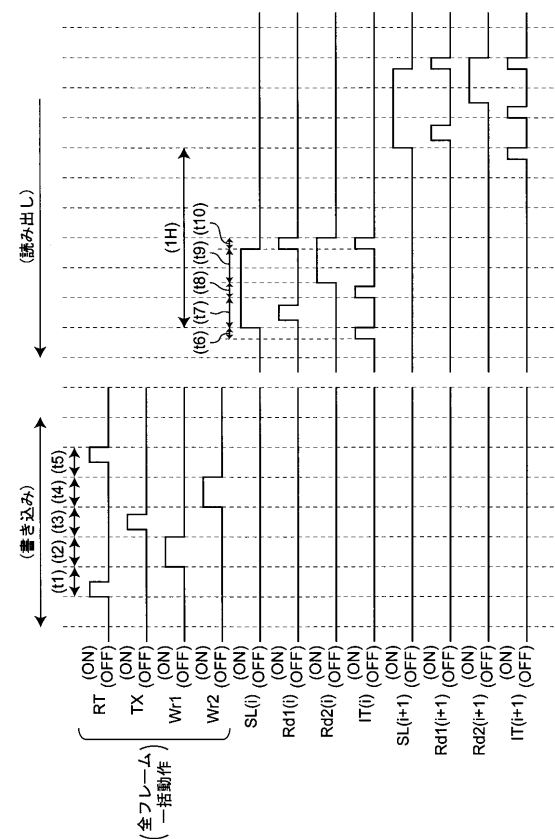
【図 2】



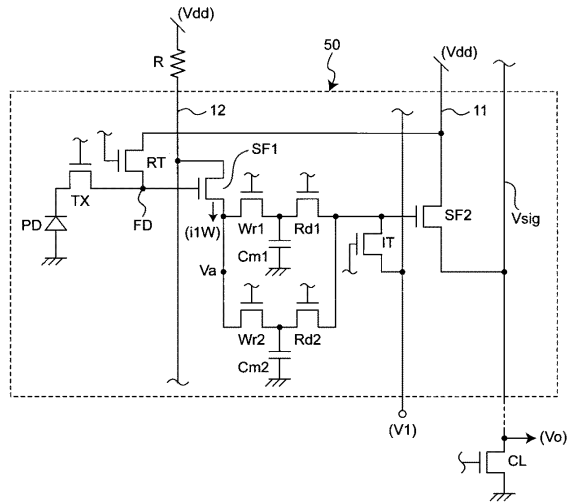
【 図 9 】



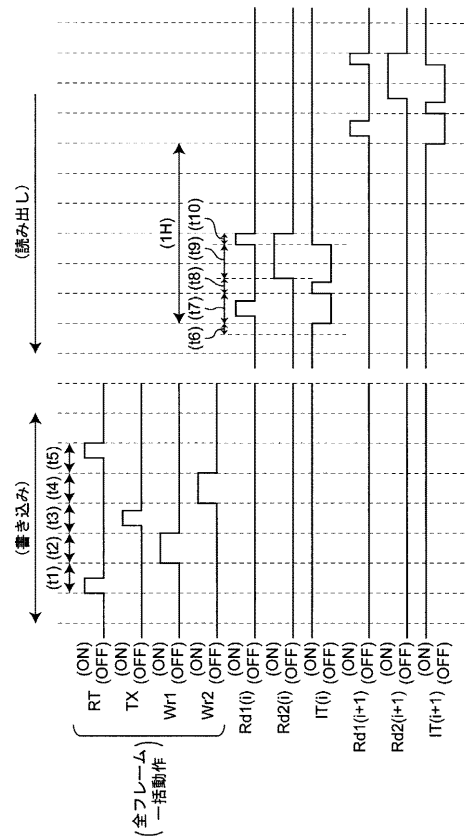
【 図 1 1 】



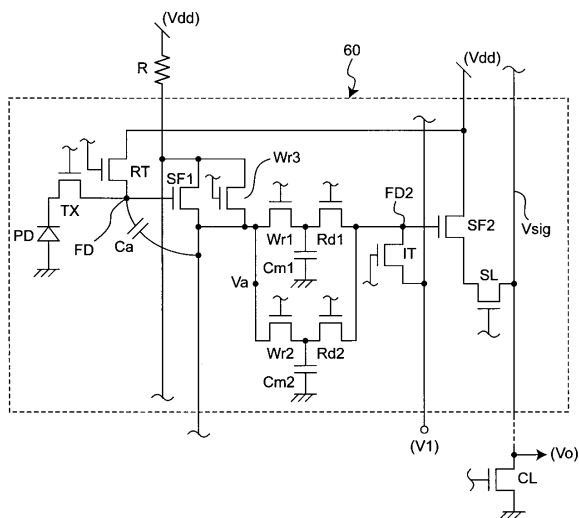
【図 12】



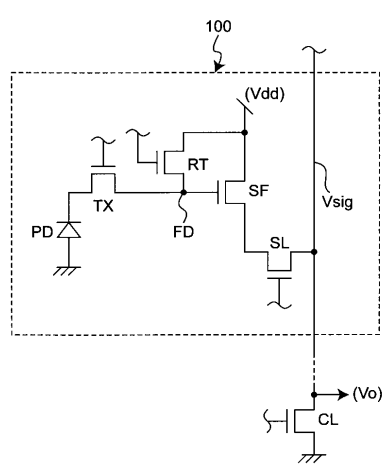
【図 13】



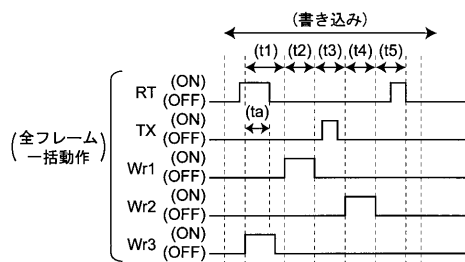
【図 14】



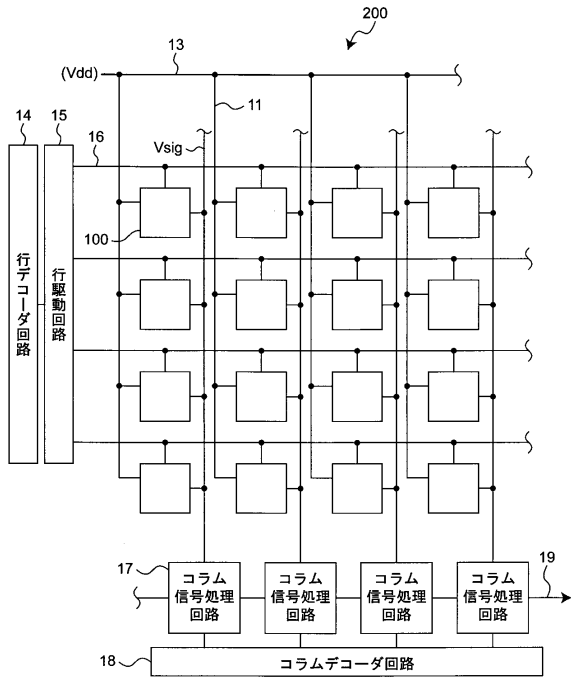
【図 16】



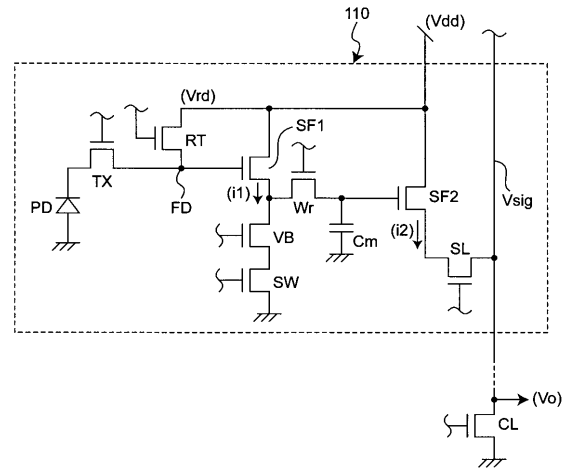
【図 15】



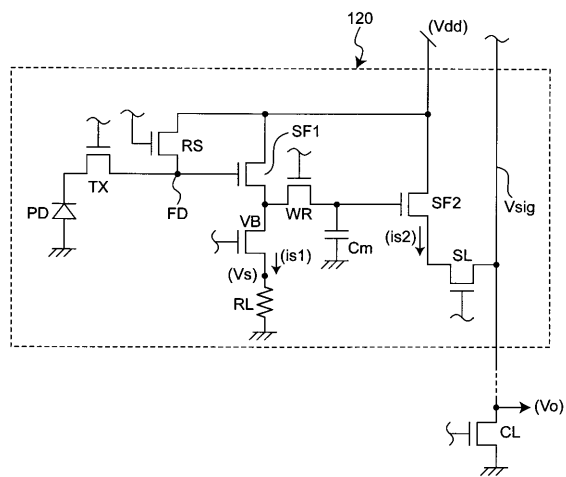
【図 17】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開2007-329722(JP,A)
特開2008-283593(JP,A)
特開2002-344809(JP,A)
特開2005-065074(JP,A)
特開2008-017288(JP,A)
特開2006-311515(JP,A)
特開2001-218112(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762