



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월26일
(11) 등록번호 10-2812610
(24) 등록일자 2025년05월21일

- (51) 국제특허분류(Int. Cl.)
H03F 3/217 (2006.01) H02M 3/158 (2006.01)
H03F 1/02 (2006.01) H04H 20/61 (2008.01)
- (52) CPC특허분류
H03F 3/2173 (2013.01)
H02M 3/1586 (2021.05)
- (21) 출원번호 10-2024-0129472
- (22) 출원일자 2024년09월24일
심사청구일자 2024년09월24일
- (56) 선행기술조사문헌
JP2012209612 A*
KR101116898 B1*
US20160065158 A1*
KR1020120064383 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
(주)아이엠피
경기도 양주시 광적면 백은로 263
- (72) 발명자
김성욱
경기도 양주시 광적면 백은로 263
한상규
경기도 양주시 광적면 백은로 263
허경현
경기도 양주시 광적면 백은로 263
- (74) 대리인
김현승

전체 청구항 수 : 총 12 항

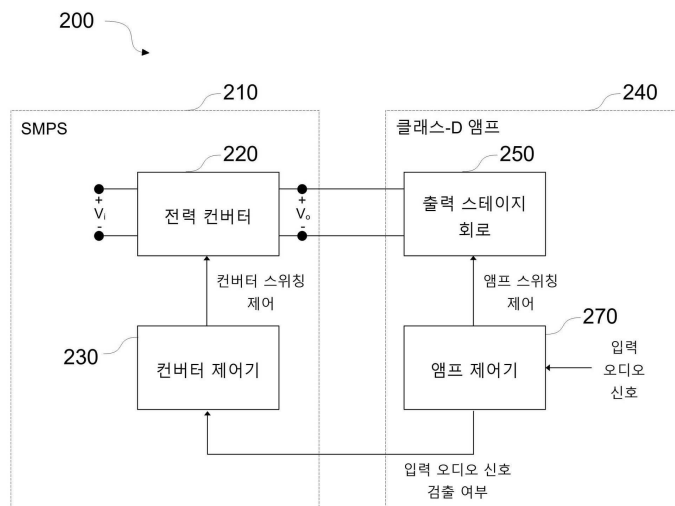
심사관 : 이준건

(54) 발명의 명칭 전관 방송용 클래스-D 앰프의 소비 전력 개선

(57) 요약

스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)의 출력 전압을 인가받는 클래스-D 앰프(class-D amplifier)의 소비 전력을 개선하기 위한 장치가 개시된다. SMPS의 출력 전압은 SMPS가 스위칭하는 듀티 사이클에 비례한다. 개시된 장치는, 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지를 시그널링하는 앰프 제어기와, SMPS의 출력 전압의 피드백 제어를 수행하기 위해 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고, 시그널링된 검출에 응답하여, 주어진 듀티 사이클 값을 제1 값으로 스위칭하고, 시그널링된 부재에 응답하여, 주어진 듀티 사이클 값을 제1 값보다 낮은 제2 값으로 스위칭하는 컨버터 제어기를 포함한다.

대표도



(52) CPC특허분류

H03F 1/0227 (2013.01)

H04H 20/61 (2013.01)

H03F 2200/03 (2013.01)

H03F 2200/351 (2013.01)

명세서

청구범위

청구항 1

스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)의 출력 전압을 인가받는 클래스-D 앰프의 소비 전력을 개선하기 위한 장치로서, 상기 출력 전압은 상기 SMPS가 스위칭하는 듀티 사이클(duty cycle)에 비례하고, 상기 장치는,

상기 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 상기 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지를 시그널링하는 앰프 제어기와,

상기 출력 전압의 피드백 제어를 수행하기 위해 상기 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고, 상기 시그널링된 검출에 응답하여, 상기 주어진 듀티 사이클 값을 제1 값으로 스위칭하고, 상기 시그널링된 부재에 응답하여, 상기 주어진 듀티 사이클 값을 상기 제1 값보다 낮은 제2 값으로 스위칭하는 컨버터 제어기를 포함하되,

상기 시그널링된 부재 후에 상기 검출이 행해진 경우, 상기 앰프 제어기는 또한 과도 기간에 걸쳐 상기 클래스-D 앰프에 의한 증폭을 위해 상기 입력된 오디오 신호를 페이드 인하되(fade-in), 상기 듀티 사이클은 상기 과도 기간 내에 상기 제2 값으로부터 상기 제1 값으로 점진적으로 증가되도록 제어되는,

장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 컨버터 제어기는,

피드백 보상 회로 - 상기 피드백 보상 회로는 상기 피드백 보상 회로의 이득에 따라, 보상된 피드백 신호를 상기 출력 전압으로부터 생성하고, 상기 검출 또는 상기 부재가 시그널링되는지에 따라 상기 이득을 스위칭함 - 와,

상기 SMPS로 하여금 상기 제어된 듀티 사이클로 스위칭하게 하는 펄스 폭 변조(Pulse Width Modulation: PWM) 신호를 상기 보상된 피드백 신호로부터 생성하는 컨버터 스위칭 제어 회로를 포함하는,

장치.

청구항 4

제3항에 있어서,

상기 피드백 보상 회로는 에러 증폭기와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 상기 이득 조절기는 상기 검출 또는 상기 부재가 시그널링되는지에 따라 상기 제1 회로 경로를 거쳐서 또는 상기 제2 회로 경로를 거쳐서 상기 에러 증폭기에 상기 출력 전압이 피드백되게 함으로써 상기 이득의 상기 스위칭을 수행하는,

장치.

청구항 5

제3항에 있어서,

상기 피드백 보상 회로는 셉트 전압 조정기와, 옵토커플러와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 상기 셉트 전압 조정기는 상기 출력 전압을 피드백받고, 상기 피드백은 상기 옵토커플러에 의해

상기 보상된 피드백 신호로부터 절연되고, 상기 이득 조절기는 상기 검출 또는 상기 부재가 시그널링되는지에 따라 상기 제1 회로 경로를 거쳐서 또는 상기 제2 회로 경로를 거쳐서 상기 오프토크플러에 바이어스가 제공되게 함으로써 상기 이득의 상기 스위칭을 수행하는,

장치.

청구항 6

제1항에 있어서,

상기 앰프 제어기는,

상기 검출 또는 상기 부재의 상기 시그널링을 수행하고, 처리된 오디오 신호를 생성하기 위해 상기 검출에 응답하여 상기 입력된 오디오 신호를 페이드 인하는 오디오 신호 처리 회로와,

상기 클래스-D 앰프로 하여금 증폭된 오디오 신호를 생성하기 위해 스위칭하게 하는 제어 신호를 상기 처리된 오디오 신호로부터 생성하는 앰프 스위칭 제어 회로를 포함하는,

장치.

청구항 7

스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)로서,

스위치를 갖고, 상기 스위치가 동작되는 듀티 사이클에 비례하는 출력 전압을 생성하는 전력 컨버터 - 상기 생성된 출력 전압은 클래스-D 앰프에 인가됨 - 와,

상기 듀티 사이클을 상기 출력 전압의 피드백 제어를 수행하기 위해 주어진 듀티 사이클 값으로 제어하고, 상기 클래스-D 앰프에 입력된 오디오 신호의 검출에 응답하여, 상기 주어진 듀티 사이클 값을 제1 값으로 스위칭하고, 상기 클래스-D 앰프에 입력된 임의의 검출된 오디오 신호의 부재에 응답하여, 상기 주어진 듀티 사이클 값을 상기 제1 값보다 낮은 제2 값으로 스위칭하는 컨버터 제어기를 포함하되,

상기 부재 후에 상기 검출이 행해진 경우, 상기 듀티 사이클은 상기 클래스-D 앰프에 의한 증폭을 위해 상기 입력된 오디오 신호가 페이드 인되는 과도 기간 내에 상기 제2 값으로부터 상기 제1 값으로 점진적으로 증가되도록 제어되는,

SMPS.

청구항 8

전관 방송(Public Address: PA) 시스템으로서, 클래스-D 앰프와, 스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)를 포함하되,

상기 클래스-D 앰프는,

출력 스테이지 회로와,

상기 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 상기 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지를 시그널링하는 앰프 제어기를 포함하고,

상기 SMPS는,

스위치를 갖고, 상기 스위치가 동작되는 듀티 사이클에 따라 달라지는 출력 전압을 생성하는 전력 컨버터 - 상기 생성된 출력 전압은 상기 출력 스테이지 회로에 인가됨 - 와,

상기 출력 전압의 피드백 제어를 수행하기 위해 상기 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고, 상기 시그널링된 검출에 응답하여, 상기 주어진 듀티 사이클 값을 상기 출력 전압의 레벨이 정상 구동 전압 레벨에 도달하게 하는 제1 값으로 스위칭하고, 상기 시그널링된 부재에 응답하여, 상기 주어진 듀티 사이클 값을 상기 출력 전압의 상기 레벨이 상기 정상 구동 전압 레벨 미만이게 하고 상기 제1 값보다 낮은 제2 값으로 스위칭하는 컨버터 제어기를 포함하되,

상기 시그널링된 부재 후에 상기 검출이 행해진 경우, 상기 앰프 제어기는 또한 과도 기간에 걸쳐 상기 출력 스테이지 회로에 의한 증폭을 위해 상기 입력된 오디오 신호를 페이드 인하되, 상기 듀티 사이클은 상기 과도 기

간 내에 상기 제2 값으로부터 상기 제1 값으로 점진적으로 증가되도록 제어되는,
PA 시스템.

청구항 9

삭제

청구항 10

제8항에 있어서,

상기 컨버터 제어기는,

피드백 보상 회로 - 상기 피드백 보상 회로는 상기 피드백 보상 회로의 이득에 따라, 보상된 피드백 신호를 위
출력 전압으로부터 생성하고, 상기 검출 또는 상기 부재가 시그널링되는지에 따라 상기 이득을 스위칭함 - 와,

상기 스위치로 하여금 상기 제어된 듀티 사이클로 동작되게 하는 펄스 폭 변조(Pulse Width Modulation: PWM)
신호를 상기 피드백 신호로부터 생성하는 컨버터 스위칭 제어 회로를 포함하는,

PA 시스템.

청구항 11

제10항에 있어서,

상기 피드백 보상 회로는 에러 증폭기와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 상기 이
득 조절기는 상기 검출 또는 상기 부재가 시그널링되는지에 따라 상기 제1 회로 경로를 거쳐서 또는 상기 제2
회로 경로를 거쳐서 상기 에러 증폭기에 상기 출력 전압이 피드백되게 함으로써 상기 이득의 상기 스위칭을 수
행하는,

PA 시스템.

청구항 12

제10항에 있어서,

상기 피드백 보상 회로는 선트 전압 조정기와, 옵토커플러와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기
를 포함하고, 상기 선트 전압 조정기는 상기 출력 전압을 피드백받고, 상기 피드백은 상기 옵토커플러에 의해
상기 보상된 피드백 신호로부터 절연되고, 상기 이득 조절기는 상기 검출 또는 상기 부재가 시그널링되는지에
따라 상기 제1 회로 경로를 거쳐서 또는 상기 제2 회로 경로를 거쳐서 상기 옵토커플러에 바이어스가 제공되게
함으로써 상기 이득의 상기 스위칭을 수행하는,

PA 시스템.

청구항 13

제8항에 있어서,

상기 앰프 제어기는,

상기 검출 또는 상기 부재의 상기 시그널링을 수행하고, 처리된 오디오 신호를 생성하기 위해 상기 검출에 응답
하여 상기 입력된 오디오 신호를 페이드 인하는 오디오 신호 처리 회로와,

상기 클래스-D 앰프로 하여금 증폭된 오디오 신호를 생성하기 위해 스위칭하게 하는 제어 신호를 상기 처리된
오디오 신호로부터 생성하는 앰프 스위칭 제어 회로를 포함하는,

PA 시스템.

청구항 14

듀티 사이클로 스위칭하고 상기 듀티 사이클에 따라 달라지는 출력 전압을 생성하는 스위칭 모드 전력 공급기
(Switching Mode Power Supply: SMPS)를 위한 제어기로서, 상기 생성된 출력 전압은 클래스-D 앰프에

인가되고, 상기 제어기는,

상기 출력 전압의 피드백 제어를 수행하기 위해 상기 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고,

상기 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 상기 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지를 나타내는 신호를 상기 클래스-D 앰프로부터 수신하고,

상기 신호에 의해 나타내어진 상기 검출에 응답하여, 상기 주어진 듀티 사이클 값을 상기 출력 전압의 레벨이 정상 구동 전압 레벨에 도달하게 하는 제1 값으로 스위칭하고, 상기 신호에 의해 나타내어진 상기 부재에 응답하여, 상기 주어진 듀티 사이클 값을 상기 출력 전압의 상기 레벨이 상기 정상 구동 전압 레벨 미만이게 하고 상기 제1 값보다 낮은 제2 값으로 스위칭하되,

상기 부재 후에 상기 검출이 행해진 경우, 상기 듀티 사이클은 상기 클래스-D 앰프에 의한 증폭을 위해 상기 입력된 오디오 신호가 페이드 인되는 과도 기간 내에 상기 제2 값으로부터 상기 제1 값으로 점진적으로 증가되도록 제어되는,

제어기.

발명의 설명

기술 분야

[0001] 본 개시는 전관 방송용 클래스-D 앰프의 소비 전력을 개선하는 것에 관련된다.

배경 기술

[0002] 전관 방송(Public Address: PA) 시스템은 건물 또는 복합단지, 예컨대, 아파트 단지, 학교, 관공서, 대형빌딩, 공항, 쇼핑몰 등등과 같은 환경에 설치되어서, 넓은 구역에 걸쳐 안내 음성이나 배경 음악과 같은 소리를 송출하도록 구성된다. PA 시스템은 그것이 설치된 환경 내에 또는 그 주변에 발생한 비상 상황(예컨대, 화재, 폭발, 침수, 정전, 지진 등등)을 알리는 비상 방송을 수행하는 기능을 갖출 수도 있다.

[0003] 도 1에 예시된 바와 같은 종래의 PA 시스템(100)은 스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)(110), SMPS(110)에 의해 전력을 공급받는 클래스-D 앰프(class-D amplifier)(140), 그리고 클래스-D 앰프(140)에 커플링된 스피커(speaker)(190)를 포함한다. SMPS(110)는 전력 컨버터(power converter)(120) 및 컨버터 제어기(converter controller)(130)를 포함하고, 클래스-D 앰프(140)는 스위칭 출력 스테이지 회로(switching output stage circuit)(150), 저역 통과 필터(Low-Pass Filter: LPF)(160) 및 앰프 제어기(amplifier controller)(170)를 포함한다.

[0004] SMPS(110)의 전력 컨버터(120)는 전력 컨버터(120)의 입력 단자를 통해 수신된 입력 전압(V_{in})(예컨대, 상용 전원과 같은 교류(Alternating Current: AC) 전원으로부터 인가된 AC 전압이 입력 전압(V_{in})으로 정류되거나 백업 배터리와 같은 직류(Direct Current: DC) 전원으로부터 인가된 DC 전압이 입력 전압(V_{in})으로 송압됨)에 대해 전력 변환을 수행하여 소정의 DC 레벨의 출력 전압(V_{out})을 생성한다. 예시된 바와 같이, 출력 전압(V_{out})은 정공급 전압(positive supply voltage)(가령, +HV)으로서 전력 컨버터(120)의 고전압 출력 단자(V_{DD})에, 그리고 반전된 레벨로 부공급 전압(negative supply voltage)(가령, -HV)으로서 전력 컨버터(120)의 저전압 출력 단자(V_{SS})에 나타날 수 있는데, 커패시터(C_a)의 일단은 단자(V_{DD})에 커플링되고(coupled), 커패시터(C_a)의 타단은 접지되며, 커패시터(C_b)의 일단은 단자(V_{SS})에 커플링되고, 커패시터(C_b)의 타단은 접지되며, 이들 커패시터(C_a , C_b)는 동일한 커패시턴스 값을 갖는다. SMPS(110)의 컨버터 제어기(130)는 전력 컨버터(120)로 하여금 출력 전압(V_{out})을 요망되는 바와 같이 (예컨대, 조정된(regulated) 전압으로서) 생성하도록 제어한다.

[0005] 클래스-D 앰프(140)의 스위칭 출력 스테이지 회로(150)는 스위치(가령, 금속 산화 반도체 전계 효과 트랜지스터(Metal-Oxide-Semiconductor Field-Effect Transistor: MOSFET)와 같은 스위칭 소자)(M_1 , M_2)(이는 단자(V_{DD} , V_{SS})에 걸쳐서 직렬로 커플링됨)를 포함하며, 스위칭 출력 스테이지 회로(150)에의 전력공급을 위해 전력 컨버터(120)의 출력 전압(V_{out})이 스위칭 출력 스테이지 회로(150)에 인가된다. 특히, 스위칭 출력 스테이지 회로(150)

0)는 정 공급 전압을 단자(V_{DD})를 통해 수신하고, 부 공급 전압을 단자(V_{SS})를 통해 수신한다.

[0006] 클래스-D 앰프(140)의 LPF(160)는 스위칭 출력 스테이지 회로(150) 및 스피커(190) 사이에 개재된다. LPF(160)는 인덕터(L_f) 및 커패시터(C_f)를 포함하는데, 인덕터(L_f)는 스위치(M_1, M_2) 간의 중간 지점 및 커패시터(C_f)의 일단 사이에 커플링되고, 커패시터(C_f)의 타단은 접지된다. 또한, 커패시터(C_f)의 양단에 걸쳐서 스피커(190)가 커플링된다.

[0007] 클래스-D 앰프(140)의 앰프 제어기(170)는 입력 오디오 신호(S_{in})(이는, 예컨대, 20Hz 내지 20kHz의 낮은 주파수 성분 신호를 가짐) 및 캐리어 신호(carrier signal)(S_{car})(이는, 예컨대, 200kHz 내지 550kHz의 높은 주파수를 갖는 삼각파 신호 또는 톱니파 신호임)를 비교하여 펄스 폭 변조(Pulse Width Modulation: PWM) 신호(S_{PWM})를 생성한다. 스위칭 출력 스테이지 회로(150)의 게이트 구동기(gate driver)(151)는 PWM 신호에 따라 스위치(M_1, M_2)를 구동한다(가령, 스위치(M_1, M_2) 각각은 그것의 게이트에 "하이"(high) 전압이 인가되면 온(on)으로 되고 그것의 게이트에 "로우"(low) 전압이 인가되면 오프(off)로 됨). 특히, 게이트 구동기(151)는 스위치(M_1, M_2)가 상보적으로 동작하도록 적절한 게이트 전압을 스위치(M_1, M_2) 각각에 인가할 수 있다(가령, 스위치(M_1)가 온인 동안에 스위치(M_2)를 오프인 채로 두고, 스위치(M_2)가 온인 동안에 스위치(M_1)를 오프인 채로 둠). 이와 같이 스위치(M_1, M_2)가 동작함에 따라, 스위칭 출력 스테이지 회로(150)는 정 공급 전압의 전력 레일과 부 공급 전압의 전력 레일 사이에서 스위칭하여 더 높은 레벨의 전압 펄스의 열(S_{PT})을 생성한다. LPF(160)는 이러한 증폭된 펄스 신호(S_{PT})의 고주파 성분을 제거하여 출력 오디오 신호(S_{out})를 생성한다. 그러면, 스피커(190)는 출력 오디오 신호(S_{out})에 의해 구동된다.

[0008] PA 시스템(100)의 실제 적용에서, 비상 방송은 가능한 한 지체 없이 진행될 것이 요구될 수 있다. PA 시스템(100)이 비상 방송을 위해 동작하는 빈도는 보통 높지 않으므로(예컨대, 한 시간에 한 번 이하), 클래스-D 앰프(140)에서 소모되는 전력을 줄이기 위해 SMPS(110) 또는 클래스-D 앰프(140) 자체의 동작을 중단하는 다양한 방안이 제안되었다. 그러나, 이들 방안은 따르면, 정지된 SMPS(110) 또는 클래스-D 앰프(140)가 비상 방송을 위해 다시 시동된 후 짧게는 수백 밀리초(ms)에서 길게는 수십 초에 이르는 시간 기간 동안에, 소프트 스타트(soft-start) 동작으로 인해 스피커(190)로 오디오 신호가 제대로 출력되지 않을 수 있고, 결국 비상 방송도 나오지 않을 수 있다. 만일 대신에 비상 방송의 그러한 차질을 방지하기 위해 클래스-D 앰프(140)를 계속해서 동작시키는 접근법을 취하면, 적지 않은 양의 소비 전력(가령, 15W 내지 60W)이 발생할 수 있다. 많은 실제적인 사례에서, 비상 방송의 안정적인 송출이 우선시되며, 소비 전력을 절감하기 위해 클래스-D 앰프(140)를 정지시키는 것은 PA 시스템(100)의 사용자에게 부담스러운 일이 된다.

발명의 내용

해결하려는 과제

[0009] 클래스-D 앰프의 소비 전력을 개선하는 것이 본 문서에 개시된다.

과제의 해결 수단

[0010] 예에서, 스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)의 출력 전압을 인가받는 클래스-D 앰프(class-D amplifier)의 소비 전력을 개선하기 위한 장치(SMPS의 출력 전압은 SMPS가 스위칭하는 듀티 사이클(duty cycle)에 비례함)는, 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지(absent)를 시그널링하는(signal) 앰프 제어기(amplifier controller)와, SMPS의 출력 전압의 피드백 제어(feedback control)를 수행함으로써 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고, 시그널링된 검출에 응답하여, 주어진 듀티 사이클 값을 제1 값으로 스위칭하고, 시그널링된 부재에 응답하여, 주어진 듀티 사이클 값을 제1 값보다 낮은 제2 값으로 스위칭하는 컨버터 제어기(converter controller)를 포함한다.

[0011] 전술된 개요는 상세한 설명에서 추가로 후술되는 몇몇 양상을 단순화된 형태로 소개하기 위해 제공된다. 이 개요는 청구된 주제(subject matter)의 중요 특징 또는 필수적 특징을 식별하도록 의도되지 않고, 청구된 주제의 범위를 정하는 데 사용되도록 의도되지도 않는다. 나아가, 청구된 주제는 본 명세서에서 논의되는 임의의 또는

모든 이점을 제공하는 구현에 한정되지 않는다.

발명의 효과

- [0012] 본 개시에 따르면, PA 시스템이 비상 방송을 대기하도록 계속해서 동작하면서도 과도한 에너지를 소모하지 않을 수 있다.
- [0013] 본 개시에 따르면, PA용 클래스-D 앰프가 항시 동작 상태에 머물더라도, 특히 입력 오디오 신호가 없는 동안에, 종래의 PA 시스템에 비해 더 적은 양의 전력을 소비할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 종래의 PA 시스템의 개략도이다.
- 도 2는 예시적인 PA 시스템을 도시한다.
- 도 3은 도 2의 PA 시스템의 더욱 상세화된 도해를 보여준다.
- 도 4는 도 2 및 도 3에 도시된 전력 컨버터의 예시적인 회로 구성을 보여주는 회로도이다.
- 도 5는 도 2 및 도 3에 도시된 전력 컨버터의 다른 예시적인 회로 구성을 보여주는 회로도이다.
- 도 6은 도 2 및 도 3에 도시된 컨버터 제어기의 예시적인 회로 구성을 보여주는 회로도이다.
- 도 7은 도 2 및 도 3에 도시된 컨버터 제어기의 다른 예시적인 회로 구성을 보여주는 회로도이다.
- 도 8은 도 3에 도시된 오디오 신호 처리 회로의 예를 도시한다.
- 도 9a는 도 3에 도시된 오디오 신호 처리 회로에 의한 입력 오디오 신호의 페이드 인(fade-in) 처리가 있는 경우에 도 3의 클래스-D 앰프로부터 출력되는 증폭된 오디오 신호를 예시하고, 도 9b는 그러한 페이드 인 처리가 없는 경우에 출력되는 증폭된 오디오 신호를 예시한다.
- 도 10은 도 2 및 도 3에 도시된 클래스-D 앰프의 예시적인 출력을 보여준다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 개시에서 사용되는 다양한 용어는 본 문서에서의 기능을 고려하여 상용 용어의 용어법으로부터 선택되는데, 이는 당업자의 의도, 준례, 또는 새로운 기술의 출현에 따라서 달리 인식될 수 있다. 특정한 사례에서, 몇몇 용어에는 상세한 설명에서 개진된 바와 같이 의미가 주어질 수 있다. 따라서, 본 문서에서 사용되는 용어는, 단순히 그 명칭에 의해서가 아니라, 본 개시의 맥락에서 그 용어가 갖는 의미와 일관되게 정의되어야 한다.
- [0016] 본 문서에서 용어 "포함하다", "가지다" 등은 이후에 열거된 요소, 예컨대, 어떤 특징, 숫자, 단계, 동작, 구성 요소, 정보 또는 이들의 조합의 존재를 명시하는 경우에 사용된다. 달리 표시되지 않는 한, 이런 용어 및 이의 변형은 다른 요소의 존재 또는 추가를 배제하도록 의도되지 않는다.
- [0017] 본 문서에서 사용되는 바와 같이, 용어 "제1", "제2" 등은 몇 개의 서로 닮은 요소를 식별하도록 의도된다. 달리 기재되지 않는 한, 그러한 용어는 이들 요소의 또는 이들의 사용의 특정한 순서와 같은 한정을 부과하도록 의도된 것이 아니라, 단지 여러 요소를 따로따로 지칭하기 위해 사용된다. 예를 들면, 어떤 요소가 일례에서 용어 "제1"로써 참조될 수 있는 한편 동일한 요소가 다른 예에서 "제2" 또는 "제3"과 같은 상이한 서수로써 참조될 수 있다. 그러한 예에서, 이들 용어는 본 개시의 범위를 한정하지 않는 것이다. 또한, 여러 요소의 리스트에서 용어 "및/또는"을 사용하는 것은 열거된 항목 중 임의의 하나 또는 복수 개를 비롯하여 이들 항목의 모든 가능한 조합을 포함한다. 나아가, 단수 형태의 표현은 명확하게 달리 사용되지 않는 한, 복수 형태의 의미를 포함한다.
- [0018] 첨부된 도면을 참조하여 본 개시의 소정의 예가 이제 상세히 기술될 것이다. 다만, 본 개시는 많은 상이한 형태로 체현될 수 있으며, 본 문서에 개진된 예에 한정되는 것으로 해석되어서는 안 된다. 오히려, 이들 예는 본 개시의 범위의 더 나은 이해를 제공하기 위해서 주어지는 것이다.
- [0019] 도 2는 PA 시스템의 예를 보여준다. 도시된 예에서, PA 시스템(200)은 SMPS(210) 및 클래스-D 앰프(240)를 포함하는데, SMPS(210)는 전원으로부터 전달된 전력을 변환하기 위해 스위칭 동작을 수행하여 클래스-D 앰프(240)에 DC 전력을 공급할 수 있다. 그러면, 클래스-D 앰프(240)는 클래스-D 앰프(240)에 입력된 오디오 신호를 증폭하

기 위해 스위칭 동작을 수행하여 증폭된 오디오 신호를 출력할 수 있다.

[0020] 구체적으로, 도 2에 도시된 바와 같이, SMPS(210)는 전력 컨버터(220) 및 컨버터 제어기(230)를 포함하고, 클래스-D 앰프(240)는 출력 스테이지 회로(250) 및 앰프 제어기(270)를 포함한다.

[0021] 전력 컨버터(220)는 스위치(가령, n 타입 MOSFET, p 타입 MOSFET, 또는 임의의 다른 적절한 반도체 스위칭 소자)를 갖는다. 몇몇 예에서, 전력 컨버터(220)는 플라이백(flyback) 컨버터(가령, 도 4에 예시된 바와 같이 패시브 스너버(passive snubber) 회로를 갖는 플라이백 컨버터 또는 도 5에 예시된 바와 같이 액티브 스너버(active snubber) 회로를 갖는 플라이백 컨버터)를 포함할 수 있다. 몇몇 다른 예에서, 전력 컨버터(220)는 LLC 공진 컨버터(가령, 하프 브릿지(half-bridge) LLC 컨버터 또는 풀 브릿지(full-bridge) LLC 컨버터)를 포함할 수 있다.

[0022] 컨버터 제어기(230)는 전력 컨버터(220)가 입력 전압(V_i)으로부터 출력 전압(V_o)을 요망되는 대로 생성하게 하기 위해 SMPS(210)의 스위칭을 제어하는데, 이는 PWM 신호(이로써 전력 컨버터(220)의 스위치가 구동됨)를 제공하는 것을 수반할 수 있다. 예를 들어, 전력 컨버터(220)의 특정 스위치는 PWM 신호가 하이 레벨을 갖는 온 지속 기간(on duration)(T_{on}) 동안 닫혀 있고(즉, 온 상태에 머물고), PWM 신호가 로우 레벨을 갖는 오프 지속기간(off duration)(T_{off}) 동안 열려 있도록(즉, 오프 상태에 머물도록), 다시 말해, PWM 신호의 듀티 사이클(duty cycle)(D)(이는 비율 T_{on} / T 인데, 여기서 T는 PWM 신호의 주기(period)로서 $T = T_{on} + T_{off}$ 임)로 온 상태 및 오프 상태 간에 스위칭하도록 동작할 수 있다. 또한, 전력 컨버터(220)의 다른 특정 스위치는 듀티 사이클(D)로 온 상태 및 오프 상태 간에 상보적으로 스위칭하도록, 다시 말해, 온 지속기간(T_{on}) 동안 열려 있고, 오프 지속기간(T_{off}) 동안 닫혀 있도록 동작할 수 있다. SMPS(210)가 이와 같이 듀티 사이클(D)로 스위칭함에 따라, 전력 컨버터(220)는 입력 전압(V_i)을 출력 전압(V_o)(이는 듀티 사이클(D)에 따라 달라짐)으로 변환할 수 있고, 클래스-D 앰프(240)에 출력 전압(V_o)을 제공할 수 있다. 특히, 출력 전압(V_o)은 듀티 사이클(D)에 비례할 수 있다(즉, 듀티 사이클(D)이 커질수록 출력 전압(V_o)이 증가할 수 있고, 듀티 사이클(D)이 작아질수록 출력 전압(V_o)이 감소할 수 있음). 나아가, 컨버터 제어기(230)는 출력 전압(V_o)의 피드백 제어를 수행하기 위해 듀티 사이클(D)을 주어진 듀티 사이클 값(이는 이하에서 목표 듀티 사이클 값으로 또는 단순히 목표 값으로 지칭될 수도 있음)이 되도록 제어할 수 있고, 클래스-D 앰프(240)에 입력된 어떤 오디오 신호가 검출되는지 여부에 따라 상이한 값이 목표 듀티 사이클 값으로서 주어지게 할 수 있다. 예컨대, 목표 듀티 사이클 값은 컨버터 제어기(230)의 구성에 의해, 그리고 더욱 구체적으로, 출력 전압(V_o)의 피드백에 기반하여 동작하는, 컨버터 제어기(230)의 회로 구성에 의해 주어질 수 있다. 따라서, 더욱 상세히 후술되는 바와 같이, 컨버터 제어기(230)는 어떤 입력 오디오 신호가 검출되는지 여부에 따라 컨버터 제어기(230)의 회로 구성을 달리함으로써 목표 듀티 사이클 값을 변경할 수 있다.

[0023] 전력 컨버터(220)의 출력 전압(V_o)은 출력 스테이지 회로(250)에 인가된다. 예로서, 출력 스테이지 회로(250)는(가령, 도 1에 예시된 바와 같이) 2개의 스위치를 하프 브릿지 토폴로지로 포함하거나, 4개의 스위치를 풀 브릿지 토폴로지로 포함할 수 있다.

[0024] 앰프 제어기(270)는 앰프 제어기(270)로의 입력 오디오 신호가 검출되는지 여부를 컨버터 제어기(230)에 시그널링한다. 컨버터 제어기(230)는 입력 오디오 신호가 검출된다고 시그널링된 경우 듀티 사이클(D)이 쫓을 목표 듀티 사이클 값을 제1 목표 듀티 사이클 값(이는 출력 전압(V_o)의 레벨이 정상 구동 전압 레벨(가령, $+HV' - (-HV') = 2HV'$)에 도달하게 함)(가령, 50%의 듀티 사이클 값)으로 스위칭하고, 입력 오디오 신호가 검출되지 않는다고 시그널링된 경우 듀티 사이클(D)이 쫓을 목표 듀티 사이클 값을 제1 목표 듀티 사이클 값보다 낮은 제2 목표 듀티 사이클 값(이는 출력 전압(V_o)의 레벨이 정상 구동 전압 레벨 미만하게 함)으로 스위칭한다. 따라서, 입력 오디오 신호가 있으면 SMPS(210)의 전력 컨버터(220)가 더 큰 목표 값의 듀티 사이클(D)로 스위칭하여 정상 구동 전압 레벨의 출력 전압(V_o)을 클래스-D 앰프(240)의 출력 스테이지 회로(250)에 인가할 수 있다. 입력 오디오 신호는 앰프 제어기(270)에 의해 제어 신호(가령, 앞서 도 1에 관해서 기술된 바와 같은 PWM 신호)를 생성하는 데에 사용될 수 있고, 이 제어 신호로써 출력 스테이지 회로(250)의 스위치가 구동될 수 있다. 반면에, 입력 오디오 신호가 없는 동안에는 SMPS(210)의 전력 컨버터(220)가(예컨대, 입력 오디오 신호가 있는 동안에는 취해지지 않을, 가령, 50%에 훨씬 못 미치는) 더 작은 목표 값의 듀티 사이클(D)로 스위칭하여 감소된 레벨의 출

력 전압(V_o)을 클래스-D 앰프(240)의 출력 스테이지 회로(250)에 인가할 수 있다.

- [0025] 도 3은 PA 시스템(200)의 더욱 상세화된 도해를 보여준다. 도 3에 도시된 바와 같이, 컨버터 제어기(230)는 피드백 보상 회로(332) 및 컨버터 스위칭 제어 회로(334)를 포함하고, 앰프 제어기(270)는 오디오 신호 처리 회로(372) 및 앰프 스위칭 제어 회로(374)를 포함한다.
- [0026] 오디오 신호 처리 회로(372)는 입력 오디오 신호(S_i)에 대해 소정의 처리(가령, 출력 스테이지 회로(250)의 출력과의 비교를 위한 처리, 후술되는 바와 같은 페이드 인(fade-in) 처리, 그리고/또는 다른 종류의 처리)를 수행하여 처리된 오디오 신호(이는 이하에서 증폭 대상 오디오 신호로 지칭될 수도 있음)를 생성할 수 있다. 앰프 스위칭 제어 회로(374)는 클래스-D 앰프(240)로 하여금 증폭된 오디오 신호를 생성하기 위해 스위칭 하게 하는 앰프 스위칭 제어 신호를 처리된 오디오 신호로부터 생성할 수 있다. 특히, 앰프 스위칭 제어 회로(374)는 처리된 오디오 신호로써 캐리어 신호(S_{c1})(가령, 삼각파 신호)를 변조(가령, PWM)하여 앰프 스위칭 제어 신호(가령, PWM 신호)를 생성할 수 있다. 앰프 스위칭 제어 신호에 따라 출력 스테이지 회로(250)의 스위치가 동작되면, 출력 스테이지 회로(250)는 증폭된 레벨의 펄스 신호를 출력할 수 있다. 이 펄스 신호가 LPF(360)(이는 인덕터 및 커패시터를 포함하는 LC 필터일 수 있음)에 제공됨에 따라, LPF(360)는 증폭된 오디오 신호를 출력할 수 있는데, 이 증폭된 오디오 신호로써 스피커(390)가 구동될 수 있다.
- [0027] 그런데, 실제 오디오 신호가 입력되지 않는 동안에도 클래스-D 앰프(240)는 통상적으로 (예컨대, 입력 오디오 신호(S_i)가 영 입력(zero input)으로 주어질 때에 PWM 신호가 갖게 되는 50% 듀티 사이클로) 계속해서 스위칭하고, 결국 LPF(360)로 인해 스피커(390)로 리플(ripple) 전류가 흐른다. 이 리플 전류가 감소할수록 PA 시스템(200)에서 발생하는 손실, 예컨대, LPF(360)의 인덕터에서 발생하는 손실, 스피커(390)에서 발생하는 손실, 출력 스테이지 회로(250)의 스위치의 턴 온 손실 및 턴 오프 손실, 출력 스테이지 회로(250)의 스위치에서 발생하는 도통 손실(conduction loss)(이는 해당 스위치의 드레인-소스 온 상태 저항(R_{DSon})에 따라 주어질 수 있음) 등이 줄어들 것이다. 본 개시에서는 그러한 전류가 SMPS(210)로부터 클래스-D 앰프(240)에 인가되는 전압과도 연관된다는 점에 주목한다. 이에 따라, 무엇보다도 앰프 제어기(270) 및 컨버터 제어기(230)는, 아래에서 더욱 상세히 논의되는 바와 같이, PA 시스템(200)에서 소비 전력을 개선하기 위한(특히, 입력 오디오 신호가 없는 동안에 클래스-D 앰프(240)의 소비 전력을 줄이기 위한) 회로 어셈블리(circuit assembly) 내지 장치로서 조합이 되어 구성될 수 있다.
- [0028] 구체적으로, 도 3의 예에서, 오디오 신호 처리 회로(372)는 클래스-D 앰프(240)에 오디오 신호가 입력되는지 여부를 검출할 수 있고, 검출의 결과를 피드백 보상 회로(332)에 시그널링할 수 있다. 클래스-D 앰프(240)의 오디오 입력 단자에서 소정의 임계 시간 기간(가령, 20초 이상이고 60초 이하인 사전결정된 길이를 갖는 시간 기간) 동안에 계속해서 소정의 레벨 이상의 오디오 신호가 수신되지 않는 경우에 오디오 신호 처리 회로(372)는 클래스-D 앰프(240)에 입력된 어떤 검출된 오디오 신호도 부재함을 시그널링할 수 있고, 그렇지 않은 경우에 클래스-D 앰프(240)에 입력된 오디오 신호가 검출됨을 시그널링할 수 있다. 예를 들어, 오디오 신호 처리 회로(372)는 그러한 검출 또는 그러한 부재를 나타내는 검출 결과 신호(가령, 이진 신호)를 피드백 보상 회로(332)에 제공할 수 있다.
- [0029] 또한, 도 3의 예에서, 피드백 보상 회로(332)는 피드백 보상 회로(332)의 이득(gain)에 따라, 보상된 피드백 신호를 전력 컨버터(220)의 출력 전압(V_o)으로부터 생성할 수 있다. 예를 들어, 피드백 보상 회로(332)는 전력 컨버터(220)의 출력 전압(V_o)으로부터 피드백 신호(가령, 출력 전압(V_o)의 분율(fraction))를 생성할 수 있고, 피드백 신호를 기준 신호로서 제공되는 기준 전압(V_{ref})과 비교하여 증폭된 에러 신호를 생성할 수 있으며, 증폭된 에러 신호에 기반하여 보상된 피드백 신호를 생성할 수 있다.
- [0030] 추가적으로, 피드백 보상 회로(332)는 클래스-D 앰프(240)에 입력된 오디오 신호가 검출됨이 시그널링되는지 또는 클래스-D 앰프(240)에 입력된 어떤 검출된 오디오 신호도 부재함이 시그널링되는지에 따라 피드백 보상 회로(332)의 이득을 상이한 값 간에 스위칭할 수 있다. 예를 들어, 입력 오디오 신호의 검출이 시그널링된 경우에 피드백 보상 회로(332)의 이득은 (예컨대, 중대역(mid-band)과 같은 소정의 주파수 대역에서 전력 컨버터(220)의 출력 전압(V_o)에 대한 보상된 피드백 신호의 비율을 나타내는 값으로서) 제1 이득 값을 가질 수 있어서, 보상된 피드백 신호는 제1 전압 레벨에 도달하도록 생성될 수 있고, 검출된 입력 오디오 신호의 부재가 시그널링된 경우에 피드백 보상 회로(332)의 이득은 제1 이득 값보다 낮은 제2 이득 값을 가질 수 있어서, 보상된 피드백 신호는 제1 전압 레벨보다 낮은 제2 전압 레벨에 도달하도록 생성될 수 있다.

- [0031] 아래에서 도 6 및 도 7을 참조하여 더욱 상세히 논의되는 바와 같이, 피드백 보상 회로(332)의 이득은 피드백 보상 회로(332)에의 출력 전압(V_o)의 피드백 및/또는 피드백 보상 회로(332)를 위한 바이어스(bias)에 의존할 수 있다. 따라서, 피드백 보상 회로(332)는 입력 오디오 신호의 검출이 시그널링되는지 또는 검출된 입력 오디오 신호의 부재가 시그널링되는지에 따라 상이한 회로 경로를 통해 그러한 피드백 및/또는 바이어스가 제공되게 함으로써, 다시 말해, 피드백 보상 회로(332)의 회로 구성을 달리함으로써, 피드백 보상 회로(332)의 이득을 변경할 수 있다.
- [0032] 나아가, 도 3의 예에서, 컨버터 스위칭 제어 회로(334)는 이 보상된 피드백 신호로부터, 전력 컨버터(220)의 스위치로 하여금 제어된 듀티 사이클(D)로 동작하게 하는 PWM 신호를 컨버터 스위칭 제어 신호로서 생성할 수 있다. 특히, 컨버터 스위칭 제어 회로(334)는 보상된 피드백 신호로써 캐리어 신호(S_{c2})(가령, 삼각파 신호)를 펄스 폭 변조하여 컨버터 스위칭 제어 신호를 생성할 수 있다. 예를 들어, 컨버터 스위칭 제어 신호는, 보상된 피드백 신호가 제1 전압 레벨에 도달하면 듀티 사이클(D)이 제1 목표 듀티 사이클 값이 되도록, 그리고 보상된 피드백 신호가 제2 레벨의 전압에 도달하면 듀티 사이클(D)이 제2 목표 듀티 사이클 값이 되도록, 생성될 수 있다.
- [0033] 이와 같이, 컨버터 스위칭 제어 신호로써 제어된 듀티 사이클(D)로 SMPS(210)가 스위칭함에 따라, 입력 오디오 신호(S_i)의 검출 시에는 클래스-D 앰프(240)에 정상 구동 전압 레벨의 출력 전압(V_o)이 인가되고 검출된 입력 오디오 신호의 부재 시에는 정상 구동 전압 레벨보다 낮은(가령, 정상 구동 전압 레벨의 50% 이하의) 출력 전압(V_o)이 인가되는바, 오디오 신호가 전혀 입력되지 않는 동안에 클래스-D 앰프(240)의 소비 전력이 절감될 수 있다. 따라서, 언제 요구될지 모르는 비상 방송에 대비하기 위해 PA 시스템(200)은 항상 동작하면서도 과도한 에너지를 소모하지 않을 수 있다.
- [0034] SMPS(210)에서의 출력 전압(V_o)의 피드백 제어의 제어 루프(control loop)의 단위 이득 주파수(unity gain frequency)(즉, 크로스오버 주파수)는 SMPS(210)의 스위칭 주파수의 1/5을 넘지 않도록(가령, 스위칭 주파수의 약 1/10로) 설정될 수 있다. 부하 과도 응답을 빠르게 하기 위해 단위 이득 주파수를 과도하게 늘리면 스위칭 잡음의 감쇄가 힘들 수 있다. 따라서, 단위 이득 주파수는 클래스-D 앰프(240)의 입력 오디오 신호의 샘플링 주파수(예컨대, 인간 음성의 전송을 위한 채널의 통상적인 대역폭인 4kHz의 2배 이상)에 미치지 못할 수 있다. 예로서, SMPS(210)의 스위칭 주파수는 40kHz일 수 있고, 피드백 제어 루프의 단위 이득 주파수는 8kHz 이하일 수 있다. 단위 이득 주파수가 그렇게 아주 높지 않은 사례도 감안하면, 듀티 사이클(D)의 목표 값을 클래스-D 앰프(240)의 입력 오디오 신호의 검출 여부에 따라 스위칭하는 것이(그러한 검출의 결과는 비교적 가끔 바뀔 것이므로) 유리할 수 있다.
- [0035] 이제, 도 4 내지 도 6을 참조하여, PA 시스템(200)의 몇몇 컴포넌트의 예시적인 구성에 대해 더욱 상세히 설명한다.
- [0036] 몇몇 예에서, 도 4에 도시된 바와 같이, 전력 컨버터(220)는 여자 인덕턴스(magnetizing inductance)가 L_{m4} 이고 턴비가 $n_4:1$ 인 트랜스포머(TRN_4), MOSFET과 같은 스위치(M_4), 2개의 정류 다이오드(D_{41} , D_{42})를 갖는 출력 정류기, 그리고 저항기(R_{s4}), 커패시터(C_{s4}) 및 다이오드(D_{s4})를 갖는 패시브 스너버 회로를 포함하는 플라이백 컨버터일 수 있다. 컨버터 스위칭 제어 신호는 스위치(M_4)의 게이트에 인가될 수 있다. 트랜스포머(TRN_4)의 1차측 권선은 전력 컨버터(220)의 신호 입력 단자 및 스위치(M_4) 사이에 커플링될 수 있고, 스위치(M_4)는 트랜스포머(TRN_4)의 1차측 권선 및 전력 컨버터(220)의 접지 입력 단자 사이에 커플링될 수 있는데, 다이오드(D_{s4})의 애노드(anode)는 트랜스포머(TRN_4)의 도트 표시되지 않은(undotted) 1차측 단자에 커플링될 수 있고, 저항기(R_{s4})는 트랜스포머(TRN_4)의 도트 표시된(dotted) 1차측 단자 및 다이오드(D_{s4})의 캐소드(cathode) 사이에, 그리고 커패시터(C_{s4})와 병렬로 커플링될 수 있다. 트랜스포머(TRN_4)의 도트 표시되지 않은 2차측 단자에 정류 다이오드(D_{41})의 애노드가 커플링될 수 있고, 트랜스포머(TRN_4)의 도트 표시된 2차측 단자에 정류 다이오드(D_{42})의 캐소드가 커플링될 수 있는데, 정류 다이오드(D_{41})의 캐소드는 전력 컨버터(220)의 고전압 출력 단자에 커플링될 수 있고, 정류 다이오드(D_{42})의 애노드는 전력 컨버터(220)의 저전압 출력 단자에 커플링될 수 있다. 전력 컨버터(220)의 고전압 출력 단자 및 트랜스포머(TRN_4)의 2차측 권선의 접지된 센터 탭 사이에 출력 커패시터(C_{o41})가

커플링될 수 있고, 전력 컨버터(220)의 저전압 출력 단자 및 트랜스포머(TRN₄)의 2차측 권선의 센터 탭 사이에 출력 커패시터(C_{o42})가 커플링될 수 있다. 이들 출력 커패시터(C_{o41}, C_{o42})는 (가령, 수백 μ F보다 큰) 동일한 커패시턴스 값을 가질 수 있고, 전력 컨버터(220)의 출력 전압(V_o)이 전력 컨버터(220)의 고전압 출력 단자에 발생될 수 있고, 출력 전압(V_o)의 반전된 버전이 전력 컨버터(220)의 저전압 출력 단자에 발생될 수 있다. 추가로, 전력 컨버터(220)의 입력 단자 사이에는 (가령, 커패시턴스 값이 작은) 입력 커패시터(C_{i4})가 커플링될 수 있다.

[0037] 대안적으로, 도 5에 도시된 바와 같이, 전력 컨버터(220)는 여자 인덕턴스가 L_{m5}이고 턴비가 n₅:1인 트랜스포머(TRN₅), MOSFET과 같은 스위치(M₅₁), 2개의 정류 다이오드(D₅₁, D₅₂)를 갖는 출력 정류기, 그리고 클램프 커패시터(C_{s5}) 및 추가적인 스위치(M₅₂)(가령, MOSFET)를 갖는 액티브 스너버 회로를 포함하는 액티브 클램프 플라이백 컨버터일 수 있다. 컨버터 스위칭 제어 신호는 스위치(M₅₁)의 게이트에 인가될 수 있고, 인버터(INV)를 거쳐 스위치(M₅₂)의 게이트에 인가될 수 있다. 트랜스포머(TRN₅)의 1차측 권선은 전력 컨버터(220)의 신호 입력 단자 및 스위치(M₅₁) 사이에 커플링될 수 있고, 스위치(M₅₁)는 트랜스포머(TRN₅)의 1차측 권선 및 전력 컨버터(220)의 접지 입력 단자 사이에 커플링될 수 있는데, 액티브 스너버 회로(여기에서 스위치(M₅₂)는 커패시터(C_{s5})와 직렬로 되어 있음)는 트랜스포머(TRN₅)의 도트 표시된 1차측 단자 및 도트 표시되지 않은 1차측 단자 사이에 커플링될 수 있다. 트랜스포머(TRN₅)의 도트 표시되지 않은 2차측 단자에 정류 다이오드(D₅₁)의 애노드가 커플링될 수 있고, 트랜스포머(TRN₅)의 도트 표시된 2차측 단자에 정류 다이오드(D₅₂)의 캐소드가 커플링될 수 있는데, 정류 다이오드(D₅₁)의 캐소드는 전력 컨버터(220)의 고전압 출력 단자에 커플링될 수 있고, 정류 다이오드(D₅₂)의 애노드는 전력 컨버터(220)의 저전압 출력 단자에 커플링될 수 있다. 전력 컨버터(220)의 고전압 출력 단자 및 트랜스포머(TRN₅)의 2차측 권선의 접지된 센터 탭 사이에 출력 커패시터(C_{o51})가 커플링될 수 있고, 전력 컨버터(220)의 저전압 출력 단자 및 트랜스포머(TRN₅)의 2차측 권선의 센터 탭 사이에 출력 커패시터(C_{o52})가 커플링될 수 있다. 이들 출력 커패시터(C_{o51}, C_{o52})는 (가령, 수백 μ F보다 큰) 동일한 커패시턴스 값을 가질 수 있고, 전력 컨버터(220)의 출력 전압(V_o)이 전력 컨버터(220)의 고전압 출력 단자에 발생될 수 있고, 출력 전압(V_o)의 반전된 버전이 전력 컨버터(220)의 저전압 출력 단자에 발생될 수 있다. 추가로, 전력 컨버터(220)의 입력 단자 사이에는 (가령, 커패시턴스 값이 작은) 입력 커패시터(C_{i5})가 커플링될 수 있다.

[0038] 몇몇 예에서, 도 6에 도시된 바와 같이, 컨버터 제어기(230)의 피드백 보상 회로(332)는 이득 조절기(gain adjuster)(632) 및 보상기(compensator)(633)를 포함할 수 있다.

[0039] 이득 조절기(632)는 스위치(SW_a)를 포함할 수 있다. 보상기(633)는 전력 컨버터(220)의 고전압 출력 단자 및 스위치(SW_a) 사이에 별개의 회로 경로를 각각 형성하는 2개의 저항기(R_{a1}, R_{a2})(이들은 서로 상이한 저항 값을 가짐), 그리고 스위치(SW_a) 및 접지 사이에 커플링된 저항기(R_b)를 포함할 수 있다. 스위치(SW_a)는 오디오 신호 처리 회로(372)로부터 제공된 검출 결과 신호에 따라 두 저항기(R_{a1}, R_{a2}) 중 하나를 저항기(R_b)에 커플링할 수 있다. 저항기(R_{a1}) 및 저항기(R_b)가 서로 커플링된 경우에(즉, 저항기(R_{a1})로써 형성된 회로 경로를 거쳐서 출력 전압(V_o)이 피드백되는 경우에) 전력 컨버터(220)의 출력 전압(V_o)의 분율 V_o·R_b/(R_{a1}+R_b)이 피드백 신호(V_f)로서 제공될 수 있다. 저항기(R_{a2}) 및 저항기(R_b)가 서로 커플링된 경우에(즉, 저항기(R_{a2})로써 형성된 회로 경로를 거쳐서 출력 전압(V_o)이 피드백되는 경우에) 전력 컨버터(220)의 출력 전압(V_o)의 상이한 분율 V_o·R_b/(R_{a2}+R_b)이 피드백 신호(V_f)로서 제공될 수 있다.

[0040] 도 6의 예에서, 보상기(633)는 기준 전압(V_{ref}) 및 전술된 피드백 신호(V_f) 간의 차이를 증폭하여 증폭된 에러 신호를 생성하는 에러 증폭기로서 동작하는 OP 앰프(OP₁)를 더 포함할 수 있는데, OP 앰프(OP₁)는 기준 전압(V_{ref})이 인가되는 정 입력 단자, 피드백 신호(V_f)가 인가되는 부 입력 단자, 그리고 증폭된 에러 신호를 보상된 피드백 신호(V_e)로서 출력하는 출력 단자를 갖는다. 나아가, 보상기(633)는 그러한 에러 증폭기의 로컬 피드백 망(이는 OP 앰프(OP₁)의 부 입력 단자 및 출력 단자 사이에 커플링된 커패시터(C₂), 그리고 OP 앰프(OP₁)의 부

입력 단자 및 출력 단자 사이에 서로 직렬로 커플링되고 커패시터(C_2)와 병렬로 커플링된 저항(R_1) 및 커패시터(C_1)를 가짐)을 더 포함할 수 있다. 보상기(633)는 이 로컬 피드백 망의 저항(R_1), 커패시터(C_1) 및 커패시터(C_2)에 따라 정해지는 영점(가령, $f_z=1/(2\pi \cdot R_1 \cdot C_1)$) 및 극점(가령, $f_{p1}=1/(2\pi \cdot R_1 \cdot C_2)$)을 가질 수 있는바, 피드백 보상 회로(332)는 충분한 이득 마진(margin) 및 위상 마진을 제공할 수 있다. 이와 같이, 보상기(633)는 SMPS(210)의 페루프 전달 함수를 개선하여 전력 컨버터(220)의 안정화에 이바지할 수 있다.

[0041] 추가적으로, 도 6에 도시된 바와 같이, 컨버터 제어기(230)의 컨버터 스위칭 제어 회로(334)는 보상된 피드백 신호(V_e)를 캐리어 신호(S_{c2})와 비교하여 컨버터 스위칭 제어 신호를 생성하는 변조기(modulator)(634)를 포함할 수 있다. 변조기(634)는 OP 앰프(OP₂)(이는 보상된 피드백 신호(V_e)가 인가되는 정 입력 단자, 캐리어 신호(S_{c2})가 인가되는 부 입력 단자, 그리고 컨버터 스위칭 제어 신호가 출력되는 출력 단자를 가짐)를 포함할 수 있다.

[0042] 설명의 편의를 위해, 도 6의 예에서, 저항기(R_{a2})가 저항기(R_{a1})보다 높은 저항 값을 갖는다고 가정하자. 그러면, 스위치(SW_a)는 클래스-D 앰프(240)에 입력된 오디오 신호의 검출이 시그널링됨에 응답하여 저항기(R_{a1})를 저항기(R_b)에 커플링하도록 동작될 수 있고(이 경우에, 피드백 신호(V_f)는 출력 전압(V_o)의 더 높은 분율 $V_o \cdot R_b / (R_{a1} + R_b)$ 이며, 피드백 보상 회로(332)의 중대역 이득은 R_1 / R_{a1} 일 수 있음), 클래스-D 앰프(240)에 입력된 임의의 검출된 오디오 신호의 부재가 시그널링됨에 응답하여 저항기(R_{a2})를 저항기(R_b)에 커플링하도록 동작될 수 있다(이 경우에, 피드백 신호(V_f)는 출력 전압(V_o)의 더 낮은 분율 $V_o \cdot R_b / (R_{a2} + R_b)$ 이며, 피드백 보상 회로(332)의 중대역 이득은 R_1 / R_{a2} 일 수 있음). 따라서, 전자의 경우보다 후자의 경우에 보상기(633)로부터 출력되는 보상된 피드백 신호(V_e)는 더 작을 수 있고(다시 말해, 피드백 보상 회로(332)의 이득은 더 작을 수 있음), 이에 따라 컨버터 스위칭 제어 신호의 듀티 사이클(D)의 목표 값도 더 작을 수 있고, 결국 전력 컨버터(220)의 출력 전압(V_o)이 감소될 수 있다. 예를 들어, 스위치(SW_a)가 도 6에서 좌측에서 우측으로 스위칭되면, 보상된 피드백 신호(V_e)는 더 작은 값으로 기울고, 컨버터 스위칭 제어 신호의 듀티 사이클(D)도 더 작은 값으로 내려오고, 전력 컨버터(220)의 출력 전압(V_o)의 레벨도 정상 구동 전압 레벨보다 더 작은 값(가령, 도 9a의 예에서, +HV")에 도달한다. 반대로, 스위치(SW_a)가 도 6에서 우측에서 좌측으로 스위칭되면, 보상된 피드백 신호(V_e)는 더 큰 값을 향해 올라가고, 컨버터 스위칭 제어 신호의 듀티 사이클(D)도 더 큰 값에 이르고, 전력 컨버터(220)의 출력 전압(V_o)의 레벨도 전술된 작은 레벨 값으로부터 다시 정상 구동 전압 레벨(가령, 도 9a의 예에서, +HV')까지 오른다(도 9a의 그래프(901) 및 그래프(902) 참조).

[0043] 도 6의 예에 대한 대안으로서, 피드백 보상 회로(332)는 도 7에 도시된 바와 같이 구성된 이득 조절기(732) 및 보상기(733)를 포함할 수 있다.

[0044] 이득 조절기(732)는 스위치(SW_u)를 포함할 수 있다. 보상기(733)는 전력 컨버터(220)의 고전압 출력 단자 및 스위치(SW_u) 사이에 별개의 회로 경로를 각각 형성하는 2개의 저항기(R_{u1} , R_{u2})(이들은 서로 상이한 저항 값을 가짐), 그리고 스위치(SW_u) 및 접지 사이에 커플링된 저항기(R_l)를 포함할 수 있다. 스위치(SW_u)는 오디오 신호 처리 회로(372)로부터 제공된 검출 결과 신호에 따라 두 저항기(R_{u1} , R_{u2}) 중 하나를 저항기(R_l)에 커플링할 수 있고, 이에 따라 출력 전압(V_o)의 대응하는 분율을 나타내는 피드백 신호(V_f)가 제공될 수 있다.

[0045] 도 7의 예에서, 보상기(733)는 내부에서 기준 전압(V_{ref})을 제공하는 션트 전압 조정기(shunt voltage regulator)(SR)(가령, 텍사스 인스트루먼트(Texas Instruments) 사에 의해 제조된 TL431과 같은 션트 조정기 칩)와, 발광 다이오드(Light Emitting Diode: LED)와 같은 발광 소자 및 포토트랜지스터(photo-transistor)와 같은 수광 소자를 갖는 옵토커플러(optocoupler)(OC)(가령, 라이트온 테크놀로지(Lite-On Technology) 사에 의해 제조된 LTV-817과 같은 포토커플러 칩)를 더 포함할 수 있다. 나아가, 보상기(733)는 로컬 피드백 망을 더 포함할 수 있는데, 이는 션트 전압 조정기(SR)의 기준 단자 및 캐소드 단자 사이에 커플링된 커패시터(C_u), 그리고 션트 전압 조정기(SR)의 기준 단자 및 캐소드 단자 사이에 서로 직렬로 커플링되고 커패시터(C_u)와 병렬로 커플링된 저항기(R_v) 및 커패시터(C_v)를 갖는다.

- [0046] 옥토크플러(OC)는 셉트 전압 조정기(SR)와 함께 사용되어 출력 전압(V_o)의 피드백 제어의 제어 루프를 위해 절연을 제공할 수 있다. 셉트 전압 조정기(SR)는 내장된 에러 증폭기를 갖는데, 이는 다음과 같이 출력 전압(V_o)의 피드백 제어에 적용될 수 있다. 셉트 전압 조정기(SR)의 기준 단자에 피드백 신호(V_f)가 입력된다. 그러면, 기준 전압(V_{ref}) 및 피드백 신호(V_f) 간의 차이에 상응하여 셉트 전압 조정기(SR)의 캐소드 단자에 전류(I_F)가 유입된다. 즉, 셉트 전압 조정기(SR)는 일종의 트랜스컨덕턴스(transconductance) 증폭기라고, 그리고 전류(I_F)는 그러한 증폭기에 의해 제공되는 증폭된 에러 신호라고 볼 수 있다.
- [0047] 도 7에 묘사된 바와 같이, 이득 조절기(732)는 스위치(SW_s)를 포함할 수 있고, 보상기(733)는 일정한 바이어스 전압(V_{bias})이 인가되는 단자 및 스위치(SW_s) 사이에 별개의 회로 경로를 각각 형성하는 2개의 저항기(R_{s1} , R_{s2}) (이들은 서로 상이한 저항 값을 가짐)를 더 포함할 수 있다. 스위치(SW_s)는 오디오 신호 처리 회로(372)로부터 제공된 검출 결과 신호에 따라 두 저항기(R_{s1} , R_{s2}) 중 하나를 옥토크플러(OC)의 발광 소자에 커플링할 수 있다. 따라서, 전류(I_F)는 커플링된 저항기로서 형성된 회로 경로를 거쳐서 옥토크플러(OC)의 발광 소자에 들어가 이 소자에 바이어스를 제공할 수 있다.
- [0048] 옥토크플러(OC)의 수광 소자에도 바이어스가 제공될 수 있다. 도 7에 도시된 바와 같이, 보상기(733)는 DC 전압(V_{CC})이 인가되는 단자 및 옥토크플러(OC)의 수광 소자의 단자(가령, 포토트랜지스터의 컬렉터(collector) 단자) 사이에 커플링된 저항기(R_p)를 더 포함할 수 있고, 이에 따라 전류(I_C)가 옥토크플러(OC)의 수광 소자에 들어가 이 소자에 바이어스를 제공할 수 있다.
- [0049] 도 7의 예에서, 옥토크플러(OC)의 발광 소자가 전류를 수신하는 것에 응답하여, 옥토크플러(OC)의 수광 소자는 보상된 피드백 신호(V_e)를 생성할 수 있다. 이에 따라, 보상된 피드백 신호(V_e)로부터 피드백 신호(V_f)가 옥토크플러(OC)에 의해 절연될 수 있다. 도 7에 묘사된 바와 같이, 보상기(733)는 옥토크플러(OC)의 수광 소자의 전술된 단자 및 다른 단자(가령, 포토트랜지스터의 이미터(emitter) 단자) 사이에 커플링된 커패시터(C_p)를 더 포함할 수 있고, 보상된 피드백 신호(V_e)는 이들 단자 간의 전압으로서 제공될 수 있다.
- [0050] 도 7의 예에서 SMPS(210)의 폐루프 전달 함수를 개선하는 접근법에 따르면, 피드백 보상 회로(332)는 저항기(R_p) 및 커패시터(C_p)에 따라 정해지는 추가적인 극점(가령, $f_{p2}=1/(2\pi \cdot R_p \cdot C_p)$)을 가질 수 있다.
- [0051] 도 7의 예에서, 저항기(R_{u2})가 저항기(R_{u1})보다 높은 저항 값을 갖고 저항기(R_{s2})가 저항기(R_{s1})보다 높은 저항 값을 갖는다고 가정하자. 그러면, 클래스-D 앰프(240)에 입력된 오디오 신호의 검출이 시그널링됨에 응답하여, 스위치(SW_u)는 저항기(R_{u1})를 저항기(R_l)에 커플링하도록, 그리고 스위치(SW_s)는 저항기(R_{s1})를 옥토크플러(OC)의 발광 소자에 커플링하도록 동작될 수 있다(이 경우에, 피드백 보상 회로(332)의 중대역 이득은 $(R_z/R_{u1}) \cdot (R_p/R_{s1}) \cdot CTR$ 일 수 있는데, 여기에서 CTR은 옥토크플러(OC)의 전류 전달비(current transfer ratio), 다시 말해, 전류(I_F)에 대한 전류(I_C)의 비임). 또한, 이 예에서, 클래스-D 앰프(240)에 입력된 임의의 검출된 오디오 신호의 부재가 시그널링됨에 응답하여, 스위치(SW_u)는 저항기(R_{u2})를 저항기(R_l)에 커플링하도록, 그리고 스위치(SW_s)는 저항기(R_{s2})를 옥토크플러(OC)의 발광 소자에 커플링하도록 동작될 수 있다(이 경우에, 피드백 보상 회로(332)의 중대역 이득은 $(R_z/R_{u2}) \cdot (R_p/R_{s2}) \cdot CTR$ 일 수 있음). 따라서, 전자의 경우보다 후자의 경우에 보상기(733)로부터 출력되는 보상된 피드백 신호(V_e)는 더 작을 수 있고(다시 말해, 피드백 보상 회로(332)의 이득은 더 작을 수 있음), 이에 따라 컨버터 스위칭 제어 신호의 듀티 사이클(D)의 목표 값도 더 작을 수 있고, 결국 전력 컨버터(220)의 출력 전압(V_o)이 감소될 수 있다.
- [0052] 대안적으로, 이득 조절기(732)가 스위치(SW_u)를 포함하지 않고 보상기(733)가 저항기(R_{u1} , R_{u2}) 대신에 전력 컨버터(220)의 고전압 출력 단자 및 저항기(R_l) 사이에 커플링된 단 하나의 저항기(R_u)를 포함하는 예와, 이득 조절기(732)가 스위치(SW_s)를 포함하지 않고 보상기(733)가 저항기(R_{s1} , R_{s2}) 대신에 옥토크플러(OC)의 발광 소자 및 바이어스 전압(V_{bias})이 인가되는 단자 사이에 커플링된 단 하나의 저항기(R_s)를 포함하는 예가 고려된다. 또한, 도 7의 예를 비롯하여 몇몇 예에서, 보상기(733)가 저항기(R_p) 대신에 DC 전압(V_{CC})이 인가되는 단자 및 이득 조

절기(732)의 추가적인 스위치 사이에 별개의 회로 경로를 각각 형성하는 2개의 저항기(R_{p1} , R_{p2})(이들은 서로 상이한 저항 값을 가짐)를 포함할 수 있다는 점도 고려된다.

[0053] 몇몇 예에서, 도 8에 도시된 바와 같이, 오디오 신호 처리 회로(372)는 아날로그 대 디지털 컨버터(Analog-to-Digital Converter: ADC)(872), 디지털 신호 프로세서(Digital Signal Processor: DSP)(874), 디지털 대 아날로그 컨버터(Digital-to-Analog Converter: DAC)(876) 및 마이크로 제어기 유닛(Micro-Controller Unit: MCU)(878)을 포함할 수 있다.

[0054] ADC(872)는 입력 오디오 신호(S_i)를 수신하도록 클래스-D 앰프(240)의 오디오 입력 단자에 커플링될 수 있고, 디지털 샘플의 시퀀스를 출력할 수 있다. DSP(874)는 ADC(872)로부터 출력된 시퀀스 내의 디지털 샘플이 소정의 임계 레벨 이상의 레벨을 갖는 경우에 그러한 디지털 샘플의 존재를 MCU(878)에 시그널링할 수 있다(즉, 입력 오디오 신호의 검출). MCU(878)는 소정의 임계 시간 기간을 카운트하도록 MCU(878) 내의 타이머(timer)를 동작시킬 수 있고, 다음과 같은 동작을 수행할 수 있다: 임계 시간 기간 내에 DSP(874)에 의해 임계 레벨 이상의 레벨을 갖는 디지털 샘플의 존재에 대한 시그널링이 발생하는 경우, 클래스-D 앰프(240)에 입력된 오디오 신호가 검출됨을 나타내도록 검출 결과 신호를 생성하여 이를 피드백 보상 회로(332)에 제공하고, 타이머를 리셋하여 다시 동작시키는 것; 그리고 임계 시간 기간 내에 그러한 시그널링이 발생하지 않는 경우, 클래스-D 앰프(240)에 입력된 어떤 검출된 오디오 신호도 부재함을 나타내도록 검출 결과 신호를 생성하여 이를 피드백 보상 회로(332)에 제공하면서 그러한 부재를 또한 DSP(874)에 시그널링하고, 타이머를 다시 동작시키는 것.

[0055] 또한, DSP(874)는 ADC(872)의 출력 시퀀스 내의 디지털 샘플의 레벨을 조절하여 처리된 디지털 샘플의 시퀀스를 생성할 수 있는데, DAC(876)에 의해 이 시퀀스는 처리된 오디오 신호(즉, 증폭 대상 오디오 신호)로 변환될 수 있다. 특히, DSP(874)는 클래스-D 앰프(240)에 입력된 임의의 검출된 오디오 신호의 부재가 시그널링된 후에 어떤 시점(가령, 도 9a의 예에서, 시점 $t=t_a$)에서 ADC(872)로부터 임계 레벨 이상의 레벨을 갖는, 입력 오디오 신호(S_i)의 디지털 샘플을 수신하면, 이후에 과도 기간(transient period)(가령, 도 9a의 예에서, 시점 $t=t_a$ 부터 시점 $t=t_b$ 까지의 기간)에 걸쳐 ADC(872)로부터 차례로 수신된 디지털 샘플에 대해 0부터 1로 서서히 높아지는 인자를 각각 곱할 수 있다. 이러한 방식으로, 입력 오디오 신호(S_i)는 페이드 인될 수 있다(도 9a의 그래프(905) 참조). 이에 따라, 과도 기간 동안에 클래스-D 앰프(240)의 출력 신호(즉, 증폭된 오디오 신호)의 레벨이, 그리고 따라서 스피커(390)로부터 나오는 소리가 서서히 커질 수 있다(도 9a의 그래프(910) 및 이의 부분 확대 그래프(915) 참조). 과도 기간의 길이는 다음과 같이 정해질 수 있다: 컨버터 제어기(230)에 의한 듀티 사이클(D)의 제어는 해당 길이의 시간 기간 내에 전력 컨버터(220)의 출력 전압(V_o)을 다시 정상 구동 전압 레벨까지 점진적으로 증가시키도록 타겟팅됨. 다시 말해, 과도 기간 내에 듀티 사이클(D)은 출력 전압(V_o)으로 하여금 정상 구동 전압 레벨에 도달하게 하는 목표 듀티 사이클 값까지 점진적으로 증가되도록 제어될 수 있다. 전술된 페이드 인 처리는 다음과 같은 점에서 더 유리할 수 있다: 페이드 인 처리가 없다면(도 9b의 그래프(935) 참조), 과도 기간 동안에 클래스-D 앰프(240)에서 발생하는 클리핑(clipping)으로 인해 클래스-D 앰프(240)의 출력 신호가 사각파와 비슷한 파형을 취할 공간이 있고(도 9b의 그래프(940) 및 이의 부분 확대 그래프(945) 참조), 그러면 바람직하지 않게도 스피커(390)에 DC 성분의 전류가 전달될 수 있음.

[0056] 도 10은 예시적인 시나리오에서의 클래스-D 앰프(240)의 출력을 보여준다.

[0057] 도 10의 예에서, 시간 $t=t_0$ 및 시간 $t=t_1$ 사이의 시간 기간 동안에, 클래스-D 앰프(240)의 앰프 제어기(270)의 오디오 신호 처리 회로(372)에 오디오 신호가 입력된다. 이 시간 기간 동안에, 도 10에 묘사된 바와 같이, 정상 구동 전압 레벨의 출력 전압(V_o)이 SMPS(210)의 전력 컨버터(220)로부터 클래스-D 앰프(240)의 출력 스테이지 회로(250)에 인가되고, 출력 스테이지 회로(250)는 증폭 대상 오디오 신호를 수신하고 증폭된 오디오 신호를 출력한다.

[0058] 이어서, 시간 $t=t_1$ 부터 시간 $t=t_4$ 까지 클래스-D 앰프(240)에 어떤 오디오 신호도 입력되지 않는다. 우선, 도 10에 묘사된 바와 같이, $t=t_1$ 및 시간 $t=t_2$ 사이의 시간 기간(가령, 10초 내지 30초 사이의 사전결정된 길이의 임계 시간 기간) 동안에 전력 컨버터(220)의 출력 전압(V_o)의 레벨은 유지된다. 이 시간 기간이 경과하면, 오디오 신호 처리 회로(372)는 클래스-D 앰프(240)에 입력된 어떤 검출된 오디오 신호도 부재한다고 SMPS(210)의 컨버터 제어기(230)의 피드백 보상 회로(332)에 시그널링한다. 그러면, 피드백 보상 회로(332)로부터 제공된 보상된 피드백 신호에 따라 컨버터 제어기(230)의 컨버터 스위칭 제어 회로(334)는 전력 컨버터(220)의 스위치가 동작되

는 듀티 사이클을 제어하기 위해 컨버터 스위칭 제어 신호를 생성하고 이를 전력 컨버터(220)에 제공한다. 이에 따라, 도 10에 도시된 바와 같이, 전력 컨버터(220)의 출력 전압(V_o)의 레벨은 시간 $t=t_2$ 및 시간 $t=t_3$ 사이의 시간 기간에서 점점 줄어들어 시간 $t=t_3$ 에서 정상 구동 전압 레벨보다 낮은 값에 도달하고, 이러한 낮은 레벨의 출력 전압(V_o)이 시간 $t=t_3$ 및 시간 $t=t_4$ 사이의 시간 기간 동안에 출력 스테이지 회로(250)에 인가된다.

[0059] 이제, $t=t_4$ 부터 다시 오디오 신호 처리 회로(372)에 오디오 신호가 입력된다. 오디오 신호 처리 회로(372)는 클래스-D 앰프(240)에 입력된 오디오 신호가 검출됨을 피드백 보상 회로(332)에 시그널링한다. 그러면, 피드백 보상 회로(332)로부터 제공된 달라진 보상된 피드백 신호에 따라 컨버터 스위칭 제어 회로(334)는 전력 컨버터(220)의 스위치가 동작되는 듀티 사이클을 제어한다. 이에 따라, 도 10에 도시된 바와 같이, 전력 컨버터(220)의 출력 전압(V_o)의 레벨은 시간 $t=t_4$ 및 시간 $t=t_5$ 사이의 시간 기간(가령, 100 밀리초 내지 300 밀리초 사이의 사전결정된 길이의 과도 기간)에서 점점 커져 시간 $t=t_5$ 에서 정상 구동 전압 레벨에 도달한다. 도 10에서 볼 수 있듯이, 이 과도 기간 동안에, 오디오 신호 처리 회로(372)는 입력된 오디오 신호를 페이드 인하여 증폭 대상 오디오 신호를 제공하고, 출력 스테이지 회로(250)는 그러한 증폭 대상 오디오 신호를 증폭한다. 도 10을 계속해서 참조하면, 시간 $t=t_5$ 이후에, 출력 전압(V_o)은 정상 구동 전압 레벨로 유지되고, 이에 따라 출력 스테이지 회로(250)는 증폭된 오디오 신호를 출력한다.

[0060] 다음은 클래스-D 앰프의 소비 전력을 개선하는 것에 관한 다양한 예이다.

[0061] 예 1에서, 스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)의 출력 전압을 인가받는 클래스-D 앰프의 소비 전력을 개선하기 위한 장치(위 출력 전압은 위 SMPS가 스위칭하는 듀티 사이클에 비례함)는, 위 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 위 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지를 시그널링하는 앰프 제어기와, 위 출력 전압의 피드백 제어를 수행하기 위해 위 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고, 위 시그널링된 검출에 응답하여, 위 주어진 듀티 사이클 값을 제1 값으로 스위칭하고, 위 시그널링된 부재에 응답하여, 위 주어진 듀티 사이클 값을 위 제1 값보다 낮은 제2 값으로 스위칭하는 컨버터 제어기를 포함한다.

[0062] 예 2는 예 1의 주제를 포함하는데, 위 시그널링된 부재 후에 위 검출이 행해진 경우, 위 앰프 제어기는 또한 과도 기간에 걸쳐 위 클래스-D 앰프에 의한 증폭을 위해 위 입력된 오디오 신호를 페이드 인하되(fade-in), 위 듀티 사이클은 위 과도 기간 내에 위 제2 값으로부터 위 제1 값으로 점진적으로 증가되도록 제어된다.

[0063] 예 3은 예 1 또는 예 2의 주제를 포함하는데, 위 컨버터 제어기는, 피드백 보상 회로(위 피드백 보상 회로는 위 피드백 보상 회로의 이득에 따라, 보상된 피드백 신호를 위 출력 전압으로부터 생성하고, 위 검출 또는 위 부재가 시그널링되는지에 따라 위 이득을 스위칭함)와, 위 SMPS로 하여금 위 제어된 듀티 사이클로 스위칭하게 하는 펄스 폭 변조(Pulse Width Modulation: PWM) 신호를 위 보상된 피드백 신호로부터 생성하는 컨버터 스위칭 제어 회로를 포함한다.

[0064] 예 4는 예 3의 주제를 포함하는데, 위 피드백 보상 회로는 에러 증폭기와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로 또는 위 제2 회로 경로를 거쳐서 위 에러 증폭기에 위 출력 전압이 피드백되게 함으로써 위 이득의 위 스위칭을 수행한다.

[0065] 예 5는 예 4의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.

[0066] 예 6은 예 4 또는 예 5의 주제를 포함하는데, 위 에러 증폭기는 위 보상된 피드백 신호를 생성하기 위해 위 피드백을 기준 신호와 비교한다.

[0067] 예 7은 예 3의 주제를 포함하는데, 위 피드백 보상 회로는 셉트 전압 조정기와, 옵토키퍼러와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 셉트 전압 조정기는 위 출력 전압을 피드백받고, 위 피드백은 위 옵토키퍼러에 의해 위 보상된 피드백 신호로부터 절연되고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로 또는 위 제2 회로 경로를 거쳐서 위 옵토키퍼러에 바이어스가 제공되게 함으로써 위 이득의 위 스위칭을 수행한다.

[0068] 예 8은 예 7의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.

[0069] 예 9는 예 7 또는 예 8의 주제를 포함하는데, 위 셉트 전압 조정기는 증폭된 에러 신호를 제공하기 위해 위 피

드백을 내부 기준 신호와 비교하고, 위 옵토커플러는 위 증폭된 에러 신호를 수신하는 것에 응답하여 위 보상된 피드백 신호를 생성한다.

- [0070] 예 10은 예 3 내지 예 9 중 임의의 것의 주제를 포함하는데, 위 컨버터 스위칭 제어 회로는, 위 PWM 신호를 생성하기 위해 위 보상된 피드백 신호를 캐리어 신호와 비교하는 변조기를 포함한다.
- [0071] 예 11은 예 3 내지 예 10 중 임의의 것의 주제를 포함하는데, 위 듀티 사이클은 위 PWM 신호의 주기에 대한 위 PWM 신호의 온 지속기간의 비율이다.
- [0072] 예 12는 예 1 내지 예 11 중 임의의 것의 주제를 포함하는데, 위 피드백 제어의 제어 루프의 단위 이득 주파수는 8 kHz 이하이다.
- [0073] 예 13은 예 1 내지 예 12 중 임의의 것의 주제를 포함하는데, 위 앰프 제어기는, 위 검출 또는 위 부재의 위 시그널링을 수행하고, 처리된 오디오 신호를 생성하기 위해 위 검출에 응답하여 위 입력된 오디오 신호를 페이드 인하는 오디오 신호 처리 회로와, 위 클래스-D 앰프로 하여금 증폭된 오디오 신호를 생성하기 위해 스위칭하게 하는 제어 신호를 위 처리된 오디오 신호로부터 생성하는 앰프 스위칭 제어 회로를 포함한다.
- [0074] 예 14에서, 스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)는, 전력 컨버터(위 전력 컨버터는 스위치를 갖고, 위 스위치가 동작되는 듀티 사이클에 비례하는 출력 전압을 생성하되, 상기 생성된 출력 전압은 클래스-D 앰프에 인가됨)와, 위 출력 전압의 피드백 제어를 수행하기 위해 위 듀티 사이클을 주어진 듀티 사이클 값이 되도록 제어하고, 위 클래스-D 앰프에 입력된 오디오 신호의 검출에 응답하여, 위 주어진 듀티 사이클 값을 제1 값으로 스위칭하고, 위 클래스-D 앰프에 입력된 임의의 검출된 오디오 신호의 부재에 응답하여, 위 주어진 듀티 사이클 값을 위 제1 값보다 낮은 제2 값으로 스위칭하는 컨버터 제어기를 포함한다.
- [0075] 예 15는 예 14의 주제를 포함하는데, 위 부재 후에 위 검출이 행해진 경우, 위 듀티 사이클은 위 클래스-D 앰프에 의한 증폭을 위해 위 입력된 오디오 신호가 페이드 인되는 과도 기간 내에 위 제2 값으로부터 위 제1 값으로 점진적으로 증가되도록 제어된다.
- [0076] 예 16은 예 14 또는 예 15의 주제를 포함하는데, 위 컨버터 제어기는, 피드백 보상 회로(위 피드백 보상 회로는 위 피드백 보상 회로의 이득에 따라, 보상된 피드백 신호를 위 출력 전압으로부터 생성하고, 위 검출 또는 위 부재가 시그널링되는지에 따라 위 이득을 스위칭함)와, 위 스위치로 하여금 위 제어된 듀티 사이클로 동작되게 하는 펄스 폭 변조(Pulse Width Modulation: PWM) 신호를 위 보상된 피드백 신호로부터 생성하는 컨버터 스위칭 제어 회로를 포함한다.
- [0077] 예 17은 예 16의 주제를 포함하는데, 위 피드백 보상 회로는 에러 증폭기와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로를 거쳐서 또는 위 제2 회로 경로를 거쳐서 위 에러 증폭기에 위 출력 전압이 피드백되게 함으로써 위 이득의 위 스위칭을 수행한다.
- [0078] 예 18은 예 17의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.
- [0079] 예 19는 예 17 또는 예 18의 주제를 포함하는데, 위 에러 증폭기는 위 보상된 피드백 신호를 생성하기 위해 위 피드백을 기준 신호와 비교한다.
- [0080] 예 20은 예 16의 주제를 포함하는데, 위 피드백 보상 회로는 션트 전압 조정기와, 옵토커플러와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 션트 전압 조정기는 위 출력 전압을 피드백받고, 위 피드백은 위 옵토커플러에 의해 위 보상된 피드백 신호로부터 절연되고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로를 거쳐서 또는 위 제2 회로 경로를 거쳐서 위 옵토커플러에 바이어스가 제공되게 함으로써 위 이득의 위 스위칭을 수행한다.
- [0081] 예 21은 예 20의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.
- [0082] 예 22는 예 21 또는 예 22의 주제를 포함하는데, 위 션트 전압 조정기는 증폭된 에러 신호를 제공하기 위해 위 피드백을 내부 기준 신호와 비교하고, 위 옵토커플러는 위 증폭된 에러 신호를 수신하는 것에 응답하여 위 보상된 피드백 신호를 생성한다.
- [0083] 예 23은 예 16 내지 예 22 중 임의의 것의 주제를 포함하는데, 위 컨버터 스위칭 제어 회로는, 위 PWM 신호를 생성하기 위해 위 보상된 피드백 신호를 캐리어 신호와 비교하는 변조기를 포함한다.

- [0084] 예 24는 예 16 내지 예 23 중 임의의 것의 주제를 포함하는데, 위 듀티 사이클은 위 PWM 신호의 주기에 대한 위 PWM 신호의 온 지속기간의 비율이다.
- [0085] 예 25는 예 14 내지 예 24 중 임의의 것의 주제를 포함하는데, 위 피드백 제어의 제어 루프의 단위 이득 주파수는 8 kHz 이하이다. 예 26에서, 전관 방송(Public Address: PA) 시스템으로서, 클래스-D 앰프와, 스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)를 포함하되, 위 클래스-D 앰프는, 출력 스테이지 회로와, 앰프 제어기(위 앰프 제어기는 위 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 위 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지를 시그널링함)를 포함하고, 위 SMPS는, 전력 컨버터(위 전력 컨버터는 스위치를 갖고, 위 스위치가 동작되는 듀티 사이클에 따라 달라지는 출력 전압을 생성하되, 위 생성된 출력 전압은 위 출력 스테이지 회로에 인가됨)와, 컨버터 제어기(위 컨버터 제어기는 위 출력 전압의 피드백 제어를 수행하기 위해 위 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고, 위 시그널링된 검출에 응답하여, 위 주어진 듀티 사이클 값을 위 출력 전압의 레벨이 정상 구동 전압 레벨에 도달하게 하는 제1 값으로 스위칭하고, 위 시그널링된 부재에 응답하여, 위 주어진 듀티 사이클 값을 위 출력 전압의 위 레벨이 위 정상 구동 전압 레벨 미만하게 하고 위 제1 값보다 낮은 제2 값으로 스위칭함)를 포함한다.
- [0086] 예 27은 예 26의 주제를 포함하는데, 위 시그널링된 부재 후에 위 검출이 행해진 경우, 위 앰프 제어기는 또한 과도 기간에 걸쳐 위 출력 스테이지 회로에 의한 증폭을 위해 위 입력된 오디오 신호를 페이드 인하되, 위 듀티 사이클은 위 과도 기간 내에 위 제2 값으로부터 위 제1 값으로 점진적으로 증가되도록 제어된다.
- [0087] 예 28은 예 26 또는 예 27의 주제를 포함하는데, 위 컨버터 제어기는, 피드백 보상 회로(위 피드백 보상 회로는 위 피드백 보상 회로의 이득에 따라, 보상된 피드백 신호를 위 출력 전압으로부터 생성하고, 위 검출 또는 위 부재가 시그널링되는지에 따라 위 이득을 스위칭함)와, 위 스위치로 하여금 위 제어된 듀티 사이클로 동작되게 하는 펄스 폭 변조(Pulse Width Modulation: PWM) 신호를 위 보상된 피드백 신호로부터 생성하는 컨버터 스위칭 제어 회로를 포함한다.
- [0088] 예 29는 예 28의 주제를 포함하는데, 위 피드백 보상 회로는 에러 증폭기와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로를 거쳐서 또는 위 제2 회로 경로를 거쳐서 위 에러 증폭기에 위 출력 전압이 피드백되게 함으로써 위 이득의 위 스위칭을 수행한다.
- [0089] 예 30은 예 29의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.
- [0090] 예 31은 예 29 또는 예 30의 주제를 포함하는데, 위 에러 증폭기는 위 보상된 피드백 신호를 생성하기 위해 위 피드백을 기준 신호와 비교한다.
- [0091] 예 32는 예 28의 주제를 포함하는데, 위 피드백 보상 회로는 셉트 전압 조정기와, 옵토커플러와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 셉트 전압 조정기는 위 출력 전압을 피드백받고, 위 피드백은 위 옵토커플러에 의해 위 보상된 피드백 신호로부터 절연되고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로를 거쳐서 또는 위 제2 회로 경로를 거쳐서 위 옵토커플러에 바이어스가 제공되게 함으로써 위 이득의 위 스위칭을 수행한다.
- [0092] 예 33은 예 32의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.
- [0093] 예 34는 예 32 또는 예 33의 주제를 포함하는데, 위 셉트 전압 조정기는 증폭된 에러 신호를 제공하기 위해 위 피드백을 내부 기준 신호와 비교하고, 위 옵토커플러는 위 증폭된 에러 신호를 수신하는 것에 응답하여 위 보상된 피드백 신호를 생성한다.
- [0094] 예 35는 예 28 내지 예 34 중 임의의 것의 주제를 포함하는데, 위 컨버터 스위칭 제어 회로는, 위 PWM 신호를 생성하기 위해 위 증폭된 에러 신호를 캐리어 신호와 비교하는 변조기를 포함한다.
- [0095] 예 36은 예 28 내지 예 35 중 임의의 것의 주제를 포함하는데, 위 듀티 사이클은 위 PWM 신호의 주기에 대한 위 PWM 신호의 온 지속기간의 비율이다.
- [0096] 예 37은 예 26 내지 예 36 중 임의의 것의 주제를 포함하는데, 위 피드백 제어의 제어 루프의 단위 이득 주파수는 8 kHz 이하이다.
- [0097] 예 38은 예 26 내지 예 37 중 임의의 것의 주제를 포함하는데, 위 앰프 제어기는, 위 검출 또는 위 부재의 위 시그널링을 수행하고, 처리된 오디오 신호를 생성하기 위해 위 검출에 응답하여 위 입력된 오디오 신호를 페이

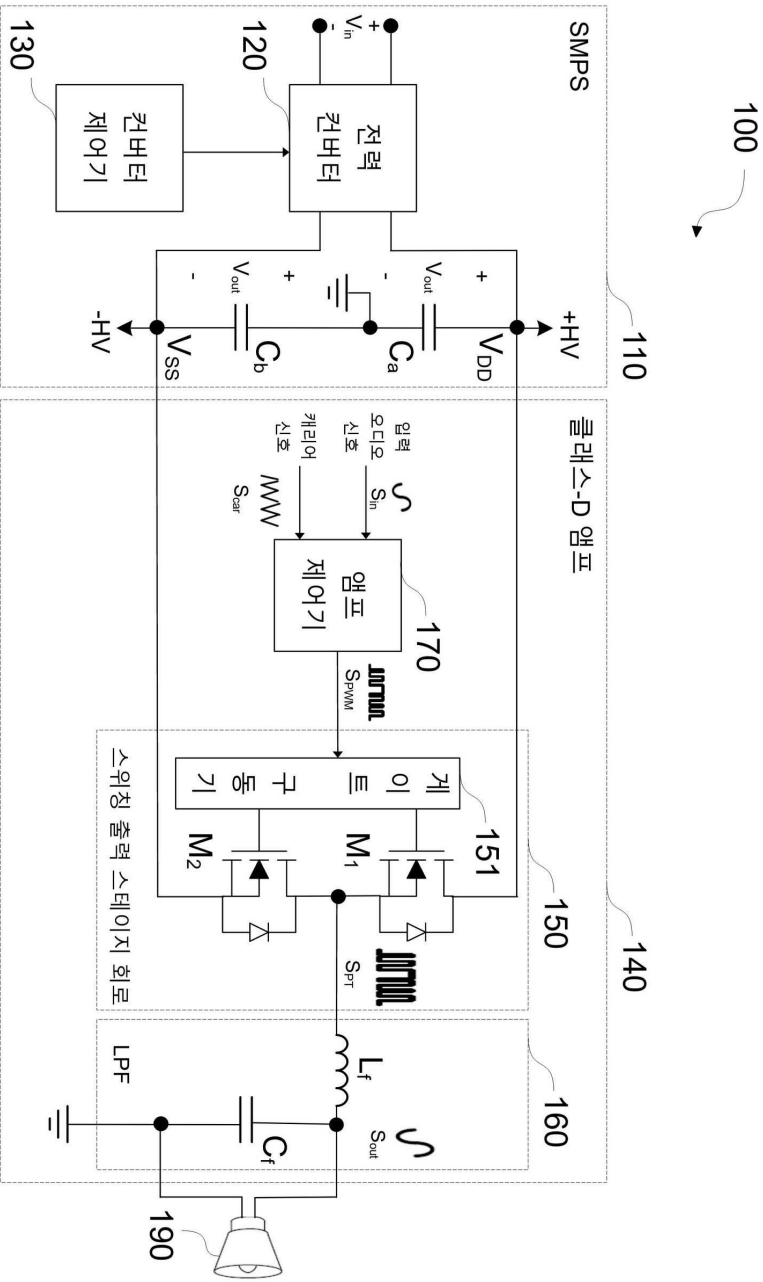
드 인하는 오디오 신호 처리 회로와, 위 클래스-D 앰프로 하여금 증폭된 오디오 신호를 생성하기 위해 스위칭하게 하는 제어 신호를 위 처리된 오디오 신호로부터 생성하는 앰프 스위칭 제어 회로를 포함한다.

- [0098] 예 39에서, 듀티 사이클로 스위칭하고 위 듀티 사이클에 따라 달라지는 출력 전압을 생성하는 스위칭 모드 전력 공급기(Switching Mode Power Supply: SMPS)를 위한 제어기(위 생성된 출력 전압은 클래스-D 앰프에 인가됨)는, 위 출력 전압의 피드백 제어를 수행하기 위해 위 듀티 사이클을 주어진 듀티 사이클 값으로 제어하고, 위 클래스-D 앰프에 입력된 오디오 신호가 검출되는지 또는 위 클래스-D 앰프에 입력된 어떤 검출된 오디오 신호도 부재하는지를 나타내는 신호를 위 클래스-D 앰프로부터 수신하고, 위 신호에 의해 나타내어진 위 검출에 응답하여, 위 주어진 듀티 사이클 값을 위 출력 전압의 레벨이 정상 구동 전압 레벨에 도달하게 하는 제1 값으로 스위칭하고, 위 신호에 의해 나타내어진 위 부재에 응답하여, 위 주어진 듀티 사이클 값을 위 출력 전압의 위 레벨이 위 정상 구동 전압 레벨 미만이게 하고 위 제1 값보다 낮은 제2 값으로 스위칭한다.
- [0099] 예 40은 예 39의 주제를 포함하는데, 위 부재 후에 위 검출이 행해진 경우, 위 듀티 사이클은 위 클래스-D 앰프에 의한 증폭을 위해 위 입력된 오디오 신호가 페이드 인되는 과도 기간 내에 위 제2 값으로부터 위 제1 값으로 점진적으로 증가되도록 제어된다.
- [0100] 예 41은 예 39 또는 예 40의 주제를 포함하는데, 위 제어기는, 피드백 보상 회로(위 피드백 보상 회로는 위 피드백 보상 회로의 이득에 따라, 보상된 피드백 신호를 위 출력 전압으로부터 생성하고, 위 수신된 신호에 의해 위 검출 또는 위 부재가 나타내어지는지에 따라 위 이득을 스위칭함)와, 위 SMPS로 하여금 위 제어된 듀티 사이클로 스위칭하게 하는 펄스 폭 변조(Pulse Width Modulation: PWM) 신호를 위 보상된 피드백 신호로부터 생성하는 컨버터 스위칭 제어 회로를 포함한다.
- [0101] 예 42는 예 41의 주제를 포함하는데, 위 피드백 보상 회로는 여러 증폭기와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로를 거쳐서 또는 위 제2 회로 경로를 거쳐서 위 여러 증폭기에 위 출력 전압이 피드백되게 함으로써 위 이득의 위 스위칭을 수행한다.
- [0102] 예 43은 예 42의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.
- [0103] 예 44는 예 42 또는 예 43의 주제를 포함하는데, 위 여러 증폭기는 위 보상된 피드백 신호를 생성하기 위해 위 피드백을 기준 신호와 비교한다.
- [0104] 예 45는 예 41의 주제를 포함하는데, 위 피드백 보상 회로는 션트 전압 조정기와, 옵토커플러와, 제1 회로 경로와, 제2 회로 경로와, 이득 조절기를 포함하고, 위 션트 전압 조정기는 위 출력 전압을 피드백받고, 위 피드백은 위 옵토커플러에 의해 위 보상된 피드백 신호로부터 절연되고, 위 이득 조절기는 위 검출 또는 위 부재가 시그널링되는지에 따라 위 제1 회로 경로를 거쳐서 또는 위 제2 회로 경로를 거쳐서 위 옵토커플러에 바이어스가 제공되게 함으로써 위 이득의 위 스위칭을 수행한다.
- [0105] 예 46은 예 45의 주제를 포함하는데, 위 제1 회로 경로는 위 제2 회로 경로와는 상이한 저항 값을 갖는다.
- [0106] 예 47은 예 45 또는 예 46의 주제를 포함하는데, 위 션트 전압 조정기는 증폭된 여러 신호를 제공하기 위해 위 피드백을 내부 기준 신호와 비교하고, 위 옵토커플러는 위 증폭된 여러 신호를 수신하는 것에 응답하여 위 보상된 피드백 신호를 생성한다.
- [0107] 예 48은 예 41 내지 예 47 중 임의의 것의 주제를 포함하는데, 위 컨버터 스위칭 제어 회로는, 위 PWM 신호를 생성하기 위해 위 보상된 피드백 신호를 캐리어 신호와 비교하는 변조기를 포함한다.
- [0108] 예 49는 예 41 내지 예 48 중 임의의 것의 주제를 포함하는데, 위 듀티 사이클은 위 PWM 신호의 주기에 대한 위 PWM 신호의 온 지속기간의 비율이다.
- [0109] 예 50은 예 39 내지 예 49 중 임의의 것의 주제를 포함하는데, 위 피드백 제어의 제어 루프의 단위 이득 주파수는 8 kHz 이하이다.
- [0110] 이상의 설명은 상세하게 몇몇 예를 예시하고 기술하기 위해 제시되었다. 본 개시의 범위에서 벗어나지 않고서 위의 교시에 비추어 많은 수정 및 변형이 가능함을 당업자는 응당 이해할 것이다. 다양한 예에서, 전술된 기법이 상이한 순서로 수행되고/거나, 전술된 시스템, 아키텍처, 디바이스, 회로 및 유사한 것의 컴포넌트 중 일부가 상이한 방식으로 결합 또는 조합되거나, 다른 컴포넌트 또는 이의 균등물에 의해 대체 또는 치환되더라도 적절한 결과가 달성될 수 있다.

[0111] 그러므로, 본 개시의 범위는 개시된 그 형태에 한정되어서는 안 되며, 후술하는 청구항 및 이의 균등물에 의해 정해져야 한다.

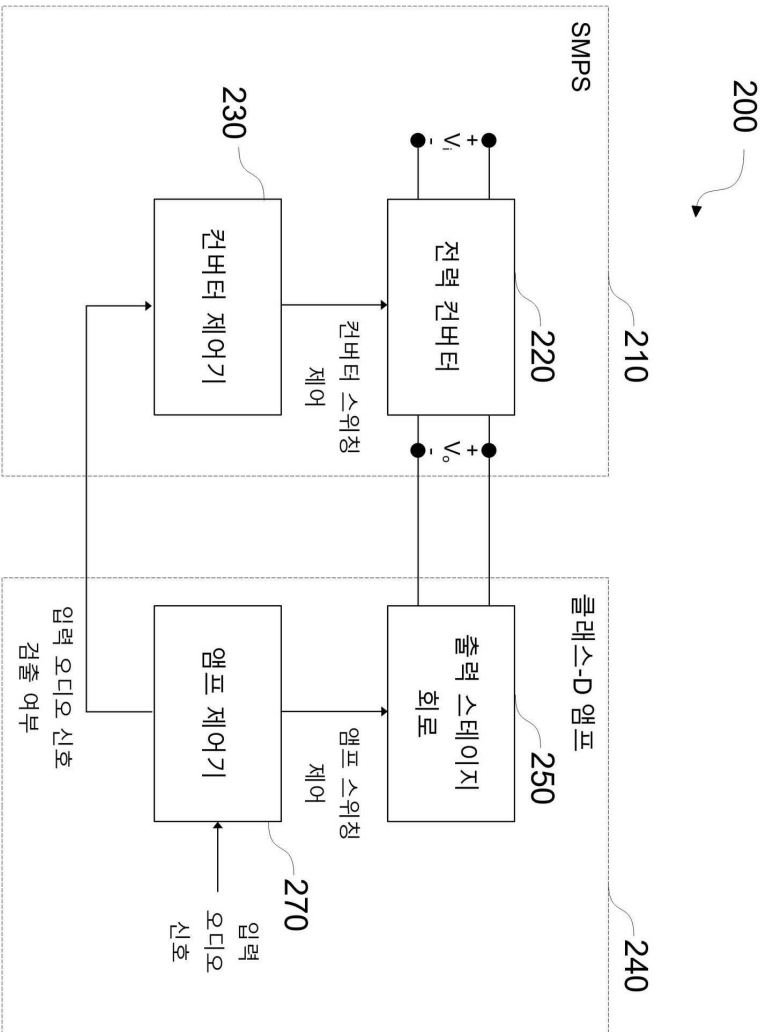
부호의 설명

- [0112] 200: 진관 방송 시스템
210: SMPS
220: 전력 컨버터
230: 컨버터 제어기
240: 클래스-D 앰프
250: 출력 스테이지 회로
270: 앰프 제어기

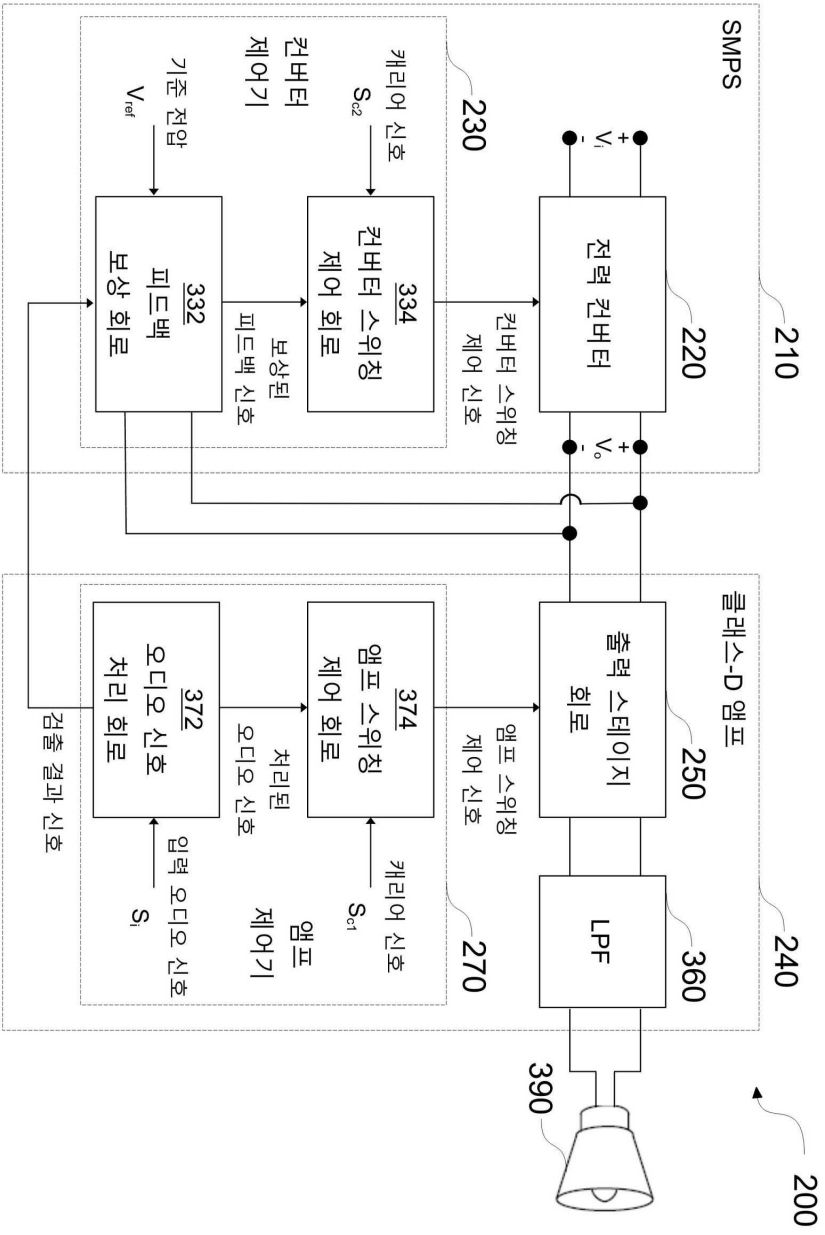


도면1
도면

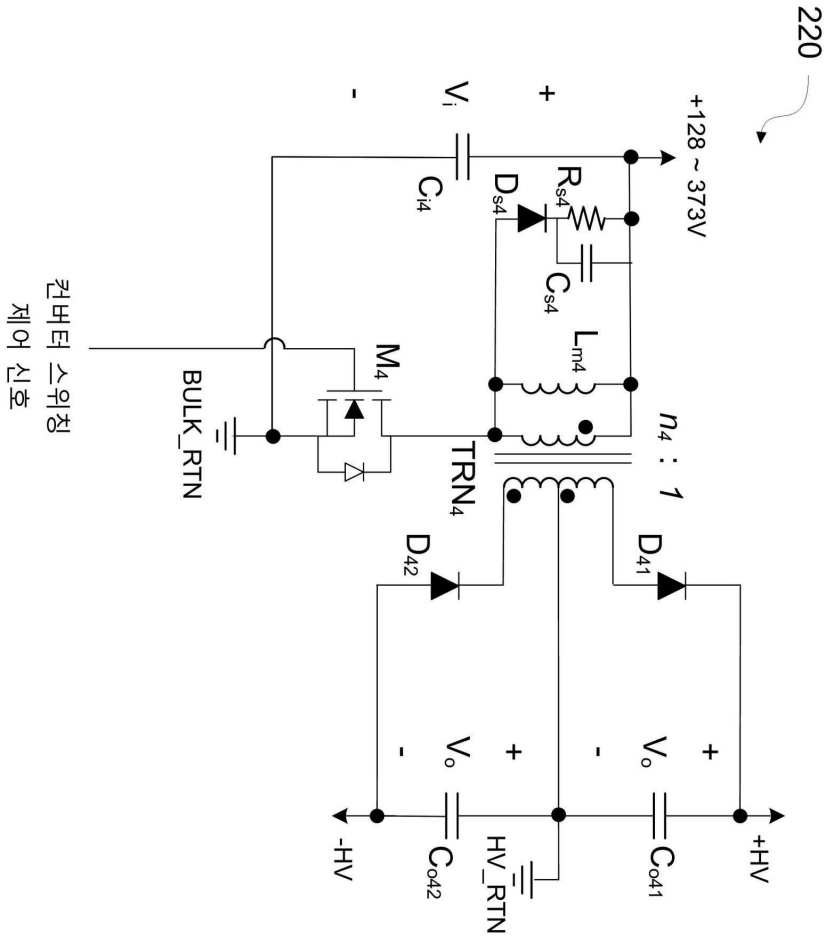
도면2



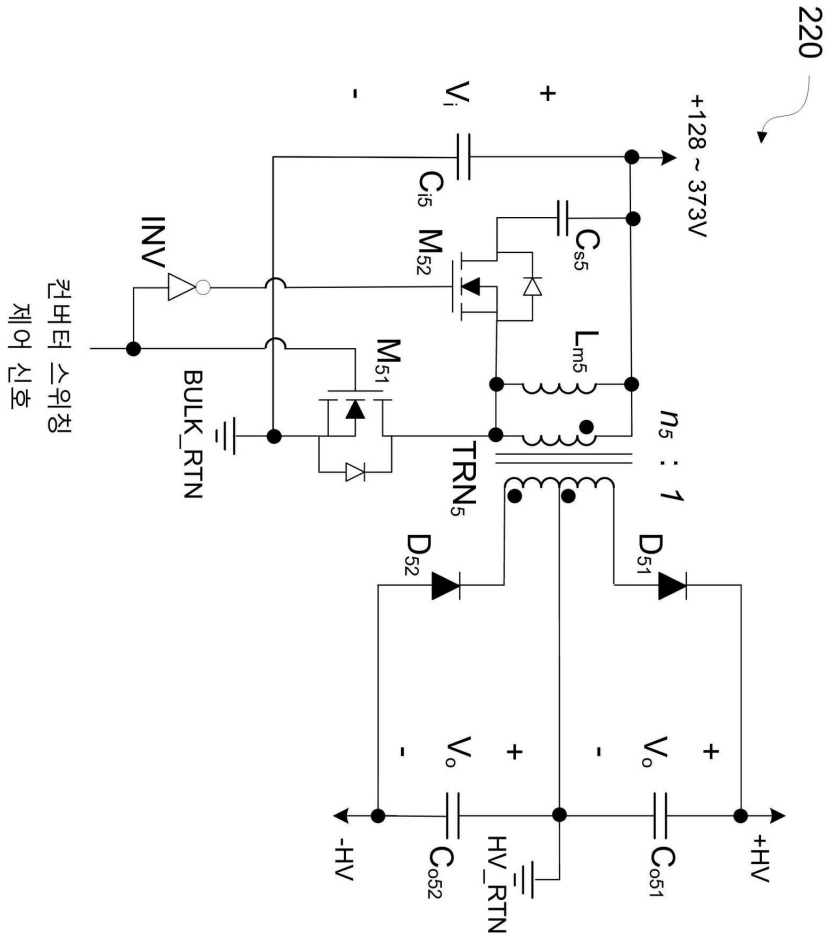
도면3



도면4

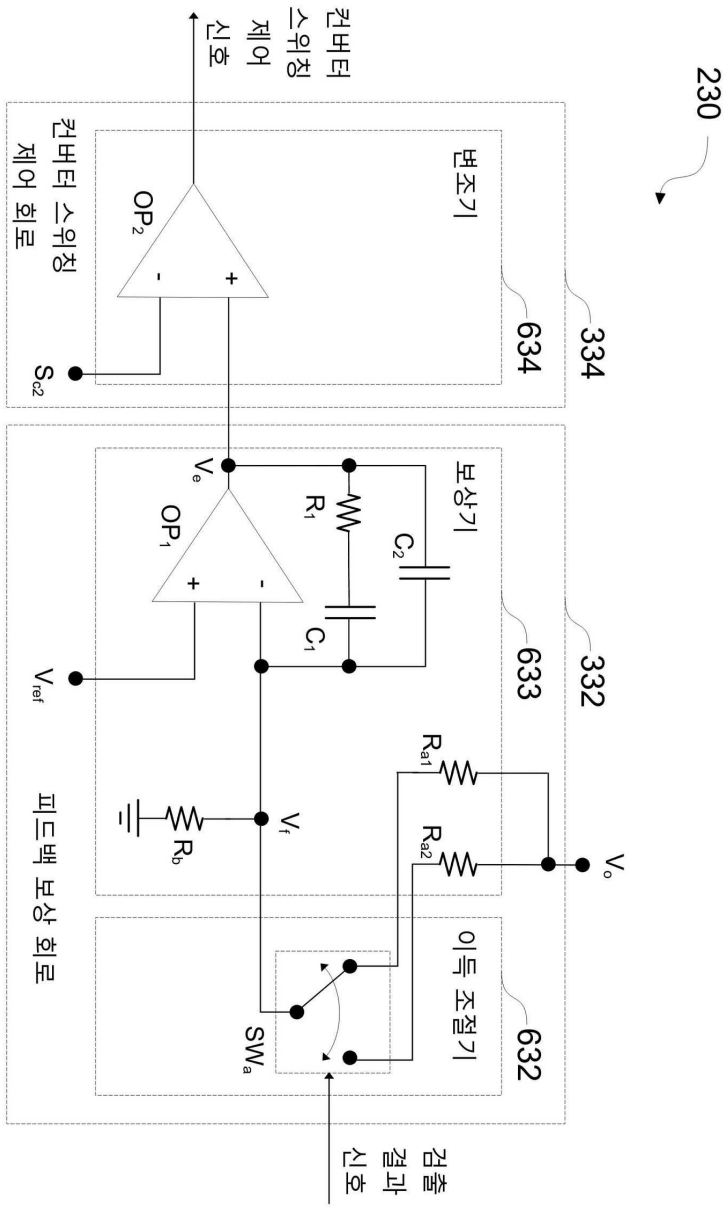


도면5

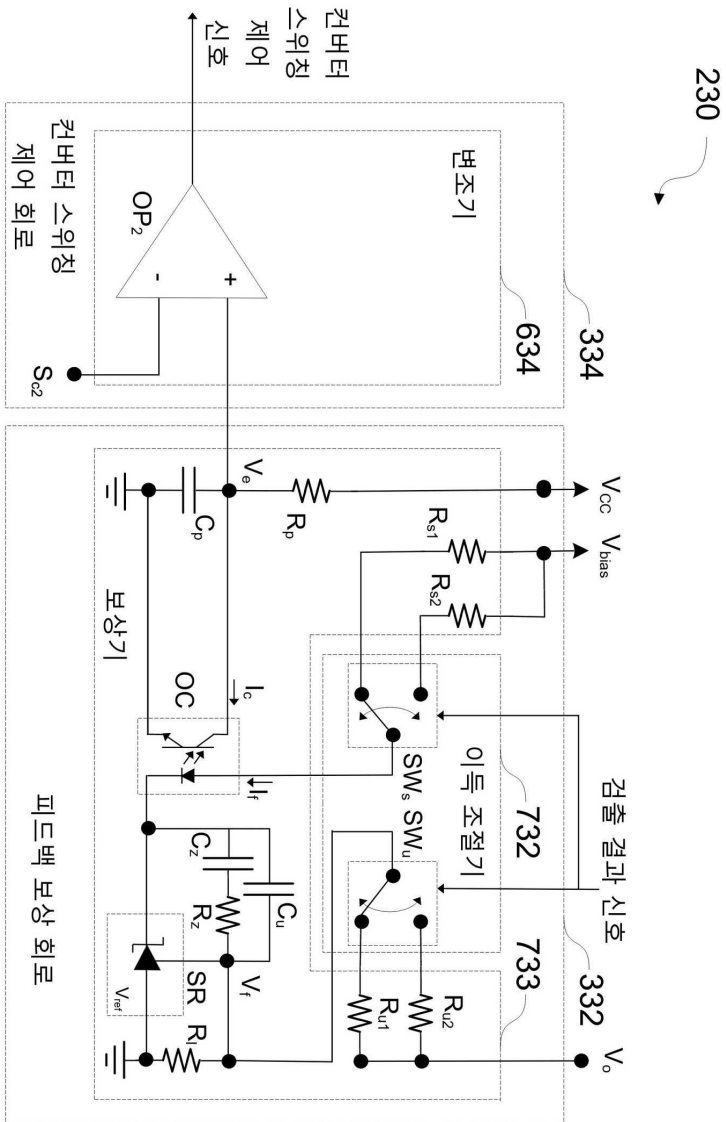


컨버터 스위칭
제어 신호

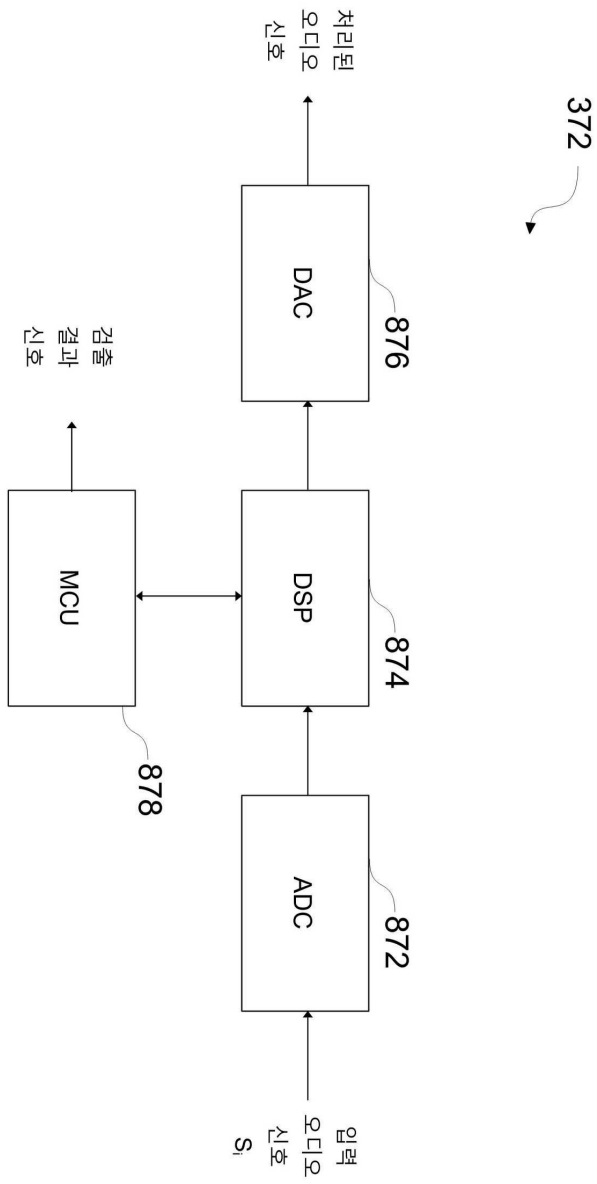
도면6



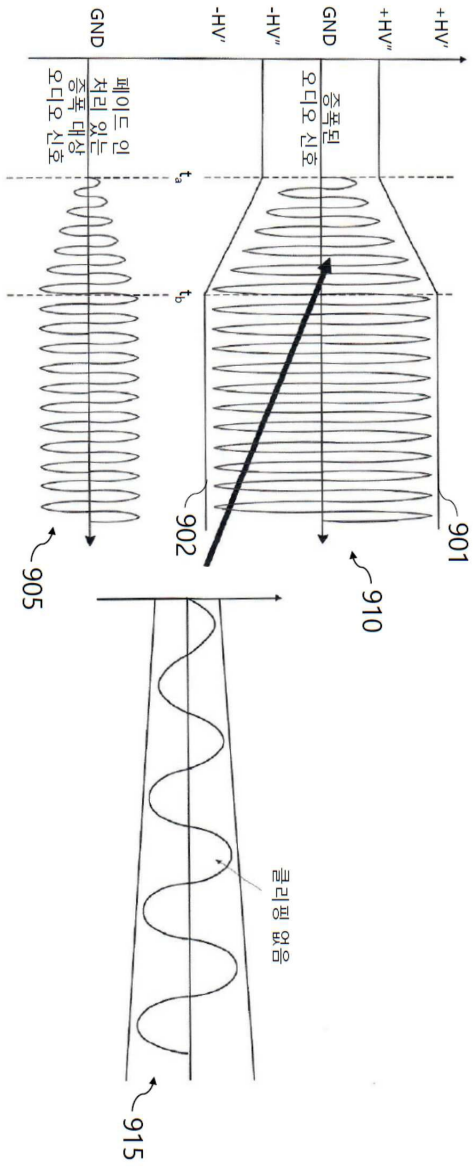
도면7



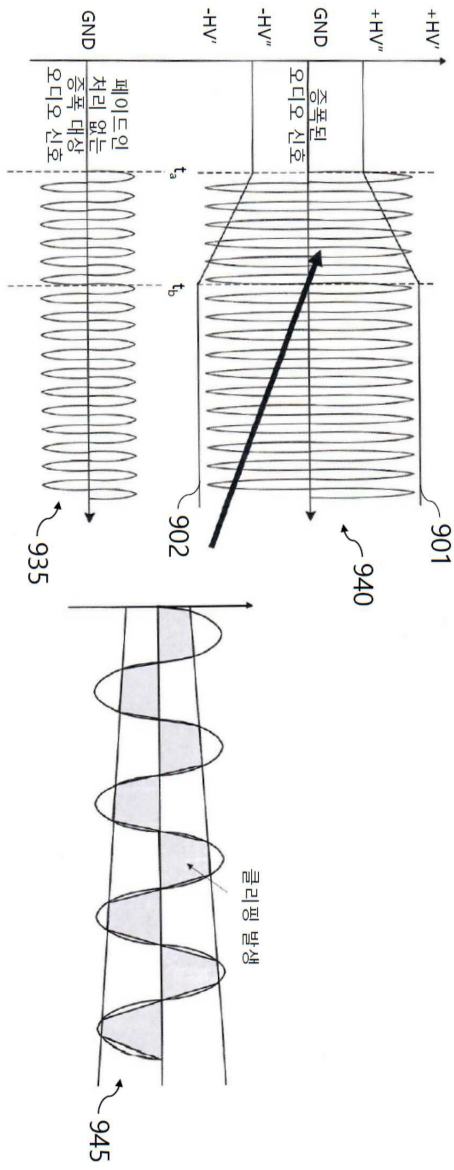
도면8



도면9a



도면9b



도면10

