(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4240660号
(P4240660)

(45)発行日　平成21年3月18日(2009.3.18)　(24)登録日　平成21年1月9日(2009.1.9)

(51)Int.Cl.			F I		
H01F	7/18	(2006.01)	H01F	7/18	Z
H01F	7/16	(2006.01)	H01F	7/18	V
A63F	7/02	(2006.01)	H01F	7/16	D
			A63F	7/02	308G

請求項の数 3　(全 16 頁)

(21)出願番号　特願平11-179062
(22)出願日　平成11年6月24日(1999.6.24)
(65)公開番号　特開2001-6927(P2001-6927A)
(43)公開日　平成13年1月12日(2001.1.12)
審査請求日　平成16年6月18日(2004.6.18)

(73)特許権者　000005832
パナソニック電工株式会社
大阪府門真市大字門真１０４８番地
(74)代理人　100111556
弁理士　安藤　淳二
(72)発明者　田丸　　利彦
大阪府門真市大字門真１０４８番地松下電工株式会社内
(72)発明者　米沢　　均
大阪府門真市大字門真１０４８番地松下電工株式会社内

審査官　酒井　朋広

最終頁に続く

(54)【発明の名称】パルス制御回路

(57)【特許請求の範囲】
【請求項１】
動作開始信号が入力されてから動作するパルス制御回路であって、固有周波数を有した固有クロックを分周して分周パルス信号を出力する分周回路と、分周パルス信号に基づいたタイミング信号に応じて出力パルス信号を出力する出力回路と、動作開始信号が入力されてから、出力パルス信号の出力規制を解除するラッチ信号が、最も長い周期である分周パルス信号が入力されるのに同期して出力されるカウント回路と、を備えたことを特徴とするパルス制御回路。
【請求項２】
前記出力回路は、前記分周パルス信号に基づいた出力開始用のタイミング信号に応じて前記出力パルス信号を出力を始めるとともに、前記分周パルス信号に基づいた出力停止用のタイミング信号に応じて前記出力パルス信号を停止するよう成したことを特徴とする請求項１記載のパルス制御回路。
【請求項３】
前記出力開始用のタイミング信号又は前記出力停止用のタイミング信号の少なくとも一方は、単一の前記分周パルス信号からなることを特徴とする請求項２記載のパルス制御回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、空芯型のソレノイドに使用されるパルス制御回路に関するものである。

【０００２】

【従来の技術】

従来、この種のパルス制御回路20として図14に示すものが存在する。このパルス制御回路は、ＡＮＤ回路からなり、一方入力端子に入力パルス信号が入力されるとともに、他方入力端子に動作開始信号が入力される。従って、この回路は、他方入力端子に動作開始信号が入力されていて、かつ、一方入力端子に入力パルス信号が入力されると、入力パルス信号の入力に同期して、出力端子から出力パルス信号が出力される。

【０００３】

このパルス制御回路は、例えば、図15に示すように、パチンコ玉を突いて発射させるための空芯型のソレノイド35を有したソレノイド駆動回路30に使用される。このソレノイド駆動回路30は、パルス制御回路20の他に、抵抗31、トランジスタ32、フォトカプラ33、ＦＥＴ34、空芯型のソレノイド35、コンデンサ36、電源回路37、可変抵抗38を備えている。このソレノイド駆動回路30は、パルス制御回路20が出力パルス信号を出力することによって、トランジスタ32及びフォトカプラ33を順に動作させ、続いてＦＥＴ34をＯＮとし、コンデンサ36に充電された電荷を電流として空芯型のソレノイド35に流して、空芯型のソレノイド35を駆動する。

【０００４】

この空芯型のソレノイド35は、図16に示すように、コイル35a 、コイルボビン35b 、ヨーク35c 、プランジャー35d 、出力軸35e 、軸受35f 、杵先35g 、復帰ばね35h 、ハウジング35j 、ストッパー35k を備えている。コイル35a は、コイルボビン35b に巻回されてなり、ヨーク35c に包囲されている。ヨーク35c は、コイル35a の励磁に伴って発生する磁束の磁路となる。プランジャー35d は、コイル35a の軸方向に沿って可動自在に配設される。出力軸35e は、プランジャー35d に固定され、プランジャー35d と共にコイル35a の軸方向に沿って可動自在となるよう、両軸受35f,35f により支持されている。この出力軸35e は、パチンコ玉を発射するよう突くための杵先35g が先端に設けられている。復帰ばね35h は、一方の軸受35f とプランジャー35d との間に圧縮自在に配設されている。ハウジング35j は、前述した各部品、すなわち、コイル35a 、コイルボビン35b 、ヨーク35c 、プランジャー35d 、軸受35f 、復帰ばね35h を配設するためのものであり、杵先35g よりも基端寄りに出力軸35e に設けられたストッパー35k に外方面が当接される。

【０００５】

次に、図16(a) 乃至(d) に基づいて、このソレノイド35の動作を説明する。このソレノイド35は、そのコイル35a に電流が流れると、同図(a) に示すように、プランジャー35d が、コイル35a の励磁に伴って発生した磁束の閉磁路が形成されるよう、コイル35a の軸方向に沿って可動する。このとき、ヨーク35c も、プランジャー35d の可動方向に沿って可動するが、やがて可動が制限される。一方、プランジャー35d は、さらに可動を続け、同図(b) に示すように、ヨーク35c との間に空隙を有するようになって、閉磁路が形成されなくなる。

【０００６】

そうなると、プランジャー35d は、コイル35a の励磁に伴って発生した磁束の閉磁路が形成されるよう、これまでの可動方向とは逆方向の力を受けて、磁気的なブレーキがかかり、やがて、復帰ばね35h が伸長しながら、同図(c) に示すように、これまでの可動方向とは逆方向へ復帰し、同図(d) に示すように、ストッパー35k がハウジング35j の外方面に当接することによって、初期状態に復帰して、所定の動作が終了する。

【０００７】

これに対し、固定鉄芯35m を有する図17に示したソレノイド35は、そのプランジャーが同図(a) に示すように可動して、同図(b) に示すように、緩衝機構35n であるクッションゴムに当接し、その後、同図(c) に示すように、これまでとは逆方向へ可動する。

【０００８】

このように、固定鉄芯35m を有するソレノイド35では、可動方向を反転させるために当接

させる緩衝機構35n を設ける必要があるが、空芯型のソレノイド35では、固定鉄芯35m を有するソレノイド35に必要な緩衝機構35n を設けなくてもよく、部品点数を少なくすることができる。

【０００９】

【発明が解決しようとする課題】

上記した従来のパルス制御回路にあっては、パチンコ玉を突いて発射させるための空芯型のソレノイド35を有したソレノイド駆動回路30に使用された場合、図18(a) に示すように、ＡＮＤ回路の一方入力端子に固有クロックが入力され、固有クロックが「Ｈ」となっている間に、ＡＮＤ回路の他方入力端子に、同図(b) に示すように、動作開始信号が入力されると、ＡＮＤ回路の出力端子から出力される出力パルス信号は、同図(c) に示すように、固有クロックの入力時から動作開始信号の入力時までの時間に相当する分だけ、パルス幅ｔが短くなってしまう。そうなると、空芯型のソレノイド35のプランジャー35d に磁気的なブレーキがかかっている最中に、出力パルス信号の出力が停止してしまうこともあり、ひいては、プランジャー35d に十分に磁気的なブレーキをかけることができなくなって、プランジャー35d が所定の動作をせずに軸受35f に衝突して破損する恐れがある。

【００１０】

なお、一定のパルス幅を有した出力パルス信号を出力し続けることができるパルス制御回路20として、図19に示すものがある。このパルス制御回路20は、発振回路20a 、第１のカウント回路20b 、第２のカウント回路20c を備えている。これらの発振回路20a 並びに第１のカウント回路20b 及び第２のカウント回路20c は、いずれも動作開始信号が入力されることにより動作を開始するから、たとえ電源がオンとなっても、動作開始信号が入力されない限り、動作することはない。

【００１１】

次に、図20(a) 乃至(c) に基づいて、この回路の動作を詳しく説明する。同図(c) に示すように、動作開始信号が入力されている状態で、発振回路20a からの発振出力が第１のカウント回路20b に入力されると、第１のカウント回路20b は、同図(a) に示すように、周期Ｔのパルス信号を出力し続け、その周期Ｔのパルス信号の立ち下がりのタイミングで、第２のカウント回路20c が、同図(b) に示すように、発振回路20a からの発振出力の入力に応じて、パルス幅ｔの出力パルス信号を出力する。

【００１２】

このように、第２のカウント回路20c は、動作開始信号が入力されるタイミングでは、第１のカウント回路20b から出力される周期Ｔのパルス信号が「Ｌ」であるために、第２のカウント回路20c がパルス幅ｔの出力パルス信号を出力することはなく、周期Ｔのパルス信号の立ち下がり以降、ｔという一定のパルス幅を有した出力パルス信号を出力し続ける。

【００１３】

従って、このパルス制御回路20が、パチンコ玉を突いて発射させるための空芯型のソレノイド35を有したソレノイド駆動回路30に使用された場合、ｔという一定のパルス幅を有した出力パルス信号を出力し続けることができるので、パチンコ玉を突いて発射させるための空芯型のソレノイド35を有したソレノイド駆動回路に使用された場合、空芯型のソレノイド35のプランジャー35d に磁気的なブレーキがかかっている最中に、出力パルス信号の出力が停止してしまうようなことがなくなる。

【００１４】

しかしながら、このパルス制御回路20は、パチンコ玉を突いて発射させるための空芯型のソレノイド35を有したソレノイド駆動回路35に使用するのには、不適当である。この理由を、図21(a) 及び(b) に基づいて、詳しく説明する。この回路では、同図(b) に示すように、動作開始信号が、当初設計していた出力パルス信号の周期Ｔよりも短い間隔ＴＴでオンオフが繰り返されると、同図(a) に示すように、出力パルス信号の周期までもが短くなってしまって、出力の周波数が大きくなるのであり、そうなると、周波数からなるパチンコ玉の発射頻度が、認可限度を超えてしまうことにもなりかねず、パチンコ玉を突いて発

射させるための空芯型のソレノイド35を有したソレノイド駆動回路30に使用するのには不適当になってしまうのである。

【００１５】

本発明は、上記の点に着目してなされたもので、その目的とするところは、空芯型のソレノイドを有したソレノイド駆動回路に使用された場合、ソレノイドのプランジャーが所定の動作をすることができるパルス制御回路を提供することにある。

【００１６】

【課題を解決するための手段】

上記した課題を解決するために、請求項１記載の発明は、動作開始信号が入力されてから動作するパルス制御回路であって、固有周波数を有した固有クロックを分周して分周パルス信号を出力する分周回路と、分周パルス信号に基づいたタイミング信号に応じて出力パルス信号を出力する出力回路と、動作開始信号が入力されてから、出力パルス信号の出力規制を解除するラッチ信号が、最も長い周期である分周パルス信号が入力されるのに同期して出力されるカウント回路と、を備えた構成にしている。

【００１７】

請求項２記載の発明は、請求項１記載の発明において、前記出力回路は、前記分周パルス信号に基づいた出力開始用のタイミング信号に応じて前記出力パルス信号を出力を始めるとともに、前記分周パルス信号に基づいた出力停止用のタイミング信号に応じて前記出力パルス信号を停止する構成にしている。

【００１８】

請求項３記載の発明は、請求項２記載の発明において、前記出力開始用のタイミング信号又は前記出力停止用のタイミング信号の少なくとも一方は、単一の前記分周パルス信号からなる構成にしている。

【００２１】

【発明の実施の形態】

本発明の第１実施形態を図１乃至図３に基づいて、図15を参照しながら、以下に説明する。このパルス制御回路20は、従来例と同様に、例えば、図15に示すように、パチンコ玉を突いて発射させるための空芯型のソレノイド35を有したソレノイド駆動回路30に使用される。なお、このソレノイド駆動回路30は、従来例が使用されたソレノイド駆動回路30と同様なので、ここでは説明を省略する。

【００２２】

このパルス制御回路20は、水晶発振回路1 、分周回路2 、ロジック回路3 、第１のフリップフロップ（駆動回路）４ 、第２のフリップフロップ（カウント回路）５ 、第３のフリップフロップ（出力回路）６ 、ＡＮＤ回路7 、インバータ8 を備えて構成されている。

【００２３】

水晶発振回路1 は、固有周波数の固有クロックＣＫを発振する。分周回路2 は、リップルカウンタからなり、詳しくは後述するが、第１のフリップフロップ4 から「Ｈ」が入力されて動作可能状態になっているとき、固有クロックＣＫを分周して、複数種の分周パルス信号Ｑ１～Ｑ２１を出力する。ロジック回路3 は、分周パルス信号Ｑ１７～Ｑ２１に基づいてＰＤＩ信号を出力する。詳しくは、このＰＤＩ信号は、分周パルス信号Ｑ１７～Ｑ２１が全て「Ｌ」であるときに、「Ｈ」で出力される。

【００２４】

第１のフリップフロップ（駆動回路）４ は、外部からのシステムリセット信号が「Ｈ」になっている場合、入力される動作開始信号が「Ｌ」のとき、入力される固有クロックＣＫに同期して「Ｌ」をＲ出力し、入力される動作開始信号が「Ｈ」になると、入力された固有クロックＣＫに同期して「Ｈ」をＲ出力する。

【００２５】

第２のフリップフロップ（カウント回路）５ は、第１のフリップフロップ4 から「Ｈ」が入力されることにより動作可能状態となり、「Ｈ」である分周信号Ｑ２１が入力されるのに同期して、ラッチ信号「Ｈ」を出力する。

【００２６】
第３のフリップフロップ（出力回路）6 は、第１のフリップフロップ4 から「Ｈ」が入力されることにより動作可能状態となり、ＡＮＤ回路7 に入力されるＰＤＩ信号及びラッチ信号が共に「Ｈ」であることによりＡＮＤ回路7 から「Ｈ」のＰＤＯ信号が入力されると、インバータ8 を介して反転された固有クロックＣＫに同期して、出力パルス信号を出力する。
【００２７】
次に、図２(a) 乃至(k) に基づいて、このものの動作を詳しく説明する。第１のフリップフロップ4 に、外部から「Ｈ」のシステムリセット信号が入力されている状態で、動作開始信号が「Ｈ」になると、固有クロックＣＫの１パルス遅れて、次の固有クロックＣＫの立ち上がり$Ｔ_1$ で、出力Ｒが「Ｈ」になり、分周回路2 、第２のフリップフロップ5 及び第３のフリップフロップ6 を駆動して動作可能状態にする。なお、同じ固有クロックＣＫの立ち下がり$Ｔ_2$ から、分周回路2 及び第２のフリップフロップ5 が動作することになる。この$Ｔ_2$ の時「Ｈ」となっているＰＤＩ信号は、分周信号Ｑ１７が「Ｈ」となる固有クロックＣＫの立ち下がり$Ｔ_3$ で「Ｌ」となる。
【００２８】
その後、分周パルス信号Ｑ２１が「Ｈ」となる固有クロックＣＫの立ち下がり$Ｔ_4$ で、第２のフリップフロップ5 に、「Ｈ」である分周信号Ｑ２１が入力されると、第２のフリップフロップ5 から、「Ｈ」のラッチ信号が出力される。
【００２９】
その後、分周パルス信号Ｑ１７～Ｑ２１が全て「Ｌ」となると、既に「Ｈ」のラッチ信号が入力されているＡＮＤ回路7 に、ロジック回路3 から「Ｈ」が入力されるので、分周パルス信号Ｑ１７～Ｑ２１が全て「Ｌ」となる固有クロックＣＫの立ち下がり$Ｔ_5$ で、ＡＮＤ回路7 から「Ｈ」のＰＤＯ信号が出力されて第３のフリップフロップ6 に入力され、続いて、固有クロックＣＫの１パルス遅れて、次の固有クロックＣＫの立ち下がり$Ｔ_6$ で、第３のフリップフロップ6 から出力パルス信号が出力される。
【００３０】
ここで、分周パルス信号Ｑ１７が「Ｈ」となると、ロジック回路4 からＡＮＤ回路7 に「Ｌ」のＰＤＩ信号が入力されることによって、ＡＮＤ回路7 から「Ｌ」のＰＤＯ信号が出力されるので、分周パルス信号Ｑ１７が「Ｈ」となる固有クロックＣＫの立ち下がり$Ｔ_7$ で、ロジック回路4 からＡＮＤ回路7 に「Ｌ」のＰＤＩ信号が入力されるとともに、ＡＮＤ回路7 から「Ｌ」のＰＤＯ信号が出力され、続いて、固有クロックＣＫの１パルス遅れて、次の固有クロックＣＫの立ち下がり$Ｔ_8$ で、第３のフリップフロップ6 から出力パルス信号が出力されなくなる。
【００３１】
つまり、第３のフリップフロップ6 は、分周パルス信号Ｑ１７～Ｑ２１がロジック回路4 により論理演算されてなるＰＤＩ信号が、「Ｈ」になっている間、出力パルス信号を出力している。言い換えれば、第３のフリップフロップ6 は、ＰＤＩ信号というタイミング信号に基づいて、出力パルス信号の出力を開始するとともに出力パルス信号の出力を停止しているのである。
【００３２】
ところで、このＰＤＩ信号というタイミング信号は、分周パルス信号Ｑ１７～Ｑ２１のうち、最も周期の長いＱ２１までもが「Ｌ」となって、分周パルス信号Ｑ１７～Ｑ２１が全て「Ｌ」となるときに、「Ｈ」で出力されるのであるから、分周パルス信号Ｑ２１の周期からなる所定時間Ｔ経過毎に、出力パルス信号が出力されていることになる。
【００３３】
ただし、この出力パルス信号は、第２のフリップフロップ5 がラッチ信号「Ｈ」を出力してＰＤＯ信号が「Ｈ」となるまでは、出力規制がなされているために、図２に示すように、固有クロックＣＫの立ち下がり$Ｔ_3$ までＰＤＩ信号が「Ｈ」となっていても、出力されることはなく、動作開始信号が入力されてから所定時間経過毎に出力パルス信号が出力さ

れるようになっている。

【００３４】

以後、分周回路2 の出力が進み、再び、固有クロックＣＫの立ち下がり$Ｔ_3$ となり、上述した動作が繰り返される。なお、途中で、動作開始信号が「Ｌ」となると、再び、固有クロックＣＫの立ち下がり$Ｔ_1$ から動作を始める。

【００３５】

かかるパルス制御回路20にあっては、第３のフリップフロップ6 は、第２のフリップフロップ5 がラッチ信号を出力するまで、出力パルス信号の出力規制がなされることによって、図３(a) 及び(b) に示すように、動作開始信号が入力されて所定時間Ｔ経過してから出力パルス信号を出力するので、従来例とは異なって、動作開始信号の入力時期によってパルス幅ｔが短くなってしまうことがなく、空芯型のソレノイド35を有したソレノイド駆動回路30に使用された場合、ソレノイド35のプランジャー35d が所定の動作をすることができ、しかも、所定時間Ｔ経過毎に、出力パルス信号を出力するのであるから、周波数が大きくなることもなく、ひいては、周波数からなる発射頻度でパチンコ玉を突いて発射させるための空芯型のソレノイド35を有したソレノイド駆動回路30に使用するのに不適当となることもない。

【００３６】

次に、本発明の第２実施形態を図４乃至図７に基づいて、以下に説明する。なお、第１実施形態と実質的に同一の機能を有する部分には同一の符号を付し、第１実施形態と異なるところのみ記す。第１実施形態では、第３のフリップフロップ6 は、ＰＤＩ信号というタイミング信号に基づいて、出力パルス信号の出力を開始するとともに出力パルス信号の出力を停止しているのに対し、本実施形態では、分周パルス信号Ｑ２１からなる出力開始用のタイミング信号に応じて出力パルス信号を出力を始めるとともに、ＰＤＩ信号からなる出力停止用のタイミング信号に応じて出力パルス信号を停止する構成となっており、第１実施形態の構成に加えて、第４のフリップフロップ9 、第５のフリップフロップ10、第２のインバータ11が設けられている。

【００３７】

第４のフリップフロップ9 は、第２のフリップフロップ5 と同様に、第１のフリップフロップ4 の出力Ｒが「Ｈ」となることにより、動作可能状態とされ、インバータ8 を介して反転された固有クロックＣＫに同期して、ＰＤＩ信号を出力する。

【００３８】

第５のフリップフロップ10は、第２のインバータ11を介して反転された分周パルス信号Ｑ２１により動作可能状態とされ、第４のフリップフロップ9 から出力されたＰＤＩ信号に同期して、ＰＤＯ信号を出力する。

【００３９】

なお、ロジック回路3 は、分周パルス信号Ｑ１～Ｑ２１に基づいてＰＤＩ信号を出力する。詳しくは、このＰＤＩ信号は、分周パルス信号Ｑ１～Ｑ２１が全て「Ｈ」であるときに、「Ｈ」で出力される。

【００４０】

また、第３のフリップフロップ6 は、第２のフリップフロップ5 からラッチ信号「Ｈ」が出力されることにより、動作可能状態とされる。

【００４１】

次に、図６(a) 乃至(l) に基づいて、このものの動作を詳しく説明する。第１のフリップフロップ4 に、外部から「Ｈ」のシステムリセット信号が入力されている状態で、動作開始信号が「Ｈ」になると、次の固有クロックＣＫの立ち上がり$Ｔ_1$ で、出力Ｒが「Ｈ」になり、分周回路2 、第２のフリップフロップ5 及び第４のフリップフロップ9 を駆動して動作可能状態にする。なお、同じ固有クロックＣＫの立ち下がり$Ｔ_2$ から、分周回路2 及び第２のフリップフロップ5 が動作することになる。

【００４２】

なお、第５のフリップフロップ10から出力されるＰＤＯ信号は、分周パルス信号Ｑ１７が

「Ｈ」となる固有クロックＣＫの立ち下がり$Ｔ_3$から「Ｌ」となるまで、不安定になるので、動作開始信号が入力されてから所定時間経過毎に出力パルス信号が出力されるための出力パルス信号の出力規制がなされており、分周パルス信号Ｑ２１が「Ｈ」となる固有クロックＣＫの立ち下がり$Ｔ_4$で、第２のフリップフロップ5 の出力から、「Ｈ」のラッチ信号が第３のフリップフロップ6 のＣＬＲ端子に入力されて、その出力規制が解除される。この時、ＰＤＯ信号も、「Ｌ」から「Ｈ」となる。

【００４３】

このように、第３のフリップフロップ6 の出力規制が解除されるのであるが、分周パルス信号Ｑ２１が「Ｈ」となるのであるから、第２のインバータ11により反転された分周パルス信号Ｑ２１が「Ｌ」となって、ＡＮＤ回路7 から第３のフリップフロップ6 に「Ｌ」が入力されるので、第３のフリップフロップ6 は、分周パルス信号Ｑ２１が「Ｌ」となる固有クロックＣＫの立ち下がり$Ｔ_5$から、固有クロックＣＫの１パルス遅れて、次の固有クロックＣＫの立ち下がり$Ｔ_6$から、出力パルス信号を出力する。このように、分周パルス信号Ｑ２１は、出力パルス信号が出力を開始する出力開始用のタイミング信号となっているのである。

【００４４】

ここで、計算手順については後述するが、出力パルス信号のパルス幅ｔが固有クロックＣＫの何パルス分に相当するかという計算に基づいて、出力パルス信号の出力を停止する時期を予め設定しておくと、その出力パルス信号の出力を停止する時期とされた固有クロックＣＫの立ち下がり$Ｔ_7$で、ＰＤＩ信号が「Ｈ」になると、固有クロックＣＫの１パルス遅れて、次の固有クロックＣＫの立ち下がり$Ｔ_8$で、ＰＤＩ信号が「Ｌ」になるとともに、ＰＤＯ信号が「Ｌ」となり、さらに固有クロックＣＫの１パルス遅れて、次の固有クロックＣＫの立ち下がり$Ｔ_9$で、第３のフリップフロップ6 から出力パルス信号が出力されなくなる。このように、分周パルス信号Ｑ２１は、出力パルス信号が出力を停止する出力停止用のタイミング信号となっているのである。

【００４５】

以後、分周回路2 の出力が進み、再び、固有クロックＣＫの立ち下がり$Ｔ_3$となり、上述した動作が繰り返される。なお、途中で、動作開始信号が「Ｌ」となると、再び、固有クロックＣＫの立ち下がり$Ｔ_1$から動作を始める。

【００４６】

次に、出力パルス信号のパルス幅ｔが、固有クロックＣＫの何パルス分に相当するかという計算手順について説明する。例えば、出力パルス信号のパルス幅ｔが、固有クロックＣＫ１３１０７３パルス分に相当する場合、１３１０７３－１＝１３１０７２の２進数を計算すればよいのである。そして、分周回路2 のＱ１～Ｑ２１が、１３１０７２に相当する２進数の出力をする時期を、出力パルス信号の出力を停止する時期とすればよい。

【００４７】

かかるパルス制御回路20にあっては、第１実施形態の効果に加えて、第３のフリップフロップ6 が出力パルス信号の出力を開始するためのタイミング信号と第３のフリップフロップ6 が出力パルス信号の出力を停止するためのタイミング信号とが別であるから、立ち上がり及び立ち下がりのタイミングでパルス信号の出力の開始及び停止をさせなければならない１つのタイミング信号を形成するときのように、複雑な論理を駆使しなくても、タイミング信号を形成することができ、回路構成を簡略化することができる。

【００４８】

例えば、本実施形態の出力パルス信号のパルス幅ｔを、固有クロックＣＫ１パルス分だけ少なくする場合、図７に示すように、ロジック回路4 を一部変更して、分周パルス信号Ｑ１のみが「Ｌ」で、分周パルス信号Ｑ２～Ｑ２１が全て「Ｈ」の場合、ＰＤＩ信号が「Ｈ」となる構成にすればよいのであるが、第１実施形態のように、立ち上がり及び立ち下がりのタイミングでパルス信号の出力の開始及び停止をするためには、図８に示すように、図７に示す構成よりも複雑な構成が必要となるになるのである。

【００４９】

また、第３のフリップフロップ6 が出力パルス信号の出力を開始するための出力開始用のタイミング信号は、分周パルス信号Ｑ２１そのものであるから、複数種の分周パルス信号を使用して論理演算するようなことをしなくてもよくなり、回路構成を簡略化することができる。

【００５０】

また、出力パルス信号のパルス幅ｔが固有クロックＣＫの何パルス分に相当するかという計算に基づいて、比較的容易に、出力パルス信号の出力を停止する時期を予め設定することができる。

【００５１】

次に、本発明の第３実施形態を図９及び図10に基づいて、以下に説明する。なお、第２実施形態と実質的に同一の機能を有する部分には同一の符号を付し、第２実施形態と異なるところのみ記す。第２実施形態では、第３のフリップフロップ6 が出力パルス信号の出力を停止するための出力停止用のタイミング信号であるＰＤＩ信号は、ロジック回路4 により論理演算されてなるものであるが、本実施形態では、分周パルス信号Ｑ１７そのものとなっている。

【００５２】

詳しくは、出力パルス信号のパルス幅ｔは、分周パルス信号Ｑ１７の半周期＋固有クロックＣＫ１パルス幅となっている。

【００５３】

かかるパルス制御回路にあっては、第２実施形態に効果に加えて、第３のフリップフロップ6 が出力パルス信号の出力を開始するための出力開始用のタイミング信号は、分周パルス信号Ｑ１７そのものであるから、複数種の分周パルス信号を使用して論理演算するようなことをしなくてもよくなり、回路構成を簡略化することができる。

【００５４】

次に、本発明の参考例を図11乃至図13に基づいて、以下に説明する。なお、第１実施形態と実質的に同一の機能を有する部分には同一の符号を付し、第１実施形態と異なるところのみ記す。本参考例は、基本的には第１実施形態と同様であるが、動作開始信号又は出力パルス信号の少なくとも一方が入力されることによって第１のフリップフロップ4 を駆動して出力させる論理回路12が設けられた構成となっている。

【００５５】

次に、図12(a) 乃至(e) に基づいて、このものの動作を詳しく説明する。動作開始信号がT_1で「Ｈ」になると、次の固有クロックＣＫの立ち上がりT_2で、第１のフリップフロップ4 の出力が「Ｈ」となり、分周回路2 が動作を開始する。その後、固有クロックＣＫの立ち下がりT_3で、出力パルス信号の最初の出力が開始され、その後、固有クロックＣＫの立ち下がりT_4で、出力パルス信号の出力が停止される。

【００５６】

その後、再度、出力パルス信号が出力している最中に、動作開始信号がT_5で「Ｌ」になっても、論理回路12には、出力パルス信号「Ｈ」が入力されているから、論理回路12からの第１のフリップフロップ4 へのＯＲ出力は、出力パルス信号のパルス幅ｔの間「Ｈ」となり、固有クロックＣＫの立ち下がりT_6で「Ｌ」となり、固有クロックＣＫのの１パルス遅れて、次の固有クロックＣＫの立ち上がりT_7で、第１のフリップフロップ4 の出力Ｒが「Ｌ」となり、出力パルス信号の出力が停止する。

【００５７】

かかるパルス制御回路にあっては、論理回路12は、動作開始信号又は出力パルス信号の少なくとも一方が入力されることによって第１のフリップフロップ4 を駆動させて、第３のフリップフロップ6 が出力パルス信号を出力するのであるから、出力パルス信号の出力中に動作開始信号の入力が途切れても、出力パルス信号の出力までもが途切れることはなくなり、出力パルス信号のパルス幅ｔが短くならないという第１実施形態の発明の効果を一段と奏することができる。

【００５８】

なお、本参考例は、動作開始信号又は出力パルス信号の少なくとも一方が入力されることによって第１のフリップフロップ4 を駆動して出力させる論理回路12が第１実施形態に設けられた構成となっているが、第２実施形態又は第３実施形態も、動作開始信号又は出力パルス信号の少なくとも一方が入力されることにより第１のフリップフロップ4 を駆動して出力させる論理回路12が設けられることによって、出力パルス信号の出力中に動作開始信号の入力が途切れても、出力パルス信号の出力までもが途切れることはなくなり、出力パルス信号のパルス幅ｔが短くならないという第１実施形態の発明の効果を一段と奏することができる。

【００５９】

また、第１実施形態乃至第３実施形態、参考例のいずれも、水晶発振回路1 が設けられているが、水晶発振回路1 を本パルス制御回路20の外部に設けて、その外部に設けた水晶発振回路1 の出力する固有クロックＣＫを本パルス制御回路20に入力するようにしても、同様の効果を奏することができる。

【００６０】

【発明の効果】

請求項１記載の発明は、出力回路は、カウント回路がラッチ信号を出力するまで、出力パルス信号の出力規制がなされることによって、動作開始信号が入力されて所定時間経過してから出力パルス信号を出力するので、従来例とは異なって、動作開始信号の入力時期によってパルス幅が短くなってしまうことがなく、空芯型のソレノイドを有したソレノイド駆動回路に使用された場合、ソレノイドのプランジャーが所定の動作をすることができ、しかも、所定時間経過毎に、出力パルス信号を出力するのであるから、出力の周波数が大きくなることもなく、ひいては、周波数からなる発射頻度でパチンコ玉を突いて発射させるための空芯型のソレノイドを有したソレノイド駆動回路に使用するのに不適当となることもない。

【００６１】

請求項２記載の発明は、請求項１記載の発明の効果に加えて、出力回路が出力パルス信号の出力を開始するためのタイミング信号と出力回路が出力パルス信号の出力を停止するためのタイミング信号とが別であるから、立ち上がり及び立ち下がりのタイミングでパルス信号の出力の開始及び停止をさせなければならない１つのタイミング信号を形成するときのように、複雑な論理を駆使しなくても、タイミング信号を形成することができ、回路構成を簡略化することができる。

【００６２】

請求項３記載の発明は、請求項２記載の発明の効果に加えて、出力開始用のタイミング信号又は出力停止用のタイミング信号の少なくとも一方は、単一の分周パルス信号からなるのであるから、複数種の分周パルス信号を使用して論理演算するようなことをしなくてもよくなり、回路構成を簡略化することができる。

【図面の簡単な説明】

【図１】本発明の第１実施形態の回路図である。

【図２】同上の動作を示すタイムチャートである。

【図３】同上の出力パルス信号の出力状態を示すタイムチャートである。

【図４】本発明の第２実施形態の回路図である。

【図５】同上のロジック回路の詳細を示す回路図である。

【図６】同上の動作を示すタイムチャートである。

【図７】図４に示した第２実施形態の基本構成でもって固有クロック１パルス分短い出力パルス信号を出力するためのロジック回路の詳細を示す回路図である。

【図８】図１に示した第１実施形態の基本構成でもって固有クロック１パルス分短い出力パルス信号を出力するためのロジック回路の詳細を示す回路図である。

【図９】本発明の第３実施形態の回路図である。

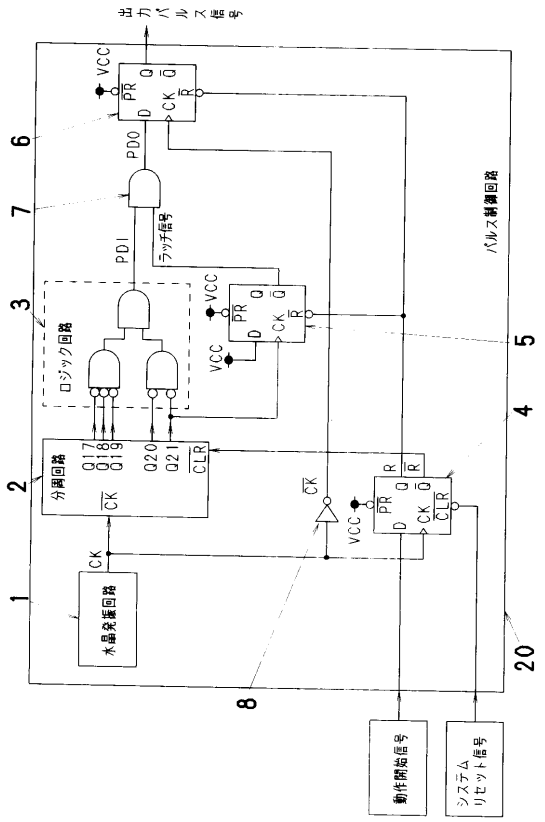
【図１０】同上の動作を示すタイムチャートである。

【図１１】本発明の第４実施形態の回路図である。

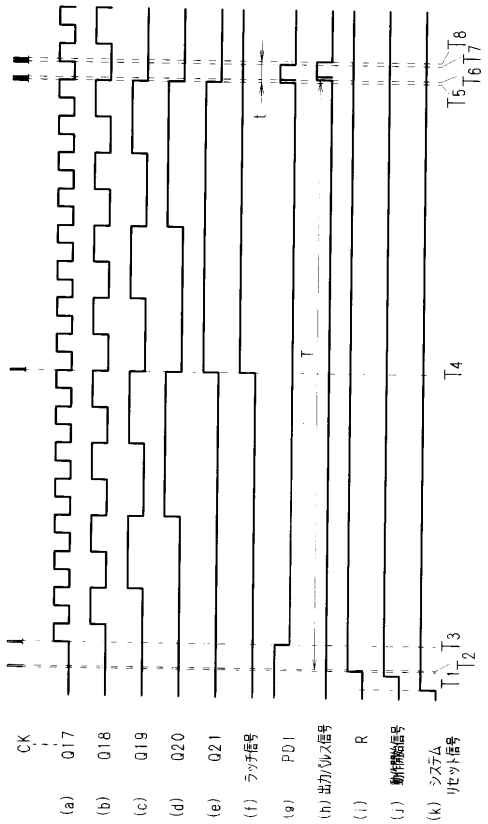
【図１２】同上の動作を示すタイムチャートである。
【図１３】同上の出力パルス信号の出力状態を示すタイムチャートである。
【図１４】従来例の回路図である。
【図１５】同上の回路が使用されるソレノイド駆動回路の回路図である。
【図１６】同上の回路が使用されるソレノイド駆動回路の空芯型のソレノイドの動作を示す断面図である。
【図１７】固定鉄芯を有するソレノイドの動作を示す断面図である。
【図１８】同上の出力パルス信号の出力状態を示すタイムチャートである。
【図１９】一定のパルス幅を有した出力パルス信号を出力するようにしたパルス制御回路の回路図である。
【図２０】同上の出力パルス信号の出力状態を示すタイムチャートである。
【図２１】同上の出力パルス信号の周波数が大きくなる状態を示すタイムチャートである。

【符号の説明】
2　分周回路
4　第１のフリップフロップ（駆動回路）
5　第２のフリップフロップ（カウント回路）
6　第３のフリップフロップ（出力回路）
12　論理回路

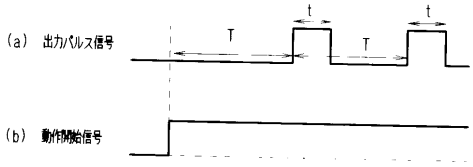
【図１】



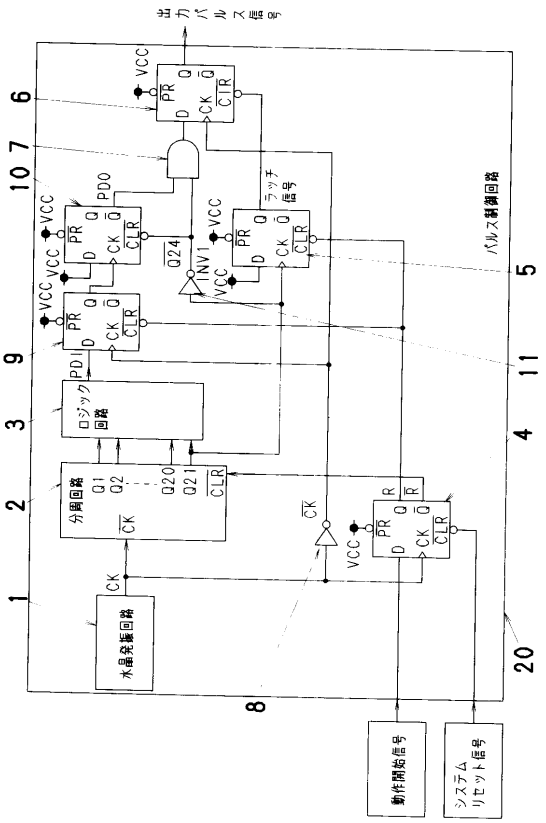
【図２】



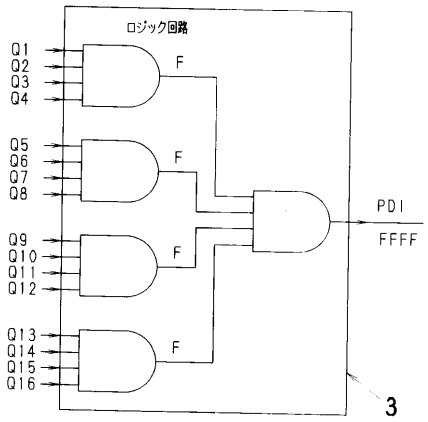
【図３】


(a) 出力パルス信号
(b) 動作開始信号
T
T
t
t

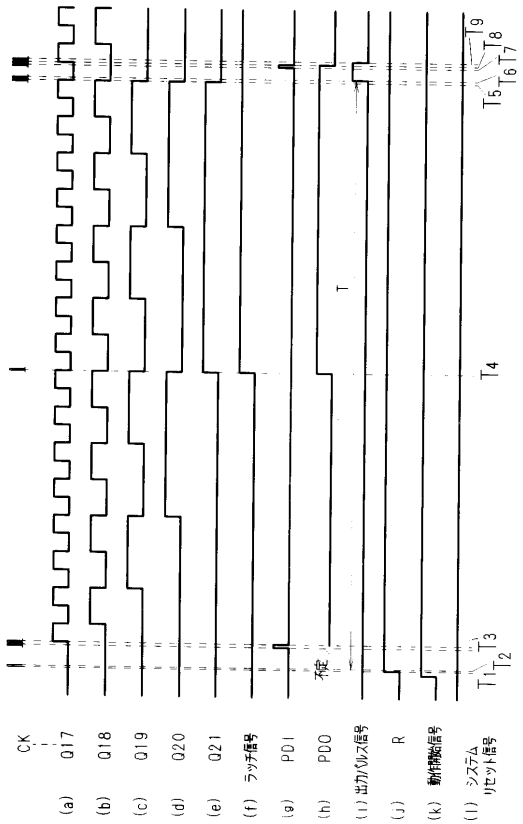
【図４】


出力パルス信号
VCC
PR
D
CK
CLR
Q
CTR
PDO
ラッチ信号
INV1
Q24
ロジック回路
PDI
分周回路
Q1
Q2
Q20
Q21
CK
水晶発振回路
パルス制御回路
動作開始信号
システムリセット信号
1
2
3
4
5
6
7
8
9
10
11
20

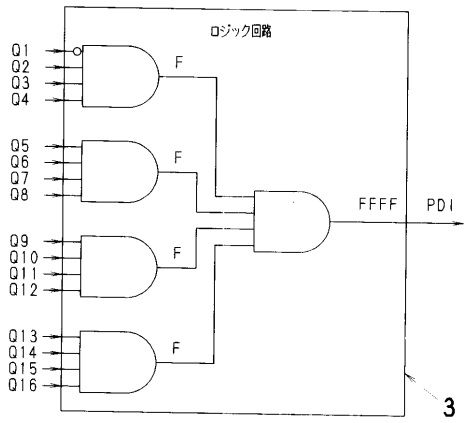
【図５】


ロジック回路
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
Q13
Q14
Q15
Q16
F
F
F
F
PDI
FFFF
3

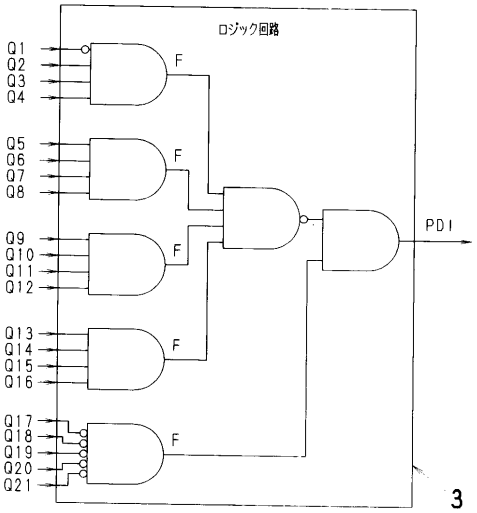
【図６】


CK
(a) Q17
(b) Q18
(c) Q19
(d) Q20
(e) Q21
(f) ラッチ信号
(g) PDI
(h) PDO
(i) 出力パルス信号
(j) R
(k) 動作開始信号
(l) システムリセット信号
T1
T2
T3
T4
T5
T6
T7
T8
T9
T
検出

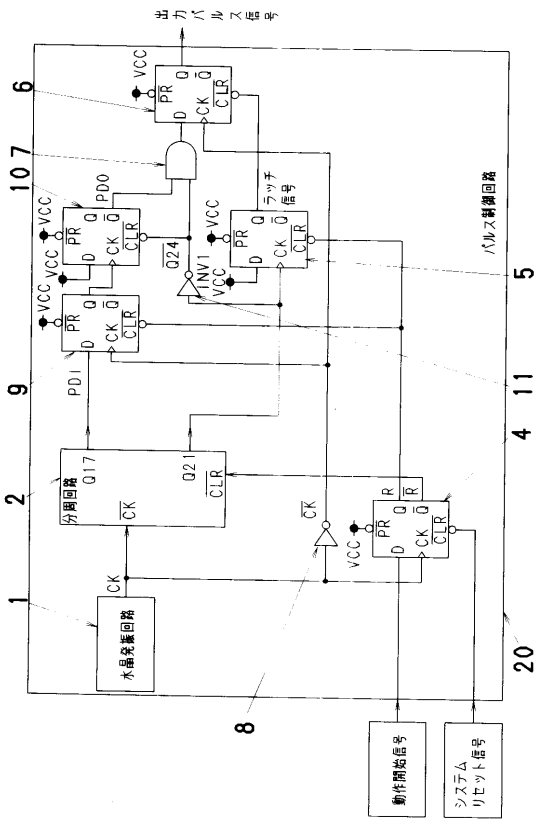
【図７】


ロジック回路
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
Q13
Q14
Q15
Q16
F
FFFF
PDI
3

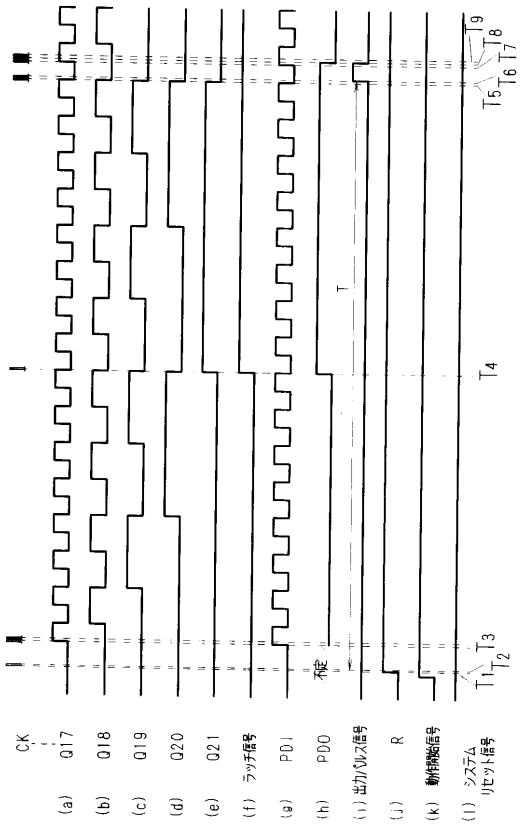
【図８】


ロジック回路
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
Q13
Q14
Q15
Q16
Q17
Q18
Q19
Q20
Q21
F
PDI
3

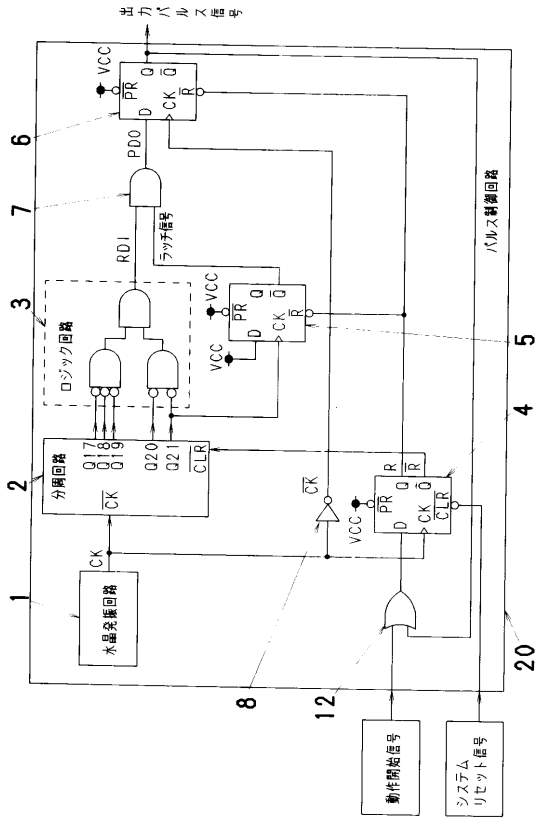
【図９】


出力パルス信号
パルス制御回路
ラッチ信号
分周回路
水晶発振回路
動作開始信号
システムリセット信号
VCC
PDO
PDI
Q17
Q21
Q24
INV1
CK
1
2
4
5
6
7
8
9
10
11
20

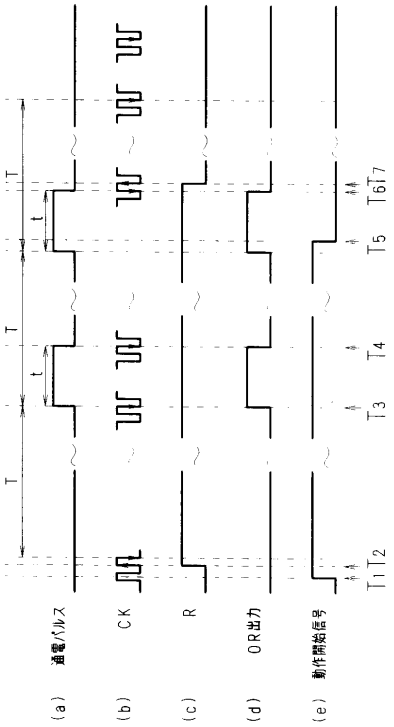
【図１０】


(a) CK
(b) Q17
(c) Q18
(d) Q19
(e) Q20
(f) Q21
(g) ラッチ信号
(h) PDI
(i) PDO
(j) 出力パルス信号
(k) R
(l) 動作開始信号
システムリセット信号
不定
T
T1
T2
T3
T4
T5
T6
T7
T8
T9

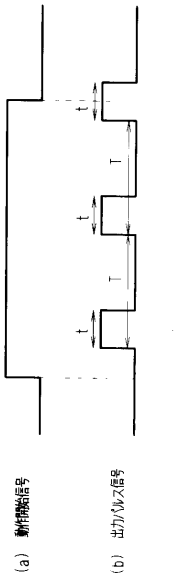
【図１１】



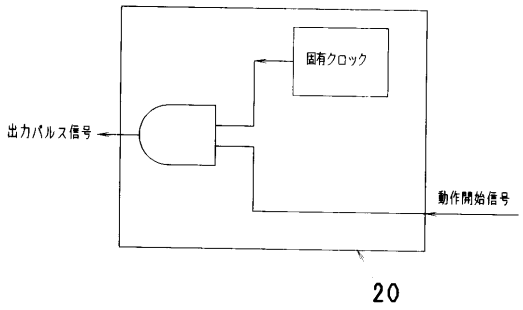
【図１２】



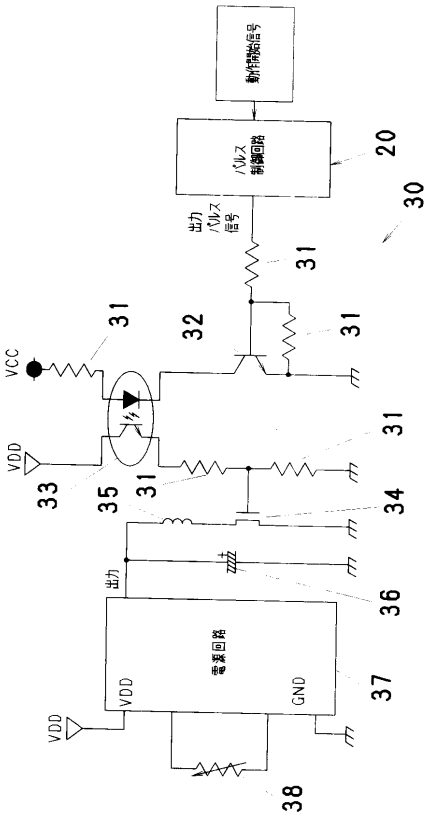
【図１３】



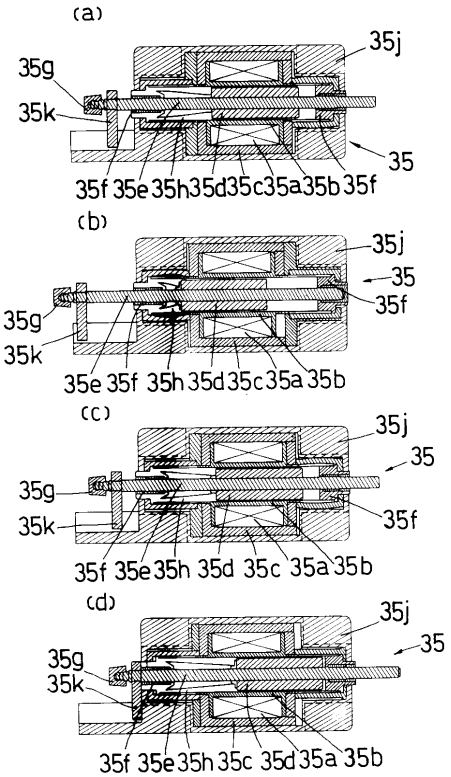
【図１４】



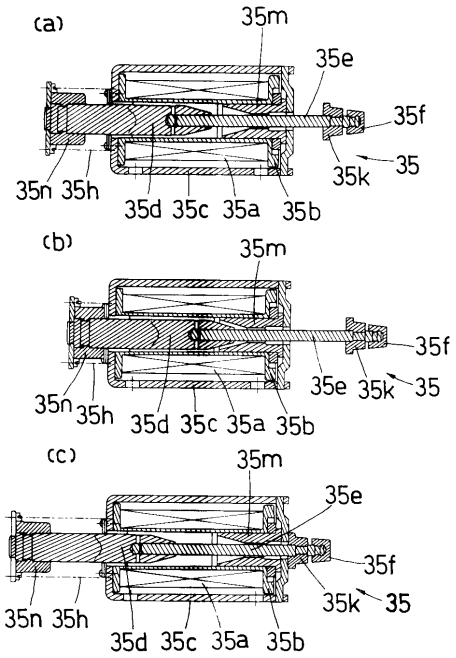
【図１５】



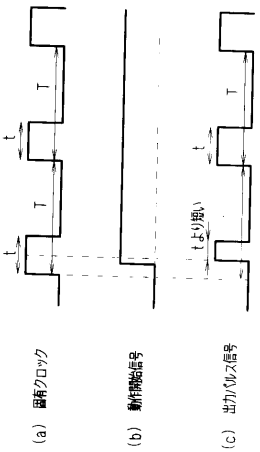
【図１６】



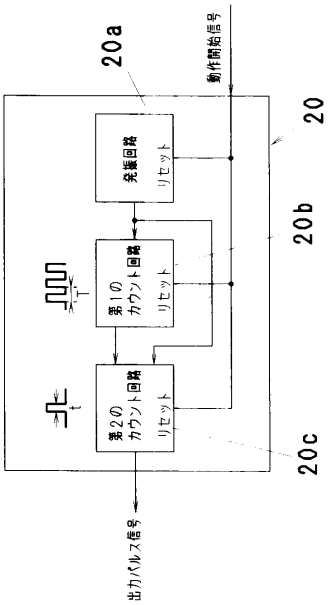
【図１７】



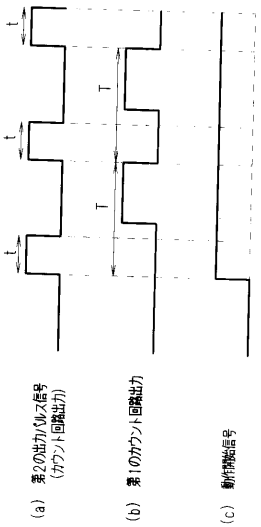
【図１８】



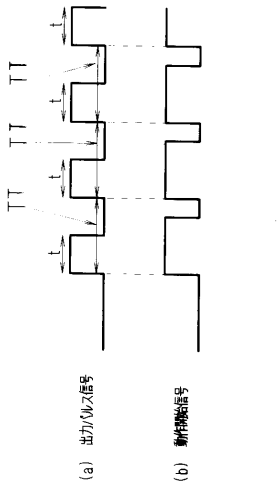
【図１９】


20a
動作開始信号
20
20b
20c
発振回路
リセット
第1のカウント回路
リセット
第2のカウント回路
リセット
出力パルス信号

【図２０】


t
T
(a) 第2の出力パルス信号
(カウント回路出力)
(b) 第1のカウント回路出力
(c) 動作開始信号

【図２１】


t
T
(a) 出力パルス信号
(b) 動作開始信号

フロントページの続き

(56)参考文献 特開昭６０－０４１９８０（ＪＰ，Ａ）
特開平０３－１２１６１２（ＪＰ，Ａ）
特開平０３－１０６３８６（ＪＰ，Ａ）
特開平０２－０４５０７８（ＪＰ，Ａ）
特開昭６２－１８６８８１（ＪＰ，Ａ）
実開昭６２－１５３３８８（ＪＰ，Ｕ）
特開２００１－１０２２１４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
A63F 7/02
H01F 7/18
H03K 3/64- 3/86