



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I454879 B

(45)公告日：中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：100148973

(22)申請日：中華民國 100 (2011) 年 12 月 27 日

(51)Int. Cl. : G06F1/12 (2006.01)

(30)優先權：2011/02/25 美國 13/035,623

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：路凱爾諾夫 迪米崔 LOUKIANOV, DMITRII (US)

(74)代理人：林志剛

(56)參考文獻：

TW I337708 US 2001/0014083A1

US 2002/0163921A1 US 2005/0091554A1

審查人員：高元良

申請專利範圍項數：20 項 圖式數：5 共 0 頁

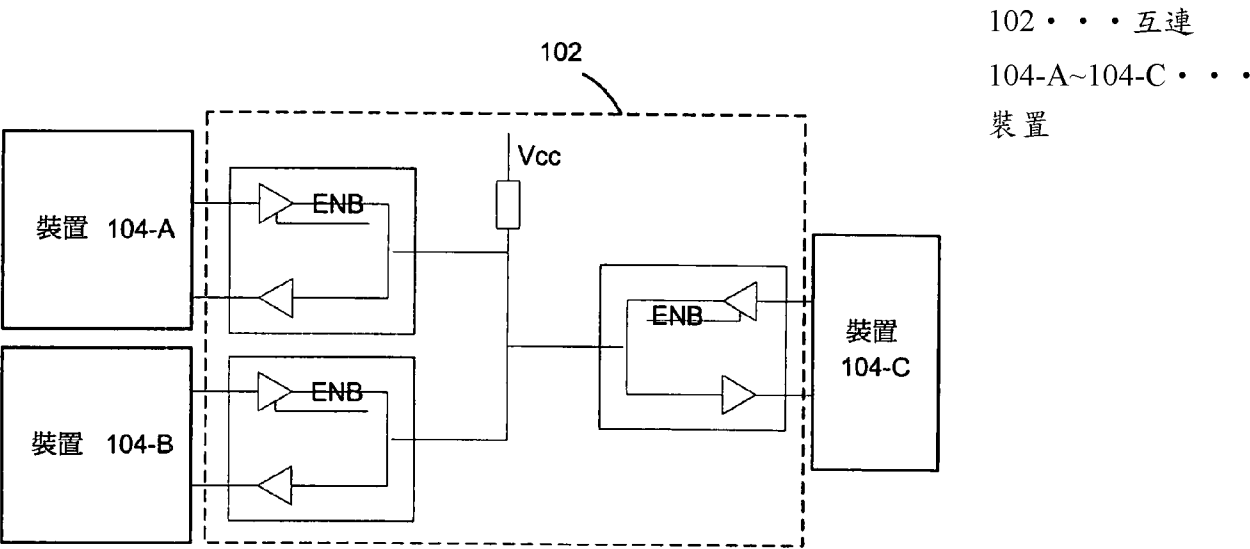
(54)名稱

用於可擴充的且時序關鍵的系統中分配準確的同步化時間戳記之系統，方法，及裝置
A SYSTEM, METHOD, AND DEVICE TO DISTRIBUTE ACCURATE SYNCHRONIZATION
TIMESTAMPS IN AN EXPANDABLE AND TIMING CRITICAL SYSTEM

(57)摘要

敘述技術以提供一裝置及諸多裝置之網路，其從在多模組或多積體電路系統中之分散的時間計數器收集分散的經協調時間戳記。在模組之間的互連可以為單線或兩線互連。通訊式耦合到互連之模組可使用碰撞避免邏輯來觸發模組間之時間戳記的廣播，還有允許所有模組傳送其之時間戳記。來自多個時脈的時間戳記可以藉由所有模組加以傳送並接著加以收集和比較，以產生對每一個模組之時脈信號的校正因子，以潛在達成多個獨立模組或積體電路中之分散的時脈同步。

Techniques are described to provide a device and network of devices that collect distributed coordinated timestamps from distributed time counters in a multi-module or multi-integrated circuit system. The interconnect between the modules can be a single-wire or a two-wire interconnect. The modules communicatively coupled to the interconnect can use a collision-avoidance protocol for triggering the broadcasting of timestamps among the modules as well for allowing all modules to transmit their timestamps. Timestamps from multiple clocks can be transmitted by all modules and then collected and compared to produce correction factors to clock signals of each module to potentially achieve distributed clock synchronization in multiple independent modules or integrated circuits.



第1圖

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100148973

※申請日：100 年 12 月 27 日

※IPC 分類：G06F 1/2 (2006.01)

一、發明名稱：(中文／英文)

用以於可擴充的且時序關鍵的系統中分配準確的同步化時間戳記之系統，方法，及裝置

A system, method, and device to distribute accurate synchronization timestamps in an expandable and timing critical system

二、中文發明摘要：

敘述技術以提供一裝置及諸多裝置之網路，其從在多模組或多積體電路系統中之分散的時間計數器收集分散的經協調時間戳記。在模組之間的互連可以為單線或兩線互連。通訊式耦合到互連之模組可使用碰撞避免邏輯來觸發模組間之時間戳記的廣播，還有允許所有模組傳送其之時間戳記。來自多個時脈的時間戳記可以藉由所有模組加以傳送並接著加以收集和比較，以產生對每一個模組之時脈信號的校正因子，以潛在達成多個獨立模組或積體電路中之分散的時脈同步。

三、英文發明摘要：

Techniques are described to provide a device and network of devices that collect distributed coordinated timestamps from distributed time counters in a multi-module or multi-integrated circuit system. The interconnect between the modules can be a single-wire or a two-wire interconnect. The modules communicatively coupled to the interconnect can use a collision-avoidance protocol for triggering the broadcasting of timestamps among the modules as well for allowing all modules to transmit their timestamps. Timestamps from multiple clocks can be transmitted by all modules and then collected and compared to produce correction factors to clock signals of each module to potentially achieve distributed clock synchronization in multiple independent modules or integrated circuits.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

102：互連

104-A~104-C：裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本文揭露之標的主要有關於在具有複數時脈的系統中之事件時間戳記產生及時間戳記分散，以潛在實現系統中之複數組件之時脈同步。

【先前技術】

許多數位裝置使用時脈來協調操作。當複數數位裝置互操作時，希望在裝置間能有時脈同步化。例如，在媒體系統中，希望同步化音頻解碼器及視頻解碼器之操作，使音頻輸出與相應的視頻同步。在多點資料獲取系統中，必須以準確時間關係取得資料取樣，並在記錄裝置上連同捕捉到的資料記錄關聯的時間戳記。例如，在有線電視數據機中，在上游方向中之傳輸必須與透過下游傳遞之傳輸機會同步化。

當可指定使用情況並且在考慮到此假定使用情況下開發組件時，設計者可提供特殊介面及互連來協調同步。當整個系統位在單一晶粒上時（例如，系統晶片（SoC）），提供互連為可行，因為外部裝置端子不侷限在實現之中。然而，若時間戳記協調橫跨多個實體裝置時（具有積體電路或功能模組之形式），希望減少用於同步化之端子數至絕對最小。在一些情況中，需要適合用於在多個實體裝置之間的相應時間戳記之異質經協調的時間戳印及分散之一種低接腳數介面。

【發明內容及實施方式】

在整份說明書中對於「一實施例 (one embodiment)」或「實施例 (an embodiment)」的參照意指連同該實施例所述的特定特徵、結構、或特性係包括在本發明之至少一實施例中。因此，在各處中「在一實施例中」或「實施例」片語的出現並非一定皆參照相同的實施例。此外，可在一或更多實施例中結合該些特定特徵、結構、或特性。

各種實施例提供一裝置及諸多裝置之網路，其從在多模組或多積體電路系統中之分散的時間計數器收集分散的經協調時間戳記。在模組之間的互連可以為單線或兩線互連。通訊式耦合到互連之模組可使用碰撞避免邏輯來觸發模組間之時間戳記的廣播，還有允許所有模組傳送其之時間戳記。可使碰撞避免協定順應 I2C。來自多個時脈的時間戳記可以藉由所有模組加以傳送並接著加以收集和比較，以產生對每一個模組之時脈信號的校正因子，以潛在達成多個獨立模組或積體電路中之分散的時脈同步。

例如，在系統中，若 CLK_B 為可變，則可由比例 M/N 表示時脈 CLK_A 及 CLK_B 之間所希望的比例，且在兩個不同時間實例來自這些時脈的經協調時間戳記可分別被讀為 (TS_A1, TS_B1) 及 (TS_A2, TS_B2)。於是，若時脈頻率為同步的話，等式 $(TS_A2 - TS_A1) * M = (TS_B2 - TS_B1) * N$ 。誤差信號 $Err = (TS_A2 - TS_A1) * M -$

(TS_B2-TS_B1) * N 代表時脈率之間的差異，且追蹤系統可藉由調整可變時脈來最小化該差異。當達成頻率同步時可藉由在預定時間發送重設振盪器之相位的命令來達成相位同步。可由追蹤系統以誤差信號作為輸入採用數位或類比追蹤迴路。

據此，多個獨立模組或積體電路之時脈來源可潛在達成相互或選定群組同步。例如，獨立模組或積體電路可為無線或有線網路介面。分散的時脈來源之同步可用於網路時脈及／或連網的多媒體模組之音頻／視頻時脈之同步或用於無線或有線視頻分散系統中的媒體及輸送時脈之同步。

各種實施例提供用於通訊式耦合至互連的裝置之方法，當裝置之一即將捕捉一時間戳記時使用互連來通訊，並引動其他裝置取得經協調的時間戳記並使用該互連來傳遞時間戳記而無碰撞。該互連之一實施例可具有開路集極、開路汲極、及類似的有線或 (wired-OR) 雙向介面收發器組態。為了防止時間戳記的碰撞，使用該互連之裝置可實現仲裁方案，其在以希望的資料驅動資料線的同時比較資料線。若在互連中之資料不匹配被驅動值，則傳送器停止驅動資料，因為另一個較高優先權單位正贏得仲裁。在一些情況中，可使用順應 I2C 的介面來啟動經協調的時間戳印並在單元之間傳遞時間戳記。

當每一個裝置嘗試傳送其之裝置識別符到互連時，將優先權給予據有最低識別符的裝置。識別符中之位元的數

量係基於可耦合到裝置的數量。例如，針對四個裝置互連，位元的數量可為二。

第 1 圖描繪其中使用互連通訊式耦合之裝置的諸多裝置之系統的一範例。裝置 104-A 至 104-C 可使用互連 102。互連 102 可包括一或兩個導電路徑。在一實施例中，當互連 102 為單線時，異步通訊方法及位元定時可基於通用異步接收器／傳送器（UART）。在另一實施例中，互連 102 可使用兩線系統管理匯流排（SMB）來啓動時間戳記的傳輸並仲裁時間戳記之傳輸間的衝突。SMB 敘述在 SBS Implementers Forum，System Management Bus（SMBus）Specification，Version 2.0（August 3，2000）中。

如所示，互連 102 使用開路集極、開路汲極、及類似的有線或雙向介面與裝置 104-A 至 104-C 的各者接介。

當多個裝置嘗試同時傳送到互連 102 時，互連 102 可使用與 I2C 類似的衝突解決技術。I2C 的衝突解決技術敘述在 I2C-Bus Specification and User manual，UM 10204（2007）的章節 3.8 中。互連使在所有連接裝置上相對彼此在 20 至 100 ns 內觸發時間戳印程序及時間戳記啓動器變得可行。

裝置 104-A 至 104-C 可為使用時脈信號之任何類型的裝置。例如，裝置 104-A 至 104-C 可為任何無線或有線網路介面、即時程序控制或自動化、音頻編碼器或解碼器、或視頻編碼器或解碼器。可將裝置 104-A 至 104-C 的各者實現為積體電路。例如，一個事件導致裝置 104-A 判定其

時脈的時間戳記並後續使用互連 102 來廣播該時間戳記。觸發時間戳印的事件可為新視頻訊框的開始、電視中之垂直或水平同步脈衝、總體計時器刻點（tick）、MPEG 輸送流中音頻取樣區塊或 SYNC 訊框的開始，但不限於所列舉的事件類型。

裝置 104-A 將互連 102 拉到狀態零以指示已發生時間戳記判定事件（「TS 事件」）。將互連 102 拉到狀態零導致針對位元發信週期的零之傳輸。裝置 104-A 判定其之時間戳記。另外，裝置 104-B 及 104-C 辨認出已發生 TS 事件，並作為回應，裝置 104-B 及 104-C 從其自身的時間基準捕捉其自身的時間戳記。時間基準可包括本地時間來源或時脈及在時脈的每一週期單調增額或減額其的計數之時間計數器。同時，所有裝置 104-A 至 104-C 嘗試使用互連 102 來序列傳送其在當製造或組裝系統時分配到的識別符。

由於所有裝置都嘗試傳送其之識別符並同時監測互連的狀態，仲裁程序僅選擇具有最高優先權的一個裝置。其他裝置將停止驅動互連，並且經仲裁之裝置將維持現行。仲裁方案允許具有最低前文數的裝置後續使用互連 102 來傳送其之時間戳記值。在具有最低識別符的裝置傳送其之時間戳記後，之前無法傳送其之時間戳記的裝置可重試嘗試來傳送其之時間戳記。同樣，具有最低識別符的裝置會贏。該程序重複直到所有裝置都傳送其之時間戳記。

裝置 104-A 至 104-C 可使用來自其他裝置的時間戳記

來同步化其之時脈來源，其中與該時間戳記一起傳送的裝置 ID 不僅用於仲裁，但還識別該時間戳記所屬之單元。例如，裝置 104-B 及 104C 可比較從裝置 104-A 接收到的時間戳記與其自身本地時控之計數值來測量漂移誤差。漂移誤差可用來調整振盪器頻率以同步化裝置 104-B 及 104C 的時脈到裝置 104-A 的時脈。該方法的一種潛在應用為調整可調諧顯示器及音頻時脈（例如，都卜勒鎖相迴路）的頻率以獲得同步化且無中斷的播放。

被傳送的時間戳記之一係與主時脈信號關聯。裝置可指示其之時脈信號是否為主時脈信號。例如，IEEE 1588 規定裝置可指示其之時脈準確度。具有最高準確度的時脈可為主時脈。在一些情況中，泛系統傳輸（例如，廣播）識別主時脈。可使用互連來進行該傳輸。

在一些情況中，具有時脈來源之消費者電子（CE）裝置可通訊式耦合到個人電腦且 CE 裝置可使用互連來同步化其之時脈與個人電腦的組件或反之亦然。具有時脈來源之 CE 裝置可通訊式耦合到其他 CE 裝置並且該 CE 裝置可使用互連來同步化其之時脈與其他 CE 裝置。類似地，可添加組件到個人電腦並使用互連來同步化時脈與個人電腦的一些組件。

若在第一 TS 事件後所有的裝置正試著傳送其之時間戳記且一裝置具有另一個 TS 事件，則裝置可自由選擇何時各者想要觸發經協調的時間戳印之時間。這潛在地會導致超過一個的裝置嘗試觸發 TS 事件。在一些情況中，第

一 TS 事件導致相連系統中之時間戳記的傳輸，且一旦已經開始時間戳記傳輸，取消並阻擋其他 TS 事件。在最壞情況中，兩個裝置可能會因為互連中之傳播延遲而未辨認出其他者的 TS 事件並且它們可能會傳送不準確的時間戳記值，導致等於傳播延遲之最大誤差。

在一些情況中，至互連的介面為雙向光學互連系統且藉由調變光輻射來發生位元的傳輸。碰撞避免涉及檢測監測光信號強度或相位來判定是否由互連傳遞與由介面所傳送之不同的信號。

第 2 圖描繪裝置用來傳送時間戳記到互連並從互連接收時間戳記之組件。時間戳記產生器邏輯 202 可判定至裝置的時脈來源之時間戳記。可使用時間基準來判定時間戳記，該時間基準可包括本地時間來源或時脈及在時脈的每一週期單調增額或減額其的計數之時間計數器。離埠時間戳記儲存邏輯 204 可儲存供未來傳輸之裝置的時間戳記。時間戳記的格式可為 [ID6，TS32]，其中 ID7 為 I2C 標準 IC 位址且 TS32 為此裝置中之本地時間基準計數器的 32 位元快照。碰撞避免邏輯 206 可使用順應 I2C 的技術來判定其之裝置是否可使用互連來傳送。已接收時間戳記儲存邏輯 208 可儲存使用互連所接收到之來自其他裝置的一或更多時間戳記。

時脈調整器邏輯 210 可比較時間戳記與本地時控的時間戳記來測量漂移誤差。漂移誤差值可用來調整裝置所用之時脈的振盪器頻率。

第 3 圖描繪其中裝置嘗試傳送時間戳記之一範例時序圖。在 TS 事件前，裝置 1 中的一些內部或外部事件要裝置 1 產生其之 TS。該事件導致裝置 1 判定其之 TS 並在互連上傳送其之 TS。裝置 1 將電線拉到零以指示發生了 TS 事件。TS 事件為時間上「隨意」並當系統中之任何裝置希望發出時間戳記時發生。下拉電線造成一發信週期之「0」之傳輸。TS 事件可看待為第一脈衝之開始，其之持續時間假設為一位元間隔。其他裝置辨認該 TS 事件，並作為回應，其他裝置判定其自身的時間戳記，無論是否有內部 TS 事件。在 TS 事件後的下一個發信週期中，在大約同時，所有裝置嘗試傳送其之裝置識別符。

在異步傳輸模式（UART）中，使用稱為 `autobaud`（自動鮑率檢測）之熟知的技術，從位元的持續時間自動定位元間隔的持續時間。當互連使用順應 I2C 的協定時，每一個傳送器使用一個時脈信號來定時所傳送的位元。

例如，識別符可具有兩個位元，`b0` 接著位元 `b1`。針對第一位元 `b0`，`b0` 為 0 的任何裝置將互連拉到零，其不允許具有 `b0` 為 1 之其他的裝置傳送。接下來，針對第二位元 `b1`，`b1` 為 0 者類似地僅允許具有 `b0b1` 為 00 的裝置傳送，直到互連有空為止。`b0b1` 為 00 的識別符允許其之裝置首先傳送其之時間戳記。具有識別符 `b0b1` 為 11 的裝置將最後傳送其之時間戳記。裝置知道它們不能將電線拉到零，因為其具有檢測在互連上與裝置所傳送的不同位準之接收器。無法傳送其之時間戳記的裝置會離線並儲存其

之時間戳記到記憶體中並後續再次傳送其之識別符。具有最低識別符的裝置被允許傳送其之時間戳記。該程序重複直到具有最高識別符的裝置傳送其之時間戳記。

再次參照第 3 圖的範例，在 250，裝置 1 及裝置 2 傳送其之識別符。裝置 2 具有最低裝置識別符並被允許在裝置 1 之前傳送其之時間戳記。當裝置 2 傳送其之時間戳記的同時，裝置 1 離線並儲存其之時間戳記以供後續傳送。在裝置 2 傳送其之時間戳記後，接著在 251，裝置 1 再次傳送其之識別符，並且因為裝置 1 具有最低識別符值。

第 4 圖描繪根據一實施例的一示範程序。區塊 302 包括第一裝置檢測時間戳記產生事件。觸發時間戳印的該事件可為新視頻訊框的開始、電視中之垂直或水平同步脈衝、總體計時器刻點（tick）、MPEG 輸送流中音頻取樣區塊或 SYNC 訊框的開始，但不限於所列舉的事件類型。

區塊 304 包括第一裝置傳送零到互連上以表明正發生時間戳記分享。互連可包括一或兩線。互連可包括開路集極、開路汲極、及類似的有線 OR 雙向介面，以與第一裝置及其他裝置接介。

區塊 306 包括通訊式耦合到互連的所有裝置傳送其之裝置識別符到互連。識別符的同步化傳輸造成識別符之間的碰撞。I2C 之衝突解決技術用來判定哪個裝置被允許傳送。具有最低裝置識別符值的裝置被允許使用互連來傳送其之時間戳記。

區塊 308 包括具有最低裝置識別符值的裝置使用互連

來傳送其之時間戳記。重複區塊 306 至 308 直到互連上之所有裝置都已傳送過其之時間戳記。裝置能夠接收從其他裝置傳來的時間戳記。裝置可使用接收到的時間戳記以使用接收到的時間戳記來同步化其之時脈來源。

第 5 圖提供根據一實施例的系統之一範例。該系統可用於行動站、用戶元件、上網本、手持電腦、手持電話、及諸如此類。電腦系統 400 包括主機系統 402 及顯示器 422。電腦系統 400 可實現在手持個人電腦、行動電話、機上盒、或任何計算裝置中。可使用任何類型的用戶介面，比如小鍵盤、滑鼠、觸碰螢幕、及／或手勢或運動辨認。主機系統 402 可包括晶片組 405、處理器 410、主機記憶體 412、貯存 414、圖形子系統 415、及無線電 420。例如，晶片組 405 可包括能夠提供與貯存 414 之互通訊的儲存配接器（未繪示）。

以虛線顯示裝置之間的互連。每一個裝置可包括本文中所述的特徵以履行時間戳記產生及同步。

處理器 410 可實現為複雜指令集電腦（CISC）或減少指令集電腦（RISC）處理器、x86 指令集相容處理器、多核心、或任何其他微處理器或中央處理單元。

主機記憶體 412 可實現為依電性記憶體裝置，比如但不限於，隨機存取記憶體（RAM）、動態隨機存取記憶體（DRAM）、或靜態 RAM（SRAM）。貯存 414 可實現為非依電性儲存裝置，比如但不限於，磁碟驅動機、光碟驅動機、帶驅動機、內部儲存裝置、附接儲存裝置、快閃記

憶體、電池支援的 SDRAM（同步 DRAM）及／或網路可存取儲存裝置。

圖形子系統 415 可履行影像之處理，比如靜止影像或視頻以供顯示。類比或數位介面可用來通訊式耦合圖形子系統 415 及顯示器 422。例如，介面可為高解析度多媒體介面、DisplayPort、無線 HDMI、及／或無線 HD 順應技術的任何者。圖形子系統 415 可整合到處理器 410 或晶片組 405 中。圖形子系統 415 可為通訊式耦合到晶片組 405 之獨立卡。

無線電 420 可包括能夠根據適用的無線標準（比如但不限於 IEEE 802.11 及 IEEE 802.16 的任何版本）來傳送並接收信號的一或更多無線電。例如，無線電 420 可包括至少一個實體層介面及媒體存取控制器。無線電 420 可包括基帶處理器以履行本文中所述的技術。

可在各種硬體架構中實現本文中所述的圖形及／或視頻處理技術。例如，圖形及／或視頻功能可整合到晶片組內。替代地，可使用離散圖形及／或視頻處理器。作為另一實施例，可由通用處理器，包括多核心處理器，來實現圖形及／或視頻功能。在又一實施例中，可在消費者電子裝置中實現這些功能。

本發明之實施例可實現為下列之任何或組合：使用母板連接的一或更多微晶片或積體電路、固線邏輯、由記憶體裝置儲存並為微處理器執行之軟體、韌體、特定應用積體電路（ASIC）、及／或現場可編程閘陣列（FPGA）。

「邏輯」一詞可包括，舉例來說，軟體或硬體及／或軟體及硬體的組合。

可提供本發明之實施例例如作為電腦程式產品，其可包括一或更多個機器可讀取媒體，具有機器可讀取指令儲存於其上，當由一或更多個機器（比如電腦、諸多電腦之網路、或其他電子裝置）執行指令時，令該一或更多個機器進行根據本發明之實施例的操作。機器可讀取媒體可包括，但不限於，軟碟、光碟、光碟－唯讀記憶體（CD-ROM）、及光磁碟、唯讀記憶體（ROM）、隨機存取記憶體（RAM）、可抹除可編程唯讀記憶體（EPROM）、及可電性抹除可編程唯讀記憶體（EEPROM）、磁或光卡、快閃記憶體、或適合儲存機器可執行指令之其他類型的媒體／機器可讀取媒體。

附圖及上述說明提供本發明之範例。雖繪示成若干分離的功能元件，熟悉此技藝人士可理解到這種元件之一或更多者可輕易結合成單一功能元件。替代地，某些元件可分裂成多個功能元件。來自一實施例的元件可添加到另一實施例。例如，本文中所述之程序的順序可加以改變且不限於本文中所述的方式。此外，任何流程圖的動作不需以所示的順序實現；也不需非得履行全部的動作。並且，不相依於其他動作之動作可與該些其他動作平行予以履行。然而，本發明之範疇當然不受限於這些特定範例。無論在說明書中明確提出與否，可有各種的變化，比如結構、尺寸、及材料使用上的差別。本發明的範疇至少按後附的申

請專利範圍所提出般廣泛。

【圖式簡單說明】

在圖中例示性而非限制性繪示本發明之實施例，圖中類似的參考符號參照類似元件。對於具有添加組件能力的演變系統，希望可在添加的組件之間提供同步。

第 1 圖描繪其中使用互連通訊式耦合之裝置的諸多裝置之系統的一範例。

第 2 圖描繪裝置用來傳送時間戳記到互連並從互連接收時間戳記之組件。

第 3 圖描繪其中裝置嘗試傳送時間戳記之一範例時序圖。

第 4 圖描繪根據一實施例的一示範程序。

第 5 圖提供根據一實施例的系統之一範例。

【主要元件符號說明】

102：互連

104-A~104-C：裝置

202：時間戳記產生器邏輯

204：離埠時間戳記儲存邏輯

206：碰撞避免邏輯

208：已接收時間戳記儲存邏輯

210：時脈調整器邏輯

400：電腦系統

402：主機系統

405：晶片組

410：處理器

412：主機記憶體

414：貯存

415：圖形子系統

420：無線電

422：顯示器

七、申請專利範圍：

1.一種裝置，包含：

至互連系統的介面；

時間基準，包含時脈及在該時脈的每一週期增額或減額其計數之時間計數器；

時間戳記產生器，捕捉與該裝置關聯之該時間基準的計數，該時間戳記產生器使用該介面來傳送時間戳記事件指標到該互連系統，並亦傳送裝置識別符到該互連系統，其中該介面傳送信號以在一或更多個其他裝置中同時啟動時間戳記事件，並觸發由該一或更多個其他裝置之裝置識別符及時間戳記到該互連系統的傳送；及

碰撞避免邏輯，判定是否該裝置被允許使用該互連系統來傳送其之時間戳記，其中該時間戳記產生器回應於該裝置不被允許傳送其之時間戳記而等待一段時期並再次傳送該裝置識別符到該互連系統。

2.如申請專利範圍第 1 項所述之裝置，其中該介面組態於下列之一中：開路集極、開路汲極、及有線或（wired-OR）組態。

3.如申請專利範圍第 1 項所述之裝置，其中該介面包含雙向光學互連系統，並藉由調變光輻射發生位元之通訊，且其中該碰撞避免邏輯藉由檢測光信號強度或相位來檢測碰撞，以判斷是否藉由該互連系統傳遞與該介面所傳送之不同的信號。

4.如申請專利範圍第 1 項所述之裝置，其中該時間戳

記事件指標觸發與該互連系統通訊式耦合之至少另一裝置以判斷其之時間戳記，傳送其之裝置識別符到該互連系統，並且若其之裝置識別符為最低值傳送其之經協調的時間戳記到該互連系統。

5.如申請專利範圍第 1 項所述之裝置，其中該碰撞避免邏輯判斷該時間戳記產生器，若該關聯的裝置識別符為最低值，被允許使用該介面來傳送其之時間戳記。

6.如申請專利範圍第 1 項所述之裝置，其中該碰撞避免邏輯利用順應 I2C 之碰撞避免協定。

7.如申請專利範圍第 1 項所述之裝置，進一步包含：
回應於該再次傳送的裝置識別符為最低值，該時間戳記產生器使用該介面來傳送與該裝置識別符關聯的該時間戳記到該互連系統。

8.如申請專利範圍第 1 項所述之裝置，進一步包含：
時間戳記貯存，儲存從該互連系統接收到的任何時間戳記。

9.如申請專利範圍第 1 項所述之裝置，其中該互連系統包含單一或兩線硬體互連。

10.如申請專利範圍第 1 項所述之裝置，進一步包含：

時脈調整器邏輯，比較接收到的時間戳記與該裝置的該時間戳記以測量漂移誤差，並調整由該裝置所使用的時脈的振盪器頻率以與該些接收到的時間戳記之一同步化。

11.一種方法，包含：

耦合到互連的至少兩個裝置之每一個接收指示以判斷其之時間戳記；

該至少兩個裝置之每一個判斷其之時間戳記；

該至少兩個裝置之每一個傳送其之識別符到該互連；

具有最低識別符之裝置傳送其之時間戳記到該互連；

該至少兩個裝置之每一個，除了具有該最低識別符之該裝置，接收該時間戳記；

該至少兩個裝置之每一個，除了具有該最低識別符之該裝置，傳送其之識別符到該互連；及

具有第二最低識別符之第二裝置傳送其之時間戳到該互連。

12.如申請專利範圍第 11 項所述之方法，其中從另一裝置接收時間戳記的該至少兩個裝置之每一個將其之時脈同步化至該些裝置之一的時脈。

13.如申請專利範圍第 11 項所述之方法，其中從另一裝置接收時間戳記的該至少兩個裝置之每一個將其之時脈同步化至網路或該些裝置之一的多媒體時脈。

14.如申請專利範圍第 11 項所述之方法，其中該至少兩個裝置之每一個為獨立模組或積體電路。

15.如申請專利範圍第 11 項所述之方法，其中該至少兩個裝置之每一個選自無線或有線網路介面、音頻編碼器、音頻解碼器、視頻編碼器、及視頻解碼器。

16.一種系統，包含：

網路媒體；

通訊式耦合到該網路媒體之網路介面；

互連；

通訊式耦合到該互連之複數裝置，其中該些裝置的每一個包含：

至互連的介面；

時間基準，包含時脈及在該時脈的每一週期增額或減額其計數之時間計數器；

時間戳記產生器，捕捉與該裝置關聯之該時間基準的計數，該時間戳記產生器使用該介面來傳送時間戳記事件指標到該互連，並亦傳送裝置識別符到該互連，其中該介面傳送信號以在一或更多個其他裝置中啟動時間戳記事件，並觸發由該一或更多個其他裝置之裝置識別符及時間戳記到該互連同時的傳送；及

碰撞避免邏輯，判定是否該裝置被允許使用該互連來傳送其之時間戳記，其中該時間戳記產生器回應於該裝置不被允許傳送其之時間戳記而等待一段時期並再次傳送該裝置識別符到該互連。

17.如申請專利範圍第 16 項所述之系統，其中該介面組態於下列之一中：開路集極、開路汲極、及有線或（wired-OR）組態。

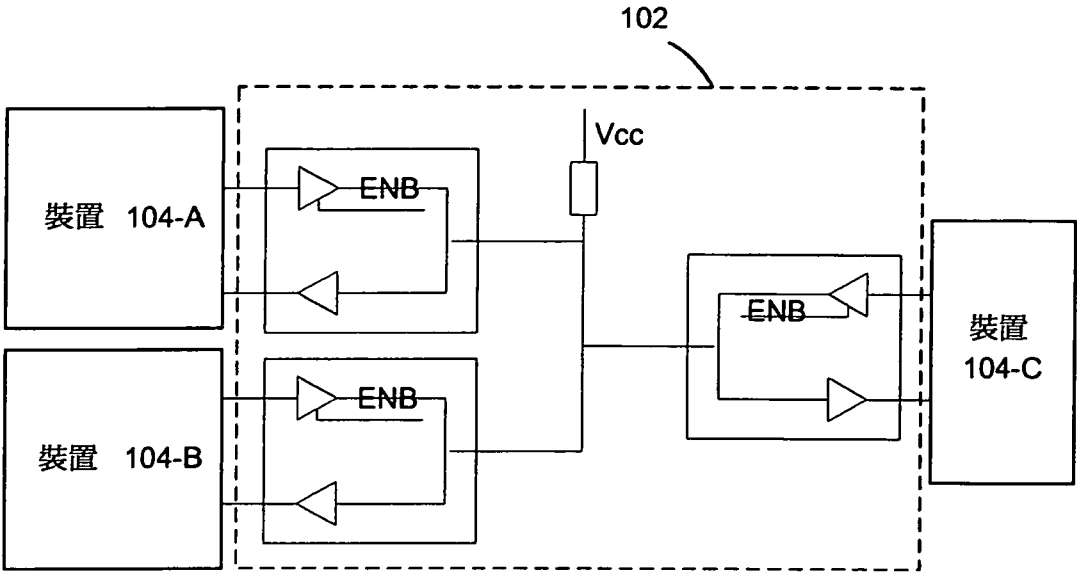
18.如申請專利範圍第 16 項所述之系統，其中該時間戳記事件指標觸發與該互連通訊式耦合之至少另一裝置以判斷其之時間戳記，傳送其之裝置識別符到該互連，並且若其之裝置識別符為最低值傳送其之經協調的時間戳記到

該互連。

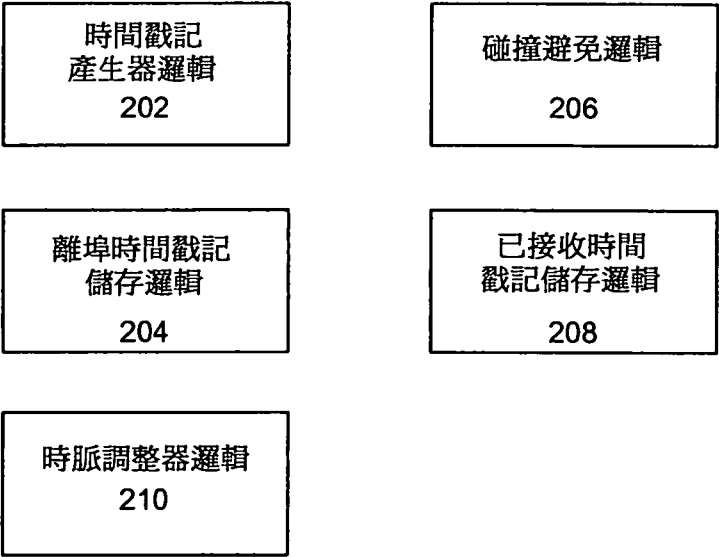
19.如申請專利範圍第 16 項所述之系統，其中該互連包含單一或兩線硬體互連。

20.如申請專利範圍第 16 項所述之系統，其中該些裝置的每一個另包含：

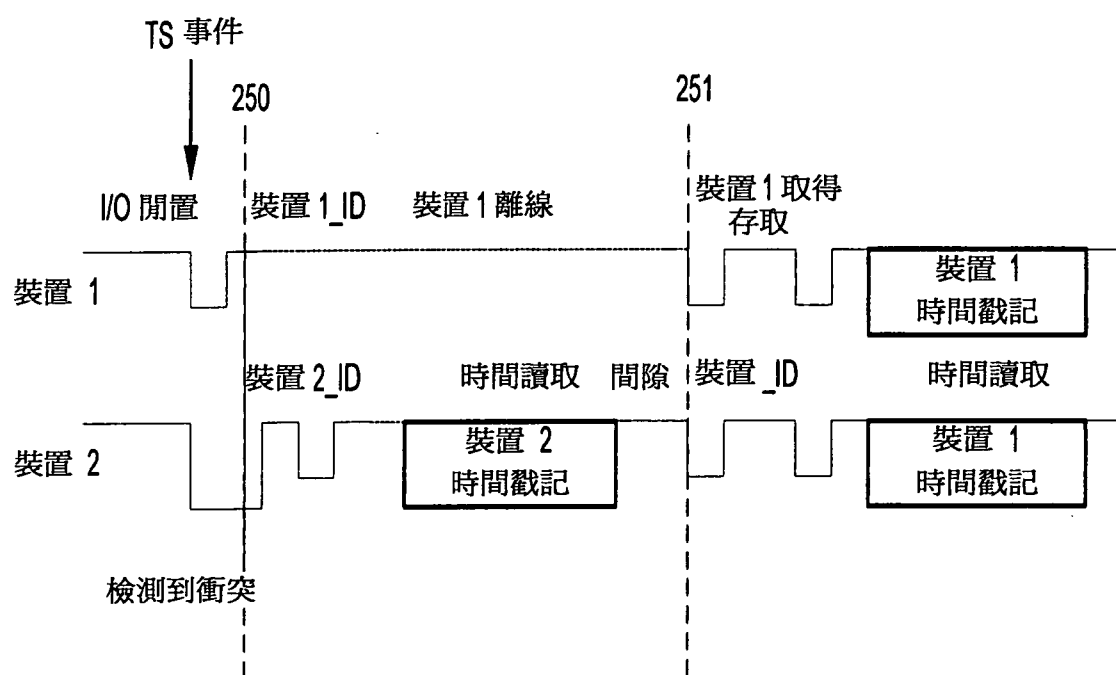
時脈調整器邏輯，比較接收到的時間戳記與該裝置的該時間戳記以測量漂移誤差，並調整由該裝置所使用的時脈的振盪器頻率以與該些接收到的時間戳記之一同步化。



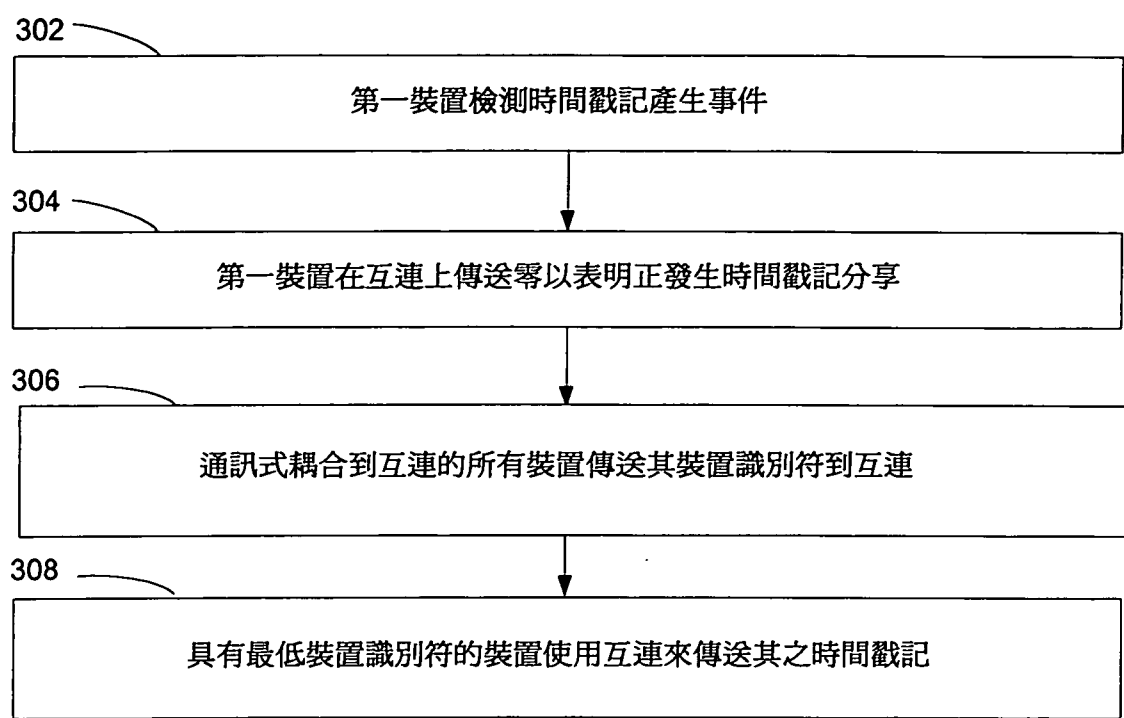
第1圖



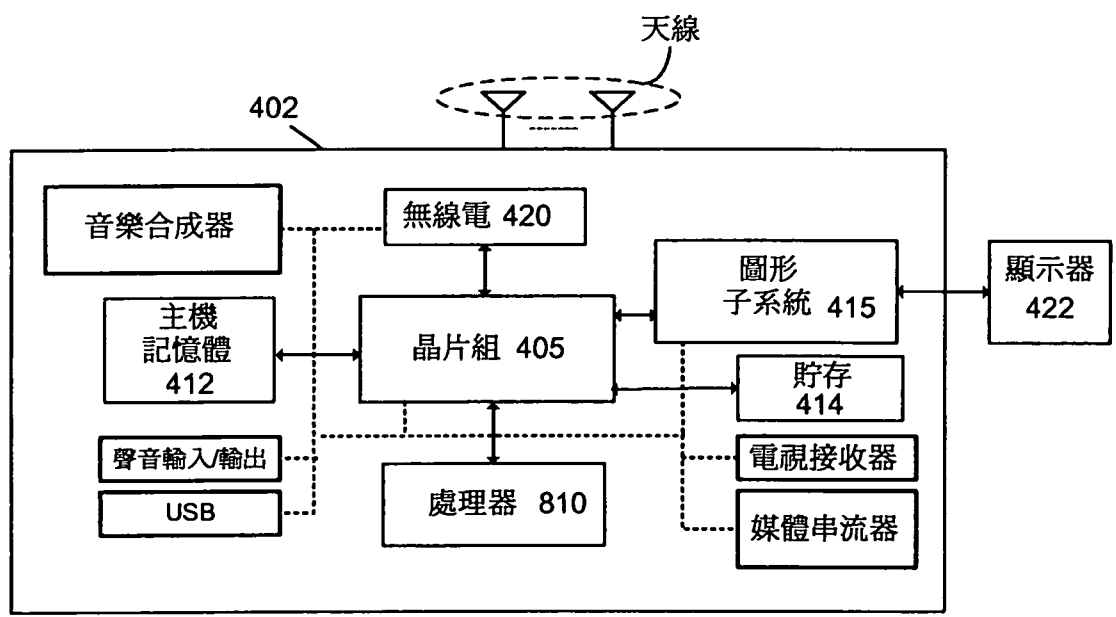
第2圖



第3圖



第4圖



第5圖