

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成24年3月1日(2012.3.1)

【公開番号】特開2009-217926(P2009-217926A)
 【公開日】平成21年9月24日(2009.9.24)
 【年通号数】公開・登録公報2009-038
 【出願番号】特願2009-8136(P2009-8136)
 【国際特許分類】

G 1 1 C 11/408 (2006.01)

G 1 1 C 11/407 (2006.01)

G 1 1 C 29/12 (2006.01)

【F I】

G 1 1 C 11/34 3 5 4 B

G 1 1 C 11/34 3 6 2 S

G 1 1 C 29/00 6 7 1 Z

【手続補正書】

【提出日】平成24年1月16日(2012.1.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

外部アドレスの最下位ビットが固定される半導体集積回路において、
 コラム命令語に応じて、テストモード信号が活性化すればキャリアを生成し、前記外部アドレスを初期内部アドレスにラッチして、ラッチされた前記初期内部アドレスと前記キャリアとを組み合わせることで、前記キャリアにより前記初期内部アドレスから順次増加するアドレスを出力するアドレス制御回路を含むことを特徴とする、半導体集積回路。

【請求項2】

前記キャリアの信号レベルにより以前の前記外部アドレスの反転の可否を制御することを特徴とする、請求項1に記載の半導体集積回路。

【請求項3】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする、請求項1に記載の半導体集積回路。

【請求項4】

前記アドレス制御回路は、

前記外部アドレス及びフィードバックされた前記キャリアを受信して、第1及び第2の内部用アドレスに分離し、キャリア生成用アドレスを提供する第1のアドレスラッチ部；

前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記キャリアを生成するキャリア生成部；及び、

読み取り動作時又は書き込み動作時、前記第1及び第2の内部用アドレスに応じて、メモリブロックを指定するクォータ用アドレスを提供する第2のアドレスラッチ部を含むことを特徴とする、請求項1に記載の半導体集積回路。

【請求項5】

書き込み動作時、前記第1及び第2の内部用アドレスを受信して、所定時間遅延された第1及び第2の内部用アドレス、並びに遅延された書き込み命令信号を提供するレイテンシシフタをさらに含むことを特徴とする、請求項4に記載の半導体集積回路。

【請求項 6】

前記第 1 のアドレスラッチ部は、
前記コラム命令語及び 1 ビットの所定外部アドレスに応じて、第 1 のキャリア生成用アドレスを提供する第 1 のラッチユニット；及び、
前記初期内部アドレスとして第 2 の内部用アドレスを提供し、前記キャリアのレベルにより前記第 1 の内部用アドレスを反転させる内部アドレス信号生成部を含むことを特徴とする、請求項 4 に記載の半導体集積回路。

【請求項 7】

前記キャリア生成部は、
前記テストモード信号の活性化時、受信された前記キャリア生成用アドレスがローレベルであればローレベルのキャリアを提供し、前記キャリア生成用アドレスがハイレベルであればハイレベルのキャリアを提供することを特徴とする、請求項 4 に記載の半導体集積回路。

【請求項 8】

前記第 2 のアドレスラッチ部は、
読み取り命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 1 のラッチ部；及び、
前記遅延された書き込み命令信号に応じて、遅延された前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 2 のラッチ部を含むことを特徴とする、請求項 4 に記載の半導体集積回路。

【請求項 9】

前記レイテンシシフタにおける前記所定時間は、書き込み動作時、既に設定された書き込みレイテンシを満足する時間であることを特徴とする、請求項 4 に記載の半導体集積回路。

【請求項 10】

外部アドレスの最下位ビットが固定される半導体集積回路において、
コラム命令語に応じて、テストモード信号が活性化すれば、複数の外部アドレスを受信して、複数の第 1 の内部用アドレス及び初期内部アドレスである複数の第 2 の内部用アドレスにそれぞれ分離して、前記第 2 の内部用アドレスから順次増加する前記第 1 の外部アドレスを提供するアドレス制御回路を含むことを特徴とする、半導体集積回路。

【請求項 11】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする、請求項 10 に記載の半導体集積回路。

【請求項 12】

前記アドレス制御回路は、
前記外部アドレス及びフィードバックされた前記キャリアを受信して、前記第 1 及び第 2 の内部用アドレスに分離し、キャリア生成用アドレスを提供する第 1 のアドレスラッチ部；
前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記キャリアを生成するキャリア生成部；及び、
読み取り動作時又は書き込み動作時、前記第 1 及び第 2 の内部用アドレスに応じて、メモリブロックを指定するクォータ用アドレスを提供する第 2 のアドレスラッチ部を含むことを特徴とする、請求項 10 に記載の半導体集積回路。

【請求項 13】

前記キャリアの信号レベルにより以前の前記外部アドレスの反転の可否を制御することを特徴とする、請求項 12 に記載の半導体集積回路。

【請求項 14】

書き込み動作時に活性化される書き込み命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを受信して、所定時間遅延された第 1 及び第 2 の内部用アドレス、並びに遅延された書き込み命令信号を提供するレイテンシシフタをさらに含むことを特徴とする、請求項

1 2 に記載の半導体集積回路。

【請求項 1 5】

前記第 1 のアドレスラッチ部は、

前記コラム命令語及び 1 ビットの所定の外部アドレスに応じて、第 1 のキャリア生成用アドレスを提供する第 1 のラッチユニット；及び、

前記複数の外部アドレスに対応し、フィードバックされた前記キャリアに対応する複数のラッチユニットを含む内部アドレス信号生成部を含むことを特徴とする、請求項 1 2 に記載の半導体集積回路。

【請求項 1 6】

前記内部アドレス信号生成部のそれぞれの前記ラッチユニットは、前記コラム命令語に応じて受信された前記外部アドレスレベルと同一の前記第 2 の内部用アドレス及び前記キャリア生成用アドレスを生成し、前記フィードバックされたキャリアにより前記外部アドレスと反転されたレベルの前記第 1 の内部用アドレスを生成することを特徴とする、請求項 1 5 に記載の半導体集積回路。

【請求項 1 7】

前記レイテンシシフトにおける前記所定時間は、書き込み動作時、既に設定された書き込みレイテンシを満足する時間であることを特徴とする、請求項 1 4 に記載の半導体集積回路。

【請求項 1 8】

前記レイテンシシフトは、

クロック、前記書き込み命令信号及び前記第 1 の内部用アドレスに応じて、前記遅延された第 1 の内部用アドレスを提供する第 1 のレイテンシ制御部；及び、

前記クロック、前記書き込み命令信号及び前記第 2 の内部用アドレスに応じて、前記遅延された第 2 の内部用アドレスを提供する第 2 のレイテンシ制御部を含むことを特徴とする、請求項 1 4 に記載の半導体集積回路。

【請求項 1 9】

前記第 1 のレイテンシ制御部は、

前記第 1 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部；及び、

前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部を含むことを特徴とする、請求項 1 8 に記載の半導体集積回路。

【請求項 2 0】

前記第 2 のレイテンシ制御部は、

前記第 2 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部；及び、

前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部を含むことを特徴とする、請求項 1 8 に記載の半導体集積回路。

【請求項 2 1】

前記それぞれのアドレス遅延部は、

前記クロックに応じてターンオンされることで、前記第 1 及び第 2 の内部用アドレスをそれぞれ転送させる前記複数の転送部；及び、

前記転送部の出力段とそれぞれ連結しているパス素子を含み、前記レイテンシ信号に応じて前記パス素子がターンオンされて前記転送部の出力信号を提供することで、既に設定されたレイテンシだけ遅延された第 1 及び第 2 の内部用アドレスをそれぞれ提供するレイテンシ活性化部を含むことを特徴とする、請求項 1 9 又は請求項 2 0 に記載の半導体集積回路。

【請求項 2 2】

外部アドレスの最下位ビットが固定される半導体集積回路において、

コラム命令語に応じて、テストモード信号が活性化すれば、外部アドレスを受信して第 1 及び第 2 の内部用アドレスを生成し、前記第 2 の内部用アドレスのレベルの判断により前

記第 1 の内部用アドレスの反転の可否を制御することで、前記第 2 の内部用アドレスから順次増加する前記第 1 の内部用アドレスを提供するアドレス制御回路；及び、
前記第 1 及び第 2 の内部用アドレスをそれぞれ受信する複数のクォータが具備されたメモリブロックを含み、

前記アドレス制御回路は、

前記外部アドレス及びフィードバックされたキャリアを受信して、前記第 1 及び第 2 の内部用アドレスに分離し、キャリア生成用アドレスを提供する第 1 のアドレスラッチ部；

前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記キャリアを生成するキャリア生成部；及び、

読み取り動作時又は書き込み動作時、第 1 及び第 2 の内部用アドレスに応じて、前記メモリブロックを指定するクォータ用アドレスを提供する第 2 のアドレスラッチ部を含むことを特徴とする、半導体集積回路。

【請求項 2 3】

前記キャリアの信号レベルにより、以前の前記外部アドレスの反転の可否を制御することを特徴とする、請求項 2 2 に記載の半導体集積回路。

【請求項 2 4】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする、請求項 2 2 に記載の半導体集積回路。

【請求項 2 5】

書き込み動作時に活性化される書き込み命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを受信して、所定時間遅延された第 1 及び第 2 の内部用アドレス、並びに遅延された書き込み命令信号を提供するレイテンシシフタをさらに含むことを特徴とする、請求項 2 2 に記載の半導体集積回路。

【請求項 2 6】

前記第 1 のアドレスラッチ部は、

前記コラム命令語及び 1 ビットの所定の外部アドレスに応じて、第 1 のキャリア生成用アドレスを提供する第 1 のラッチユニット；及び、

前記初期内部アドレスとして第 2 の内部用アドレス及び前記第 2 の内部用アドレスと同じレベルの前記キャリア生成用アドレスを提供し、前記キャリアのレベルにより前記第 1 の内部用アドレスを反転させる内部アドレス信号生成部を含むことを特徴とする、請求項 2 2 に記載の半導体集積回路。

【請求項 2 7】

前記キャリア生成部は、前記テストモード信号の活性化時、受信された前記キャリア生成用アドレスが、ローレベルであればローレベルのキャリアを提供し、ハイレベルであればハイレベルのキャリアを提供することを特徴とする、請求項 1 2 又は請求項 2 2 に記載の半導体集積回路。

【請求項 2 8】

前記キャリア生成部は、それぞれ受信される前記キャリア生成用アドレスに応じて、それぞれのキャリアを提供する複数の生成ユニットを含むことを特徴とする、請求項 2 7 に記載の半導体集積回路。

【請求項 2 9】

前記それぞれの生成ユニットは、互いに異なる遅延時間を有するそれぞれの遅延器を含むことを特徴とする、請求項 2 8 に記載の半導体集積回路。

【請求項 3 0】

前記第 2 のアドレスラッチ部は、

読み取り動作時に活性化される読み取り命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 1 のラッチ部；及び、

書き込み動作時に活性化される書き込み命令信号に応じて、遅延された前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 2 のラッチ部を含むことを特徴とする、請求項 1 2 又は請求項 2 2 に記載の半導体集積回路。

【請求項 3 1】

前記レイテンシシフトにおける前記所定時間は、書き込み動作時、既に設定された書き込みレイテンシを満足する時間であることを特徴とする、請求項 2 5 に記載の半導体集積回路。

【請求項 3 2】

前記レイテンシシフトは、

クロック、前記書き込み命令信号及び前記第 1 の内部用アドレスに応じて、前記遅延された第 1 の内部用アドレスを提供する第 1 のレイテンシ制御部；及び、

前記クロック、前記書き込み命令信号及び前記第 2 の内部用アドレスに応じて、前記遅延された第 2 の内部用アドレスを提供する第 2 のレイテンシ制御部を含むことを特徴とする、請求項 2 5 に記載の半導体集積回路。

【請求項 3 3】

前記第 1 のレイテンシ制御部は、

前記第 1 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部；及び、

前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部を含むことを特徴とする、請求項 3 2 に記載の半導体集積回路。

【請求項 3 4】

前記第 2 のレイテンシ制御部は、

前記第 2 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部；及び、

前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部を含むことを特徴とする、請求項 3 2 に記載の半導体集積回路。

【請求項 3 5】

前記アドレス遅延部は、

前記クロックに応じてターンオンされることで、前記第 1 及び第 2 の内部用アドレスをそれぞれ転送させる前記複数の転送部；及び、

前記転送部の出力段とそれぞれ連結しているパス素子を含み、前記レイテンシ信号に応じて前記パス素子がターンオンされて前記転送部の出力信号を提供することで、既に設定されたレイテンシだけ遅延された第 1 及び第 2 の内部用アドレスをそれぞれ提供するレイテンシ活性化部を含むことを特徴とする、請求項 3 3 又は請求項 3 4 に記載の半導体集積回路。

【請求項 3 6】

前記命令語遅延部は、

前記クロックに応じてターンオンされることで、前記書き込み命令信号を転送させる前記複数の転送部；及び、

前記転送部の出力段とそれぞれ連結しているパス素子を含み、前記レイテンシ信号に応じて前記パス素子がターンオンされて前記転送部の出力信号を提供することで、既に設定されたレイテンシだけ遅延された書き込み命令信号を提供するレイテンシ活性化部を含むことを特徴とする、請求項 1 9、請求項 2 0、請求項 3 3 又は請求項 3 4 に記載の半導体集積回路。

【請求項 3 7】

コラム命令語に応じて、テストモード信号が活性化すれば、外部アドレスを受信して、メモリブロック内のクォータに対応するように複数の第 1 ~ 第 4 の内部用アドレスを生成し、前記第 4 の内部用アドレスのレベルの判断により、前記第 1 ~ 第 3 の内部用アドレスの反転の可否を制御することで、前記第 4 の内部用アドレスから順次増加する前記第 1 ~ 第 3 の内部用アドレスを提供するアドレス制御回路を含むことを特徴とする、半導体集積回路。

【請求項 3 8】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする、請求

項 3 7 に記載の半導体集積回路。

【請求項 3 9】

前記アドレス制御回路は、

前記外部アドレス及びフィードバックされた第 1 ~ 第 3 のキャリアグループ信号を受信して、前記第 1 ~ 第 4 の内部用アドレスに分離し、キャリア生成用アドレスを提供する第 1 のアドレスラッチ部；

前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記第 1 ~ 第 3 のキャリアグループ信号を生成するキャリア生成部；及び、

読み取り動作時又は書き込み動作時、前記第 1 ~ 第 4 の内部用アドレスに応じて、前記メモリブロックを指定するそれぞれのクォータ用アドレスを提供する第 2 のアドレスラッチ部を含むことを特徴とする、請求項 3 7 に記載の半導体集積回路。

【請求項 4 0】

前記第 1 ~ 第 3 のキャリアグループ信号の信号レベルにより、以前の前記外部アドレスの反転の可否を制御することを特徴とする、請求項 3 9 に記載の半導体集積回路。

【請求項 4 1】

前記第 1 のアドレスラッチ部は、

前記コラム命令語及び 2 ビットの所定外部アドレスに応じて、第 1 のキャリア生成用アドレスを提供する第 1 のラッチユニット；及び、

前記初期内部アドレスとして前記第 4 の内部用アドレス及び前記第 4 の内部用アドレスと同一のレベルの前記キャリア生成用アドレスを提供し、前記第 1 ~ 第 3 のキャリアグループ信号のレベルにより、前記第 1 ~ 第 3 の内部用アドレスを提供する内部アドレス信号生成部を含むことを特徴とする、請求項 3 9 に記載の半導体集積回路。

【請求項 4 2】

前記キャリア生成部は、

前記テストモード信号の活性化時、受信された前記キャリア生成用アドレスが、ローレベルであればローレベルのキャリアを提供し、ハイレベルであればハイレベルのキャリアを提供することを特徴とする、請求項 3 9 に記載の半導体集積回路。

【請求項 4 3】

前記キャリア生成部は、それぞれ受信される前記キャリア生成用アドレスに応じて、それぞれの第 1 ~ 第 3 のキャリアグループ信号を提供する複数の生成ユニットを含むことを特徴とする、請求項 4 2 に記載の半導体集積回路。

【請求項 4 4】

前記それぞれの生成ユニットは、互いに異なる遅延時間を有するそれぞれの遅延器を含むことを特徴とする、請求項 4 3 に記載の半導体集積回路。

【請求項 4 5】

前記第 2 のアドレスラッチ部は、

読み取り動作時に活性化される読み取り命令信号に応じて、前記第 1 ~ 第 4 の内部用アドレスを前記クォータ用アドレスにラッチする第 1 のラッチ部；及び、

書き込み動作時に活性化される書き込み命令信号に応じて、遅延された前記第 1 ~ 第 4 の内部用アドレスを前記クォータ用アドレスにラッチする第 2 のラッチ部を含むことを特徴とする、請求項 3 9 に記載の半導体集積回路。