(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3749776号

(P3749776)

(45)発行日　平成18年3月1日(2006.3.1)　(24)登録日　平成17年12月9日(2005.12.9)

(51)Int.Cl.		F I		
H01L 21/8242	(2006.01)	H01L	27/10	621C
H01L 27/108	(2006.01)	H01L	27/04	C
H01L 27/04	(2006.01)	H01L	27/10	651
H01L 21/822	(2006.01)			

請求項の数 18　(全 26 頁)

(21)出願番号　特願平9-46813
(22)出願日　平成9年2月28日(1997.2.28)
(65)公開番号　特開平10-242423
(43)公開日　平成10年9月11日(1998.9.11)
審査請求日　平成13年3月29日(2001.3.29)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

第１及び第２溝を有する第１絶縁膜と、前記第１溝の側面に形成される第２絶縁膜と、前記第２溝の側面に形成される第３絶縁膜と、前記第２絶縁膜を覆うように、前記第１溝内にのみ形成される第１電極と、前記第３絶縁膜を覆うように、前記第２溝内にのみ形成される第２電極と、前記第１電極上に形成される第４絶縁膜と、前記第２電極上に形成される第５絶縁膜と、前記第４絶縁膜上に形成される第３電極と、前記第５絶縁膜上に形成される第４電極とを具備することを特徴とする半導体装置。

【請求項２】

第１及び第２溝を有する第１絶縁膜と、前記第１溝の側面に形成される第２絶縁膜と、前記第２溝の側面に形成される第３絶縁膜と、前記第２絶縁膜を覆うように、前記第１溝内にのみ形成される第１電極と、前記第３絶縁膜を覆うように、前記第２溝内にのみ形成される第２電極と、前記第１電極上及び前記第２電極上に形成される第４絶縁膜と、前記第４絶縁膜上に形成される第３電極とを具備することを特徴とする半導体装置。

【請求項３】

第１及び第２コンタクトホールを有する第１絶縁膜と、前記第１絶縁膜上に形成され、前記第１コンタクトホール上の第１溝及び前記第２コンタクトホール上の第２溝を有する第２絶縁膜と、前記第１溝の側面に形成される第３絶縁膜と、前記第２溝の側面に形成される第４絶縁膜と、前記第３絶縁膜を覆うように、前記第１溝内にのみ形成される第１電極と、前記第４絶縁膜を覆うように、前記第２溝内にのみ形成される第２電極と、前記第

１電極上及び前記第２電極上に形成される第５絶縁膜と、前記第５絶縁膜上に形成される第３電極とを具備することを特徴とする半導体装置。

【請求項４】

第１及び第２コンタクトプラグと、前記第１コンタクトプラグ上に第１溝を有し、前記第２コンタクトプラグ上に第２溝を有する第１絶縁膜と、前記第１溝の側面に形成される第２絶縁膜と、前記第２溝の側面に形成される第３絶縁膜と、前記第２絶縁膜を覆うように、前記第１溝内にのみ形成される第１電極と、前記第３絶縁膜を覆うように、前記第２溝内にのみ形成される第２電極と、前記第１電極上及び前記第２電極上に形成される第４絶縁膜と、前記第４絶縁膜上に形成される第３電極とを具備することを特徴とする半導体装置。

【請求項５】

前記第２及び第３絶縁膜は、シリコン窒化膜であることを特徴とする請求項１又は２又は４に記載の半導体装置。

【請求項６】

前記第３及び第４絶縁膜は、シリコン窒化膜であることを特徴とする請求項３に記載の半導体装置。

【請求項７】

前記第１絶縁膜の溝の側面は、前記第１絶縁膜の溝の底面に対して９０°以上１００°以下の角度を有していることを特徴とする請求項１又は２又は４に記載の半導体装置。

【請求項８】

前記第２絶縁膜の溝の側面は、前記第２絶縁膜の溝の底面に対して９０°以上１００°以下の角度を有していることを特徴とする請求項３に記載の半導体装置。

【請求項９】

前記第１絶縁膜の溝の側面は、曲面を有していることを特徴とする請求項１又は２又は４に記載の半導体装置。

【請求項１０】

前記第２絶縁膜の溝の側面は、曲面を有していることを特徴とする請求項３に記載の半導体装置。

【請求項１１】

前記第１、第２、第３及び第４電極は、ダイナミック型ランダムアクセスメモリのセルキャパシタの電極を構成していることを特徴とする請求項１に記載の半導体装置。

【請求項１２】

前記第１、第２及び第３電極は、ダイナミック型ランダムアクセスメモリのセルキャパシタの電極を構成していることを特徴とする請求項２又は３又は４に記載の半導体装置。

【請求項１３】

前記第１及び第２電極は、Ｒｕ、Ｐｔ、Ｒｅ、Ｏｓ、Ｒｈ、Ｉｒ、Ｓｒのいずれか１つからなる第１金属、前記第１金属の酸化物、前記第１金属を含む合金、前記合金の酸化物、Ｗ、Ｎｂ、Ａｌ、Ｔｉ、Ｔａのいずれか１つからなる第２金属、前記第２金属の酸化物、Ｍｏ、Ｃｕ、Ｐｂのいずれか１つからなる第３金属のグループから選択される少なくとも１つにより構成されることを特徴とする請求項１乃至４のいずれか１項に記載の半導体装置。

【請求項１４】

前記第４及び第５絶縁膜は、（Ｂａ，Ｓｒ）TiO_3、$BaTiO_3$、$SrTiO_3$、$PbZrO_3$、$LiNbO_3$、$Bi_4Ti_3O_{12}$、Ta_2O_5のグループから選択される少なくとも１つにより構成されることを特徴とする請求項１に記載の半導体装置。

【請求項１５】

前記第４絶縁膜は、（Ｂａ，Ｓｒ）TiO_3、$BaTiO_3$、$SrTiO_3$、$PbZrO_3$、$LiNbO_3$、$Bi_4Ti_3O_{12}$、Ta_2O_5のグループから選択される少なくとも１つにより構成されることを特徴とする請求項２又は４に記載の半導体装置。

【請求項１６】

前記第５絶縁膜は、（Ｂａ，Ｓｒ）TiO_3、$BaTiO_3$、$SrTiO_3$、$PbZrO_3$、$LiNbO_3$、$Bi_4Ti_3O_{12}$、Ta_2O_5のグループから選択される少なくとも１つにより構成されることを特徴とする請求項３に記載の半導体装置。

【請求項１７】

前記第１及び第２電極は、それぞれＭＯＳトランジスタのソース拡散層に接続されることを特徴とする請求項１乃至４のいずれか１項に記載の半導体装置。

【請求項１８】

前記ＭＯＳトランジスタのドレイン拡散層は、ビット線に接続されることを特徴とする請求項１７に記載の半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体基板に形成されるキャパシタ、特に、ダイナミック・ランダム・アクセス・メモリのキャパシタに関する。

【０００２】

【従来の技術】

半導体プロセス技術の進歩に伴い、半導体デバイスの微細化が進んでいる。半導体デバイスの微細化は、ダイナミック・ランダム・アクセス・メモリ（以下、ＤＲＡＭ）の記憶容量（ビット数）の増大に貢献するが、１ビット分のメモリセルが半導体基板上において占有し得る面積を縮小させる。

【０００３】

また、半導体基板上のメモリセルの占有面積が縮小されると、当然に、メモリセルを構成するＭＯＳトランジスタやキャパシタのサイズも縮小しなければらなない。しかし、ＤＲＡＭのキャパシタについては、メモリセルの占有面積が縮小されても、常に、数１０ｆＦの蓄積容量を確保しなければならない。

【０００４】

そこで、従来、ＤＲＡＭのキャパシタに関しては、蓄積電極を半導体基板上に積み重ねるスタック型や、蓄積電極を半導体基板中のトレンチ内に形成するトレンチ型などの三次元構造を有するキャパシタが開発されている。

【０００５】

なお、スタック型のキャパシタにおいては、半導体基板上の層間絶縁膜に溝を設け、その溝の側面及び底面に蓄積電極を形成し、キャパシタ面積の拡大による蓄積容量の増加を図った構造が知られている（例えば、米国特許５，４４４，０１３を参照）。

【０００６】

また、キャパシタ絶縁膜に関しては、シリコン酸化膜やシリコン窒化膜といった従来の材料から、二酸化タンタル（Ta_2O_5）、チタン酸ストロンチウム（$SrTiO_3$：「ＳＴＯ」と呼ばれる）や、チタン酸バリウムストロンチウム（（Ｂａ，Ｓｒ）TiO_3：「ＢＳＴＯ」と呼ばれる）といった高誘電体材料に変更し、十分な蓄積容量を確保することが検討されている。

【０００７】

キャパシタ絶縁膜に高誘電体材料を用いた例としては、例えば、Ａ．Ｙｕｕｋｉ ｅｔａｌ．“Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅ Ｍｅｅｔｉｎｇ １９９５”の１１５ページから１１８ページに記載されたものがある。この例では、キャパシタ構造は、単純なスタック型であり、蓄積電極にルテニウムＲｕ、キャパシタ絶縁膜にＢＳＴＯを使用している。

【０００８】

【発明が解決しようとする課題】

図４９は、層間絶縁膜の溝内に形成されるキャパシタの構造を示している。図５０は、図４９のＬ－Ｌ線に沿う断面図である。

【０００９】

キャパシタは、半導体基板上にアレイ状に配置される。１つのキャパシタは、層間絶縁膜５１の溝５２の側面及び底面に形成される蓄積電極５３と、蓄積電極５３上に形成されるキャパシタ絶縁膜５４と、キャパシタ絶縁膜５４上に形成され、全てのキャパシタに共通に用いられるプレート電極５５とから構成されている。

【００１０】

このようなキャパシタは、ＤＲＡＭのメモリセルに用いられ、蓄積電極５３は、コンタクトプラグ５０により、ＭＯＳトランジスタのソースに接続される。

【００１１】

上述のキャパシタ構造によれば、互いに隣接するキャパシタは、層間絶縁膜５１によって絶縁されている。また、近年、メモリセルの微細化によるキャパシタの蓄積容量の減少を抑えるため、キャパシタ同士の間隔ｄを狭くし、できるだけ大きなキャパシタ面積を確保する傾向がある。

【００１２】

しかし、隣接するキャパシタの間隔ｄが狭くなると、キャパシタの蓄積電極間に流れるリーク電流が増大したり、キャパシタの蓄積電極間の絶縁膜が絶縁破壊を起こすなどの現象が生じる。

【００１３】

よって、ＤＲＡＭとして機能するに十分なキャパシタ間の電気的分離が行えなくなる欠点がある。

【００１４】

本発明は、上記欠点を解決すべくなされたもので、その目的は、キャパシタ同士の間隔が狭くなっても、キャパシタとして十分に機能し得るような新規な絶縁構造を提案することである。

【００１５】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置は、溝を有する第１絶縁膜と、前記第１絶縁膜の溝の側面のみに形成される第２絶縁膜と、前記第１絶縁膜の溝の側面及び底面のみに前記第２絶縁膜を覆うように形成される第１電極と、前記第１電極上に形成される第３絶縁膜と、前記第３絶縁膜上に形成される第２電極とを備える。

【００１６】

前記第１絶縁膜は、シリコン酸化膜であり、前記第２絶縁膜は、シリコン窒化膜である。

【００１７】

前記第１絶縁膜の溝の側面は、前記第１絶縁膜の溝の底面に対して９０°以上１００°以下の角度を有していてもよく、曲面を有していてもよい。

【００１８】

本発明の半導体装置は、複数の溝を有する第１絶縁膜と、前記第１絶縁膜の各々の溝の側面のみに形成される第２絶縁膜と、前記第１絶縁膜の各々の溝の側面及び底面のみに前記第２絶縁膜を覆うように形成される第１電極と、前記第１電極上に形成される第３絶縁膜と、前記第３絶縁膜上に形成される第２電極とを備える。

【００１９】

前記第１絶縁膜は、シリコン酸化膜であり、前記第２絶縁膜は、シリコン窒化膜である。

【００２０】

前記第１電極、前記第３絶縁膜及び前記第２電極により、例えば、ダイナミック・ランダム・アクセス・メモリのメモリセルのキャパシタが構成される。

【００２１】

前記第１絶縁膜の各々の溝内の前記第１電極は、前記第１絶縁膜及び前記第２絶縁膜を含む複合膜によって互いに電気的に分離されるか、又は少なくとも前記第２絶縁膜によって互いに電気的に分離される。

【００２２】

前記第１及び第２電極は、Ｒｕ、Ｐｔ、Ｒｅ、Ｏｓ、Ｒｈ、Ｉｒ、Ｓｒのいずれか１つか

らなる第１金属、前記第１金属の酸化物、前記第１金属を含む合金、前記合金の酸化物、Ｗ、Ｎｂ、Ａｌ、Ｔｉ、Ｔａのいずれか１つからなる第２金属、前記第２金属の窒化物、Ｍｏ、Ｃｕ、Ｐｂのいずれか１つからなる第３金属のグループから選択される少なくとも１つにより構成されている。

【００２３】

前記第３絶縁膜は、（Ｂａ，Ｓｒ）TiO_3、$BaTiO_3$、$SrTiO_3$、$PbZrO_3$、$LiNbO_3$、$Bi_4Ti_3O_{12}$、Ta_2O_5のグループから選択される少なくとも１つにより構成されている。

【００２４】

前記第１絶縁膜の溝の側面は、前記第１絶縁膜の溝の底面に対して９０°以上１００°以下の角度を有していてもよく、曲面を有していてもよい。

【００２５】

前記第１電極は、前記第１絶縁膜の直下の第４絶縁膜の第１コンタクトホール内の第１コンタクトプラグによって、ＭＯＳトランジスタのソース・ドレイン拡散層の一方に接続されている。

【００２６】

前記ＭＯＳトランジスタのソース・ドレイン拡散層の他方は、前記第４絶縁膜の第２コンタクトホール内の第２コンタクトプラグによって、ビット線に接続されている。

【００２７】

本発明の半導体装置の製造方法は、第１絶縁膜に溝を形成し、前記第１絶縁膜の溝の側面のみに第２絶縁膜を形成し、前記第１絶縁膜の溝の側面及び底面のみに前記第２絶縁膜を覆うような第１電極を形成し、前記第１電極上に第３絶縁膜を形成し、前記第３絶縁膜上に第２電極を形成する、という一連の工程を備えている。

【００２８】

本発明の半導体装置の製造方法は、ＭＯＳトランジスタのソース・ドレイン拡散層の一方に接続されるコンタクトプラグを形成し、前記コンタクトプラグを覆う第１絶縁膜を形成し、前記第１絶縁膜に前記コンタクトプラグに達する溝を形成し、前記第１絶縁膜の溝の側面のみに第２絶縁膜を形成し、前記第１絶縁膜の溝の側面及び底面のみに、前記第２絶縁膜を覆い、前記コンタクトプラグに接続されるような第１電極を形成し、前記第１電極上に第３絶縁膜を形成し、前記第３絶縁膜上に第２電極を形成する、という一連の工程を備えている。

【００２９】

前記第２絶縁膜は、まず、前記第１絶縁膜上並びに前記第１絶縁膜の溝の側面及び底面に形成され、この後、異方性エッチングされることにより、前記第１絶縁膜の溝の側面のみに形成される。

【００３０】

前記第１電極は、まず、前記第１絶縁膜上並びに前記第１絶縁膜の溝の側面及び底面に導電膜を形成し、この後、保護膜を少なくとも前記第１絶縁膜の溝に埋め込み、前記第１絶縁膜上の前記導電膜を選択的にエッチングすることによって、前記第１絶縁膜の溝の側面及び底面のみに形成される。

【００３１】

前記保護膜がＳＯＧの場合、前記第１電極を前記第１絶縁膜の溝の側面及び底面のみに形成した後、前記ＳＯＧは、選択的に除去される。前記保護膜がレジストの場合、前記第１電極を前記第１絶縁膜の溝の側面及び底面のみに形成した後、前記レジストは、選択的に除去される。

【００３２】

前記第１絶縁膜は、シリコン酸化膜であり、前記第２絶縁膜は、シリコン窒化膜である。前記第１絶縁膜の溝は、その側面が、前記第１絶縁膜の溝の底面に対して９０°以上１００°以下の角度を有するように形成されるか、又は曲面を有するように形成される。

【００３３】

【発明の実施の形態】
以下、図面を参照しながら、本発明の半導体装置及びその製造方法について詳細に説明する。
【００３４】
図１は、本発明の第１実施の形態に関わるスタック型キャパシタを有するＤＲＡＭの主要部を示している。図２は、図１のＩＩ－ＩＩ線に沿う断面図、図３は、図１のＩＩＩ－ＩＩＩ線に沿う断面図、図４は、図１のＩＶ－ＩＶ線に沿う断面図である。
【００３５】
なお、図１乃至図４においては、説明を簡略化するため、ＤＲＡＭのメモリセルアレイの２ビット分（２つのメモリセル）のみを代表的に取り出して示している。よって、実際、メモリセルのキャパシタは、シリコン基板上にアレイ状に配置される。
【００３６】
Ｐ型のシリコン基板１中には、シリコン基板１の溝に絶縁膜が埋め込まれた構造を有するＳＴＩ（Shallow Trench Isolation）構造の素子分離膜２が形成されている。素子分離膜２は、例えば、シリコン酸化膜から構成される。素子分離膜２は、ＬＯＣＯＳ酸化によるフィールド酸化膜であってもよい。
【００３７】
素子領域３は、素子分離膜２に取り囲まれている。素子領域３には、ソース・ドレイン拡散層４を共有する２つのＭＯＳトランジスタ５が形成されている。各々のＭＯＳトランジスタ５は、ゲート酸化膜７、ゲート電極、ソース・ドレイン拡散層４，６を有している。
【００３８】
ゲート酸化膜７は、例えば、シリコン酸化膜から構成される。ゲート電極は、不純物（例えば、リン）を含むｎ型のポリシリコン８と、ポリシリコン８上のシリサイド（例えば、タングステンシリサイド）９とから構成される。
【００３９】
ＭＯＳトランジスタ５は、例えば、シリコン酸化膜から構成される層間絶縁膜１０により覆われている。
【００４０】
ソース・ドレイン拡散層４上における層間絶縁膜１０には、コンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ａが形成されている。同様に、ソース・ドレイン拡散層６上における層間絶縁膜１０にも、コンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ｂが形成されている。コンタクトプラグ１１ａ，１１ｂは、例えば、不純物を含むポリシリコンから構成される。
【００４１】
層間絶縁膜１０上には、例えば、シリコン酸化膜から構成される層間絶縁膜１２が形成されている。層間絶縁膜１２には、配線溝及びコンタクトホールが設けられ、その配線溝及びコンタクトホール内には、コンタクトプラグ１１ａに接続されるビット線１３が形成されている。ビット線１３は、例えば、バリアメタル（Ｔｉ，ＴｉＮなど）１４と高融点金属（タングステンなど）１５から構成される。
【００４２】
層間絶縁膜１２上には、例えば、シリコン酸化膜から構成される層間絶縁膜１６が形成されている。層間絶縁膜１２，１６には、コンタクトプラグ１１ｂに達するコンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ｂに接続されるコンタクトプラグ１７が形成されている。コンタクトプラグ１７は、例えば、バリアメタル（Ｔｉ，ＴｉＮなど）１８と高融点金属（タングステンなど）１９から構成される。
【００４３】
層間絶縁膜１６上には、例えば、シリコン酸化膜から構成される層間絶縁膜２０形成されている。コンタクトプラグ１７上における層間絶縁膜２０には、キャパシタ用の溝が設けられている。キャパシタ用の溝の側面には、絶縁膜（シリコン窒化膜など）２１が形成されている。

【００４４】
キャパシタ用の溝内には、キャパシタ２２が形成されている。キャパシタ２２は、溝の側面及び底面に形成され、コンタクトプラグ１７に接続される蓄積電極２３と、蓄積電極２３上に形成されるキャパシタ絶縁膜２４と、キャパシタ絶縁膜２４上に形成され、全てのキャパシタに共通のプレート電極２５とから構成される。
【００４５】
上記構成のＤＲＡＭによれば、層間絶縁膜２０のキャパシタ用の溝の側面には、絶縁膜（シリコン窒化膜など）２１が形成されている。即ち、隣接する２つのキャパシタの蓄積電極２３の間には、層間絶縁膜２０と絶縁膜２１の積層膜が配置されている。つまり、キャパシタ同士の電気的分離は、層間絶縁膜２０と絶縁膜２１の積層膜によって行われている。
【００４６】
よって、絶縁膜２０，２１の膜厚や膜質を、キャパシタ用の溝の大きさや、蓄積電極２３、キャパシタ絶縁膜２４及びプレート電極２５の膜厚などに応じて、適切な値に設定することで、キャパシタ同士の間隔ｄを狭くしても、ＤＲＡＭとして機能し得るに十分なキャパシタ同士の電気的分離を行うことができる。
【００４７】
図５は、本発明の第２実施の形態に関わるスタック型キャパシタを有するＤＲＡＭの主要部を示している。図６は、図５のＶＩ－ＶＩ線に沿う断面図、図７は、図５のＶＩＩ－ＶＩＩ線に沿う断面図、図８は、図５のＶＩＩＩ－ＶＩＩＩ線に沿う断面図である。
【００４８】
なお、図５乃至図８においては、説明を簡略化するため、ＤＲＡＭのメモリセルアレイの２ビット分（２つのメモリセル）のみを代表的に取り出して示している。よって、実際、メモリセルのキャパシタは、シリコン基板上にアレイ状に配置される。
【００４９】
Ｐ型のシリコン基板１中には、シリコン基板１の溝に絶縁膜が埋め込まれた構造を有するＳＴＩ（Shallow Trench Isolation）構造の素子分離膜２が形成されている。素子分離膜２は、例えば、シリコン酸化膜から構成される。素子分離膜２は、ＬＯＣＯＳ酸化によるフィールド酸化膜であってもよい。
【００５０】
素子領域３は、素子分離膜２に取り囲まれている。素子領域３には、ソース・ドレイン拡散層４を共有する２つのＭＯＳトランジスタ５が形成されている。各々のＭＯＳトランジスタ５は、ゲート酸化膜７、ゲート電極、ソース・ドレイン拡散層４，６を有している。
【００５１】
ゲート酸化膜７は、例えば、シリコン酸化膜から構成される。ゲート電極は、不純物（例えば、リン）を含むｎ型のポリシリコン８と、ポリシリコン８上のシリサイド（例えば、タングステンシリサイド）９とから構成される。
【００５２】
ＭＯＳトランジスタ５は、例えば、シリコン酸化膜から構成される層間絶縁膜１０により覆われている。
【００５３】
ソース・ドレイン拡散層４上における層間絶縁膜１０には、コンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ａが形成されている。同様に、ソース・ドレイン拡散層６上における層間絶縁膜１０にも、コンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ｂが形成されている。コンタクトプラグ１１ａ，１１ｂは、例えば、不純物を含むポリシリコンから構成される。
【００５４】
層間絶縁膜１０上には、例えば、シリコン酸化膜から構成される層間絶縁膜１２が形成されている。層間絶縁膜１２には、配線溝及びコンタクトホールが設けられ、その配線溝及びコンタクトホール内には、コンタクトプラグ１１ａに接続されるビット線１３が形成さ

れている。ビット線１３は、例えば、バリアメタル（Ｔｉ，ＴｉＮなど）１４と高融点金属（タングステンなど）１５から構成される。

【００５５】

層間絶縁膜１２上には、例えば、シリコン酸化膜から構成される層間絶縁膜１６が形成されている。層間絶縁膜１２，１６には、コンタクトプラグ１１ｂに達するコンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ｂに接続されるコンタクトプラグ１７が形成されている。コンタクトプラグ１７は、例えば、バリアメタル（Ｔｉ，ＴｉＮなど）１８と高融点金属（タングステンなど）１９から構成される。

【００５６】

層間絶縁膜１６上には、例えば、シリコン酸化膜から構成される層間絶縁膜２０形成されている。コンタクトプラグ１７上における層間絶縁膜２０には、キャパシタ用の溝が設けられている。

【００５７】

キャパシタ用の溝の側面は、層間絶縁膜１６の表面（ＣＭＰなどの平坦化技術により平坦化されている）に対して、９０°を超え、かつ、１００°以下の角度を有している（９０°の場合は、第１の実施の形態となる）。

【００５８】

キャパシタ用の溝の側面が層間絶縁膜１６の表面に対して、９０°を超え、かつ、１００°以下の角度を有する場合、２つの溝の間の層間絶縁膜２０の形状は、テーパ状となる。

【００５９】

よって、層間絶縁膜２０の上部では、隣接する２つのキャパシタの蓄積電極２３の間の間隔が非常に狭くなる。

【００６０】

そこで、キャパシタ用の溝の側面には、絶縁膜（シリコン窒化膜など）２１が形成されている。

【００６１】

なお、キャパシタ用の溝内には、キャパシタ２２が形成されている。キャパシタ２２は、溝の側面及び底面に形成され、コンタクトプラグ１７に接続される蓄積電極２３と、蓄積電極２３上に形成されるキャパシタ絶縁膜２４と、キャパシタ絶縁膜２４上に形成され、全てのキャパシタに共通のプレート電極２５とから構成される。

【００６２】

上記構成のＤＲＡＭによれば、層間絶縁膜２０のキャパシタ用の溝の側面には、絶縁膜（シリコン窒化膜など）２１が形成されている。即ち、隣接する２つのキャパシタの蓄積電極２３の間には、層間絶縁膜２０と絶縁膜２１の積層膜が配置されている。つまり、キャパシタ同士の電気的分離は、層間絶縁膜２０と絶縁膜２１の積層膜によって行われている。

【００６３】

よって、絶縁膜２０，２１の膜厚や膜質を、キャパシタ用の溝の大きさや、蓄積電極２３、キャパシタ絶縁膜２４及びプレート電極２５の膜厚などに応じて、適切な値に設定することで、キャパシタ同士の間隔ｄを狭くしても、ＤＲＡＭとして機能し得るに十分なキャパシタ同士の電気的分離を行うことができる。

【００６４】

また、キャパシタ用の溝の側面にはテーパが設けられているため、キャパシタ用の溝内における蓄積電極２３、キャパシタ絶縁膜２４及びプレート電極２５のカバレージを良好にすることができる。

【００６５】

また、プレート電極２５上に形成される層間絶縁膜についても、キャパシタ用の溝内におけるカバレージを良好にすることができ、プレート電極上にボイドが発生しなくなる。

【００６６】

図９は、本発明の第３実施の形態に関わるスタック型キャパシタを有するＤＲＡＭの主要部を示している。図１０は、図９のＸ－Ｘ線に沿う断面図、図１１は、図９のＸＩ－ＸＩ線に沿う断面図、図１２は、図９のＸＩＩ－ＸＩＩ線に沿う断面図である。

【００６７】

なお、図９乃至図１２においては、説明を簡略化するため、ＤＲＡＭのメモリセルアレイの２ビット分（２つのメモリセル）のみを代表的に取り出して示している。よって、実際、メモリセルのキャパシタは、シリコン基板上にアレイ状に配置される。

【００６８】

Ｐ型のシリコン基板１中には、シリコン基板１の溝に絶縁膜が埋め込まれた構造を有するＳＴＩ（Shallow Trench Isolation）構造の素子分離膜２が形成されている。素子分離膜２は、例えば、シリコン酸化膜から構成される。素子分離膜２は、ＬＯＣＯＳ酸化によるフィールド酸化膜であってもよい。

【００６９】

素子領域３は、素子分離膜２に取り囲まれている。素子領域３には、ソース・ドレイン拡散層４を共有する２つのＭＯＳトランジスタ５が形成されている。各々のＭＯＳトランジスタ５は、ゲート酸化膜７、ゲート電極、ソース・ドレイン拡散層４，６を有している。

【００７０】

ゲート酸化膜７は、例えば、シリコン酸化膜から構成される。ゲート電極は、不純物（例えば、リン）を含むｎ型のポリシリコン８と、ポリシリコン８上のシリサイド（例えば、タングステンシリサイド）９とから構成される。

【００７１】

ＭＯＳトランジスタ５は、例えば、シリコン酸化膜から構成される層間絶縁膜１０により覆われている。

【００７２】

ソース・ドレイン拡散層４上における層間絶縁膜１０には、コンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ａが形成されている。同様に、ソース・ドレイン拡散層６上における層間絶縁膜１０にも、コンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ｂが形成されている。コンタクトプラグ１１ａ，１１ｂは、例えば、不純物を含むポリシリコンから構成される。

【００７３】

層間絶縁膜１０上には、例えば、シリコン酸化膜から構成される層間絶縁膜１２が形成されている。層間絶縁膜１２には、配線溝及びコンタクトホールが設けられ、その配線溝及びコンタクトホール内には、コンタクトプラグ１１ａに接続されるビット線１３が形成されている。ビット線１３は、例えば、バリアメタル（Ｔｉ，ＴｉＮなど）１４と高融点金属（タングステンなど）１５から構成される。

【００７４】

層間絶縁膜１２上には、例えば、シリコン酸化膜から構成される層間絶縁膜１６が形成されている。層間絶縁膜１２，１６には、コンタクトプラグ１１ｂに達するコンタクトホールが設けられ、そのコンタクトホール内には、コンタクトプラグ１１ｂに接続されるコンタクトプラグ１７が形成されている。コンタクトプラグ１７は、例えば、バリアメタル（Ｔｉ，ＴｉＮなど）１８と高融点金属（タングステンなど）１９から構成される。

【００７５】

層間絶縁膜１６上には、例えば、シリコン酸化膜から構成される層間絶縁膜２０形成されている。コンタクトプラグ１７上における層間絶縁膜２０には、キャパシタ用の溝が設けられている。キャパシタ用の溝の側面は、曲面となっている。

【００７６】

キャパシタ用の溝の側面が曲面の場合、隣接する２つのキャパシタ用の溝の間の層間絶縁膜２０の形状は、テーパ状となる。

【００７７】

よって、層間絶縁膜２０の上部では、キャパシタの蓄積電極２３の間の間隔が非常に狭く

なる。
【００７８】
そこで、キャパシタ用の溝の側面には、絶縁膜（シリコン窒化膜など）２１が形成されている。
【００７９】
なお、キャパシタ用の溝内には、キャパシタ２２が形成されている。キャパシタ２２は、溝の側面及び底面に形成され、コンタクトプラグ１７に接続される蓄積電極２３と、蓄積電極２３上に形成されるキャパシタ絶縁膜２４と、キャパシタ絶縁膜２４上に形成され、全てのキャパシタに共通のプレート電極２５とから構成される。
【００８０】
上記構成のＤＲＡＭによれば、層間絶縁膜２０のキャパシタ用の溝の側面には、絶縁膜（シリコン窒化膜など）２１が形成されている。即ち、隣接する２つのキャパシタの蓄積電極２３の間には、層間絶縁膜２０と絶縁膜２１の積層膜が配置されている。つまり、キャパシタ同士の電気的分離は、層間絶縁膜２０と絶縁膜２１の積層膜によって行われている。
【００８１】
よって、絶縁膜２０，２１の膜厚や膜質を、キャパシタ用の溝の大きさや、蓄積電極２３、キャパシタ絶縁膜２４及びプレート電極２５の膜厚などに応じて、適切な値に設定することで、キャパシタ同士の間隔ｄを狭くしても、ＤＲＡＭとして機能し得るに十分なキャパシタ同士の電気的分離を行うことができる。
【００８２】
また、キャパシタ用の溝の側面が曲面となっているため、キャパシタ用の溝内における蓄積電極２３、キャパシタ絶縁膜２４及びプレート電極２５のカバレージを良好にすることができる。また、プレート電極２５上に形成される層間絶縁膜についても、キャパシタ用の溝内におけるカバレージを良好にすることができ、プレート電極上にボイドが発生しなくなる。
【００８３】
さらに、キャパシタ用の溝の側面が曲面となっていると、キャパシタの蓄積電極２３には、鋭い角部が形成されないため、鋭い角部における電界集中を防ぐことができ、リーク電流の抑制や絶縁破壊の防止に貢献できる。
【００８４】
次に、本発明の半導体装置の製造方法について説明する。
【００８５】
本実施の形態では、スタック型キャパシタを有するメモリセルから構成されるＤＲＡＭとして、図１～図４（第１の実施の形態）のＤＲＡＭを例として説明することにする。
【００８６】
なお、以下の説明においても、説明を簡略化するため、ＤＲＡＭのメモリセルアレイの２ビット分（２つのメモリセル）のみを代表的に示すことにする。
【００８７】
まず、図１３乃至図１６に示すように、熱酸化により、Ｐ型のシリコン基板１を酸化し、シリコン基板１の表面にシリコン酸化膜２６を形成する。また、例えば、ＬＰＣＶＤ法により、シリコン酸化膜２６上にシリコン窒化膜２７を形成する。
【００８８】
また、フォトリソグラフィ技術により、レジストパターンを形成し、このレジストパターンをマスクにして、例えば、ＲＩＥ（反応性イオンエッチング）により、シリコン窒化膜２７、シリコン酸化膜２６、シリコン基板１を順次エッチングする。この後、レジストパターンは、除去される。
【００８９】
ＬＰＣＶＤ法やプラズマＣＶＤ法などの手法を用いて、シリコン基板１上に、シリコン基板１の溝を埋め込むようなシリコン酸化膜を形成する。

【００９０】
この後、ＣＭＰ（化学的機械的研磨）法によりシリコン酸化膜を研磨すると、このシリコン酸化膜は、シリコン基板１の溝内のみに残存し、ＳＴＩ（Shallow Trench Isolation）構造の素子分離膜２が形成される。
【００９１】
この時、シリコン窒化膜２７は、ＣＭＰにおけるエッチングストッパとして機能する。
【００９２】
なお、この後、シリコン窒化膜２７は、加熱したリン酸溶液により剥離され、シリコン酸化膜２６は、NH_4 Ｆ溶液により剥離される。
【００９３】
次に、図１７乃至図２０に示すように、熱酸化により、シリコン基板１の表面を酸化し、シリコン酸化膜からなるゲート酸化膜７を形成する。また、例えば、ＬＰＣＶＤ法により、ゲート酸化膜７上に、Ｎ型の不純物（リンなど）を含んだポリシリコン８、シリサイド（タングステンシリサイドなど）９及びシリコン窒化膜３０を順次形成する。
【００９４】
また、フォトリソグラフィ技術により、レジストパターンを形成し、このレジストパターンをマスクにして、例えば、ＲＩＥ（反応性イオンエッチング）により、シリコン窒化膜３０、シリサイド９及びポリシリコン７を順次エッチングする。その結果、シリサイド９及びポリシリコン７からなるゲート電極（ワード線）が形成される。この後、レジストパターンは、除去される。
【００９５】
また、シリサイド９及びポリシリコン７からなるゲート電極をマスクにして、例えば、イオン注入法により、Ｎ型の不純物（リン、砒素など）をシリコン基板１中に導入する。この不純物がこの後の熱工程により活性化されると、シリコン基板１中には、ソース・ドレイン拡散層４，６が形成される。
【００９６】
また、シリサイド９及びポリシリコン７からなるゲート電極を覆うようなシリコン窒化膜３１を形成した後、ＲＩＥにより、シリコン窒化膜３１をエッチングすると、このシリコン窒化膜３１は、当該ゲート電極の側壁のみに残存する。
【００９７】
さらに、例えば、ＬＰＣＶＤ法により、シリコン基板１上に、ＭＯＳトランジスタ５を覆うようなシリコン酸化膜を形成した後、ＣＭＰ法により、このシリコン酸化膜を研磨すると、表面が平坦な層間絶縁膜１０が形成される。
【００９８】
また、フォトリソグラフィー技術及びエッチング技術を用いて、層間絶縁膜１０に、ソース・ドレイン拡散層４に達するコンタクトホール３２及びソース・ドレイン拡散層６に達するコンタクトホール３３をそれぞれ形成する。
【００９９】
この後、例えば、ＬＰＣＶＤ法により、Ｎ型の不純物（リン、砒素など）を含むポリシリコンを形成する。
【０１００】
また、ＣＭＰ法や等方性エッチングであるＣＤＥ法などの手法により、このポリシリコンをエッチングすると、コンタクトホール３２内には、コンタクトプラグ（電極）１１ａが形成され、コンタクトホール３３内には、コンタクトプラグ（電極）１１ｂが形成される。
【０１０１】
次に、図２１乃至図２４に示すように、ＬＰＣＶＤ法やプラズマＣＶＤ法などの手法を用いて、層間絶縁膜１０上に、例えば、シリコン酸化膜からなる層間絶縁膜１２を形成する。
【０１０２】

また、フォトリソグラフィー技術及びエッチング技術を用いて、層間絶縁膜１２に、ビット線用の配線溝３４を形成すると共に、配線溝３４内の所定箇所には、コンタクトプラグ１１ａに達するコンタクトホール３５を形成する。

【０１０３】

この後、層間絶縁膜１２上、並びに、配線溝３４内及びコンタクトホール３５内に、バリアメタル（Ｔｉ，ＴｉＮなど）１４を形成すると共に、例えば、ブランケットＣＶＤ法により、バリアメタル１４上に、配線溝３４及びコンタクトホール３５を埋め込む高融点金属（タングステンなど）１５を形成する。

【０１０４】

また、例えば、ＣＭＰ法により、高融点金属１５及びバリアメタル１４をエッチングすると、配線溝３４内及びコンタクトホール３５内には、ビット線１３が形成される。

【０１０５】

なお、ビット線１３は、ポリシリコンや、アルミ、銅などの金属により構成してもよい。

【０１０６】

次に、図２５乃至図２８に示すように、例えば、ＬＰＣＶＤ法やプラズマＣＶＤ法などの手法により、層間絶縁膜１２上に、例えば、シリコン酸化膜からなる層間絶縁膜１６を形成する。また、フォトリソグラフィー技術及びエッチング技術を用いて、層間絶縁膜１２，１６に、コンタクトプラグ１１ｂに達するコンタクトホール２８を形成する。

【０１０７】

次に、図２９乃至図３２に示すように、層間絶縁膜１６上及びコンタクトホール２８内に、バリアメタル（Ｔｉ，ＴｉＮなど）１８を形成すると共に、例えば、ブランケットＣＶＤ法により、バリアメタル１８上に、コンタクトホール２８を埋め込む高融点金属（タングステンなど）１９を形成する。

【０１０８】

また、例えば、ＣＭＰ法により、高融点金属１９及びバリアメタル１８をエッチングすると、コンタクトホール２８内には、コンタクトプラグ１１ｂに接続されるコンタクトプラグ１７が形成される。

【０１０９】

なお、コンタクトプラグ１７は、ポリシリコンや、アルミ、銅などの金属により構成してもよい。

【０１１０】

次に、図３３乃至図３６に示すように、例えば、ＬＰＣＶＤ法やプラズマＣＶＤ法などの手法により、層間絶縁膜１６上に、例えば、シリコン酸化膜からなる層間絶縁膜２０を形成する。また、フォトリソグラフィー技術及びエッチング技術を用いて、層間絶縁膜２０に、コンタクトプラグ１７に達するキャパシタ用の溝２９を形成する。

【０１１１】

キャパシタ用の溝２９の形成に際しては、エッチング中に、エッチングの条件を変えることにより、溝２９の側面を、その底面に対して、９０°を超え、かつ、１００°以下の角度として層間絶縁膜２０にテーパを設けたり、又は曲面にすることができる。

【０１１２】

なお、キャパシタ用の溝２９は、コンタクトプラグ１７に対応して設けられているため、コンタクトプラグ１７の数とキャパシタ用の溝２９の数は、互いに等しくなる。

【０１１３】

次に、図３７乃至図４０に示すように、ＬＰＣＶＤ法やプラズマＣＶＤ法などの手法を用いて、層間絶縁膜２０上、及びキャパシタ用の溝２９の側面及び底面に、絶縁膜（例えば、シリコン窒化膜）２１を形成する。

【０１１４】

また、ＲＩＥにより、絶縁膜２１をエッチングすると、この絶縁膜２１は、キャパシタ用の溝２９の側面のみに残存する。

【０１１５】

絶縁膜２１は、隣接する２つのキャパシタ間の絶縁性を良好にする機能を有すると共に、キャパシタ用の溝２９の加工時に溝２９の側面に形成される微小な凹凸を覆って、溝２９の側面を滑らかにする機能を有する。

【０１１６】

絶縁膜２１の膜厚、膜質、材質などは、層間絶縁膜２０の膜質、材質、キャパシタ用の溝２９の大きさや、蓄積電極２３、キャパシタ絶縁膜２４、プレート電極２５の厚さなどによって決定される。

【０１１７】

次に、図４１乃至図４４に示すように、スパッタ法やＣＶＤ法などの手法により、層間絶縁膜２０上、及びキャパシタ用の溝２９の側面及び底面に、ルテニウム（Ｒｕ）などの導電体を形成する。

【０１１８】

この後、例えば、ＳＯＧを溝２９内及び層間絶縁膜２０上に形成し、ＣＭＰ法により、このＳＯＧ及びルテニウムなどの導電体を研磨すると、ルテニウムなどの導電体は、溝２９の側面及び底面のみに残存するため、蓄積電極２３が形成される。

【０１１９】

なお、蓄積電極２３がルテニウムから構成される場合、蓄積電極２３は、ＣＭＰ法により、ＳＯＧを溝２９内のみに残存させた後、O_2 とCl_2 のガス雰囲気中においてＲＩＥを行い、溝２９の外部のルテニウムを除去することによっても形成できる。O_2 とCl_2 のガス雰囲気中におけるＲＩＥでは、ルテニウムに対してシリコン酸化膜のエッチング速度が遅くなる。

【０１２０】

蓄積電極２３の形成に際して用いたＳＯＧは、希ＨＦ処理又は気相ＨＦ処理によって剥離される。この時、ＳＯＧの下地となる層間絶縁膜（シリコン酸化膜）２０は、ＳＯＧに対して、エッチング速度が遅いため、選択的にＳＯＧを除去することができる。

【０１２１】

また、蓄積電極２３は、レジストを溝２９内のみに形成し、ＲＩＥにより、溝２９の外部のルテニウムを除去することによっても形成できる。

【０１２２】

次に、図４５乃至図４８に示すように、スパッタ法やＣＶＤ法などの手法を用いて、例えば、ＢＳＴＯからなるキャパシタ絶縁膜２４を形成する。キャパシタ絶縁膜２４に高誘電体薄膜を用いれば、溝２９の深さを大きくしなくても、十分な蓄積容量を確保することができる。

【０１２３】

続いて、スパッタ法やＣＶＤ法などの手法を用いて、例えば、ルテニウムからなるプレート電極２５を形成する。また、例えば、フォトリソグラフィ技術及びエッチング技術を用いてプレート電極２５を加工し、プレート電極２５がメモリセルアレイ上のみに配置されるようにする。

【０１２４】

以上の工程により、スタック型キャパシタを有するＤＲＡＭのメモリセルが完成する。

【０１２５】

上記製造方法によれば、キャパシタを形成する前に、層間絶縁膜（シリコン酸化膜など）２０のキャパシタ用の溝２９の側面に絶縁膜（シリコン窒化膜など）２１を形成している。即ち、隣接する２つのキャパシタの蓄積電極２３の間には、層間絶縁膜２０と絶縁膜２１の積層膜が配置され、キャパシタ同士の電気的分離は、層間絶縁膜２０と絶縁膜２１の積層膜によって行われている。

【０１２６】

よって、絶縁膜２０，２１の膜厚や膜質を、キャパシタ用の溝の大きさや、蓄積電極２３、キャパシタ絶縁膜２４及びプレート電極２５の膜厚などに応じて、適切な値に設定することで、キャパシタ同士の間隔を狭くしても、ＤＲＡＭとして機能し得るに十分なキャパ

シタ同士の電気的分離を行うことができる。

【０１２７】

なお、本発明において、蓄積電極２３及びプレート電極２５は、Ｒｕ、Ｐｔ、Ｒｅ、Ｏｓ、Ｒｈ、Ｉｒ、Ｓｒのいずれか１つからなる第１金属、前記第１金属の酸化物、前記第１金属を含む合金、前記合金の酸化物、Ｗ、Ｎｂ、Ａｌ、Ｔｉ、Ｔａのいずれか１つからなる第２金属、前記第２金属の窒化物、Ｍｏ、Ｃｕ、Ｐｂのいずれか１つからなる第３金属のグループから選択される少なくとも１つにより構成することができる。

【０１２８】

また、本発明において、キャパシタ絶縁膜２４は、（Ｂａ，Ｓｒ）TiO_3、$BaTiO_3$、$SrTiO_3$、$PbZrO_3$、$LiNbO_3$、$Bi_4Ti_3O_{12}$、Ta_2O_5のグループから選択される少なくとも１つにより構成することができる。

【０１２９】

【発明の効果】

以上、説明したように、本発明の半導体装置及びその製造方法によれば、次のような効果を奏する。

【０１３０】

層間絶縁膜（シリコン酸化膜など）の溝内にキャパシタが形成される場合において、層間絶縁膜の溝の側面には、絶縁膜（シリコン窒化膜）が形成されている。つまり、キャパシタ同士の電気的分離は、積層膜によって行われている。

【０１３１】

よって、キャパシタ用の溝の側面の絶縁膜の膜厚や膜質を、当該溝の大きさや、蓄積電極、キャパシタ絶縁膜及びプレート電極の膜厚などに応じて、適切な値に設定することで、キャパシタ同士の間隔を狭くしても、ＤＲＡＭとして機能し得るに十分なキャパシタ同士の電気的分離を行うことができる。

【図面の簡単な説明】

【図１】本発明の第１実施の形態に関わる半導体装置を示す平面図。

【図２】図１のＩＩ－ＩＩ線に沿う断面図。

【図３】図１のＩＩＩ－ＩＩＩ線に沿う断面図。

【図４】図１のＩＶ－ＩＶ線に沿う断面図。

【図５】本発明の第２実施の形態に関わる半導体装置を示す平面図。

【図６】図５のＶＩ－ＶＩ線に沿う断面図。

【図７】図５のＶＩＩ－ＶＩＩ線に沿う断面図。

【図８】図５のＶＩＩＩ－ＶＩＩＩ線に沿う断面図。

【図９】本発明の第３実施の形態に関わる半導体装置を示す平面図。

【図１０】図９のＸ－Ｘ線に沿う断面図。

【図１１】図９のＸＩ－ＸＩ線に沿う断面図。

【図１２】図９のＸＩＩ－ＸＩＩ線に沿う断面図。

【図１３】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

【図１４】図１３のＸＩＶ－ＸＩＶ線に沿う断面図。

【図１５】図１３のＸＶ－ＸＶ線に沿う断面図。

【図１６】図９のＸＶＩ－ＸＶＩ線に沿う断面図。

【図１７】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

【図１８】図１７のＸＶＩＩＩ－ＸＶＩＩＩ線に沿う断面図。

【図１９】図１７のＸＩＸ－ＸＩＸ線に沿う断面図。

【図２０】図１７のＸＸ－ＸＸ線に沿う断面図。

【図２１】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

【図２２】図２１のＸＸＩＩ－ＸＸＩＩ線に沿う断面図。

【図２３】図２１のＸＸＩＩＩ－ＸＸＩＩＩ線に沿う断面図。

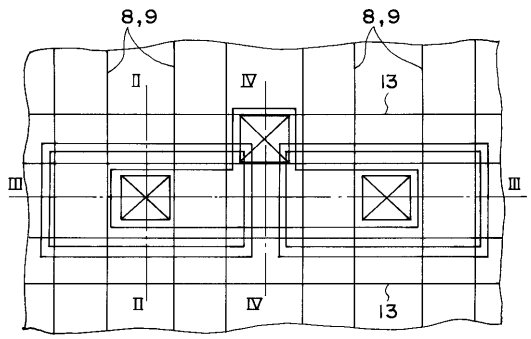
【図２４】図２１のＸＸＩＶ－ＸＸＩＶ線に沿う断面図。

【図２５】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

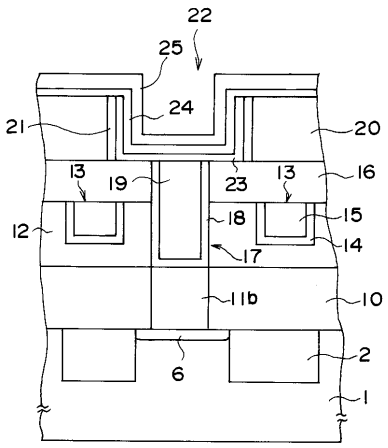
【図２６】図２５のＸＸＶＩ－ＸＸＶＩ線に沿う断面図。
【図２７】図２５のＸＸＶＩＩ－ＸＸＶＩＩ線に沿う断面図。
【図２８】図２５のＸＸＶＩＩＩ－ＸＸＶＩＩＩ線に沿う断面図。
【図２９】本発明の実施の形態に関わる製造方法の一工程を示す平面図。
【図３０】図２９のＸＸＸ－ＸＸＸ線に沿う断面図。
【図３１】図２９のＸＸＸＩ－ＸＸＸＩ線に沿う断面図。
【図３２】図２９のＸＸＸＩＩ－ＸＸＸＩＩ線に沿う断面図。
【図３３】本発明の実施の形態に関わる製造方法の一工程を示す平面図。
【図３４】図３３のＸＸＸＩＶ－ＸＸＸＩＶ線に沿う断面図。
【図３５】図３３のＸＸＸＶ－ＸＸＸＶ線に沿う断面図。
【図３６】図３３のＸＸＸＶＩ－ＸＸＸＶＩ線に沿う断面図。
【図３７】本発明の実施の形態に関わる製造方法の一工程を示す平面図。
【図３８】図３７のＸＸＸＶＩＩＩ－ＸＸＸＶＩＩＩ線に沿う断面図。
【図３９】図３７のＸＸＸＩＸ－ＸＸＸＩＸ線に沿う断面図。
【図４０】図３７のＸＬ－ＸＬ線に沿う断面図。
【図４１】本発明の実施の形態に関わる製造方法の一工程を示す平面図。
【図４２】図４１のＸＬＩＩ－ＸＬＩＩ線に沿う断面図。
【図４３】図４１のＸＬＩＩＩ－ＸＬＩＩＩ線に沿う断面図。
【図４４】図４１のＸＬＩＶ－ＸＬＩＶ線に沿う断面図。
【図４５】本発明の実施の形態に関わる製造方法の一工程を示す平面図。
【図４６】図４５のＸＬＶＩ－ＸＬＶＩ線に沿う断面図。
【図４７】図４５のＸＬＶＩＩ－ＸＬＶＩＩ線に沿う断面図。
【図４８】図４５のＸＬＶＩＩＩ－ＸＬＶＩＩＩ線に沿う断面図。
【図４９】従来の半導体装置の主要部を示す平面図。
【図５０】図４９のＬ－Ｌ線に沿う断面図。
【符号の説明】

１	：Ｐ型シリコン基板、
２	：素子分離膜、
３	：素子領域、
４，６	：ソース・ドレイン拡散層、
５	：ＭＯＳトランジスタ、
７	：ゲート酸化膜、
８	：ポリシリコン、
９	：シリサイド、
１０，１２，１６，２０	：層間絶縁膜、
１１ａ，１１ｂ，１７	：コンタクトプラグ、
１３	：ビット線、
１４，１８	：バリアメタル、
１５，１９	：高融点金属、
２１	：絶縁膜（シリコン窒化膜など）、
２２	：キャパシタ、
２３	：蓄積電極、
２４	：キャパシタ絶縁膜、
２５	：プレート電極、
２６	：シリコン酸化膜、
２７，３０，３１	：シリコン窒化膜、
２８，３２，３３，３４	：コンタクトホール、
２９	：キャパシタ用の溝、
３５	：配線溝。

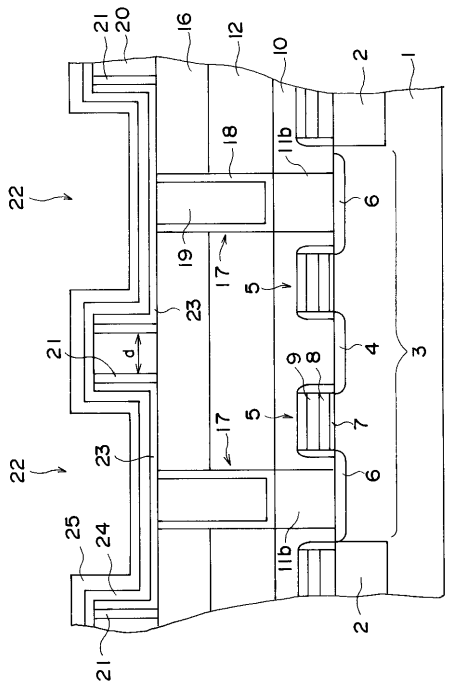
【図１】


8,9
8,9
Ⅱ
Ⅳ
13
Ⅲ
Ⅲ
Ⅱ
Ⅳ
13

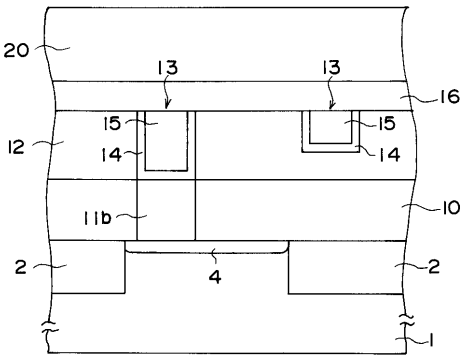
【図２】


22
25
24
21
20
13
19
23
13
16
18
15
12
14
17
11b
10
2
6
1

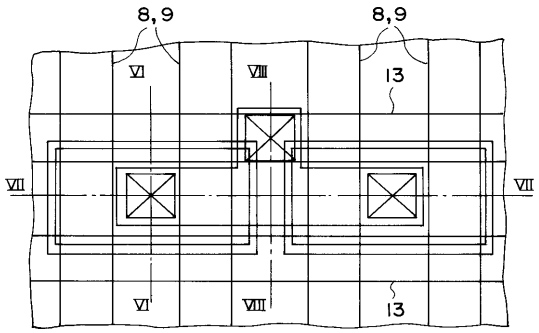
【図３】


21
20
16
12
10
2
1
18
11b
22
6
19
17
5
23
21
d
9
8
4
3
17
5
7
22
23
6
25
24
11b
2
21

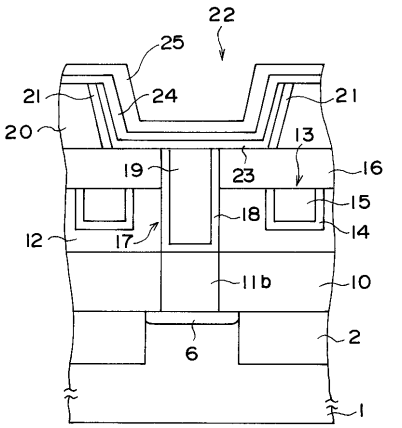
【図４】


20
13
13
16
15
15
12
14
14
10
11b
2
4
2
1

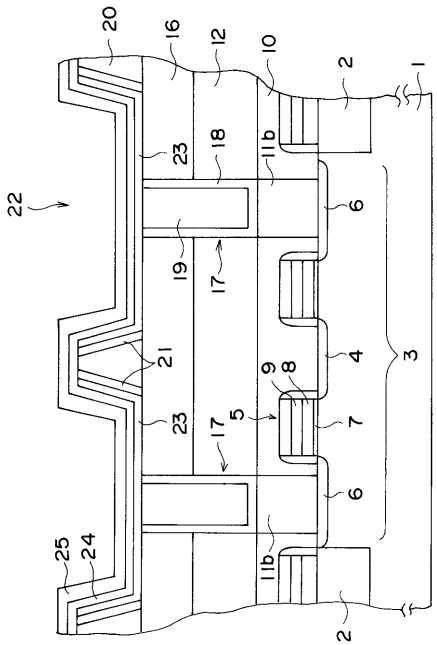
【図５】


8,9
8,9
Ⅵ
Ⅷ
13
Ⅶ
Ⅶ
Ⅵ'
Ⅷ
13

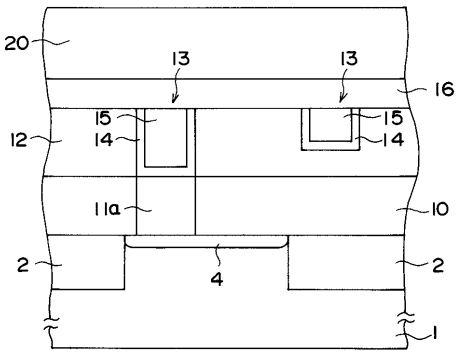
【図６】


22
25
21
24
21
20
13
19
23
16
15
18
14
12
17
11b
10
2
6
1

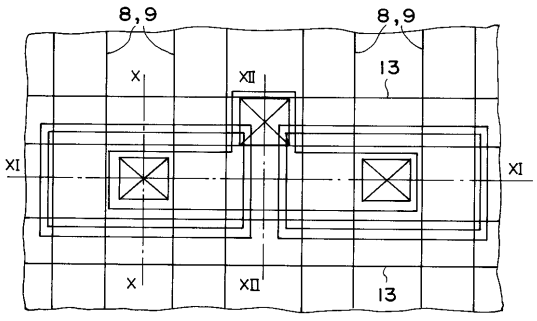
【図７】


20
16
12
10
2
1
22
23
18
11b
6
19
17
21
4
3
9
8
23
17
5
7
6
25
24
11b
2

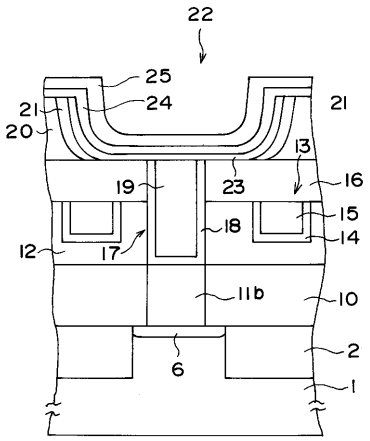
【図８】


20
13
13
16
15
15
12
14
14
11a
10
2
4
2
1

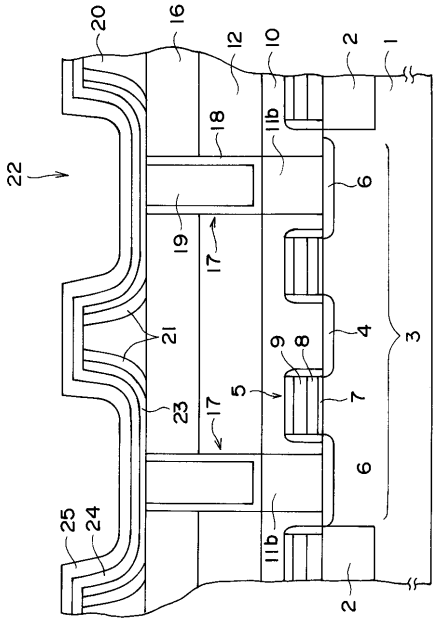
【図９】


8,9
8,9
X
XII
13
XI
XI
X
XII
13

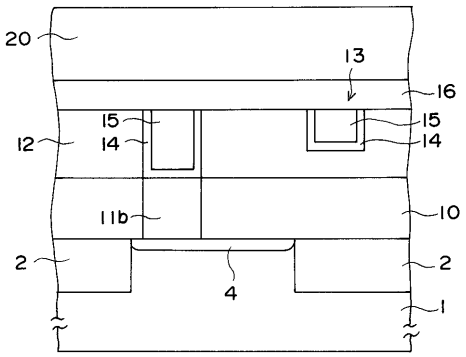
【図１０】



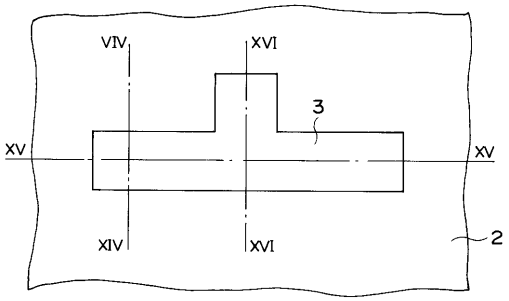
【図１１】



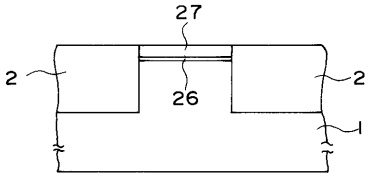
【図１２】



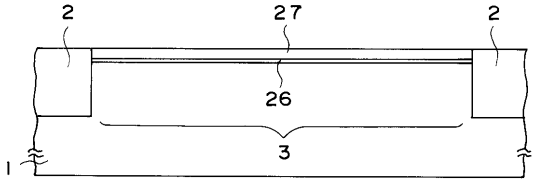
【図１３】



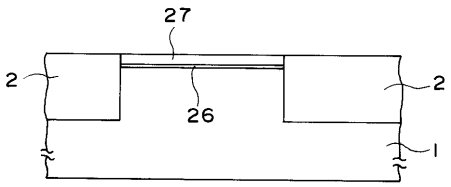
【図１４】



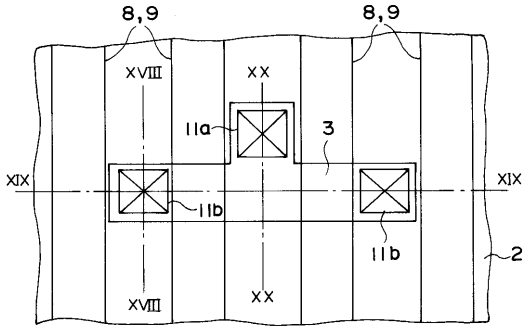
【図１５】



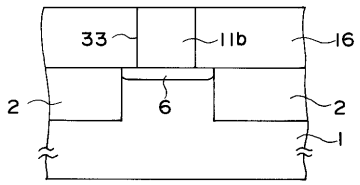
【図１６】



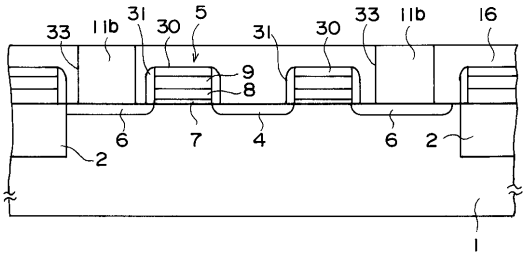
【図１７】



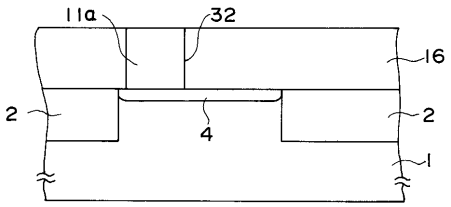
【図１８】



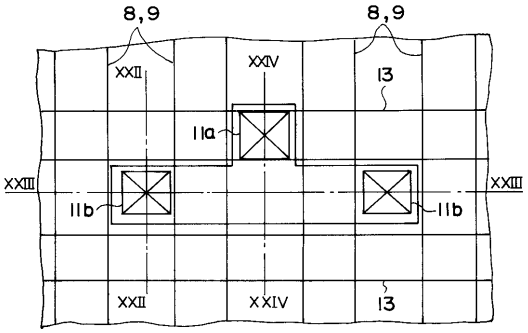
【図１９】



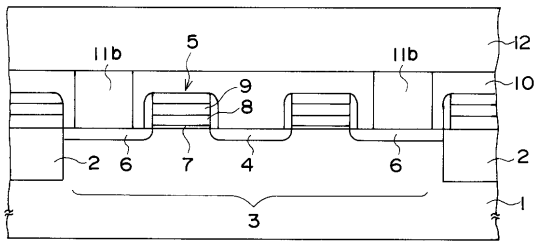
【図２０】



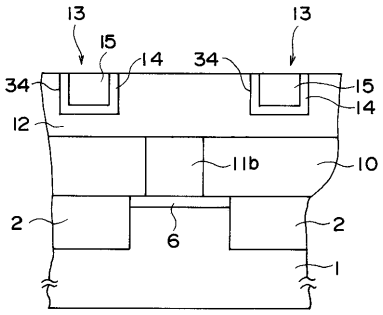
【図２１】



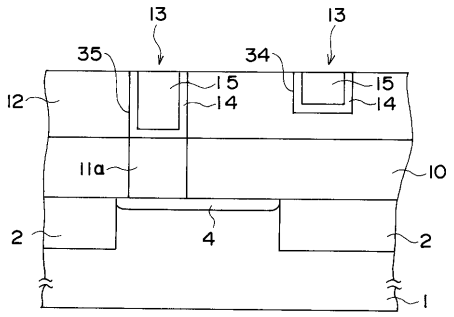
【図２３】



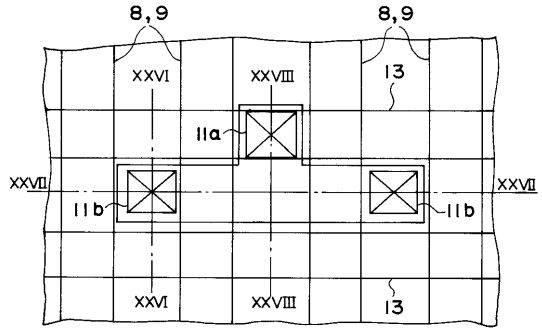
【図２２】



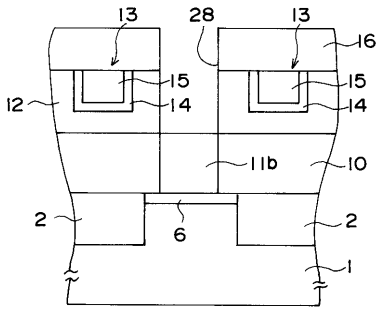
【図２４】



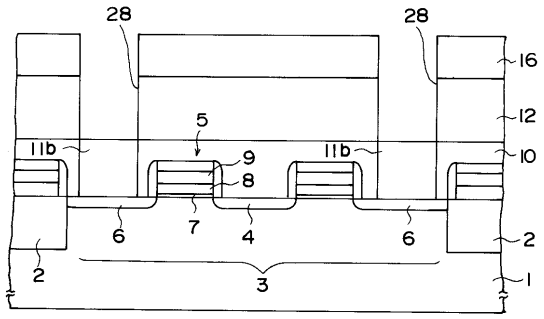
【図２５】



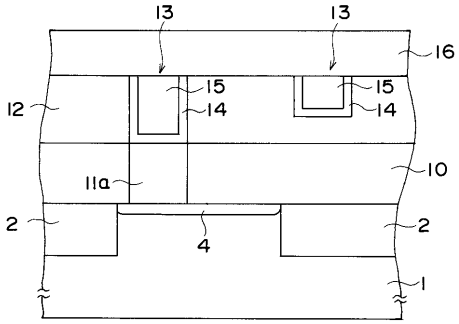
【図２６】



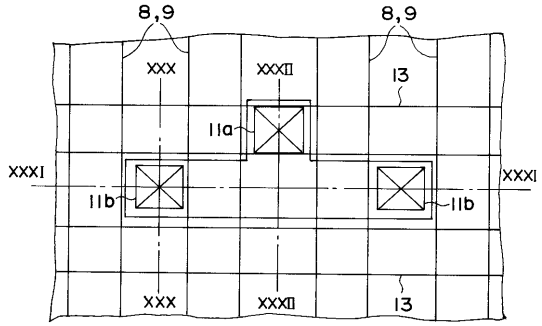
【図２７】



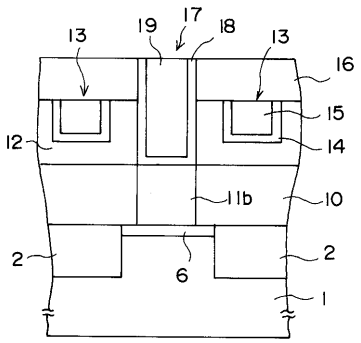
【図２８】



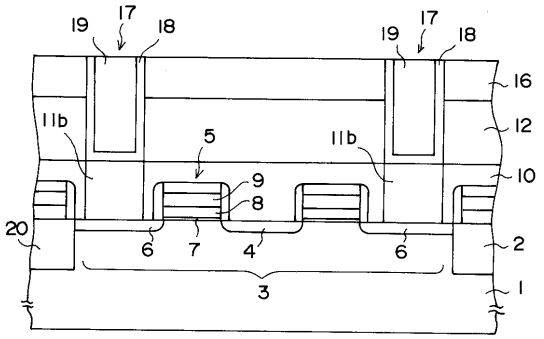
【図２９】



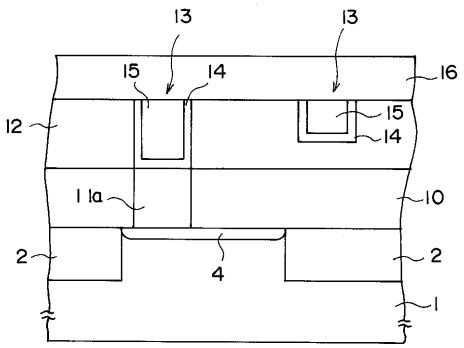
【図３０】



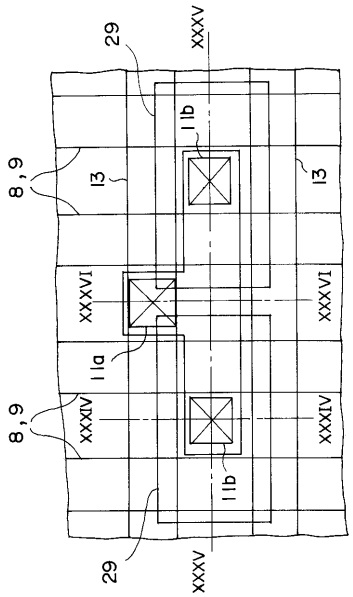
【図３１】



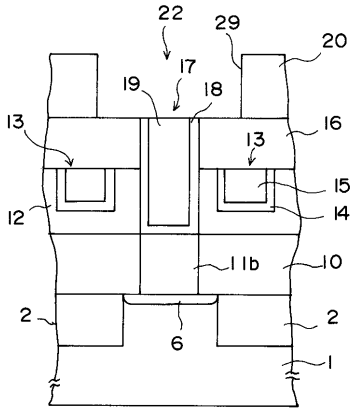
【図３２】



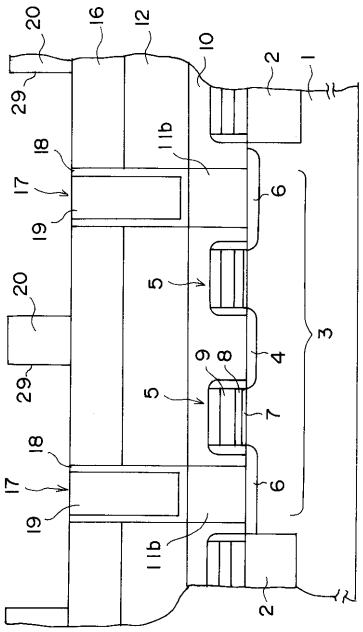
【図３３】



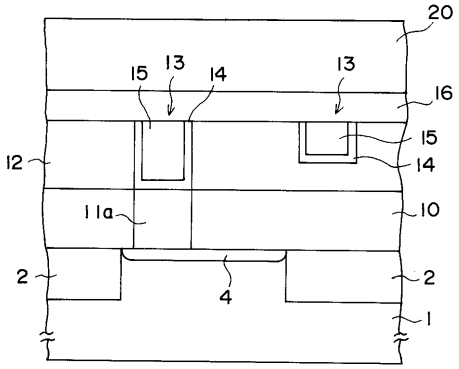
【図３４】



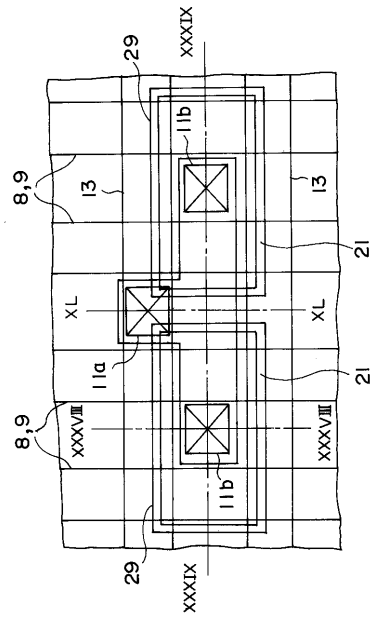
【図３５】



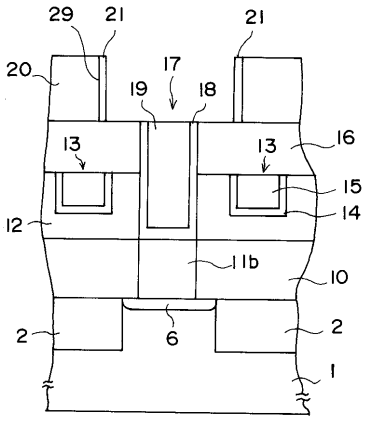
【図３６】



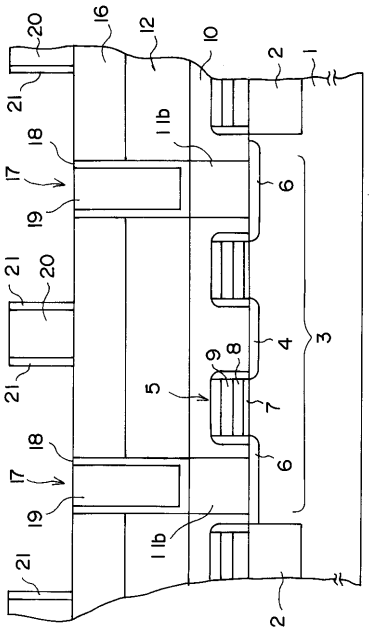
【図３７】



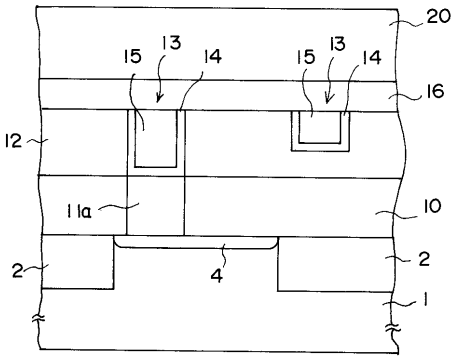
【図３８】



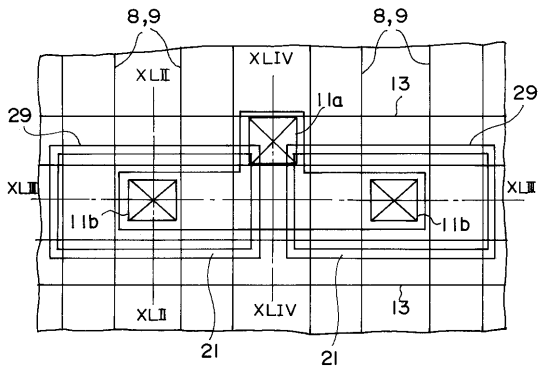
【図３９】



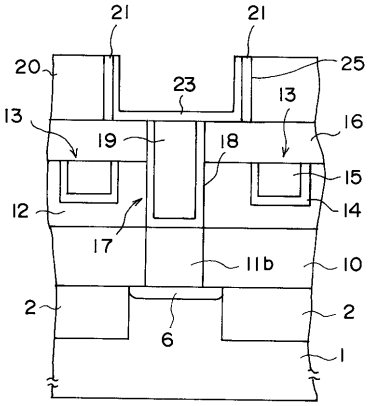
【図４０】



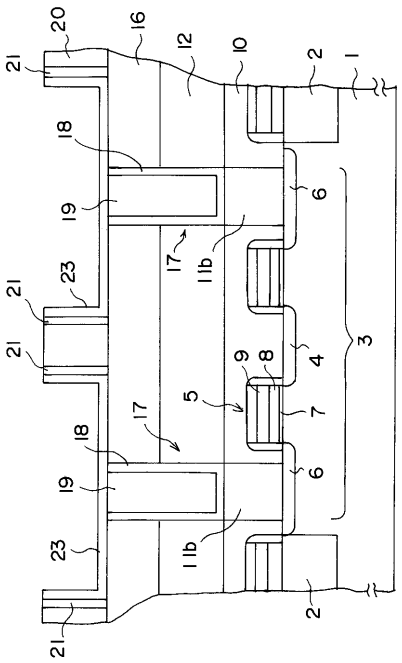
【図４１】



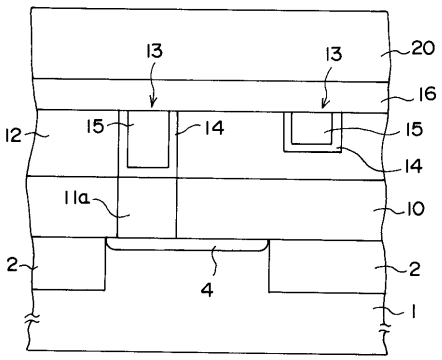
【図４２】



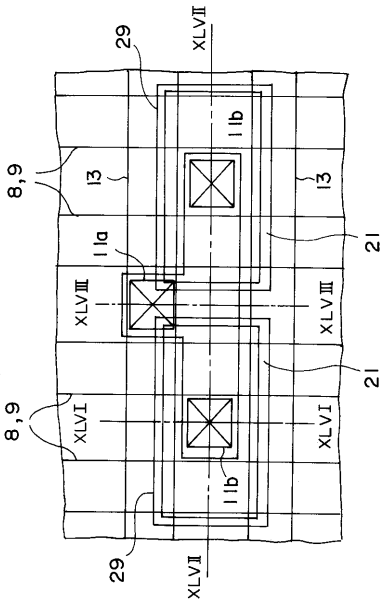
【図４３】



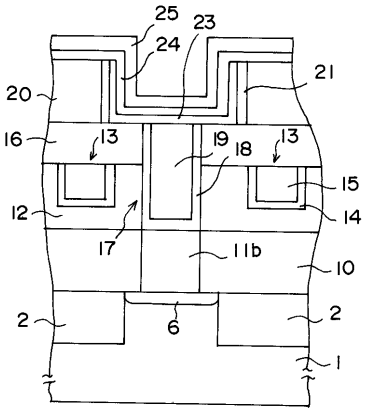
【図４４】



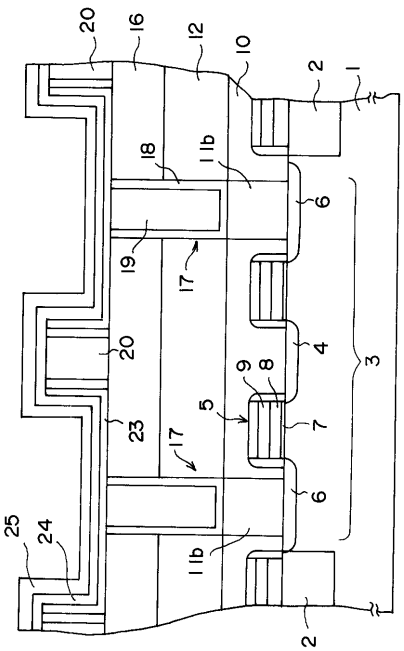
【図４５】



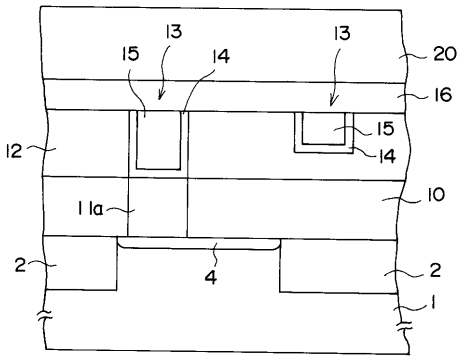
【図４６】



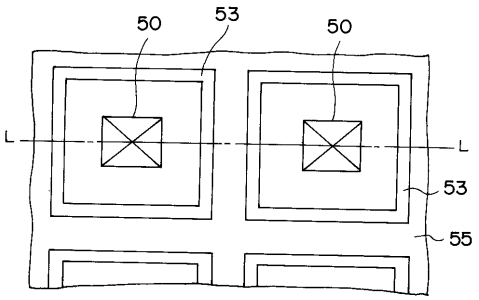
【図４７】



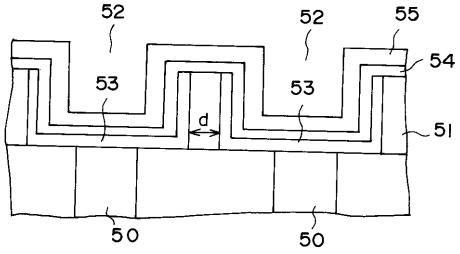
【図４８】



【図４９】



【図５０】



フロントページの続き

(74)代理人 100070437
弁理士 河井 将次
(72)発明者 石橋 裕
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝研究開発センター内
(72)発明者 幸山 裕亮
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝研究開発センター内
(72)発明者 尾崎 徹
神奈川県横浜市磯子区新杉田町８番地 株式会社東芝横浜事業所内

審査官 北島 健次

(56)参考文献 特開平０６－０３７２７２（ＪＰ，Ａ）
特開平０４－０００７５５（ＪＰ，Ａ）
特開平０８－１３９２９３（ＪＰ，Ａ）
特開平０８－２３６７１７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/8242
H01L 21/822
H01L 27/04
H01L 27/108