

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月19日(19.12.2024)



(10) 国際公開番号

WO 2024/257486 A1

(51) 国際特許分類:
H01L 27/146 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2024/015743

(22) 国際出願日: 2024年4月22日(22.04.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-096454 2023年6月12日(12.06.2023) JP

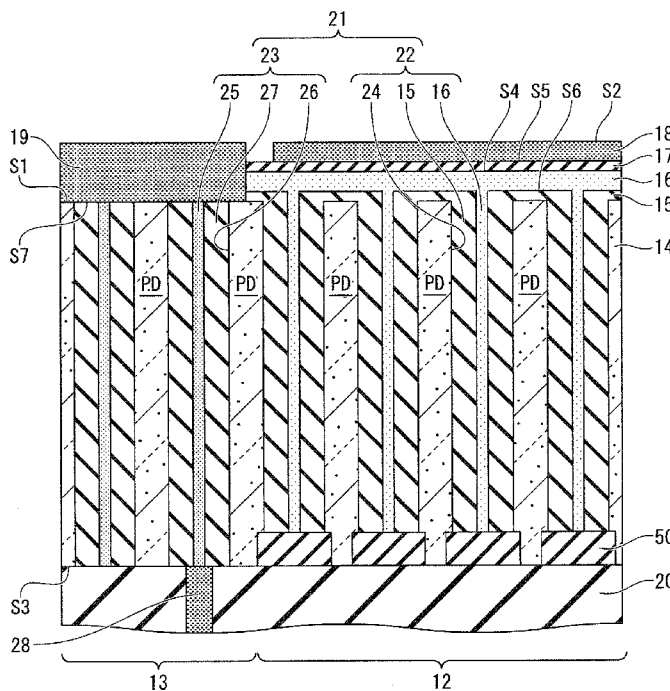
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 田中 佐和子 (TANAKA Sawako); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 蛸子 芳樹 (EBIKO Yoshiki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 弁理士法人日栄国際特許事務所 Tokyo (JP).

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置及び電子機器



(57) Abstract: Provided is a light detection device capable of achieving desired pixel characteristics while suppressing generation of dark current. Specifically, the light detection device is provided with a semiconductor substrate, a plurality of photoelectric conversion units formed in a two-dimensional array on the semiconductor substrate, and an inter-pixel separation structure formed in a region between the photoelectric conversion units of the semiconductor substrate. The inter-pixel separation structure includes a first inter-pixel separation structure that is a portion in an effective pixel region,

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

and a second inter-pixel separation structure that is a portion in a light-shielding pixel region that surrounds the periphery of the effective pixel region. A first conductor is disposed in the first inter-pixel separation structure, and a second conductor electrically connected to the first conductor and to which a negative bias voltage is applied is disposed in the second inter-pixel separation structure. Further, the first conductor and the second conductor are formed using different conductive materials.

(57) 要約: 暗電流の発生を抑制しつつ、所望の画素特性を実現可能な光検出装置を提供する。具体的には、半導体基板と、半導体基板に二次元アレイ状に形成された複数の光電変換部と、半導体基板の光電変換部間の領域に形成された画素間分離構造と、を備えるようにした。画素間分離構造は、有効画素領域内の部分である第1画素間分離構造と、有効画素領域の周囲を囲む遮光画素領域内の部分である第2画素間分離構造と、を有する。第1画素間分離構造内には、第1導電体を配置し、第2画素間分離構造内には、第1導電体と電氣的に接続され、且つ負のバイアス電圧が印加される第2導電体を配置した。さらに、第1導電体と第2導電体とを、互いに異なる導電材料を用いて形成した。

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、光検出装置及び電子機器に関する。

背景技術

[0002] 従来、例えば、複数の光電変換部を有する半導体基板と、半導体基板の光電変換部間の領域に形成されたトレンチ部、及びトレンチ部内に配置された導電体を有する画素間分離構造と、を備える光検出装置が提案されている（例えば、特許文献1参照）。特許文献1に記載の光検出装置では、導電体に負のバイアス電圧を印加することで、画素間分離構造の周辺部を高ホール濃度状態とし、暗電流の発生を抑制している。

先行技術文献

特許文献

[0003] 特許文献1：特開2022-148841号公報

発明の概要

発明が解決しようとする課題

[0004] このような光検出装置では、暗電流の発生を抑制することに加え、所望の画素特性を実現可能とすることが求められている。

[0005] 本開示は、暗電流の発生を抑制しつつ、所望の画素特性を実現可能な光検出装置及び電子機器を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の光検出装置は、（a）半導体基板と、（b）半導体基板に二次元アレイ状に形成された複数の光電変換部と、（c）半導体基板の光電変換部間の領域に形成された画素間分離構造と、を備え、（d）画素間分離構造は、有効画素領域内の部分である第1画素間分離構造と、有効画素領域の周囲を囲む遮光画素領域内の部分である第2画素間分離構造と、を有し、（e）第1画素間分離構造内には、第1導電体が配置されており、（f）第2画素間

分離構造内には、第1導電体と電氣的に接続され、且つ負のバイアス電圧が印加される第2導電体が配置されており、(g)第1導電体と第2導電体とは、互いに異なる導電材料を用いて形成されていることを要旨とする。

[0007] 本開示の電子機器は、(a)半導体基板、(b)半導体基板に二次元アレイ状に形成された複数の光電変換部、(c)及び半導体基板の光電変換部間の領域に形成された画素間分離構造を有し、(d)画素間分離構造は、有効画素領域内の部分である第1画素間分離構造と、有効画素領域の周囲を囲む遮光画素領域内の部分である第2画素間分離構造と、を有し、(e)第1画素間分離構造内には、第1導電体が配置されており、(f)第2画素間分離構造内には、第1導電体と電氣的に接続され、且つ負のバイアス電圧が印加される第2導電体が配置されており、(g)第1導電体と第2導電体とは、互いに異なる導電材料を用いて形成されている光検出装置を備えることを要旨とする。

図面の簡単な説明

[0008] [図1]第1の実施形態に係る固体撮像装置の全体構成を示す図である。

[図2]画素領域の四隅のうちの1つの平面構成を示す図である。

[図3]図2のA-A線で破断した場合の、固体撮像装置の断面構成を示す図である。

[図4]図2のB-B線で破断した場合の、固体撮像装置の断面構成を示す図である。

[図5]固体撮像装置の製造方法を示す図である。

[図6]固体撮像装置の製造方法を示す図である。

[図7]固体撮像装置の製造方法を示す図である。

[図8]固体撮像装置の製造方法を示す図である。

[図9]固体撮像装置の製造方法を示す図である。

[図10]第2の実施形態の固体撮像装置の画素領域2の四隅のうちの1つの平面構成を示す図である。

[図11]図10のC-C線で破断した場合の、第2の実施形態の固体撮像装置

の断面構成を示す図である。

[図12]図10のD-D線で破断した場合の、第2の実施形態の固体撮像装置の断面構成を示す図である。

[図13]図2のA-A線で破断した場合の、第3の実施形態の固体撮像装置の断面構成を示す図である。

[図14]図2のB-B線で破断した場合の、第3の実施形態の固体撮像装置の断面構成を示す図である。

[図15]第4の実施形態に係る電子機器の概略構成示す図である。

[図16]内視鏡システムの概略的な構成の一例を示す図である。

[図17]図16に示すカメラ及びCCUの機能構成の一例を示すブロック図である。

[図18]顕微鏡手術システムの概略的な構成の一例を示す図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態に係る光検出装置及び電子機器の一例を、図1～図18を参照しながら説明する。本開示の実施形態は以下の順序で説明する。なお、本開示は以下の例に限定されるものではない。また、本明細書に記載された効果は例示であって限定されるものではなく、また他の効果があってもよい。

[0010] 1. 第1の実施形態：固体撮像装置

1-1 固体撮像装置の全体の構成

1-2 要部の構成

1-3 固体撮像装置の製造方法

2. 第2の実施形態：固体撮像装置

2-1 要部の構成

3. 第3の実施形態：固体撮像装置

3-1 要部の構成

3-2 変形例

4. 第4の実施形態：電子機器への応用例

5. 第5の実施形態：移動体への応用例

[0011] <1. 第1の実施形態>

[1-1 固体撮像装置の全体の構成]

本開示の第1の実施形態に係る固体撮像装置1（広義には「光検出装置」）について説明する。図1は、第1の実施形態に係る固体撮像装置1の全体構成を示す図である。

図1の固体撮像装置1は、裏面照射型のCMOS（Complementary Metal Oxide Semiconductor）イメージセンサである。図15に示すように、固体撮像装置1（1002）はレンズ群1001を介して、被写体からの像光（入射光）を取り込み、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

図1に示すように、固体撮像装置1は、画素領域2と、垂直駆動回路3と、カラム信号処理回路4と、水平駆動回路5と、出力回路6と、制御回路7とを備えている。

[0012] 画素領域2は、二次元アレイ状に配置された複数の画素8を有している。画素8は、光電変換部PD（図3参照）と、複数の画素トランジスタ（例えば、転送トランジスタ、リセットトランジスタ、増幅トランジスタ、選択トランジスタ）とを有している。また画素領域2は、図2に示すように、有効画素領域12と、有効画素領域12の周囲に位置する遮光画素領域13とを含んでいる。遮光画素領域13は、遮光画素として、光学的黒レベルの基準信号を得るためのOPB（Optical Black）画素やダミー画素を有している。

垂直駆動回路3は、例えば、シフトレジスタによって構成され、選択パルスを画素駆動配線9に順次出力する等して画素領域2の各画素8を行単位で順次選択し、選択した画素8の画素信号を、垂直信号線10を通してカラム信号処理回路4に出力する。画素信号としては、光電変換部PDで生成した電荷（例えば電子）から得られる信号が挙げられる。

[0013] カラム信号処理回路4は、例えば、画素8の列毎に配置されており、1行分の画素8から出力される信号に対して画素列毎にノイズ除去等の信号処理

を行う。信号処理としては、例えば画素固有の固定パターンノイズを除去するための相関二重サンプリング（CDS：Correlated Double Sampling）、A/D（Analog Digital）変換を採用できる。

水平駆動回路5は、例えば、シフトレジスタによって構成され、水平走査パルスのカラム信号処理回路4に順次出力して、カラム信号処理回路4を順番に選択し、選択したカラム信号処理回路4に、信号処理が行われた画素信号を水平信号線11に出力させる。

[0014] 出力回路6は、カラム信号処理回路4の各々から水平信号線11を通して順次に出される画素信号に対して信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正等の各種デジタル信号処理を用いることができる。黒レベル調整としては、例えば、有効画素領域12の画素8（有効画素）から得られた画素信号から、遮光画素領域13の画素8（OPB画素）から得られた光学的黒レベルの基準信号を減算することで、画素信号の黒レベルを「0」に補正する処理を採用できる。

制御回路7は、垂直同期信号、水平同期信号、及びマスタクロック信号（不図示）に基づいて、垂直駆動回路3、カラム信号処理回路4及び水平駆動回路5等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路7は、生成したクロック信号や制御信号を、垂直駆動回路3、カラム信号処理回路4及び水平駆動回路5等に出す。

[0015] [1-2 要部の構成]

次に、固体撮像装置1の詳細構造について説明する。図2は、画素領域2の四隅のうちの1つの平面構成を示す図である。図2では、遮光メタル18、19が明確となるように、遮光メタル18、19よりも上部の構造を省略して示している。また、図3は、図2のA-A線で破断した場合の、固体撮像装置1の断面構成を示す図である。なお、図3では、遮光メタル18の位置を画素領域2の中央側（図3では下側）にずらす瞳補正が行われて、遮光メタル18の下方に光電変換部PDが位置している場合を例示している。ま

た、図4は、図2のB－B線で破断した場合の、固体撮像装置1の断面構成を示す図である。

図2に示すように、画素領域2は、画素領域2の中央に位置する有効画素領域12と、有効画素領域12の周囲を囲む遮光画素領域13とを有している。

有効画素領域12は、被写体が撮像される領域である。図3に示すように、有効画素領域12において、固体撮像装置1は、半導体基板14を有し、半導体基板14の受光面（以下、「裏面S1」とも呼ぶ。広義には「第1面」とも呼ぶ）に、絶縁体15及び第1導電体16、絶縁膜17及び遮光メタル18がこの順に積層されている。なお、図3では、遮光メタル18aの受光面（以下、「裏面S2」とも呼ぶ）側には、何も記載されていないが、カラーフィルタ及びオンチップレンズ等を形成してもよい。また、半導体基板14の裏面S1と反対側の面（以下「表面S3」とも呼ぶ。広義には「第2面」とも呼ぶ）には、配線層20が配置されている。また、遮光画素領域13は、有効画素領域12の周囲を囲む領域である。遮光画素領域13において、固体撮像装置1は、有効画素領域12と共有の半導体基板14を有し、半導体基板14の裏面S1に、遮光メタル19が配置されている。また、半導体基板14の表面S3には、配線層20が配置されている。

[0016] 半導体基板14は、例えば、シリコン（Si）によって構成された基板である。半導体基板14は、有効画素領域12及び遮光画素領域13で共有され、各画素8に対応する領域それぞれに光電変換部PDが形成されている。即ち、半導体基板14には、複数の光電変換部PDが二次元アレイ状に形成されている。光電変換部PDは、p型の半導体領域とn型の半導体領域とよるpn接合によってフォトダイオードを構成し、入射した光を光電変換して電荷を生成する。また、生成した電荷をpn接合で生じた静電容量に蓄積する。

また、半導体基板14には、光電変換部PD間の領域に画素間分離構造21が形成されている。即ち、画素間分離構造21は、各光電変換部PDを取

り囲むように、格子状に形成されている。また、画素間分離構造 2 1 は、有効画素領域 1 2 内の部分である第 1 画素間分離構造 2 2 と、遮光画素領域 1 3 内の部分である第 2 画素間分離構造 2 3 と、を有している。第 1 画素間分離構造 2 2 は、半導体基板 1 4 の裏面 S 1 から、裏面 S 1 と表面 S 3 との間の途中まで形成されている。また、第 1 画素間分離構造 2 2 内には、裏面 S 1 から、裏面 S 1 と表面 S 3 との間の途中まで第 1 導電体 1 6 が配置されている。具体的には、第 1 画素間分離構造 2 2 は、トレンチ部 2 4、並びにトレンチ部 2 4 内に配置された絶縁体 1 5 及び第 1 導電体 1 6 を有している。トレンチ部 2 4 は、半導体基板 1 4 の裏面 S 1 から、裏面 S 1 と表面 S 3 との間の途中まで形成され、側壁面及び底面が第 1 画素間分離構造 2 2 の外形を形成している。また、絶縁体 1 5 は、トレンチ部 2 4 の側壁面、並びに有効画素領域 1 2 内の半導体基板 1 4 の裏面 S 1 を連続的に覆っている。半導体基板 1 4 の裏面 S 1 側の絶縁体 1 5 の形成範囲は、絶縁体 1 5 が遮光画素領域 1 3 の裏面 S 1 を覆わないように、有効画素領域 1 2 と遮光画素領域 1 3 との境界までとなっている。絶縁体 1 5 の材料（絶縁材料）としては、例えば酸化シリコン(SiO₂)を用いることができる。

[0017] また、第 1 導電体 1 6 は、トレンチ部 2 4 内の空間、つまり、絶縁体 1 5 で覆われた側壁面間の空間に埋め込まれている。これにより、トレンチ部 2 4 内の第 1 導電体 1 6 の各部は、電氣的に一体となっている。また、第 1 導電体 1 6 は、半導体基板 1 4 の裏面 S 1 からトレンチ部 2 4 の底面まで配置されている。また、第 1 導電体 1 6 は、トレンチ部 2 4 内の空間の他にも、半導体基板 1 4 の裏面 S 1 に位置する絶縁体 1 5 の受光面（以下、「裏面 S 6」とも呼ぶ）の光電変換部 P D 間に沿った領域（格子状領域）も覆っている。即ち、第 1 画素間分離構造 2 2 内、並びに有効画素領域 1 2 内の半導体基板 1 4 の裏面 S 1 上の光電変換部 P D 間に沿った領域に連続的に配置されている。絶縁体 1 5 の裏面 S 6 側の第 1 導電体 1 6 の形成範囲は、遮光画素領域 1 3 に到達しないように、有効画素領域 1 2 と遮光画素領域 1 3 との境界までとなっている。第 1 導電体 1 6 の材料としては、導電材料を採用する

ことができる。例えば、ITO (Indium Tin Oxide) が挙げられる。また、第1画素間分離構造22の表面S3側端部と半導体基板14の表面S3との間には、第1画素間分離構造22に沿うように、STOが格子状に形成されている。

[0018] また、第2画素間分離構造23は、半導体基板14の裏面S1から表面S3まで、半導体基板14を貫通するように形成されている。また、第2画素間分離構造内には、裏面S1から表面S3まで導電体（以下、「第2導電体25」とも呼ぶ）が配置されている。具体的には、第2画素間分離構造23は、トレンチ部26、並びにトレンチ部26内に配置された絶縁体27及び第2導電体25を有している。トレンチ部26は、半導体基板14の裏面S1から表面S3まで半導体基板14を貫通し、側壁面が第2画素間分離構造23の外形を形成している。また、絶縁体27は、トレンチ部26の側壁面を連続的に覆っている。絶縁体27の材料としては、例えば酸化シリコン(SiO₂)を採用することができる。

また、第2導電体25は、トレンチ部26内の空間、つまり、絶縁体27で覆われた側壁面間の空間に埋め込まれている。これにより、トレンチ部26内の第2導電体25の各部は、電氣的に一体となっている。また、絶縁体27で覆われた側壁面間の空間（つまり、第2画素間分離構造23内の空間）と、第1画素間分離構造22内の絶縁体15間の空間とは互いに繋がっており、第2導電体25と第1導電体16とは互いに端部が接触して電氣的に接続されている。また、第2導電体25は、半導体基板14の裏面S1から表面S3まで、半導体基板14を貫通するように配置されている。半導体基板14を貫通することにより、第2導電体25は、半導体基板14の表面S3及び裏面S1のそれぞれに露出している。また、第2導電体25の材料としては、導電材料を採用できる。例えば、ボロン(B)等がドーピングされたドーパドポリシリコンが挙げられる。即ち、第1の実施形態では、第1導電体16と第2導電体25とは、互いに異なる導電材料を用いて形成されている。より具体的には、第1導電体16は、第2導電体25よりも光吸収率が低い導

電材料で形成されている。ITOの光吸収率とドーパドポリシリコンの光吸収率との光吸収率は、ITOの光吸収率<ドーパドポリシリコンの光吸収率、という関係となっている。

[0019] また、第2導電体25は、表面S3側が負のバイアス電圧の供給源と電氣的に接続され、表面S3側から負のバイアス電圧が印加される。負のバイアス電圧の印加により、遮光画素領域13では、第2画素間分離構造23の周辺部を高ホール濃度状態とすることができ、暗電流の発生を抑制できる。図3では、第2導電体25に対して、第2導電体25の表面S3側の部分に形成されたコンタクト28が接続され、第2導電体25が、コンタクト28を介して負のバイアス電圧の供給源に接続されている場合を例示している。

絶縁膜17は、第1導電体16の受光面（以下「裏面S4」とも呼ぶ）と、絶縁体15の裏面S6のうち第1導電体16が無い部分とを連続的に覆うように形成されている。

[0020] 遮光メタル18は、有効画素領域12内の絶縁膜17の受光面（以下、「裏面S5」とも呼ぶ）側に配置され、有効画素領域12内の絶縁膜17の裏面S5の光電変換部PD間に沿った領域を覆うように形成されている。また、遮光メタル19は、遮光画素領域13内の半導体基板14の裏面S1側に配置され、遮光画素領域13内の半導体基板14の裏面S1全体を覆うように形成されている。また、半導体基板14の裏面S1と対向する遮光メタル19の対向面（以下「表面S7」とも呼ぶ）は、半導体基板14の裏面S1に露出している第2導電体25（つまり、第2導電体25の裏面S1側の端部）と接触して電氣的に接続されている。また、遮光メタル19の有効画素領域12側の端部は、第1導電体16の裏面S1上に位置している部分の遮光画素領域13側の端部と接触して電氣的に接続されている。これにより、第1導電体16及び第2導電体25は、遮光メタル19を介して互いに電氣的に接続されている。それゆえ、表面S3側から第2導電体25に印加された負のバイアス電圧は、第2導電体25及び遮光メタル19を介して、第1導電体16に印加される。即ち、遮光画素領域13の光電変換部PDの遮光

に用いられる遮光メタル 19 を用いて、負のバイアス電圧の伝送経路が形成される。そのため、有効画素領域 12 では、第 1 画素間分離構造 22 の周辺部を高ホール濃度状態とすることができ、暗電流の発生を抑制できる。遮光メタル 18、19 の材料としては、例えば、タングステン(W)、アルミニウム(Al)、銅(Cu)を採用できる。遮光メタル 18 及び遮光メタル 19 は、有効画素領域 12 と遮光画素領域 13 との境界で離間されて電氣的に接続されていない。

配線層 20 は、層間絶縁膜と、層間絶縁膜を介して複数層に積層された配線（不図示）とを有し、複数層の配線を介して、各画素 8 の画素トランジスタ（不図示）を駆動する。

[0021] 以上の構成を有する固体撮像装置 1 では、半導体基板 14 の裏面 S1 側から光が入射し、入射した光がオンチップレンズ及びカラーフィルタ（不図示）を透過し、透過した光が光電変換部 PD で光電変換されて電荷が生成される。そして、生成した電荷が、配線層 20 の配線で形成された垂直信号線 10（図 1 参照）から画素信号として出力される。

また、第 1 の実施形態に係る固体撮像装置 1 は、遮光画素領域 13 内の第 2 画素間分離構造 23 内の第 2 導電体 25 の表面 S3 側の端部を負のバイアス電圧の供給源と電氣的に接続する。これにより、第 2 導電体 25 及び遮光メタル 19 を介して、有効画素領域 12 内の第 1 画素間分離構造 22 内の第 1 導電体 16 に負のバイアス電圧を印加し、第 1 画素間分離構造 22 の周辺部を高ホール濃度状態として、暗電流の発生を抑制する。

[0022] ここで、例えば、有効画素領域 12 内の第 1 画素間分離構造 22 内の第 1 導電体 16 に、遮光画素領域 13 内の第 2 画素間分離構造 23 内の第 2 導電体 25 と同じ導電材料を埋め込んだ場合を考える。即ち、第 1 導電体 16 の材料にもドーパドポリシリコンを採用したとする。この場合、ポリシリコンは光を吸収する性質を有するため、有効画素領域 12 では、第 1 画素間分離構造 22 で入射光が吸収される。そのため、有効画素領域 12 内において光電変換部 PD で光電変換される光の量が低下し、感度が低下する可能性がある。

る。

これに対し、第1の実施形態に係る固体撮像装置1では、有効画素領域12内の第1画素間分離構造22内の第1導電体16と、遮光画素領域13内の第2画素間分離構造23内の第2導電体25とを互いに異なる導電材料を用いて形成する構成とした。それゆえ、有効画素領域12内の第1画素間分離構造22内の第1導電体16の導電材料として、所望の画素特性に応じた導電材料を選択することで、画素8の特性を向上できる。より具体的には、第1の実施形態では、第1導電体16を、第2導電体25よりも光吸収率が低い導電材料（ITO）で形成する構成とした。それゆえ、有効画素領域12内において、第1画素間分離構造22による入射光の吸収を抑制でき、画素8の感度低下を抑制できる。

また、第2導電体25をドーパドポリシリコンで形成する構成とした。ここで、ドーパドポリシリコンは、ITOよりも埋込性に優れている。それゆえ、固体撮像装置1の製造時に、第2画素間分離構造23のトレンチ部26内の空間、つまり、半導体基板14を貫通する幅狭の空間へ第2導電体25を埋め込む工程を比較的容易に行うことができる。

[0023] [1-3 固体撮像装置の製造方法]

次に、第1の実施形態に係る固体撮像装置1の製造方法について説明する。

まず、図5に示すように、第2画素間分離構造23及び配線層20が形成された半導体基板14を用意する。第2画素間分離構造23には、第2導電体25として、ドーパドポリシリコンを埋め込む。続いて、リソグラフィー法及びドライエッチング法を用いて、用意した半導体基板14の裏面S1に対して、第1画素間分離構造22のトレンチ部24を形成する。続いて、形成したトレンチ部24の側壁面及び半導体基板14の裏面S1を連続的に覆うように絶縁体27を形成する。絶縁体27の形成方法としては、例えば、化学気相成長（CVD：Chemical Vapor Deposition）、熱酸化を採用できる。

[0024] 続いて、図6に示すように、絶縁体15で覆われた側壁面間の空間、及び絶縁体27の裏面S6を連続的に覆うように第1導電体16を形成する。第1導電体16の材料としては、ドーパドポリシリコンよりも光吸収率が低いITOを用いる。続いて、図7に示すように、第1導電体16の裏面S4に、絶縁膜17を形成した後、遮光メタル19（図3参照）を形成する位置に開口を有するレジストマスク29を形成する。続いて、図8に示すように、レジストマスク29を介してエッチングを行って、第1導電体16及び絶縁体15の一部を除去して半導体基板14の裏面S1を露出させる。これにより、第2導電体25を裏面S1に露出させる。続いて、レジストマスク29を除去し、図9に示すように、半導体基板14の裏面S1側全体に遮光メタル19の材料（例えば、タングステン(W)）を用いて厚さ一定の成膜を行う。これにより、遮光メタル19の表面S7が第2導電体25と電氣的に接続され、遮光メタル19の有効画素領域12側の端部が第1導電体16と電氣的に接続される。そして、負のバイアス電圧の供給源に接続されるコンタクト28が、第2導電体25及び遮光メタル19を介して、第1導電体16に接続される。続いて、有効画素領域12の絶縁膜17の裏面S5上から、成膜した遮光メタル19の材料を除去し、遮光メタル19を形成する。その後、有効画素領域12の絶縁膜17の裏面S5上に、遮光メタル18（図3参照）、カラーフィルタ及びオンチップレンズ等を形成する。

このような手順により、図3に示した固体撮像装置1を製造する。

[0025] 〈2. 第2の実施形態〉

[2-1 要部の構成]

次に、本開示の第2の実施形態に係る固体撮像装置1について説明する。第2の実施形態の固体撮像装置1の全体構成は、図1と同様であるから図示を省略する。図10は、第1の実施形態の図2に対応する図であり、第2の実施形態の固体撮像装置1の画素領域2の四隅のうちの1つの平面構成を示す図である。また、図11は、第1の実施形態の図3に対応する図であり、図10のC-C線で破断した場合の固体撮像装置1の断面構成を示す図であ

る。また、図 12 は、第 1 の実施形態の図 4 に対応する図であり、図 10 の D-D 線で破断した場合の固体撮像装置 1 の断面構成を示す図である。図 10、図 11、図 12 では、図 2、図 3、図 4 に対応する部分には同一符号を付し重複説明を省略する。

第 2 の実施形態に係る固体撮像装置 1 は、第 1 導電体 16 及び第 2 導電体 25 の構成及び材料、遮光メタル 18 の構成が、第 1 の実施形態に係る固体撮像装置 1 と異なっている。また、第 3 の実施形態に係る固体撮像装置 1 では、絶縁膜 17 が省略されている。

[0026] 第 1 導電体 16 は、図 11、図 12 に示すように、トレンチ部 24 内の空間、つまり絶縁体 15 で覆われた側壁面間の空間に、裏面 S1 からトレンチ部 24 の底面まで配置されている。これにより、トレンチ部 24 内の各部の第 1 導電体 16 は電氣的に一体となっており、また第 1 導電体 16 の裏面 S1 側は半導体基板 14 の裏面 S1 に露出している。第 1 導電体 16 の材料（導電材料）としては、例えばドーパドポリシリコンを採用できる。

また、第 2 導電体 25 は、トレンチ部 26 内の空間、つまり、絶縁体 27 で覆われた側壁面間の空間に埋め込まれている。これにより、トレンチ部 26 内の第 2 導電体 25 の各部は、電氣的に一体となっている。また、第 2 導電体 25 は、半導体基板 14 の裏面 S1 から表面 S3 まで、半導体基板 14 を貫通するように配置されている。半導体基板 14 を貫通することにより、第 2 導電体 25 は、半導体基板 14 の表面 S3 及び裏面 S1 のそれぞれに露出している。また、第 2 導電体 25 の材料（導電材料）としては、遮光メタル 19 と同じ材料を用いることができ、例えば、タングステン(W)を採用できる。即ち、第 2 の実施形態では、第 1 導電体 16 は、第 2 導電体 25 よりも光吸収率が高い導電材料で形成されている。ドーパドポリシリコンの光吸収率とタングステン(W)の光吸収率との光吸収率とは、ドーパドポリシリコンの光吸収率>タングステン(W)の光吸収率、という関係となっている。また、第 2 導電体 25 は、コンタクト 28 を介して、表面 S3 側が負のバイアス電圧の供給源と電氣的に接続され、表面 S3 側から負のバイアス電圧が印加され

る。負のバイアス電圧の印加により、遮光画素領域 13 では、第 2 画素間分離構造 23 の周辺部を高ホール濃度状態とすることができ、暗電流の発生を抑制することができる。

[0027] 遮光メタル 18 は、有効画素領域 12 内の絶縁体 15 の裏面 S6 側に配置され、有効画素領域 12 内の絶縁体 15 の裏面 S6 の光電変換部 PD 間に沿った領域を覆うように形成されている。また、遮光メタル 18 の絶縁体 15 と対向する面（以下、「表面 S8」とも呼ぶ）は、第 1 導電体 16 と対向する部分に絶縁体 15 を貫通する凸部 30 を有しており、半導体基板 14 の裏面 S1 に露出している第 1 導電体 16（つまり、第 1 導電体 16 の裏面 S1 側の端部）と接触して電氣的に接続されている。また、遮光メタル 19 は、遮光画素領域 13 内の半導体基板 14 の裏面 S1 側に配置され、遮光画素領域 13 内の半導体基板 14 の裏面 S1 全体を覆うように形成されている。また、遮光メタル 19 の表面 S7 は、半導体基板 14 の裏面 S1 に露出している第 2 導電体 25（つまり、第 2 導電体 25 の裏面 S1 側の端部）と接触して電氣的に接続されている。これにより、第 1 導電体 16 及び第 2 導電体 25 は、遮光メタル 18、19 を介して互いに電氣的に接続されている。

それゆえ、表面 S3 側から第 2 導電体 25 に印加された負のバイアス電圧は、第 2 導電体 25 及び遮光メタル 18、19 を介して、第 1 導電体 16 に印加される。即ち、遮光画素領域 13 の光電変換部 PD の遮光に用いられる遮光メタル 19 や遮光メタル 18 を用いて負のバイアス電圧の伝送経路が形成される。そのため、有効画素領域 12 では、第 1 画素間分離構造 22 の周辺部を高ホール濃度状態とすることができ、暗電流の発生を抑制できる。遮光メタル 18、19 の材料としては、例えばタングステン(W)、アルミニウム(Al)、銅(Cu)を採用できる。図 11 では、遮光メタル 18、19 と第 2 導電体 25 とを同じ材料を用いて一体に形成した場合を例示している。遮光メタル 18 及び遮光メタル 19 は、有効画素領域 12 と遮光画素領域 13 との境界で接続されて一体に形成されている。

[0028] 以上の構成により、第 2 の実施形態に係る固体撮像装置 1 では、有効画素

領域 1 2 内の第 1 画素間分離構造 2 2 内の第 1 導電体 1 6 と、遮光画素領域 1 3 内の第 2 画素間分離構造 2 3 内の第 2 導電体 2 5 とを互いに異なる導電材料を用いて形成する構成とした。それゆえ、有効画素領域 1 2 内の第 1 画素間分離構造 2 2 内の第 1 導電体 1 6 の導電材料として、所望の画素特性に応じた導電材料を選択することで、画素 8 の特性を向上できる。より具体的には、第 2 の実施形態では、第 1 導電体 1 6 を、第 2 導電体 2 5 よりも光吸収率が高い導電材料（ドーパドポリシリコン）で形成する構成とした。それゆえ、有効画素領域 1 2 内において、第 1 画素間分離構造 2 2 による入射光の吸収を向上でき、光学混色をより適切に抑制できる。そのため、例えば、入射された光子に応じてアバランシェ増倍が発生して電流が流れる S P A D（Single Photon Avalanche Diode）を光電変換部 P D として用いる場合のように、感度よりも混色が問題となる構成である場合に好ましい。

[0029] 〈3. 第 3 の実施形態〉

[3-1 要部の構成]

次に、本開示の第 3 の実施形態に係る固体撮像装置 1 について説明する。第 3 の実施形態の固体撮像装置 1 の全体構成は、図 1 と同様であるから図示を省略する。図 1 3 は、第 1 の実施形態の図 3 に対応する図であり、図 2 の A-A 線で破断した場合の固体撮像装置 1 の断面構成を示す図である。また、図 1 4 は、第 1 の実施形態の図 4 に対応する図であり、図 2 の B-B 線で破断した場合の固体撮像装置 1 の断面構成を示す図である。図 1 3、図 1 4 では図 3、図 4 に対応する部分には同一符号を付し重複説明を省略する。

第 3 の実施形態に係る固体撮像装置 1 は、絶縁体 1 5 の構成、第 1 導電体 1 6 及び第 2 導電体 2 5 の材料及び構成が、第 1 の実施形態に係る固体撮像装置 1 と異なっている。

[0030] 絶縁体 1 5 は、有効画素領域 1 2 内のトレンチ部 2 4 の側壁面、並びに半導体基板 1 4 の裏面 S 1 全体（有効画素領域 1 2、遮光画素領域 1 3 の両方）を連続的に覆っている。

第 1 導電体 1 6 は、図 1 3、図 1 4 に示すように、トレンチ部 2 4 内の空

間、つまり、絶縁体 15 で覆われた側壁面間の空間に、裏面 S 1 からトレンチ部 24 の底面まで配置されている。これにより、トレンチ部 24 内の第 1 導電体 16 の各部は電氣的に一体となっている。また、第 1 導電体 16 は、トレンチ部 24 内の空間の他にも、有効画素領域 12 内の絶縁体 15 の裏面 S 6 の光電変換部 PD 間に沿った領域（格子状領域）、及び遮光画素領域 13 内の絶縁体 15 の裏面 S 6 全体を連続的に覆っている。即ち、第 1 画素間分離構造 22 内、有効画素領域 12 内の半導体基板 14 の裏面 S 1 上の光電変換部 PD 間に沿った領域、並び遮光画素領域 13 内の半導体基板 14 の裏面 S 1 上全体に連続的に配置されている。また、遮光画素領域 13 内において、第 1 導電体 16 の絶縁体 15 と対向する面（以下、「表面 S 9」とも呼ぶ）は、第 2 導電体 25 と対向する部分に絶縁体 15 を貫通する凸部 31 を有しており、半導体基板 14 の裏面 S 1 と接触している。また、第 1 導電体 16 の材料（導電材料）としては、例えば、ITO を採用することができる。

[0031] また、第 2 導電体 25 は、トレンチ部 26 内の空間、つまり、絶縁体 27 で覆われた側壁面間の空間に埋め込まれている。これにより、トレンチ部 26 内の第 2 導電体 25 の各部は電氣的に一体となっている。また、第 2 導電体 25 は、半導体基板 14 の裏面 S 1 から表面 S 3 まで、半導体基板 14 を貫通するように配置されている。半導体基板 14 を貫通することにより、第 2 導電体 25 は、半導体基板 14 の表面 S 3 及び裏面 S 1 のそれぞれに露出している。表面 S 3 側から露出した第 2 導電体 25 の端部は、コンタクト 28 を介して、負のバイアス電圧の供給源と電氣的に接続され、表面 S 3 側から負のバイアス電圧が印加される。負のバイアス電圧の印加により、遮光画素領域 13 では、第 2 画素間分離構造 23 の周辺部を高ホール濃度状態とすることができ、暗電流の発生を抑制できる。

[0032] また、裏面 S 1 側から露出した第 2 導電体 25 の端部は、遮光画素領域 13 において、半導体基板 14 の裏面 S 1 側に位置する第 1 導電体 16 と接触して電氣的に接続されている。これにより、第 1 導電体 16 及び第 2 導電体

25は、遮光メタル18、19を介さずに、互いに電氣的に接続されている。それゆえ、表面S3側から第2導電体25に印加された負のバイアス電圧は、第2導電体25及び裏面S1側に位置する第1導電体16を介して、第1画素間分離構造22内の第1導電体16に印加される。即ち、裏面S1側に位置する第1導電体16を用いて、第1画素間分離構造22内の第1導電体16への負のバイアス電圧の伝送経路が形成される。そのため、有効画素領域12では、第1画素間分離構造22の周辺部を高ホール濃度状態とすることができ、暗電流の発生を抑制できる。また、第2導電体25の材料（導電材料）としては、例えば、タングステン(W)を採用できる。即ち、第3の実施形態では、第1導電体16は、第2導電体25よりも光吸収率が低い導電材料で形成されている。ITOの光吸収率とタングステン(W)の光吸収率との光吸収率は、ITOの光吸収率<タングステンの光吸収率、という関係となっている。

[0033] 以上の構成により、第3の実施形態に係る固体撮像装置1では、有効画素領域12内の第1画素間分離構造22内の第1導電体16と、遮光画素領域13内の第2画素間分離構造23内の第2導電体25とを互いに異なる導電材料を用いて形成する構成とした。それゆえ、有効画素領域12内の第1画素間分離構造22内の第1導電体16の導電材料として、所望の画素特性に応じた導電材料を選択することで、画素8の特性を向上できる。より具体的には、第3の実施形態では、第1導電体16を、第2導電体25よりも光吸収率が低い導電材料（ITO）で形成する構成とした。それゆえ、有効画素領域12内において、第1画素間分離構造22による入射光の吸収を抑制でき、感度を向上できる。

また、遮光画素領域13の半導体基板14の裏面S1側に位置する第1導電体16を負のバイアス電圧の伝送経路として用いる構成とした。それゆえ、例えば、伝送経路として遮光メタル19を用いる場合に比べ、伝送経路を形成するための材料を第1導電体16の材料とは別に用意せずに済み、伝送経路の形成にともなう工程数の増加を抑制できる。

[0034] [3-2 変形例]

(1) なお、第1、第2及び第3の実施形態では、半導体基板14の裏面S1側に負のバイアス電圧の伝送経路を形成する例を示したが、他の構成を採用することもできる。例えば、第1画素間分離構造22のトレンチ部24及び第2画素間分離構造23のトレンチ部26の境界において、トレンチ部24、26内の第1導電体16及び第2導電体25が直接接触している箇所を負のバイアス電圧の伝送経路として用いる構成としてもよい。

(2) また、第1、第2及び第3の実施形態では、第2導電体25の表面S3側から負のバイアス電圧を印加する例を示したが、他の構成を採用することもできる。例えば、第2導電体25の裏面S1側から負のバイアス電圧を印加する構成としてもよい。

[0035] (3) また、本技術は、上述したイメージセンサとしての固体撮像装置1の他、ToF (Time of Flight) センサとも呼ばれる距離を測定する測距センサ等も含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射され返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサの受光画素構造として、上述した画素8の構造を採用することができる。

[0036] 〈4. 第4の実施形態〉

本開示に係る技術（本技術）は、各種の電子機器に適用することができる。

図15は、本技術を適用した電子機器としての撮像装置（ビデオカメラ、デジタルスチルカメラ等）の概略的な構成の一例を示す図である。

図15に示すように、撮像装置1000は、レンズ群1001と、固体撮像装置1002（第1の実施形態に係る固体撮像装置1）と、DSP (Digital Signal Processor) 回路1003と、フレームメモリ1004と、モニタ1005と、メモリ1006とを備えている。DSP回路1003、フレームメモリ1004、モニタ1005及びメモリ1006は、バスライン100

7を介して相互に接続されている。

[0037] レンズ群1001は、被写体からの入射光（像光）を固体撮像装置1002に導き、固体撮像装置1002の受光面（画素領域）に結像させる。

固体撮像装置1002は、上述した第1の実施の形態のCMOSイメージセンサからなる。固体撮像装置1002は、レンズ群1001によって受光面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路1003に供給する。

DSP回路1003は、固体撮像装置1002から供給される画素信号に対して所定の画像処理を行う。そして、DSP回路1003は、画像処理後の画像信号をフレーム単位でフレームメモリ1004に供給し、フレームメモリ1004に一時的に記憶させる。

モニタ1005は、例えば、液晶パネルや、有機EL(Electro Luminescence)パネル等のパネル型表示装置からなる。モニタ1005は、フレームメモリ1004に一時的に記憶されたフレーム単位の画素信号に基づいて、被写体の画像（動画）を表示する。

メモリ1006は、DVD、フラッシュメモリ等からなる。メモリ1006は、フレームメモリ1004に一時的に記憶されたフレーム単位の画素信号を読み出して記録する。

[0038] なお、固体撮像装置1を適用できる電子機器としては、撮像装置1000に限られるものではなく、他の電子機器にも適用できる。また、固体撮像装置1002として、第1の実施形態に係る固体撮像装置1を用いる構成としたが、他の構成を採用することもできる。例えば、第2の実施形態や第3の実施形態に係る固体撮像装置1、変形例に係る固体撮像装置1等、本技術を適用した他の光検出装置を用いる構成としてもよい。

[0039] 〈5. 第5の実施形態〉

本開示に係る技術（本技術）は、医療イメージングシステムに適用することができる。医療イメージングシステムは、イメージング技術を用いた医療システムであり、例えば、内視鏡システムや顕微鏡システムである。

[0040] [内視鏡システム]

内視鏡システムの例を図 1 6、図 1 7 を用いて説明する。図 1 6 は、本開示に係る技術が適用可能な内視鏡システム 5 0 0 0 の概略的な構成の一例を示す図である。図 1 7 は、内視鏡 5 0 0 1 および C C U (Camera Control Unit) 5 0 3 9 の構成の一例を示す図である。図 1 6 では、手術参加者である術者（例えば、医師）5 0 6 7 が、内視鏡システム 5 0 0 0 を用いて、患者ベッド 5 0 6 9 上の患者 5 0 7 1 に手術を行っている様子が図示されている。図 1 6 に示すように、内視鏡システム 5 0 0 0 は、医療イメージング装置である内視鏡 5 0 0 1 と、C C U 5 0 3 9 と、光源装置 5 0 4 3 と、記録装置 5 0 5 3 と、出力装置 5 0 5 5 と、内視鏡 5 0 0 1 を支持する支持装置 5 0 2 7 と、から構成される。

[0041] 内視鏡手術では、トロッカ 5 0 2 5 と呼ばれる挿入補助具が患者 5 0 7 1 に穿刺される。そして、トロッカ 5 0 2 5 を介して、内視鏡 5 0 0 1 に接続されたスコープ 5 0 0 3 や術具 5 0 2 1 が患者 5 0 7 1 の体内に挿入される。術具 5 0 2 1 は例えば、電気メス等のエネルギーデバイスや、鉗子などである。

[0042] 内視鏡 5 0 0 1 によって撮影された患者 5 0 7 1 の体内を映した医療画像である手術画像が、表示装置 5 0 4 1 に表示される。術者 5 0 6 7 は、表示装置 5 0 4 1 に表示された手術画像を見ながら術具 5 0 2 1 を用いて手術対象に処置を行う。なお、医療画像は手術画像に限らず、診断中に撮像された診断画像であってもよい。

[0043] [内視鏡]

内視鏡 5 0 0 1 は、患者 5 0 7 1 の体内を撮像する撮像部であり、例えば、図 1 7 に示すように、入射した光を集光する集光光学系 5 0 0 5 1 と、撮像部の焦点距離を変更して光学ズームを可能とするズーム光学系 5 0 0 5 2 と、撮像部の焦点距離を変更してフォーカス調整を可能とするフォーカス光学系 5 0 0 5 3 と、受光素子 5 0 0 5 4 と、を含むカメラ 5 0 0 5 である。内視鏡 5 0 0 1 は、接続されたスコープ 5 0 0 3 を介して光を受光素子 5 0

054に集光することで画素信号を生成し、CCU5039に伝送系を通じて画素信号を出力する。なお、スコープ5003は、対物レンズを先端に有し、接続された光源装置5043からの光を患者5071の体内に導光する挿入部である。スコープ5003は、例えば硬性鏡では硬性スコープ、軟性鏡では軟性スコープである。スコープ5003は直視鏡や斜視鏡であってもよい。また、画素信号は画素から出力された信号に基づいた信号であればよく、例えば、RAW信号や画像信号である。また、内視鏡5001とCCU5039とを接続する伝送系にメモリを搭載し、メモリに内視鏡5001やCCU5039に関するパラメータを記憶する構成にしてもよい。メモリは、例えば、伝送系の接続部分やケーブル上に配置されてもよい。例えば、内視鏡5001の出荷時のパラメータや通電時に変化したパラメータを伝送系のメモリに記憶し、メモリから読み出したパラメータに基づいて内視鏡の動作を変更してもよい。また、内視鏡と伝送系をセットにして内視鏡と称してもよい。受光素子50054は、受光した光を画素信号に変換するセンサであり、例えばCMOS (Complementary Metal Oxide Semiconductor) タイプの撮像素子である。受光素子50054は、Bayer配列を有するカラー撮影可能な撮像素子であることが好ましい。また、受光素子50054は、例えば4K (水平画素数3840×垂直画素数2160)、8K (水平画素数7680×垂直画素数4320) または正方形4K (水平画素数3840以上×垂直画素数3840以上) の解像度に対応した画素数を有する撮像素子であることが好ましい。受光素子50054は、1枚のセンサチップであってもよいし、複数のセンサチップでもよい。例えば、入射光を所定の波長帯域ごとに分離するプリズムを設けて、各波長帯域を異なる受光素子で撮像する構成であってもよい。また、立体視のために受光素子を複数設けてもよい。また、受光素子50054は、チップ構造の中に画像処理用の演算処理回路を含んでいるセンサであってもよいし、ToF (Time of Flight) 用センサであってもよい。なお、伝送系は例えば光ファイバケーブルや無線伝送である。無線伝送は、内視鏡5001で生成された画素信号が伝送可

能であればよく、例えば、内視鏡５００１とＣＣＵ５０３９が無線接続されてもよいし、手術室内の基地局を経由して内視鏡５００１とＣＣＵ５０３９が接続されてもよい。このとき、内視鏡５００１は画素信号だけでなく、画素信号に関連する情報（例えば、画素信号の処理優先度や同期信号等）を同時に送信してもよい。なお、内視鏡はスコープとカメラを一体化してもよく、スコープの先端部に受光素子を設ける構成としてもよい。

[0044] [ＣＣＵ (Camera Control Unit)]

ＣＣＵ５０３９は、接続された内視鏡５００１や光源装置５０４３を統括的に制御する制御装置であり、例えば、図１７に示すように、ＦＰＧＡ５０３９１、ＣＰＵ５０３９２、ＲＡＭ５０３９３、ＲＯＭ５０３９４、ＧＰＵ５０３９５、Ｉ／Ｆ５０３９６を有する情報処理装置である。また、ＣＣＵ５０３９は、接続された表示装置５０４１や記録装置５０５３、出力装置５０５５を統括的に制御してもよい。例えば、ＣＣＵ５０３９は、光源装置５０４３の照射タイミングや照射強度、照射光源の種類を制御する。また、ＣＣＵ５０３９は、内視鏡５００１から出力された画素信号に対して現像処理（例えばデモザイク処理）や補正処理といった画像処理を行い、表示装置５０４１等の外部装置に処理後の画素信号（例えば画像）を出力する。また、ＣＣＵ５０３９は、内視鏡５００１に対して制御信号を送信し、内視鏡５００１の駆動を制御する。制御信号は、例えば、撮像部の倍率や焦点距離などの撮像条件に関する情報である。なお、ＣＣＵ５０３９は画像のダウンコンバート機能を有し、表示装置５０４１に高解像度（例えば４Ｋ）の画像を、記録装置５０５３に低解像度（例えばＨＤ）の画像を同時に出力可能な構成としてもよい。

[0045] また、ＣＣＵ５０３９は、信号を所定の通信プロトコル（例えば、ＩＰ (Internet Protocol)) に変換するＩＰコンバータを経由して外部機器（例えば、記録装置や表示装置、出力装置、支持装置）と接続されてもよい。ＩＰコンバータと外部機器との接続は、有線ネットワークで構成されてもよいし、一部または全てのネットワークが無線ネットワークで構築されてもよい。

例えば、CCU5039側のIPコンバータは無線通信機能を有し、受信した映像を第5世代移動通信システム（5G）、第6世代移動通信システム（6G）等の無線通信ネットワークを介してIPスイッチャーや出力側IPコンバータに送信してもよい。

[0046] [光源装置]

光源装置5043は、所定の波長帯域の光を照射可能な装置であり、例えば、複数の光源と、複数の光源の光を導光する光源光学系と、を備える。光源は、例えばキセノンランプ、LED光源やLD光源である。光源装置5043は、例えば三原色R、G、Bのそれぞれに対応するLED光源を有し、各光源の出力強度や出力タイミングを制御することで白色光を出射する。また、光源装置5043は、通常光観察に用いられる通常光を照射する光源とは別に、特殊光観察に用いられる特殊光を照射可能な光源を有していてもよい。特殊光は、通常光観察用の光である通常光とは異なる所定の波長帯域の光であり、例えば、近赤外光（波長が760nm以上の光）や赤外光、青色光、紫外光である。通常光は、例えば白色光や緑色光である。特殊光観察の一種である狭帯域光観察では、青色光と緑色光を交互に照射することにより、体組織における光の吸収の波長依存性を利用して、粘膜表層の血管等の所定の組織を高コントラストで撮影することができる。また、特殊光観察の一種である蛍光観察では、体組織に注入された薬剤を励起する励起光を照射し、体組織または標識である薬剤が発する蛍光を受光して蛍光画像を得ることで、通常光では術者が視認しづらい体組織等を、術者が視認しやすくすることができる。例えば、赤外光を用いる蛍光観察では、体組織に注入されたインドシアニンググリーン（ICG）等の薬剤に励起波長帯域を有する赤外光を照射し、薬剤の蛍光を受光することで、体組織の構造や患部を視認しやすくすることができる。また、蛍光観察では、青色波長帯域の特殊光で励起され、赤色波長帯域の蛍光を発する薬剤（例えば5-ALA）を用いてもよい。なお、光源装置5043は、CCU5039の制御により照射光の種類を設定される。CCU5039は、光源装置5043と内視鏡5001を制御す

ることにより、通常光観察と特殊光観察が交互に行われるモードを有してもよい。このとき、通常光観察で得られた画素信号に特殊光観察で得られた画素信号に基づく情報を重畳されることが好ましい。また、特殊光観察は、赤外光を照射して臓器表面より奥を見る赤外光観察や、ハイパースペクトル分光を活用したマルチスペクトル観察であってもよい。さらに、光線力学療法を組み合わせてもよい。

[0047] [記録装置]

記録装置５０５３は、ＣＣＵ５０３９から取得した画素信号（例えば画像）を記録する装置であり、例えばレコーダーである。記録装置５０５３は、ＣＣＵ５０３９から取得した画像をＨＤＤやＳＤＤ、光ディスクに記録する。記録装置５０５３は、病院内のネットワークに接続され、手術室外の機器からアクセス可能にしてもよい。また、記録装置５０５３は画像のダウンコンバート機能またはアップコンバート機能を有していてもよい。

[0048] [表示装置]

表示装置５０４１は、画像を表示可能な装置であり、例えば表示モニターである。表示装置５０４１は、ＣＣＵ５０３９から取得した画素信号に基づく表示画像を表示する。なお、表示装置５０４１はカメラやマイクを備えることで、視線認識や音声認識、ジェスチャによる指示入力を可能にする入力デバイスとしても機能してよい。

[0049] [出力装置]

出力装置５０５５は、ＣＣＵ５０３９から取得した情報を出力する装置であり、例えばプリンタである。出力装置５０５５は、例えば、ＣＣＵ５０３９から取得した画素信号に基づく印刷画像を紙に印刷する。

[0050] [支持装置]

支持装置５０２７は、アーム制御装置５０４５を有するベース部５０２９と、ベース部５０２９から延伸するアーム部５０３１と、アーム部５０３１の先端に取り付けられた保持部５０３２とを備える多関節アームである。アーム制御装置５０４５は、ＣＰＵ等のプロセッサによって構成され、所定の

プログラムに従って動作することにより、アーム部 5031 の駆動を制御する。支持装置 5027 は、アーム制御装置 5045 によってアーム部 5031 を構成する各リンク 5035 の長さや各関節 5033 の回転角やトルク等のパラメータを制御することで、例えば保持部 5032 が保持する内視鏡 5001 の位置や姿勢を制御する。これにより、内視鏡 5001 を所望の位置または姿勢に変更し、スコープ 5003 を患者 5071 に挿入でき、また、体内での観察領域を変更できる。支持装置 5027 は、術中に内視鏡 5001 を支持する内視鏡支持アームとして機能する。これにより、支持装置 5027 は、内視鏡 5001 を持つ助手であるスコピストの代わりを担うことができる。また、支持装置 5027 は、後述する顕微鏡装置 5301 を支持する装置であってもよく、医療用支持アームと呼ぶこともできる。なお、支持装置 5027 の制御は、アーム制御装置 5045 による自律制御方式であってもよいし、ユーザの入力に基づいてアーム制御装置 5045 が制御する制御方式であってもよい。例えば、制御方式は、ユーザの手元の術者コンソールであるマスター装置（プライマリ装置）の動きに基づいて、患者カートであるスレイブ装置（レプリカ装置）としての支持装置 5027 が制御されるマスタ・スレイブ方式でもよい。また、支持装置 5027 の制御は、手術室の外から遠隔制御が可能であってもよい。

[0051] 以上、本開示に係る技術が適用され得る内視鏡システム 5000 の一例について説明した。例えば、本開示に係る技術は、顕微鏡システムに適用されてもよい。

[0052] [顕微鏡システム]

図 18 は、本開示に係る技術が適用され得る顕微鏡手術システムの概略的な構成の一例を示す図である。なお、以下の説明において、内視鏡システム 5000 と同様の構成については、同一の符号を付し、その重複する説明を省略する。

[0053] 図 18 では、術者 5067 が、顕微鏡手術システム 5300 を用いて、患者ベッド 5069 上の患者 5071 に対して手術を行っている様子を概略的

に示している。なお、図18では、簡単のため、顕微鏡手術システム5300の構成のうちカート5037の図示を省略するとともに、内視鏡5001に代わる顕微鏡装置5301を簡略化して図示している。ただし、本説明における顕微鏡装置5301は、リンク5035の先端に設けられた顕微鏡部5303を指していてもよいし、顕微鏡部5303及び支持装置5027を含む構成全体を指していてもよい。

[0054] 図18に示すように、手術時には、顕微鏡手術システム5300を用いて、顕微鏡装置5301によって撮影された術部の画像が、手術室に設置される表示装置5041に拡大表示される。表示装置5041は、術者5067と対向する位置に設置されており、術者5067は、表示装置5041に映し出された映像によって術部の様子を観察しながら、例えば患部の切除等、当該術部に対して各種の処置を行う。顕微鏡手術システムは、例えば眼科手術や脳外科手術に使用される。

[0055] 以上、本開示に係る技術が適用され得る内視鏡システム5000及び顕微鏡手術システム5300の例についてそれぞれ説明した。なお、本開示に係る技術が適用され得るシステムはかかる例に限定されない。例えば、支持装置5027は、その先端に内視鏡5001又は顕微鏡部5303に代えて他の観察装置や他の術具を支持し得る。当該他の観察装置としては、例えば、鉗子、撮子、気腹のための気腹チューブ、又は焼灼によって組織の切開や血管の封止を行うエネルギー処置具等が適用され得る。これらの観察装置や術具を支持装置によって支持することにより、医療スタッフが人手で支持する場合に比べて、より安定的に位置を固定することが可能となるとともに、医療スタッフの負担を軽減することが可能となる。本開示に係る技術は、このような顕微鏡部以外の構成を支持する支持装置に適用されてもよい。

[0056] 本開示に係る技術は、以上説明した構成のうち、受光素子に好適に適用され得る。受光素子に本開示に係る技術を適用することにより、より鮮明な術部画像を得ることができるため、手術をより安全にかつより確実に行うことが可能になる。

[0057] なお、本技術は、以下のような構成も取ることができる。

(1)

半導体基板と、

前記半導体基板に二次元アレイ状に形成された複数の光電変換部と、

前記半導体基板の前記光電変換部間の領域に形成された画素間分離構造と、
を備え、

前記画素間分離構造は、有効画素領域内の部分である第1画素間分離構造と、前記有効画素領域の周囲を囲む遮光画素領域内の部分である第2画素間分離構造と、を有し、

前記第1画素間分離構造内には、第1導電体が配置されており、

前記第2画素間分離構造内には、前記第1導電体と電氣的に接続され、且つ負のバイアス電圧が印加される第2導電体が配置されており、

前記第1導電体と前記第2導電体とは、互いに異なる導電材料を用いて形成されている

光検出装置。

(2)

前記半導体基板の受光面である記第1面側に配置され、前記遮光画素領域内の前記半導体基板の前記第1面を覆う遮光メタルを備え、

前記第1導電体及び前記第2導電体は、前記遮光メタルを介して互いに電氣的に接続されており、

前記第2導電体は、前記第2面側から前記負のバイアス電圧が印加される

前記(1)に記載の光検出装置。

(3)

前記第1導電体は、前記第2導電体よりも光吸収率が低い導電材料で形成されている

前記(2)に記載の光検出装置。

(4)

前記第1導電体の材料は、ITOであり、

前記第2導電体の材料は、ドーパドポリシリコンである

前記(3)に記載の光検出装置。

(5)

前記第1画素間分離構造及び前記第1導電体は、前記第1面から前記第1面と該第1面の反対側の面である第2面との間の途中まで形成されており、

前記第2画素間分離構造及び前記第2導電体は、前記第1面から前記第2面まで、前記半導体基板を貫通するように形成されている

前記(3)又は(4)に記載の光検出装置。

(6)

前記第1導電体は、前記第1画素間分離構造内、並びに前記有効画素領域内の前記半導体基板の前記第1面上の前記光電変換部間に沿った領域に連続的に配置され、前記第1面上に位置している部分の前記遮光画素領域側の端部が、前記遮光メタルの前記有効画素領域側の端部と接触して電氣的に接続されており、

前記第2導電体は、前記第1面側の端部が、前記第1面と対向する前記遮光メタルの対向面と接触して電氣的に接続されている

前記(5)に記載の光検出装置。

(7)

前記第1導電体は、前記第2導電体よりも光吸収率が高い導電材料で形成されている

前記(2)に記載の光検出装置。

(8)

前記第1導電体の材料は、ドーパドポリシリコンであり、

前記第2導電体の材料は、タングステンである

前記(7)に記載の光検出装置。

(9)

前記第1画素間分離構造及び前記第1導電体は、前記第1面から前記第1面と該第1面の反対側の面である第2面との間の途中まで形成されており、

前記第2画素間分離構造及び前記第2導電体は、前記第1面から前記第2面まで、前記半導体基板を貫通するように形成されている

前記(7)又は(8)に記載の光検出装置。

(10)

前記遮光メタルは、前記遮光画素領域内の前記半導体基板の前記第1面全体、及び前記有効画素領域内の前記半導体基板の前記第1面のうちの前記光電変換部間に沿った領域を覆い、

前記第1導電体及び前記第2導電体は、前記第1面側の端部が、前記第1面と対向する前記遮光メタルの対向面と接触して電氣的に接続されている

前記(9)に記載の光検出装置。

(11)

前記第1画素間分離構造及び前記第1導電体は、前記半導体基板の受光面である第1面から前記第1面と該第1面の反対側の面である第2面との間の途中まで形成されており、

前記第2画素間分離構造及び前記第2導電体は、前記第1面から前記第2面まで、前記半導体基板を貫通するように形成されており、

前記第1導電体は、前記第1画素間分離構造内、前記有効画素領域内の前記半導体基板の受光面である第1面上の前記光電変換部間に沿った領域、並び前記遮光画素領域内の前記半導体基板の前記第1面上全体に連続的に配置され、

前記第2導電体は、前記第1面側の端部が、前記第1面と対向する前記第1導電体の対向面と接触して電氣的に接続されており、

前記第2導電体は、前記第2面側から前記負のバイアス電圧が印加される前記(1)に記載の光検出装置。

(12)

前記第1導電体は、前記第2導電体よりも光吸収率が低い導電材料で形成されている

前記(11)に記載の光検出装置。

(13)

前記第1導電体の材料は、ITOであり、

前記第2導電体の材料は、タングステンである

前記(12)に記載の光検出装置。

(14)

半導体基板、前記半導体基板に二次元アレイ状に形成された複数の光電変換部、及び前記半導体基板の前記光電変換部間の領域に形成された画素間分離構造を有し、前記画素間分離構造は、有効画素領域内の部分である第1画素間分離構造と、前記有効画素領域の周囲を囲む遮光画素領域内の部分である第2画素間分離構造と、を有し、前記第1画素間分離構造内には、第1導電体が配置されており、前記第2画素間分離構造内には、前記第1導電体と電氣的に接続され、且つ負のバイアス電圧が印加される第2導電体が配置されており、前記第1導電体と前記第2導電体とは、互いに異なる導電材料を用いて形成されている光検出装置を備える

電子機器。

符号の説明

[0058] 1…固体撮像装置、2…画素領域、3…垂直駆動回路、4…カラム信号処理回路、5…水平駆動回路、6…出力回路、7…制御回路、8…画素、9…画素駆動配線、10…垂直信号線、11…水平信号線、12…有効画素領域、13…遮光画素領域、14…半導体基板、15…絶縁体、16…第1導電体、17…絶縁膜、18、19…遮光メタル、20…配線層、21…画素間分離構造、22…第1画素間分離構造、23…第2画素間分離構造、24…トレンチ部、25…第2導電体、26…トレンチ部、27…絶縁体、28…コンタクト、29…レジストマスク、30、31…凸部

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板に二次元アレイ状に形成された複数の光電変換部と、
 、
 前記半導体基板の前記光電変換部間の領域に形成された画素間分離構造と、を備え、
 前記画素間分離構造は、有効画素領域内の部分である第1画素間分離構造と、前記有効画素領域の周囲を囲む遮光画素領域内の部分である第2画素間分離構造と、を有し、
 前記第1画素間分離構造内には、第1導電体が配置されており、
 前記第2画素間分離構造内には、前記第1導電体と電氣的に接続され、且つ負のバイアス電圧が印加される第2導電体が配置されており、
 、
 前記第1導電体と前記第2導電体とは、互いに異なる導電材料を用いて形成されている
 光検出装置。
- [請求項2] 前記半導体基板の受光面である第1面側に配置され、前記遮光画素領域内の前記半導体基板の前記第1面を覆う遮光メタルを備え、
 前記第1導電体及び前記第2導電体は、前記遮光メタルを介して互いに電氣的に接続されている
 請求項1に記載の光検出装置。
- [請求項3] 前記第1導電体は、前記第2導電体よりも光吸収率が低い導電材料で形成されている
 請求項2に記載の光検出装置。
- [請求項4] 前記第1導電体の材料は、ITOであり、
 前記第2導電体の材料は、ドーパドポリシリコンである
 請求項3に記載の光検出装置。
- [請求項5] 前記第1画素間分離構造及び前記第1導電体は、前記第1面から前

記第1面と該第1面の反対側の面である第2面との間の途中まで形成されており、

前記第2画素間分離構造及び前記第2導電体は、前記第1面から前記第2面まで、前記半導体基板を貫通するように形成されている

請求項3に記載の光検出装置。

[請求項6] 前記第1導電体は、前記第1画素間分離構造内、並びに前記有効画素領域内の前記半導体基板の前記第1面上の前記光電変換部間に沿った領域に連続的に配置され、前記第1面上に位置している部分の前記遮光画素領域側の端部が、前記遮光メタルの前記有効画素領域側の端部と接触して電氣的に接続されており、

前記第2導電体は、前記第1面側の端部が、前記第1面と対向する前記遮光メタルの対向面と接触して電氣的に接続されており、

前記第2導電体は、前記第2面側から前記負のバイアス電圧が印加される

請求項5に記載の光検出装置。

[請求項7] 前記第1導電体は、前記第2導電体よりも光吸収率が高い導電材料で形成されている

請求項2に記載の光検出装置。

[請求項8] 前記第1導電体の材料は、ドーパドポリシリコンであり、
前記第2導電体の材料は、タングステンである

請求項7に記載の光検出装置。

[請求項9] 前記第1画素間分離構造及び前記第1導電体は、前記第1面から前記第1面と該第1面の反対側の面である第2面との間の途中まで形成されており、

前記第2画素間分離構造及び前記第2導電体は、前記第1面から前記第2面まで、前記半導体基板を貫通するように形成されている

請求項7に記載の光検出装置。

[請求項10] 前記遮光メタルは、前記遮光画素領域内の前記半導体基板の前記第

1 面全体、及び前記有効画素領域内の前記半導体基板の前記第 1 面のうちの前記光電変換部間に沿った領域を覆い、

前記第 1 導電体及び前記第 2 導電体は、前記第 1 面側の端部が、前記第 1 面と対向する前記遮光メタルの対向面と接触して電氣的に接続されており、

前記第 2 導電体は、前記第 2 面側から前記負のバイアス電圧が印加される

請求項 9 に記載の光検出装置。

[請求項11]

前記第 1 画素間分離構造及び前記第 1 導電体は、前記半導体基板の受光面である第 1 面から前記第 1 面と該第 1 面の反対側の面である第 2 面との間の途中まで形成されており、

前記第 2 画素間分離構造及び前記第 2 導電体は、前記第 1 面から前記第 2 面まで、前記半導体基板を貫通するように形成されており、

前記第 1 導電体は、前記第 1 画素間分離構造内、前記有効画素領域内の前記半導体基板の受光面である第 1 面上の前記光電変換部間に沿った領域、並び前記遮光画素領域内の前記半導体基板の前記第 1 面上全体に連続的に配置され、

前記第 2 導電体は、前記第 1 面側の端部が、前記第 1 面と対向する前記第 1 導電体の対向面と接触して電氣的に接続されており、

前記第 2 導電体は、前記第 2 面側から前記負のバイアス電圧が印加される

請求項 1 に記載の光検出装置。

[請求項12]

前記第 1 導電体は、前記第 2 導電体よりも光吸収率が低い導電材料で形成されている

請求項 1 1 に記載の光検出装置。

[請求項13]

前記第 1 導電体の材料は、ITOであり、

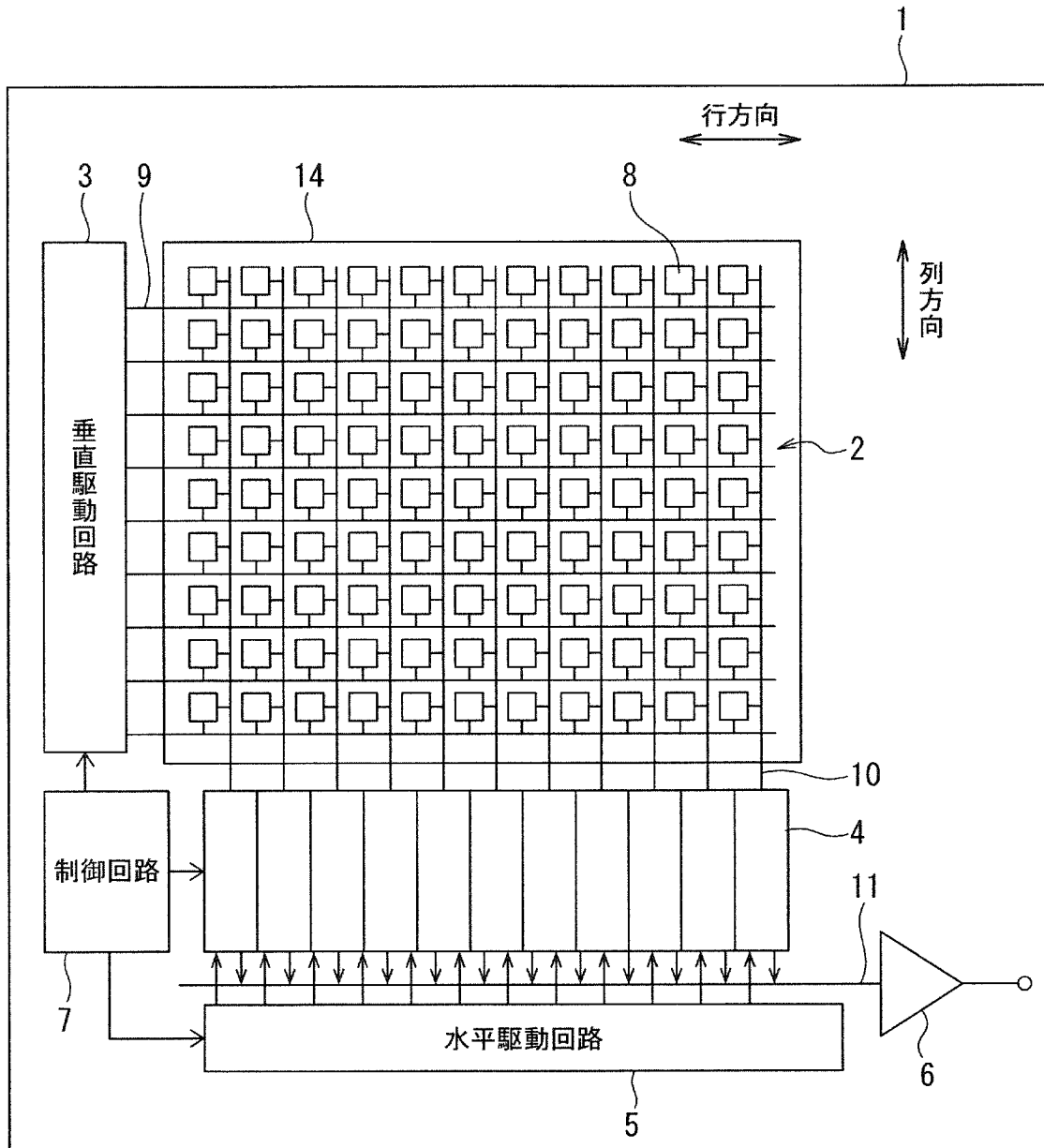
前記第 2 導電体の材料は、タングステンである

請求項 1 2 に記載の光検出装置。

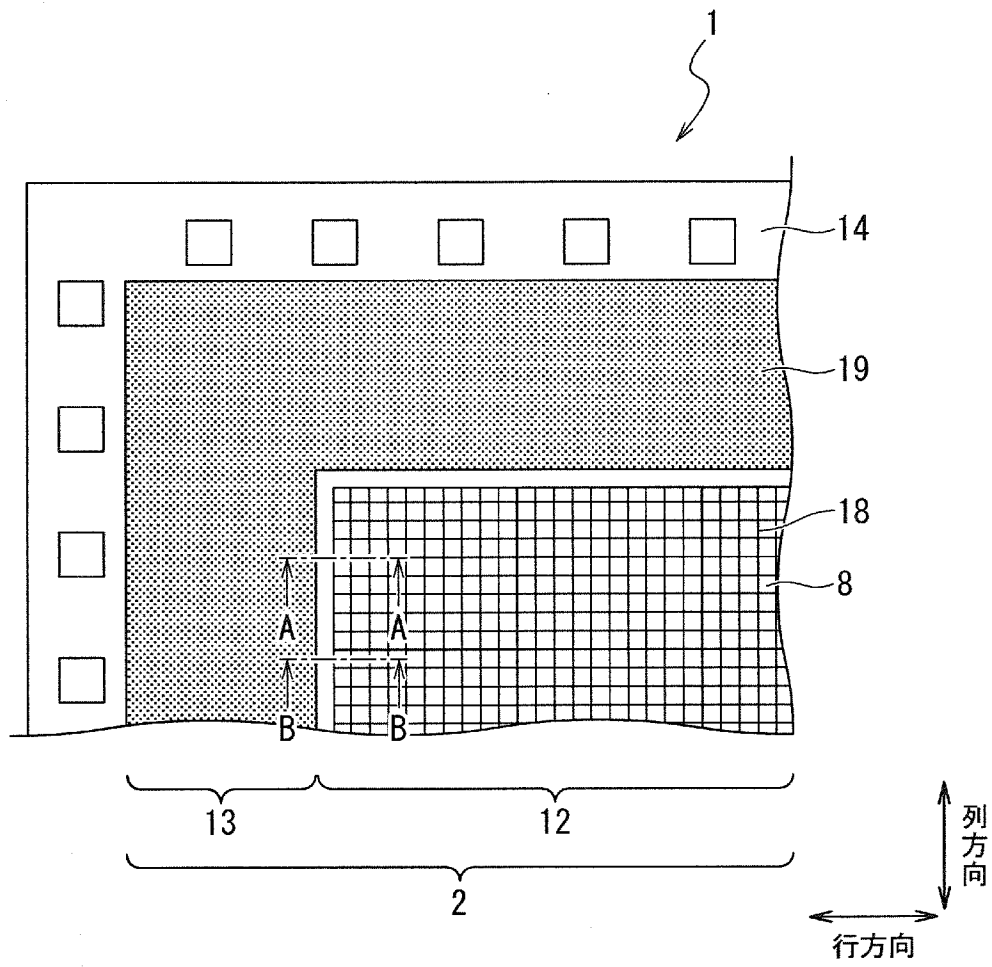
[請求項14] 半導体基板、前記半導体基板に二次元アレイ状に形成された複数の光電変換部、及び前記半導体基板の前記光電変換部間の領域に形成された画素間分離構造を有し、前記画素間分離構造は、有効画素領域内の部分である第1画素間分離構造と、前記有効画素領域の周囲を囲む遮光画素領域内の部分である第2画素間分離構造と、を有し、前記第1画素間分離構造内には、第1導電体が配置されており、前記第2画素間分離構造内には、前記第1導電体と電氣的に接続され、且つ負のバイアス電圧が印加される第2導電体が配置されており、前記第1導電体と前記第2導電体とは、互いに異なる導電材料を用いて形成されている光検出装置を備える

電子機器。

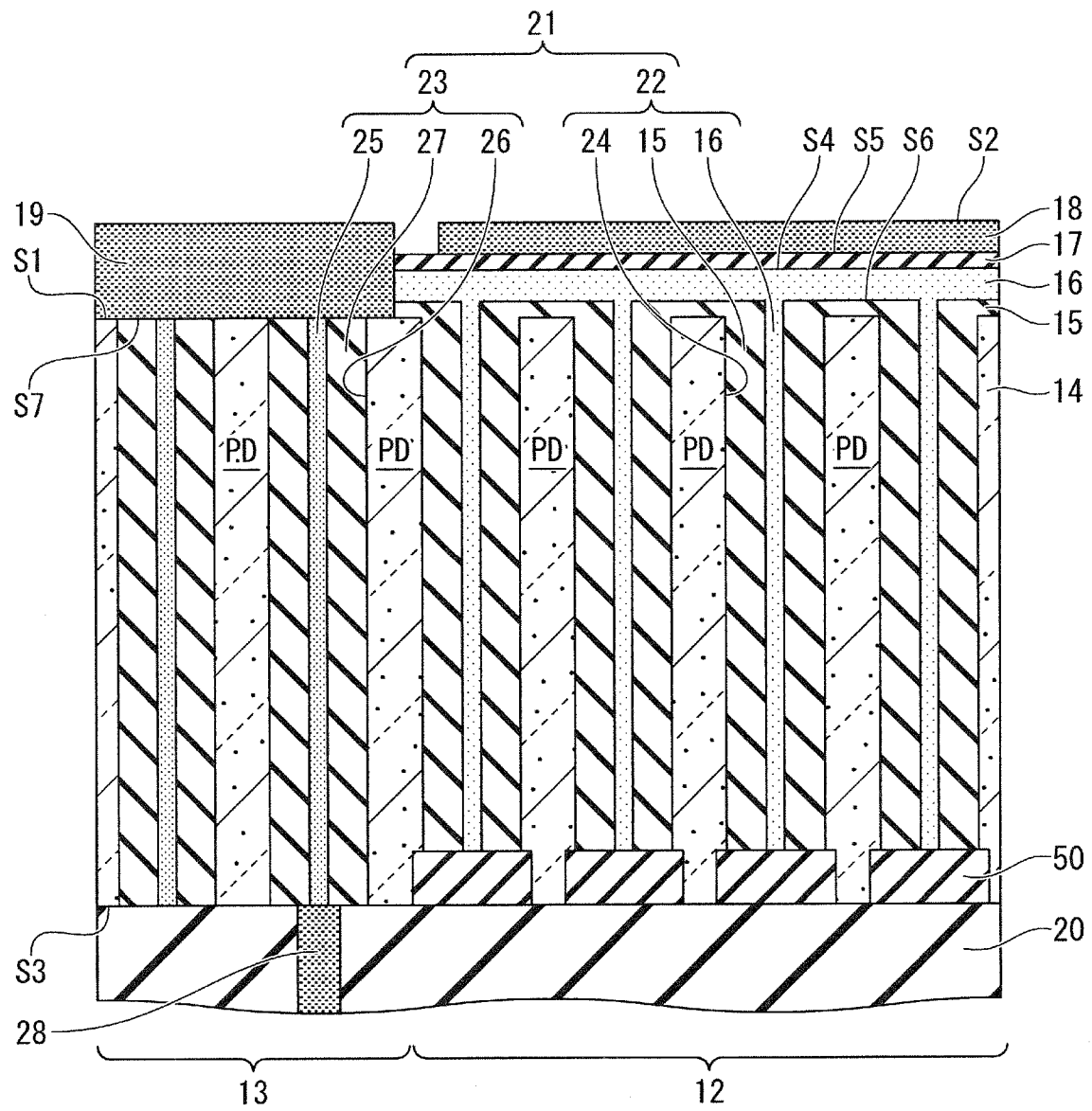
[図1]



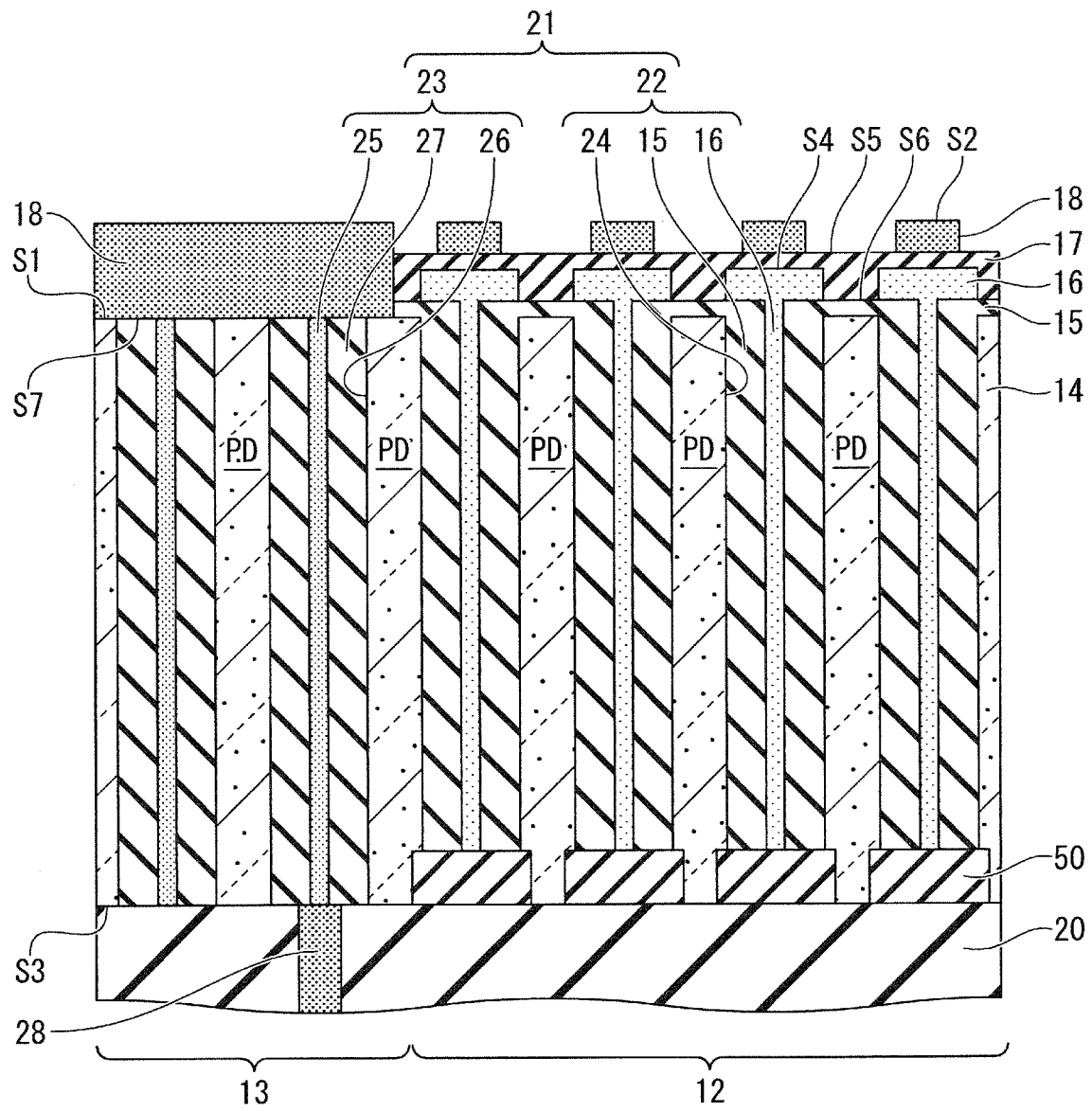
[図2]



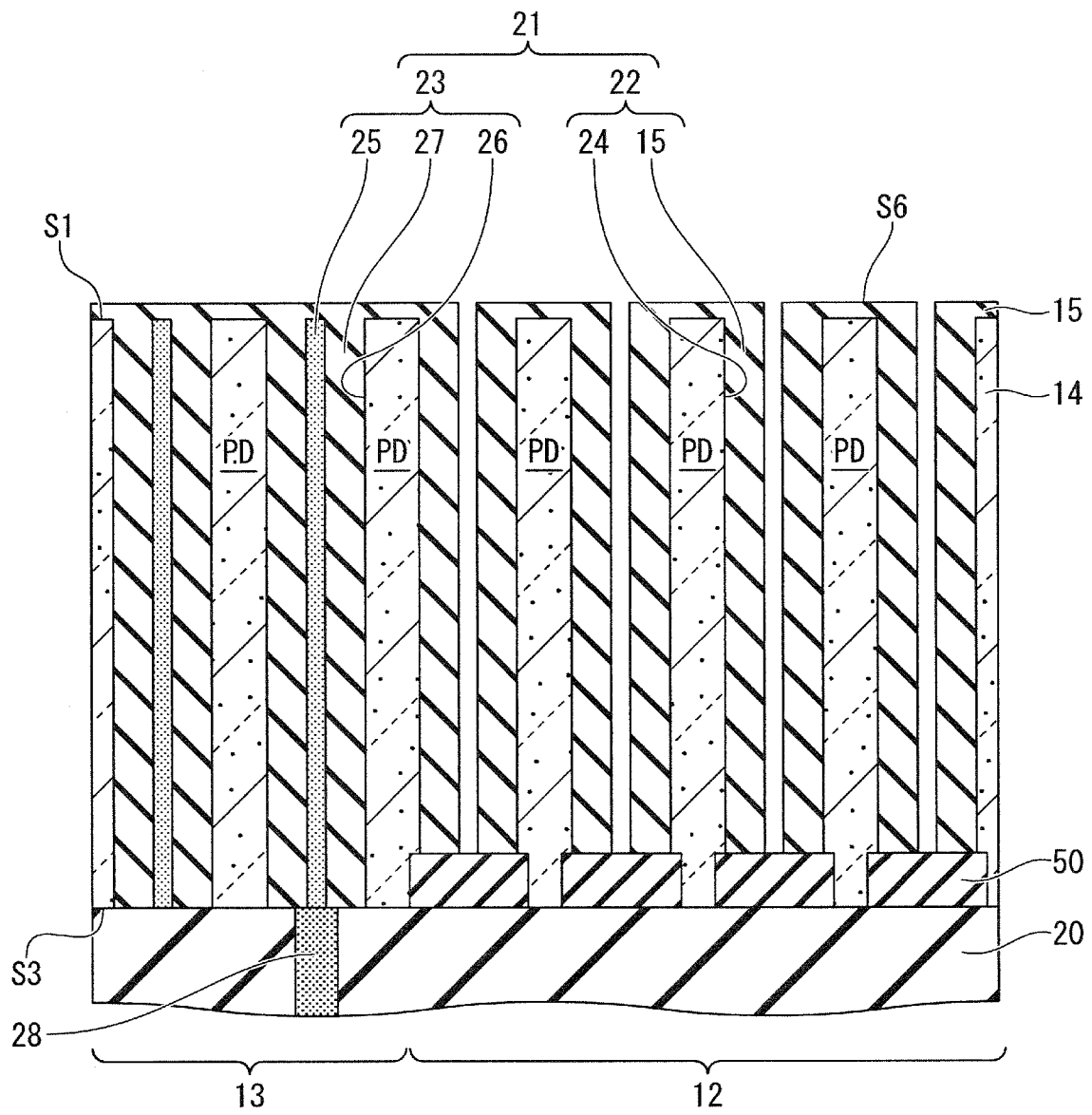
[図3]

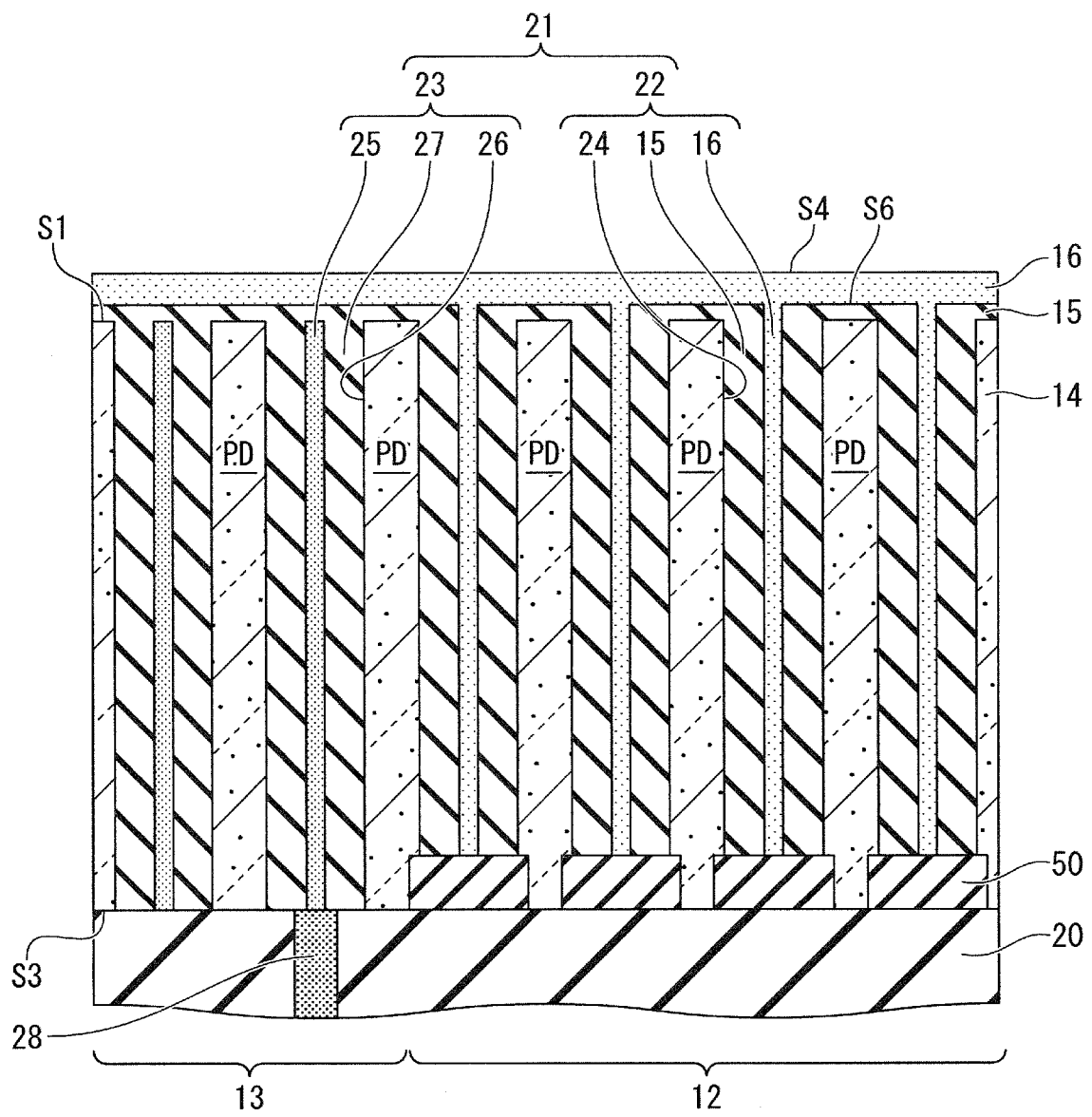


[図4]

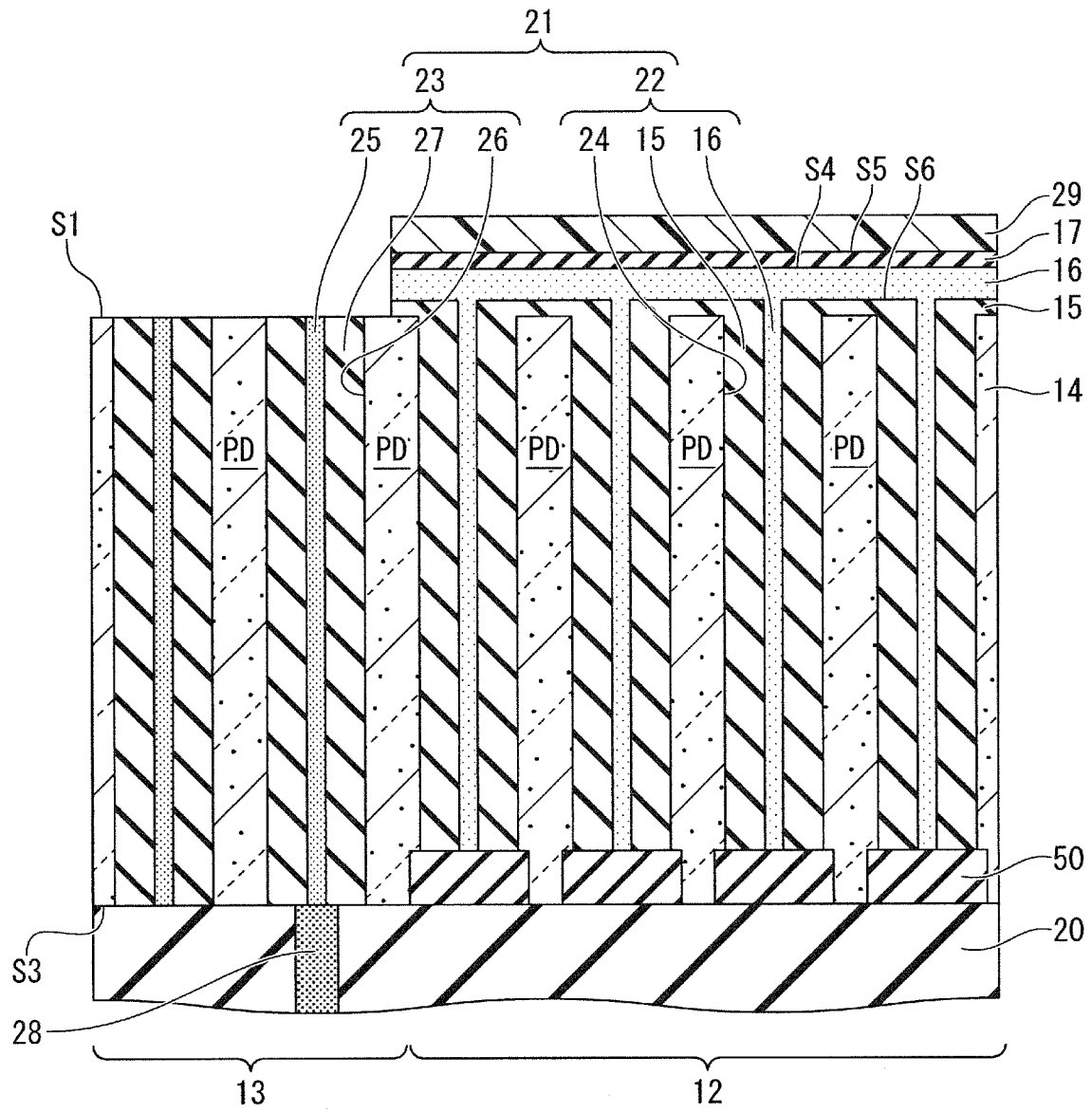


[図5]

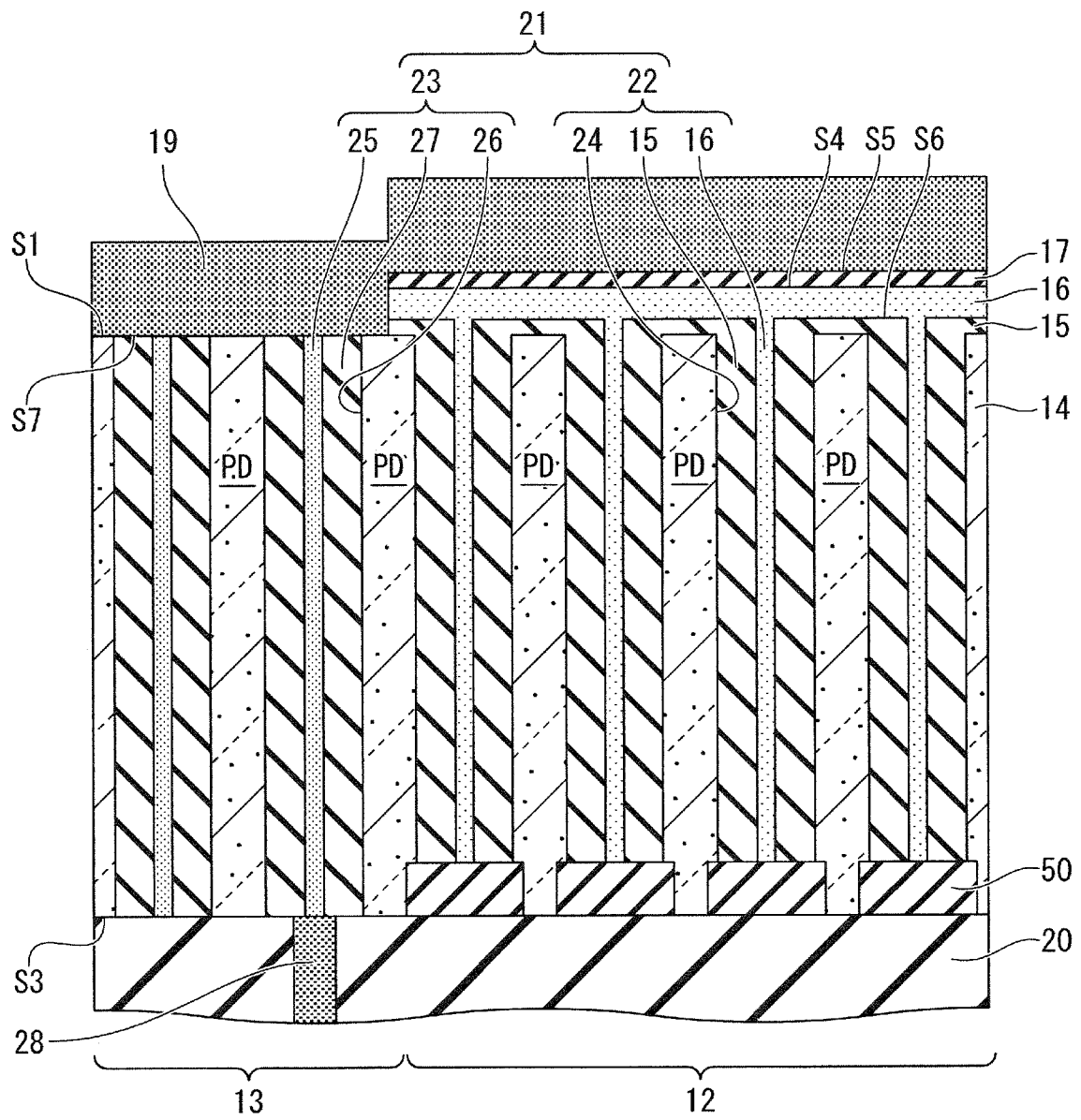




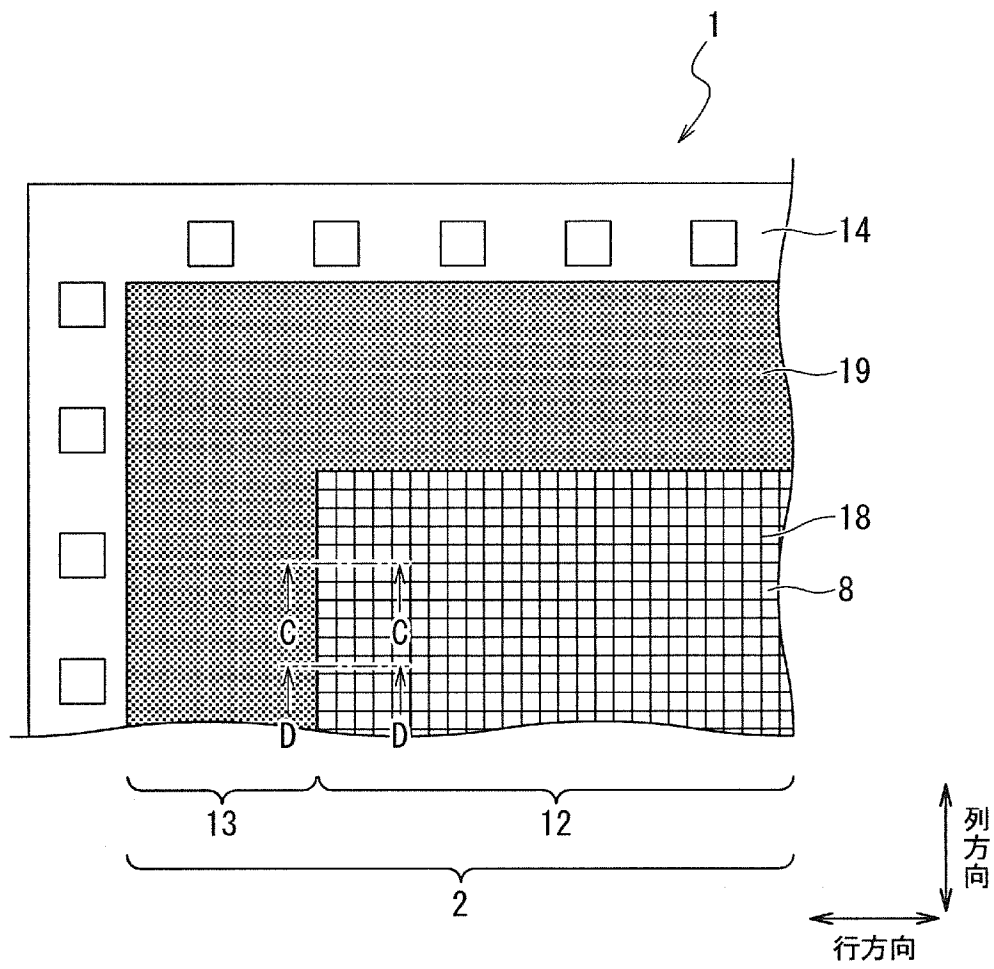
[図8]



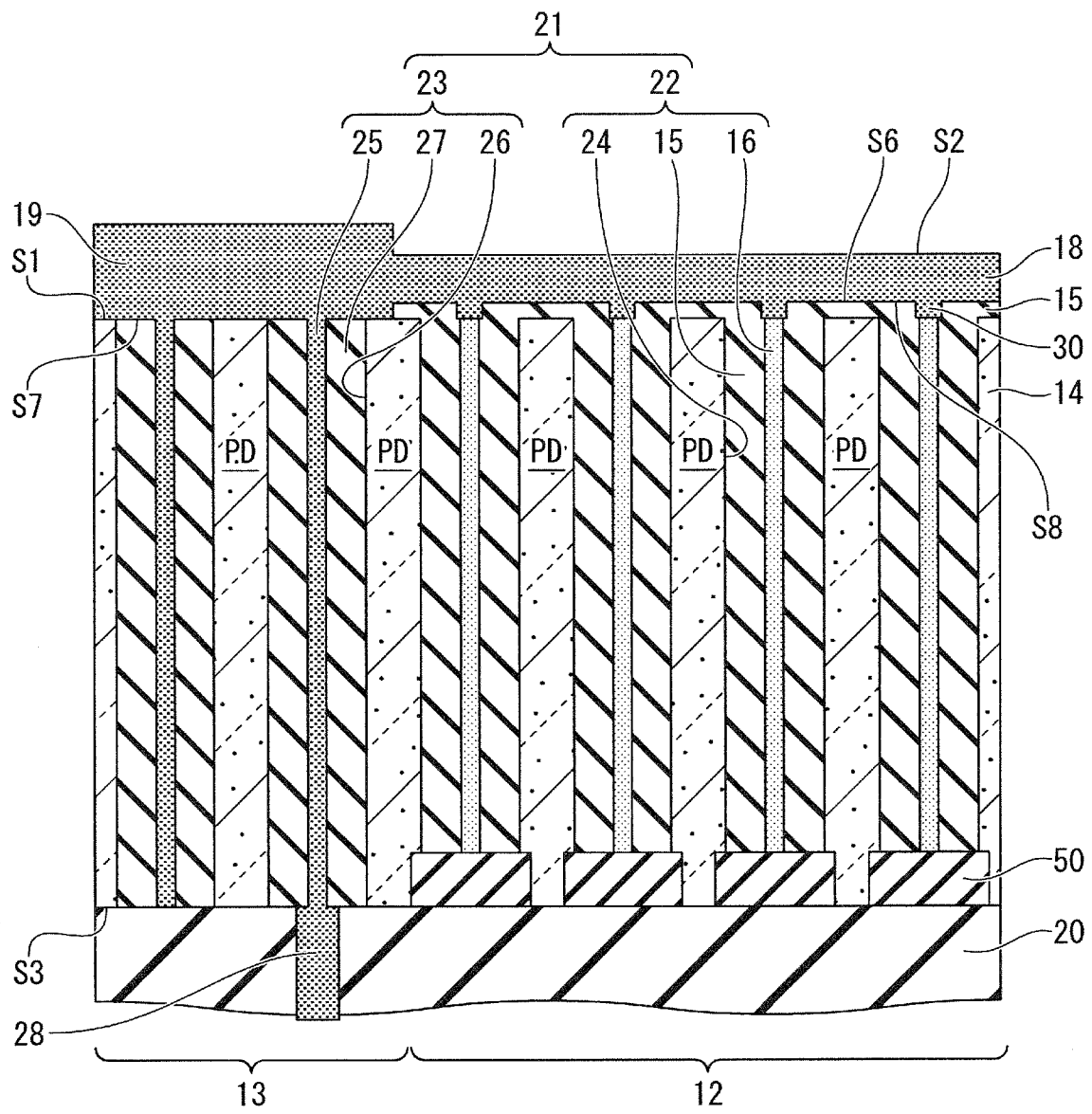
[図9]



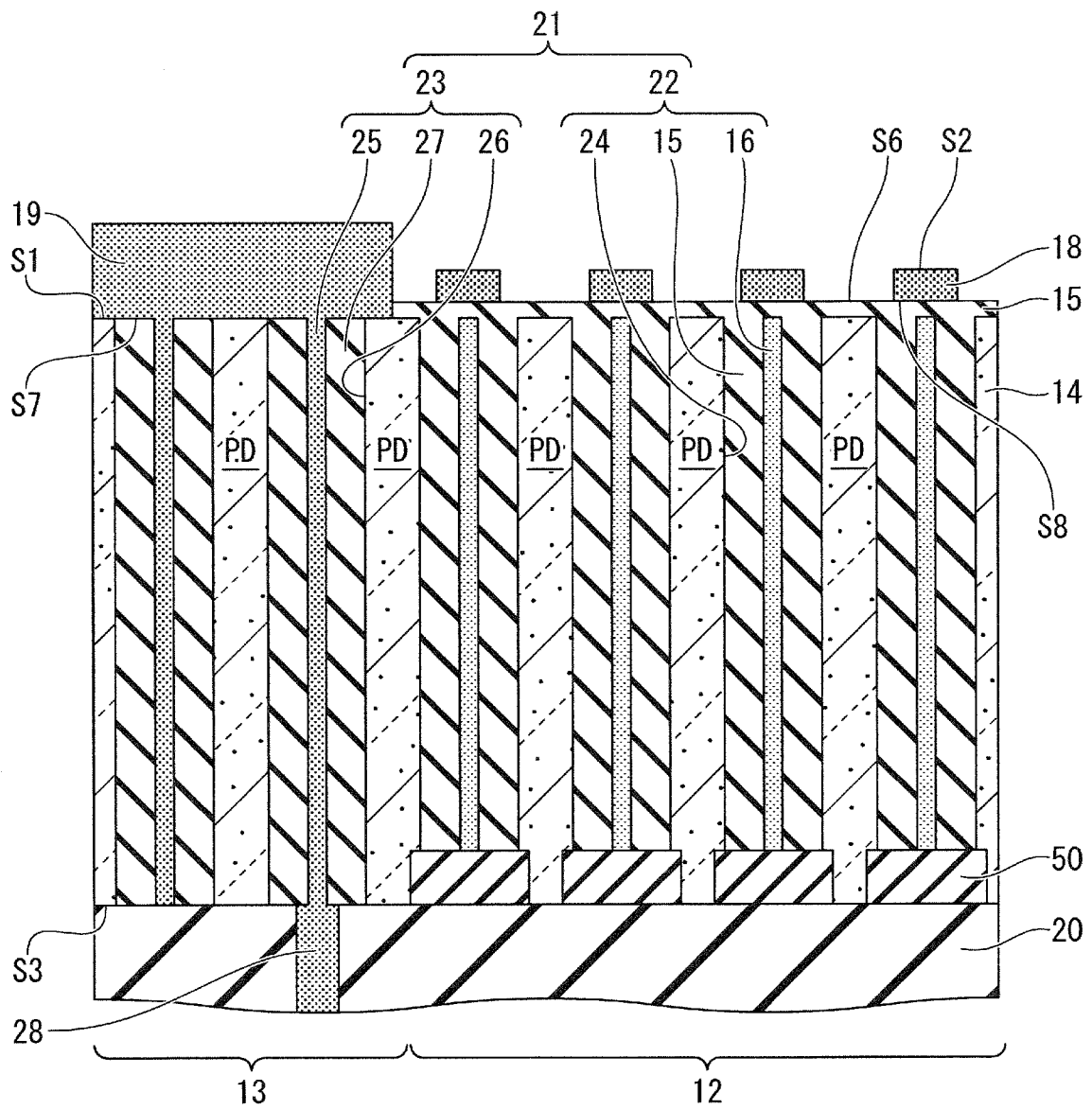
[図10]



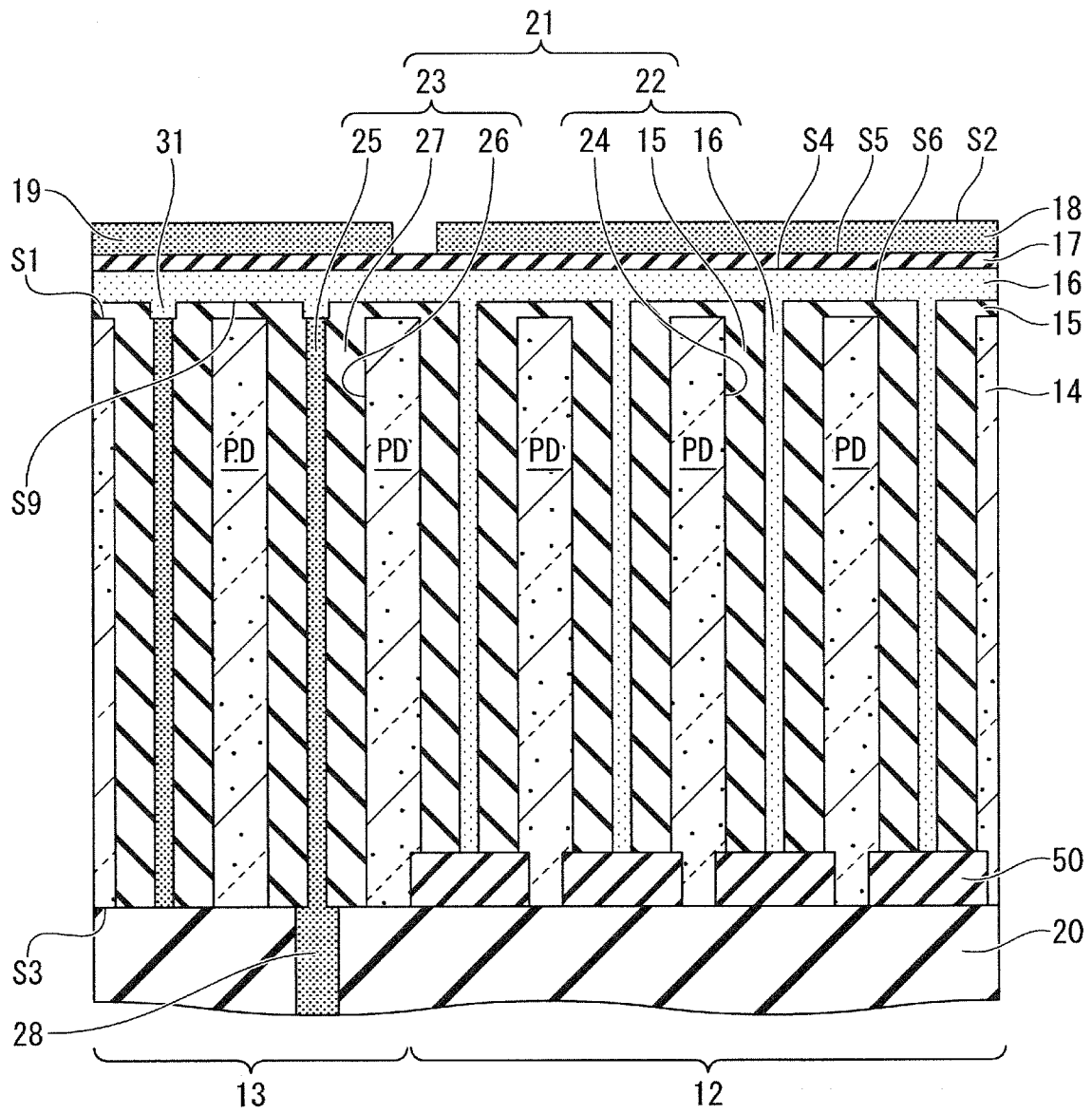
[図11]



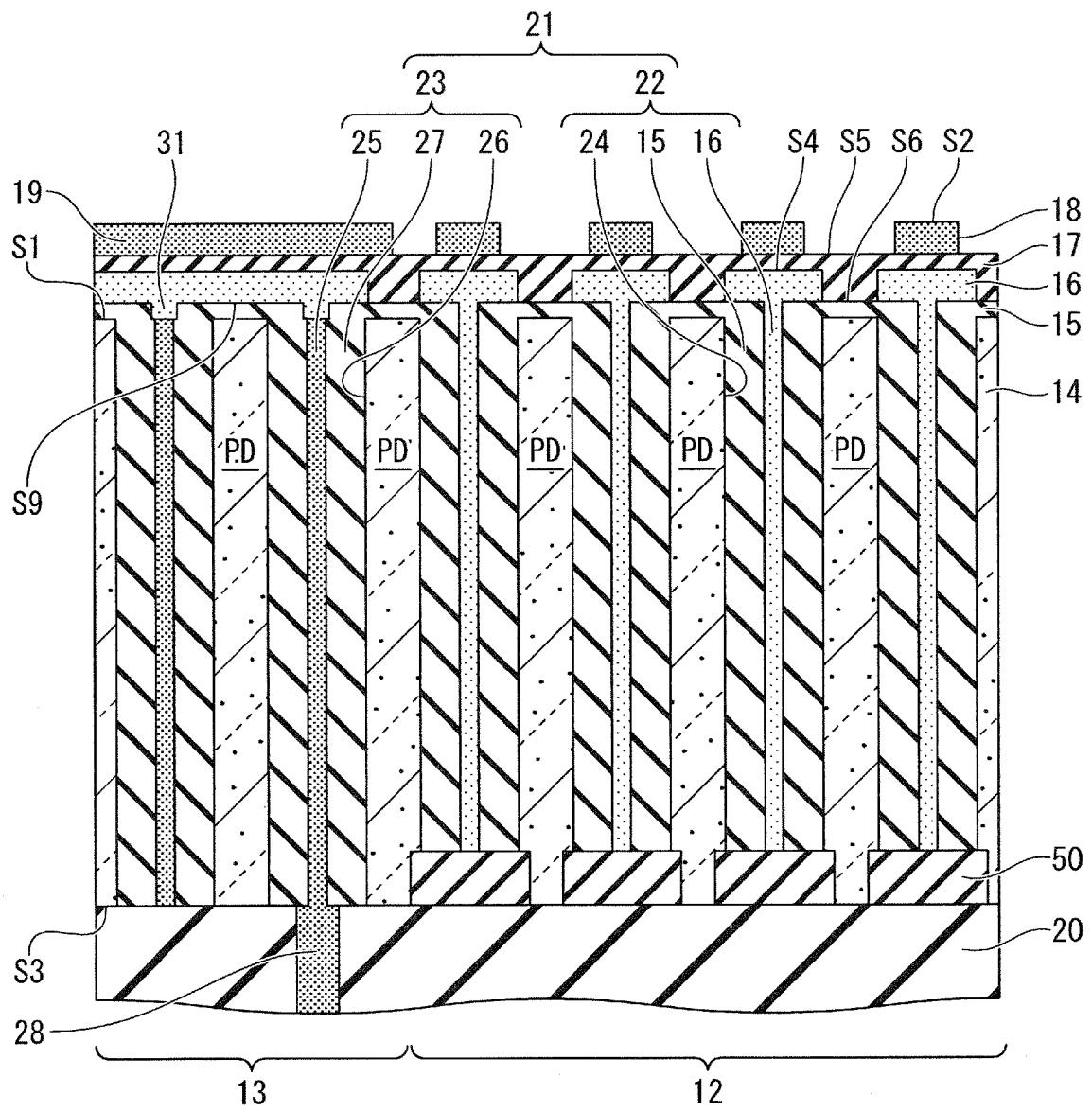
[図12]



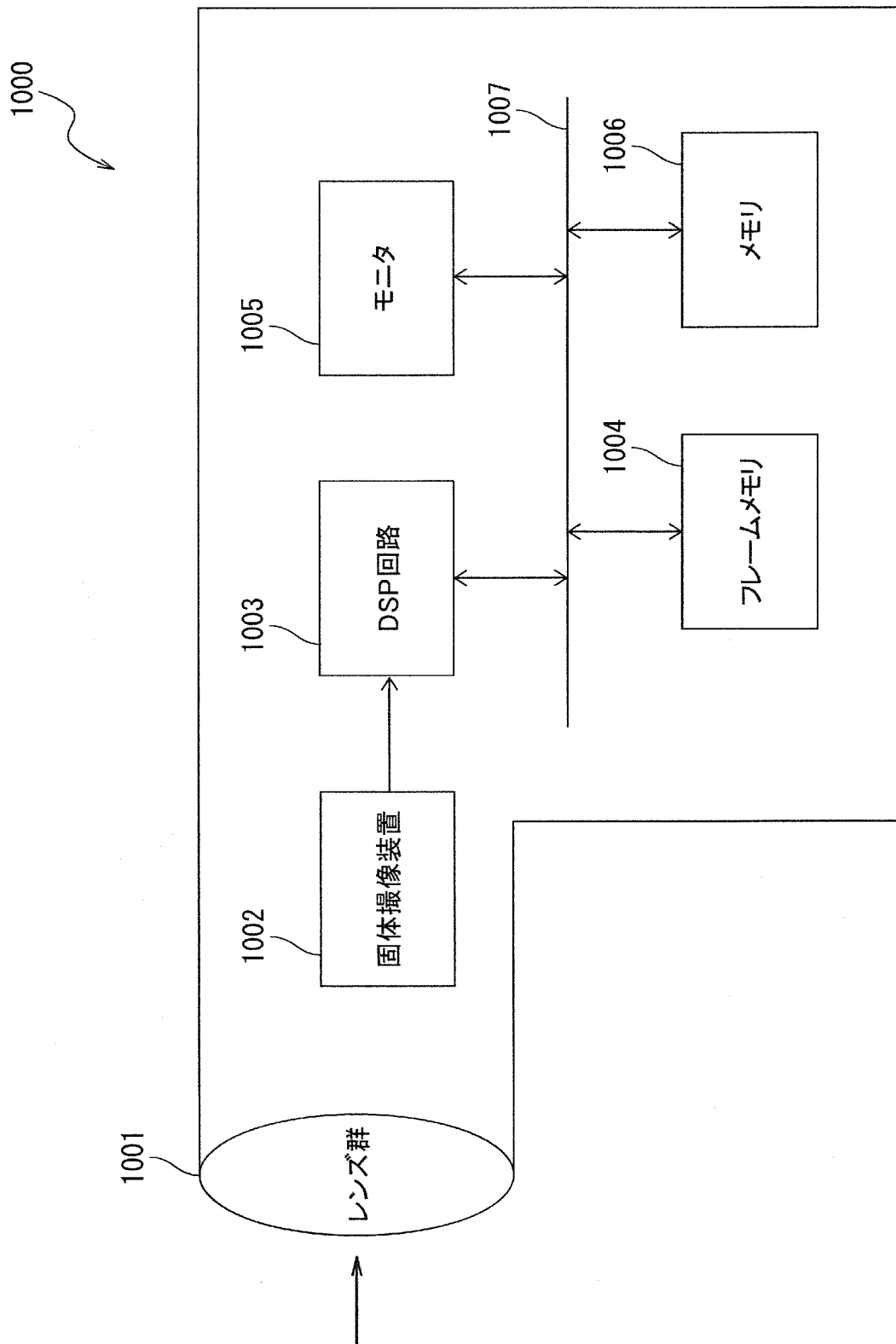
[図13]



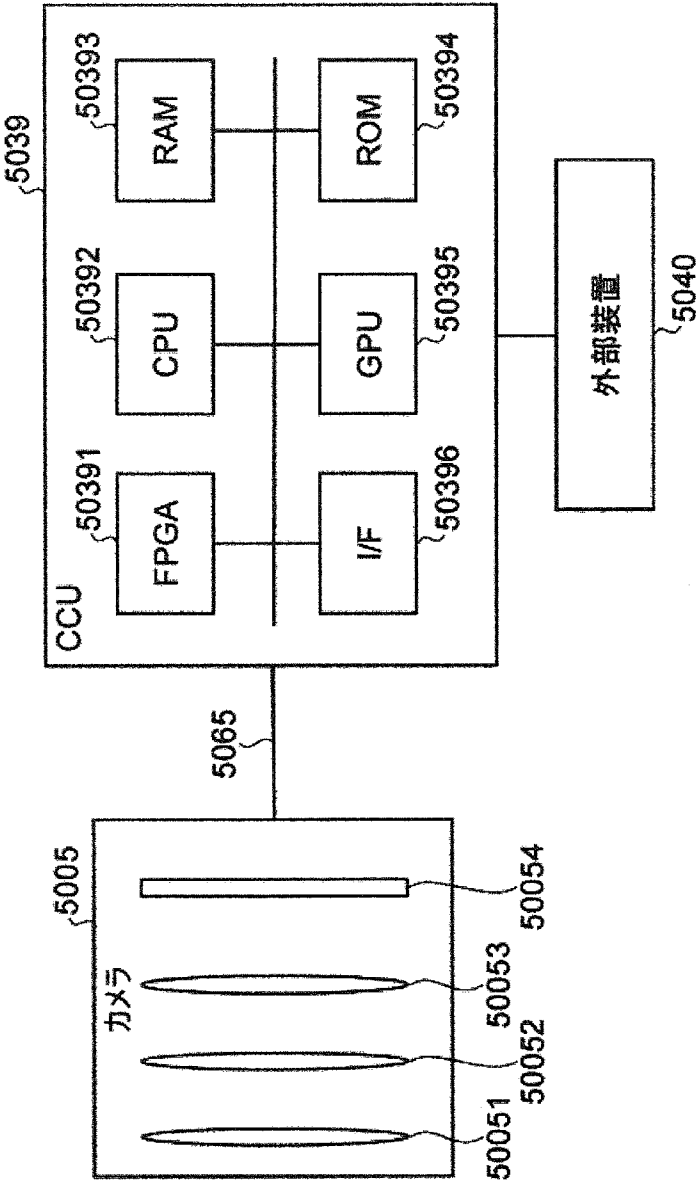
[図14]



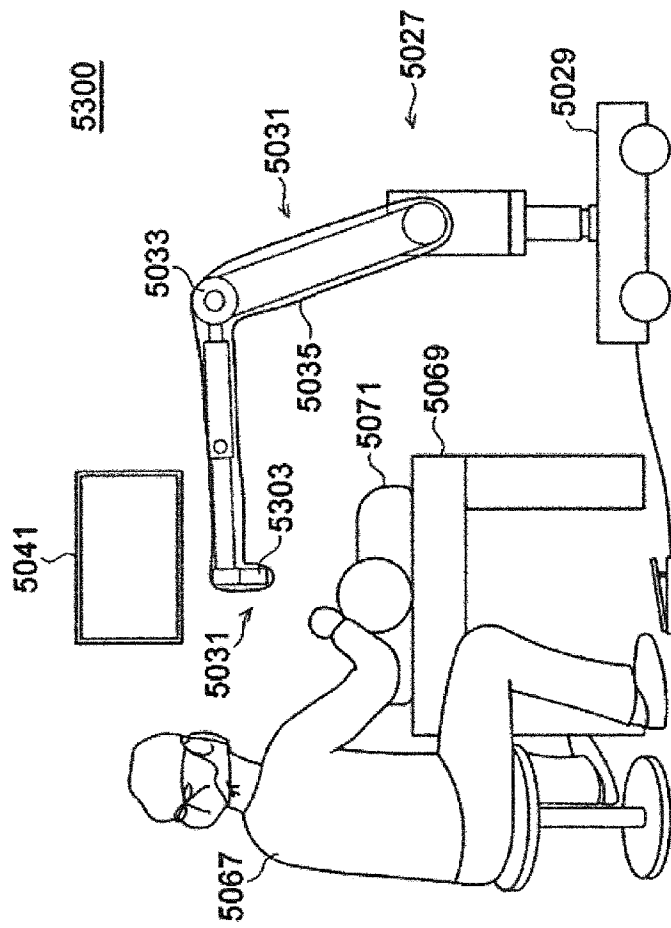
[図15]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/015743

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i

FI: H01L27/146 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/156933 A1 (SONY CORPORATION) 02 October 2014 (2014-10-02)	1-14
A	WO 2021/256261 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 23 December 2021 (2021-12-23)	1-14
A	JP 2020-13906 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 23 January 2020 (2020-01-23)	1-14
A	JP 2021-019059 A (CANON KABUSHIKI KAISHA) 15 February 2021 (2021-02-15)	1-14
A	US 2016/0204144 A1 (LEE, Y. K.) 14 July 2016 (2016-07-14)	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 June 2024

Date of mailing of the international search report

25 June 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/015743

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2014/156933	A1	02 October 2014	US	2016/0049430	A1	
				CN	105190890	A	
				KR	10-2015-0135265	A	

WO	2021/256261	A1	23 December 2021	US	2023/0215897	A1	
				KR	10-2023-0023655	A	
				TW	202220200	A	

JP	2020-13906	A	23 January 2020	US	2021/0293956	A1	
				WO	2020/017338	A1	
				EP	3826063	A1	
				CN	112424937	A	
				TW	202018963	A	

JP	2021-019059	A	15 February 2021	US	2022/0139987	A1	
				WO	2021/010182	A1	
				CN	114127941	A	

US	2016/0204144	A1	14 July 2016	KR	10-2016-0087427	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i
FI: H01L27/146 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/156933 A1（ソニー株式会社）02.10.2014（2014 - 10 - 02）	1-14
A	WO 2021/256261 A1（ソニーセミコンダクタソリューションズ株式会社）23.12.2021（2021 - 12 - 23）	1-14
A	JP 2020-13906 A（ソニーセミコンダクタソリューションズ株式会社）23.01.2020（2020 - 01 - 23）	1-14
A	JP 2021-019059 A（キャノン株式会社）15.02.2021（2021 - 02 - 15）	1-14
A	US 2016/0204144 A1（LEE, Yun KI）14.07.2016（2016 - 07 - 14）	1-14

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

13. 06. 2024

国際調査報告の発送日

25. 06. 2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

柴山 将隆 5F 3035

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/015743

引用文献			公表日	パテントファミリー文献			公表日
WO	2014/156933	A1	02.10.2014	US	2016/0049430	A1	
				CN	105190890	A	
				KR	10-2015-0135265	A	

WO	2021/256261	A1	23.12.2021	US	2023/0215897	A1	
				KR	10-2023-0023655	A	
				TW	202220200	A	

JP	2020-13906	A	23.01.2020	US	2021/0293956	A1	
				WO	2020/017338	A1	
				EP	3826063	A1	
				CN	112424937	A	
				TW	202018963	A	

JP	2021-019059	A	15.02.2021	US	2022/0139987	A1	
				WO	2021/010182	A1	
				CN	114127941	A	

US	2016/0204144	A1	14.07.2016	KR	10-2016-0087427	A	
