(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 4 月 28 日(28.04.2011)

PCT

(10) 国際公開番号
WO 2011/048893 A1

(51) 国際特許分類:
H03F 1/07 (2006.01) *H03F 3/60* (2006.01)
H03F 1/32 (2006.01)

(21) 国際出願番号: PCT/JP2010/065958

(22) 国際出願日: 2010 年 9 月 15 日(15.09.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
61/254336 2009 年 10 月 23 日(23.10.2009) US
61/254343 2009 年 10 月 23 日(23.10.2009) US

(71) 出願人 (米国を除く全ての指定国について): 日本碍子株式会社 (NGK INSULATORS, LTD.) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 Aichi (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 滑川政彦 (NAMERIKAWA Masahiko) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 日本碍子株式会社内 Aichi (JP). 矢野信介 (YANO Shinsuke) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 日本碍子株式会社内 Aichi (JP). 堀尾保文 (HORIO Yasufumi) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 日本碍子株式会社内 Aichi (JP). 鶴岡達也 (TSURUOKA Tatsuya) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 日本碍子株式会社内 Aichi (JP). 平井隆己 (HIRAI Takami) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 日本碍子株式会社内 Aichi (JP). 大久保秀顕 (OKUBO Hideaki) [JP/JP]; 〒3850011 長野県佐久市猿久保６６４－１ 双信電機株式会社 千曲工場内 Nagano (JP). 水間厚夫 (MIZUMA Atsuo) [JP/JP]; 〒3850011 長野県佐久市猿久保６６４－１ 双信電機株式会社 千曲工場内 Nagano (JP).

(74) 代理人: 千葉剛宏, 外 (CHIBA Yoshihiro et al.); 〒1510053 東京都渋谷区代々木２丁目１番１号 新宿マインズタワー １６階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

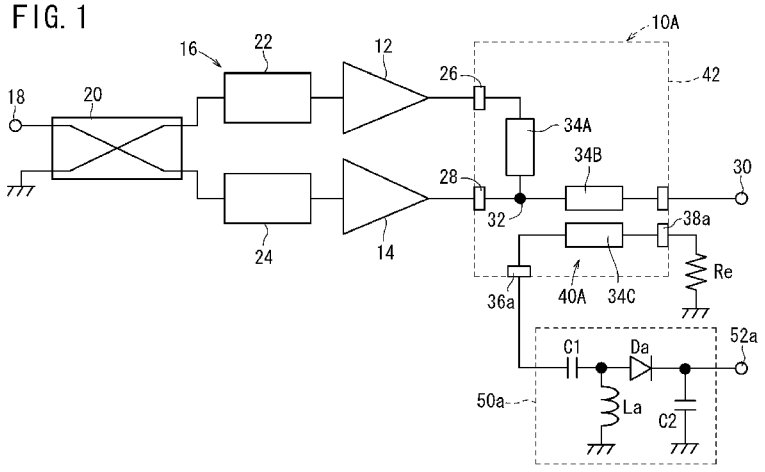
[続葉有]

(54) **Title**: COMBINER FOR DOHERTY AMPLIFIER

(54) 発明の名称 : ドハティ増幅器用合成器

[図1]

FIG. 1



(57) **Abstract**: A combiner (10A) for a Doherty amplifier comprises: on a single dielectric board (42), a carrier side input terminal (26); a peak side input terminal (28); an output terminal (30); a combining node (32) for combining an output from a carrier amplifier (12) with an output from a peak amplifier (14); a first λ/4 line (34A) connected between the carrier side input terminal (26) and the combining node (32); a second λ/4 line (34B) connected between the combining node (32) and the output terminal (30); and a first directivity coupler (40A). The first directivity coupler (40A) includes a third λ/4 line (34C) that is to be electromagnetically coupled to that one of the first and second λ/4 lines (34A, 34B) which is to be monitored.

(57) 要約:

[続葉有]

WO 2011/048893 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

ドハティ増幅器用合成器（１０Ａ）は、１つの誘電体基板（４２）に、キャリア側入力端子（２６）と、ピーク側入力端子（２８）と、出力端子（３０）と、キャリア増幅器（１２）からの出力とピーク増幅器（１４）からの出力との合成点（３２）と、キャリア側入力端子（２６）と合成点（３２）との間に接続された第１λ／４線路（３４Ａ）と、合成点（３２）と出力端子（３０）との間に接続された第２λ／４線路（３４Ｂ）と、第１方向性結合器（４０Ａ）とを有する。第１方向性結合器（４０Ａ）は、第１λ／４線路（３４Ａ）及び第２λ／４線路（３４Ｂ）のうち、モニタ対象のλ／４線路と電磁結合する第３λ／４線路（３４Ｃ）を有する。

明　細　書

発明の名称 ： ドハティ増幅器用合成器

技術分野

[0001] 本発明は、ドハティ増幅器の出力段に接続され、キャリア増幅器からの出力とピーク増幅器からの出力を合成するドハティ増幅器用合成器に関する。

背景技術

[0002] 近時、携帯電話の基地局のエリア内に存在する携帯電話と通信するため、基地局内に送信用増幅器が実装されている。この送信用増幅器は、基地局のエリア内の端末数の増加及びデータ通信の普及に伴う通信速度の向上に対応する必要がある。そのため、送信用増幅器は、出力信号の利得歪及び位相歪の抑制が必要である。送信用増幅器は、基地局でもっとも電力消費の大きい回路である。そのため、携帯電話のサービス各社にとっては、電力コストの削減の要求、並びに環境面から各社に課せられる温室効果ガス排出削減の要求に対処するため、送信用増幅器の増幅器効率の改善が重要な課題になっている。

[0003] 一般に、増幅器における利得歪及び位相歪と、増幅器効率は二律背反の性質を持つ。そのため、現在、これらの特性を総合的に改善するための技術が模索されている。具体的には、利得歪及び位相歪を改善するために、送信用増幅器からの出力の一部をモニタしてデジタル処理し、デジタル処理して得た信号に基づいて増幅器への入力信号を調整して歪を抑制するようにしている。これがいわゆるＤＰＤ（Ｄｉｇｉｔａｌ　ｐｒｅ　ｄｉｓｔｏｒｔｉｏｎ）技術である。

[0004] また、従来では、携帯電話信号に対する増幅器効率の改善のために、携帯電話の基地局の送信用パワーアンプとして、ドハティ増幅器が広く採用されている。

[0005] ドハティ増幅器は、互いに並列に配置されたキャリア増幅器とピーク増幅器から構成されており、両増幅器の動作を制御することで、携帯電話のよう

に平均電力とピーク電力の差の大きい信号に対する増幅効率の改善をねらうものである。

[0006] 一方で、携帯電話のデータ通信速度の向上、基地局エリア内の携帯電話の収容数の拡大に対応するためには、増幅器の出力歪を制御する必要がある。この目的で、上述したＤＰＤを用いた回路が使用される。

[0007] これは、キャリア増幅器及びピーク増幅器の出力を合成した後の、ドハティ増幅器の出力の一部を取り出し、その信号をデジタル処理した結果に基づいて、ドハティ増幅器への入力信号を調整し、増幅器出力の歪を補正するものである。

[0008] この目的にため、キャリア増幅器とピーク増幅器の出力を合成するドハティ増幅器用合成器と、出力アンテナの間に結合度－２０ｄＢから－４０ｄＢの方向性結合器を実装し、その方向性結合器の出力をデジタル処理部への入力としている。

[0009] 従来のドハティ増幅器用合成器としては、例えば特開２００８－２５２２１５号公報に開示がある。この従来のドハティ増幅器用合成器は、ドハティ増幅器の出力に接続され、キャリア増幅器からの出力とピーク増幅器からの出力を合成する回路であって、キャリア増幅器からの出力とピーク増幅器からの出力との合成点とキャリア増幅器との間に接続された第１λ／４線路と、合成点との間に接続された第２λ／４線路とが誘電体基板内に形成されてチップ状に構成されていることを特徴としている。

[0010] ところで、方向性結合器を通過する信号はドハティ増幅器からの出力であることから、数十Wから数百Wの高い電力であるが、上述の方向性結合器は大きな消費電力損失を有するため、方向性結合器で大きな電力が失われるという問題がある。

[0011] また、ドハティ増幅器用合成器と方向結合器が搭載される回路基板の製造バラツキや実装時のバラツキにより、方向性結合器からの出力、位相が変化を受け、デジタル回路による補正が十分に効果を発揮しない場合がある。この場合、増幅器出力歪を規定の値に保持するため、増幅器効率を犠牲にせざ

るを得なかった。

[0012] また、上述のＤＰＤ技術では、図４４に示すような単純なＡＭ／ＡＭ歪特性（利得歪）を有する増幅器では高度な歪補正が可能である。一方、ドハティ増幅器のＡＭ／ＡＭ歪特性は、キャリア増幅器が飽和に差し掛かった後にピーク増幅器が動作を開始するという機構に起因して、図４５に示すような変曲点Ｐｂを有する。この変曲点Ｐｂはドハティ増幅器の効率を高めるためにピーク増幅器の動作開始点を高出力側にするほど顕著になるため、増幅器に許容される値に歪を抑制するためには効率を犠牲にせざるを得なかった。

発明の概要

[0013] 本発明はこのような課題を考慮してなされたものであり、ドハティ増幅器で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができ、また、部品点数を削減でき、回路の小型化・軽量化を実現することができるドハティ増幅器用合成器を提供することを目的とする。

[0014] ［１］ 第１の発明に係るドハティ増幅器用合成器は、キャリア増幅器とピーク増幅器とを有するドハティ増幅器の出力に接続され、前記キャリア増幅器からの出力と前記ピーク増幅器からの出力とを合成するドハティ増幅器用合成器であって、前記キャリア増幅器からの出力が入力される第１入力端子と、前記ピーク増幅器からの出力が入力される第２入力端子と、前記キャリア増幅器からの出力と前記ピーク増幅器からの出力とを合成した信号が出力される出力端子と、前記キャリア増幅器からの出力と前記ピーク増幅器からの出力との合成点と、前記第１入力端子と前記合成点との間に接続された第１λ／４線路と、前記合成点と前記出力端子との間に接続された第２λ／４線路と、前記第１入力端子から前記合成点にかけて流れる信号、前記第２入力端子から前記合成点にかけて流れる信号及び前記合成点から前記出力端子にかけて流れる信号のうち、１以上の信号をモニタする信号モニタ手段とを有することを特徴とする。

[0015] ［２］ 第１の本発明において、前記信号モニタ手段は、方向性結合器を備え、前記方向性結合器は、前記第１λ／４線路及び前記第２λ／４線路のう

ち、モニタ対象のλ／４線路と電磁結合する第３λ／４線路を有することを特徴とする。

[0016] ［３］ 第１の本発明において、前記第３λ／４線路の一端にモニタ端子が接続され、前記第３λ／４線路の他端に終端抵抗が接続されていることを特徴とする。

[0017] ［４］ 第１の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第１入力端子、前記第２入力端子、前記出力端子及び前記モニタ端子が前記誘電体基板の表面に形成され、前記第１λ／４線路、前記第２λ／４線路及び前記第３λ／４線路が前記誘電体基板内に形成されていることを特徴とする。

[0018] ［５］ 第１の本発明において、前記誘電体基板内に、前記第１λ／４線路及び前記第２λ／４線路のうち、前記モニタ対象のλ／４線路、並びに前記第３λ／４線路と、前記第１λ／４線路及び前記第２λ／４線路のうち、前記モニタ対象外のλ／４線路との間に形成された内層シールド電極を有することを特徴とする。

[0019] ［６］ 第１の本発明において、さらに、前記第３λ／４線路に接続され、且つ、該第３λ／４線路の特性インピーダンスを前記モニタ対象のλ／４線路の特性インピーダンスと整合させるための第４λ／４線路とを有することを特徴とする。

[0020] ［７］ 第１の本発明において、前記モニタ対象のλ／４線路、前記第３λ／４線路及び前記第４λ／４線路の各特性インピーダンスが共に同じであることを特徴とする。

[0021] ［８］ 第１の本発明において、前記第３λ／４線路は、前記第２λ／４線路と電磁結合されていることを特徴とする。

[0022] ［９］ 第１の本発明において、前記第３λ／４線路は、前記第１λ／４線路と電磁結合されていることを特徴とする。

[0023] ［１０］ 第１の本発明において、前記第３λ／４線路の一端に前記第４λ／４線路の一端が接続され、前記第３λ／４線路の他端に終端抵抗が接続さ

れ、前記第４λ／４線路の他端にモニタ端子が接続されていることを特徴とする。

[0024] ［１１］ 第１の本発明において、前記第３λ／４線路の一端に前記第４λ／４線路の一端が接続され、前記第３λ／４線路の他端にモニタ端子が接続され、前記第４λ／４線路の他端に終端抵抗が接続されていることを特徴とする。

[0025] ［１２］ 第１の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第１入力端子、前記第２入力端子、前記出力端子及び前記モニタ端子が前記誘電体基板の表面に形成され、前記第１λ／４線路、前記第２λ／４線路、前記第３λ／４線路及び前記第４λ／４線路が前記誘電体基板内に形成されていることを特徴とする。

[0026] ［１３］ 第１の本発明において、前記誘電体基板内に、前記第１λ／４線路及び前記第２λ／４線路のうち、前記モニタ対象のλ／４線路、並びに前記第３λ／４線路と、前記第１λ／４線路及び前記第２λ／４線路のうち、前記モニタ対象外のλ／４線路との間に形成された第１内層シールド電極と、前記誘電体基板内に、前記モニタ対象のλ／４線路と、前記第４λ／４線路との間に形成された第２内層シールド電極とを有することを特徴とする。

[0027] ［１４］ 第１の本発明において、前記第３λ／４線路と前記第４λ／４線路とがビアホールを介して接続されていることを特徴とする。

[0028] ［１５］ 第１の本発明において、前記モニタ端子に、前記方向性結合器の出力をモニタするためのモニタ回路が接続され、前記モニタ回路は、ダイオードを有することを特徴とする。

[0029] ［１６］ 第１の本発明において、前記信号モニタ手段は、方向性結合器を備え、前記方向性結合器は、前記第２λ／４線路と前記出力端子との間に接続された第５λ／４線路と、前記第５λ／４線路と電磁結合する第６λ／４線路とを有することを特徴とする。

[0030] ［１７］ 第１の本発明において、前記第６λ／４線路の一端にモニタ端子が接続され、前記第６λ／４線路の他端に終端抵抗が接続されていることを

特徴とする。

[0031] ［１８］　第１の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第１入力端子、前記第２入力端子、前記出力端子及び前記モニタ端子が前記誘電体基板の表面に形成され、前記第１λ／４線路、前記第２λ／４線路、前記第５λ／４線路及び前記第６λ／４線路が前記誘電体基板内に形成されていることを特徴とする。

[0032] ［１９］　第１の本発明において、前記誘電体基板内に、前記第１λ／４線路及び前記第２λ／４線路と、前記第５λ／４線路及び前記第６λ／４線路との間に形成された内層シールド電極を有することを特徴とする。

[0033] ［２０］　第１の本発明において、前記信号モニタ手段は、前記キャリア増幅器からのキャリア信号の振幅情報を出力するための第１モニタ端子を有することを特徴とする。

[0034] ［２１］　第１の本発明において、前記信号モニタ手段は、前記第１入力端子と前記第１λ／４線路との間の第１線路に平行して配置され、前記第１線路と電磁気的に結合された第１モニタ線路を有し、前記第１モニタ線路は前記第１モニタ端子に接続されていることを特徴とする。

[0035] ［２２］　第１の本発明において、前記第１モニタ端子に、前記第１モニタ線路の出力をモニタするための第１モニタ回路が接続され、前記第１モニタ回路は、ダイオードを有することを特徴とする。

[0036] ［２３］　第１の本発明において、前記信号モニタ手段は、前記ピーク増幅器からのピーク信号の振幅情報を出力するための第２モニタ端子を有することを特徴とする。

[0037] ［２４］　第１の本発明において、前記信号モニタ手段は、前記第２入力端子と前記第１λ／４線路との間の第２線路に平行して配置され、前記第２線路と電磁気的に結合された第２モニタ線路を有し、前記第２モニタ線路は前記第２モニタ端子に接続されていることを特徴とする。

[0038] ［２５］　第１の本発明において、前記第２モニタ端子に、前記第２モニタ線路の出力をモニタするための第２モニタ回路が接続され、前記第２モニタ

回路は、ダイオードを有することを特徴とする。

[0039] ［２６］　第１の本発明において、前記信号モニタ手段は、前記キャリア増幅器からのキャリア信号の振幅情報を出力するための第１モニタ端子と、前記第１入力端子と前記第１λ／４線路との間の第１線路に平行して配置され、且つ、前記第１線路と電磁気的に結合され、前記第１モニタ端子に接続された第１モニタ線路と、前記ピーク増幅器からのピーク信号の振幅情報を出力するための第２モニタ端子と、前記第２入力端子と前記第１λ／４線路との間の第２線路に平行して配置され、且つ、前記第２線路と電磁気的に結合され、前記第２モニタ端子に接続された第２モニタ線路とを有することを特徴とする。

[0040] ［２７］　第１の本発明において、前記第１モニタ端子に、前記第１モニタ線路の出力をモニタするための第１モニタ回路が接続され、前記第２モニタ端子に、前記第２モニタ線路の出力をモニタするための第２モニタ回路が接続され、前記第１モニタ回路及び前記第２モニタ回路は、それぞれダイオードを有することを特徴とする。

[0041] ［２８］　第１の本発明において、前記信号モニタ手段は、前記ドハティ増幅器の出力信号の振幅情報を出力するための第３モニタ端子と、前記出力端子と前記第２λ／４線路との間の第３線路に平行して配置され、且つ、前記第３線路と電磁気的に結合され、前記第３モニタ端子に接続された第３モニタ線路とを有することを特徴とする。

[0042] ［２９］　第１の本発明において、前記第３モニタ端子に、前記第３モニタ線路の出力をモニタするための第３モニタ回路が接続され、前記第３モニタ回路は、ダイオードを有することを特徴とする。

[0043] ［３０］　第１の本発明において、前記第１入力端子と前記第１λ／４線路とが容量結合され、前記第２入力端子と前記第１λ／４線路とが容量結合されていることを特徴とする。

[0044] ［３１］　第２の本発明に係るドハティ増幅器用合成器は、複数のキャリア増幅器と１つのピーク増幅器とを有するドハティ増幅器の出力に接続され、

前記複数のキャリア増幅器からの各出力と前記ピーク増幅器からの出力とを合成するドハティ増幅器用合成器であって、前記複数のキャリア増幅器からの出力が入力される複数の第１入力端子と、前記ピーク増幅器からの出力が入力される１つの第２入力端子と、前記複数のキャリア増幅器からの各出力と前記ピーク増幅器からの出力とを合成した信号が出力される１つの出力端子と、前記複数のキャリア増幅器からの出力と前記ピーク増幅器からの出力との合成点と、前記複数の第１入力端子と前記合成点との間にそれぞれ接続された複数の第１λ／４線路と、前記合成点と前記出力端子との間に接続された第２λ／４線路と、前記複数の第１入力端子から前記合成点にかけてそれぞれ流れる信号、前記第２入力端子から前記合成点にかけて流れる信号及び前記合成点から前記出力端子にかけて流れる信号のうち、１以上の信号をモニタする信号モニタ手段とを有することを特徴とする。

[0045] ［３２］ 第２の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記複数の第１入力端子、前記第２入力端子及び前記出力端子が前記誘電体基板の表面に形成され、前記複数の第１λ／４線路及び前記第２λ／４線路が前記誘電体基板内に形成されていることを特徴とする。

[0046] ［３３］ 第２の本発明において、前記誘電体基板内のうち、前記複数の第１λ／４線路間、並びに、前記複数の第１λ／４線路と前記第２λ／４線路間にそれぞれ内層シールド電極が形成されていることを特徴とする。

[0047] ［３４］ 第３の本発明に係るドハティ増幅器用合成器は、第１キャリア増幅器と第１ピーク増幅器とを有する第１ドハティ増幅器の出力に接続され、第１キャリア増幅器からの出力と第１ピーク増幅器からの出力とを合成する第１合成部と、第２キャリア増幅器と第２ピーク増幅器とを有する第２ドハティ増幅器の出力に接続され、第２キャリア増幅器からの出力と第２ピーク増幅器からの出力とを合成する第２合成部と、前記第１合成部の出力に接続される第７λ／４線路と、前記第２合成部の出力に接続される第８λ／４線路とから構成される方向性結合器とを有することを特徴とする。

[0048] ［３５］　第３の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第１合成部、前記第２合成部及び前記方向性結合器が前記誘電体基板内に形成されていることを特徴とする。

[0049] ［３６］　第３の本発明において、前記誘電体基板内のうち、前記第１合成部、前記第２合成部及び前記方向性結合器間にそれぞれ内層シールド電極が形成されていることを特徴とする。

[0050] ［３７］　第１～第３の本発明において、前記誘電体基板のうち、回路基板が設置される面の反対面に設けられた複数の溝を有することを特徴とする。

[0051] ［３８］　第１～第３の本発明において、前記誘電体基板にサーマルビアが形成されていることを特徴とする。

[0052] 以上説明したように、本発明に係るドハティ増幅器用合成器によれば、ドハティ増幅器で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができ、また、部品点数を削減でき、回路の小型化・軽量化を実現することができる。

図面の簡単な説明

[0053] [図1]第１の実施の形態に係るドハティ増幅器用合成器（第１合成器）の回路構成を示す図である。

[図2]第１合成器を示す斜視図である。

[図3]第１合成器を示す分解斜視図である。

[図4]図４Ａは通常のドハティ増幅器用合成器のインピーダンスの関係を示す説明図であり、図４Ｂは第１合成器のインピーダンスの関係を示す説明図である。

[図5]第１合成器の製造方法を示す工程ブロック図である。

[図6]図６Ａはフィルム上に導体ペーストによる導体成形体を形成した状態を示す断面図であり、図６Ｂは鋳込み型内にフィルムを設置した後、鋳込み型内にスラリーを注入した状態を示す断面図であり、図６Ｃは鋳込み型内に注入されたスラリーを硬化して第１セラミック成形体とした状態を示す断面図である。

[図7]図７Ａは鋳込み型から第１セラミック成形体をフィルムごと離型した状態を示す断面図であり、図７Ｂはフィルムから第１セラミック成形体を離型した状態を示す断面図である。

[図8]図８Ａは導体ペーストによる導体成形体が形成されてされていないフィルムを鋳込み型内に設置した後、鋳込み型内にスラリーを注入した状態を示す断面図であり、図８Ｂは鋳込み型内に注入されたスラリーを硬化して第２セラミック成形体とした状態を示す断面図であり、図８Ｃは鋳込み型から第２セラミック成形体をフィルムごと離型し、さらに、フィルムから第２セラミック成形体を離型した状態を示す断面図である。

[図9]第２の実施の形態に係るドハティ増幅器用合成器（第２合成器）の回路構成を示す図である。

[図10]第２合成器を示す分解斜視図である。

[図11]第２合成器のインピーダンスの関係を示す説明図である。

[図12]第３の実施の形態に係るドハティ増幅器用合成器（第３合成器）の回路構成を示す図である。

[図13]第３合成器を示す分解斜視図である。

[図14]第４の実施の形態に係るドハティ増幅器用合成器（第４合成器）の回路構成を示す図である。

[図15]第４合成器を示す分解斜視図である。

[図16]第５の実施の形態に係るドハティ増幅器用合成器（第５合成器）の回路構成を示す図である。

[図17]第５合成器を示す分解斜視図である。

[図18]第５合成器のインピーダンスの関係を示す説明図である。

[図19]第６の実施の形態に係るドハティ増幅器用合成器（第６合成器）の回路構成を示す図である。

[図20]第６合成器を示す分解斜視図である。

[図21]第７の実施の形態に係るドハティ増幅器用合成器（第７合成器）の回路構成を示す図である。

[図22]第８の実施の形態に係るドハティ増幅器用合成器（第８合成器）の回路構成を示す図である。

[図23]第９の実施の形態に係るドハティ増幅器用合成器（第９合成器）の回路構成を示す図である。

[図24]第９合成器を示す分解斜視図である。

[図25]第１０の実施の形態に係るドハティ増幅器用合成器（第１０合成器）の回路構成を示す図である。

[図26]第１０合成器を示す分解斜視図である。

[図27]第１１の実施の形態に係るドハティ増幅器用合成器（第１１合成器）の回路構成を示す図である。

[図28]第１１合成器を示す分解斜視図である。

[図29]第１２の実施の形態に係るドハティ増幅器用合成器（第１２合成器）の回路構成を示す図である。

[図30]第１２合成器を示す分解斜視図である。

[図31]第１３の実施の形態に係るドハティ増幅器用合成器（第１３合成器）の回路構成を示す図である。

[図32]第１３合成器を示す分解斜視図である。

[図33]第１の変形例に係るドハティ増幅器用合成器の回路構成を示す図である。

[図34]第２の変形例に係るドハティ増幅器用合成器の回路構成を示す図である。

[図35]第１４の実施の形態に係るドハティ増幅器用合成器（第１４合成器）の回路構成を示す図である。

[図36]第１４合成器を示す分解斜視図である。

[図37]第３の変形例に係るドハティ増幅器用合成器を示す斜視図である。

[図38]第４の変形例に係るドハティ増幅器用合成器を示す斜視図である。

[図39]比較例１に係るドハティ増幅器用合成器の回路構成を示す図である。

[図40]比較例２に係るドハティ増幅器用合成器の回路構成を示す図である。

[図41]比較例２の利得特性及び効率特性を示すグラフである。

[図42]実施例１１の利得特性及び効率特性を示すグラフである。

[図43]実施例１２の利得特性及び効率特性を示すグラフである。

[図44]単純なＡＭ／ＡＭ歪特性を示すグラフである。

[図45]効率を重視したドハティ増幅器のＡＭ／ＡＭ歪特性を示すグラフである。

発明を実施するための形態

[0054] 以下、本発明に係るドハティ増幅器用合成器の実施の形態例を図１～図４５を参照しながら説明する。

[0055] 第１の実施の形態に係るドハティ増幅器用合成器（以下、単に第１合成器１０Ａと記す）について図１～図４Ｂを参照しながら説明する。

[0056] 第１合成器１０Ａは、図１に示すように、キャリア増幅器１２とピーク増幅器１４とを有するドハティ増幅器１６の出力に接続され、キャリア増幅器１２からの出力とピーク増幅器１４からの出力とを合成する回路である。

[0057] ドハティ増幅器１６は、図１に示すように、入力端子１８からの入力信号を２つに分配する信号分配器２０と、該信号分配器２０の一方の出力とキャリア増幅器１２の入力とのインピーダンス整合をとるキャリア側インピーダンス整合部２２と、ＡＢ級にバイアスされた上述のキャリア増幅器１２（入力電力レベルが低いときから動作する）と、信号分配器２０の他方の出力とピーク増幅器１４の入力とのインピーダンス整合をとるピーク側インピーダンス整合部２４と、Ｂ級又はＣ級にバイアスされた上述のピーク増幅器１４（入力電力レベルが十分高いときに動作する）とを有する。

[0058] そして、第１合成器１０Ａは、キャリア増幅器１２からの出力が入力されるキャリア側入力端子２６と、ピーク増幅器１４からの出力が入力されるピーク側入力端子２８と、キャリア増幅器１２からの出力とピーク増幅器１４からの出力とを合成した信号が出力される出力端子３０と、キャリア増幅器１２からの出力とピーク増幅器１４からの出力との合成点３２と、キャリア側入力端子２６と合成点３２との間に接続された第１λ／４線路３４Ａと、

合成点３２と出力端子３０との間に接続された第２λ／４線路３４Ｂと、第２λ／４線路３４Ｂと電磁結合する第３λ／４線路３４Ｃとを有する。第３λ／４線路３４Ｃの一端に第１モニタ端子３６ａが接続され、第３λ／４線路３４Ｃの他端に第１終端端子３８ａを介して終端抵抗Ｒｅが接続されている。つまり、第２λ／４線路３４Ｂと第３λ／４線路３４Ｃとで１つの方向性結合器（第１方向性結合器４０Ａ）が構成されている。

[0059] さらに、この第１合成器１０Ａは、第１方向性結合器４０Ａと共に１つの誘電体基板４２内に一体化して形成されている。すなわち、第１合成器１０Ａは、図２に示すように、複数の誘電体層が積層、焼成一体化された誘電体基板４２を有し、該誘電体基板４２の第１側面４２ａには、少なくともキャリア側入力端子２６とピーク側入力端子２８が形成され、誘電体基板４２の第２側面４２ｂ（第１側面４２ａと対向する側面）には、少なくとも出力端子３０と第１モニタ端子３６ａと第１終端端子３８ａとが形成されている。また、誘電体基板４２の第３側面４２ｃと第４側面４２ｄ（第３側面４２ｃと対向する側面）にはそれぞれシールド端子４４が形成されている。

[0060] そして、図３に示すように、誘電体基板４２内において、キャリア側入力端子２６とピーク側入力端子２８間に第１λ／４線路３４Ａが接続され、ピーク側入力端子２８（合成点３２を兼ねる）と出力端子３０間に第２λ／４線路３４Ｂが接続され、第１モニタ端子３６ａと第１終端端子３８ａ間に第３λ／４線路３４Ｃが接続され、１つのチップとして構成されている。

[0061] 具体的には、誘電体基板４２は、上から順に、第１誘電体層Ｓ１～第６誘電体層Ｓ６が積み重ねられて構成されている。これらの第１誘電体層Ｓ１～第６誘電体層Ｓ６は、１枚あるいは複数枚の層にて構成される。

[0062] 第１合成器１０Ａは、誘電体基板４２の上部（上面あるいは上面に近い誘電体層の主面）に上部シールド電極４６ａが形成され、誘電体基板４２の下部（下面あるいは下面に近い誘電体層の主面）に下部シールド電極４６ｂが形成されている。すなわち、第２誘電体層Ｓ２の主面に上部シールド電極４６ａが形成され、第６誘電体層Ｓ６の主面に下部シールド電極４６ｂが形成

されている。これら上部シールド電極４６ａ及び下部シールド電極４６ｂはシールド端子４４に接続されている。

[0063] また、第１合成器１０Ａは、第３誘電体層Ｓ３の主面に第１λ／４線路３４Ａが形成され、第５誘電体層Ｓ５の主面に、第１方向性結合器４０Ａを構成する第２λ／４線路３４Ｂと第３λ／４線路３４Ｃが形成され、第３誘電体層Ｓ３と第５誘電体層Ｓ５の間の第４誘電体層Ｓ４の主面に内層シールド電極４８が形成されている。この内層シールド電極４８はシールド端子４４に接続されている。

[0064] 一方、第１モニタ端子３６ａには、図１に示すように、第１モニタ回路５０ａが電気的に接続されている。この第１モニタ回路５０ａは、合成点３２から出力端子３０にかけて流れる信号のレベルをモニタするための回路であり、第１モニタ端子３６ａと第１モニタ出力端子５２ａとの間に接続された結合コンデンサＣ１及びＰＩＮダイオードＤａと、ＰＩＮダイオードＤａのバイアス回路を構成するインダクタＬａと、ＰＩＮダイオードＤａからの検波電流を電荷として蓄積し、検波整流信号（信号レベルを示す信号：電流及び電圧）として出力するコンデンサＣ２とを有する。

[0065] ここで、第１合成器１０Ａの作用・効果を、一般的なドハティ増幅器用合成器（以下、通常の合成器２００と記す）と比較しながら説明する。

[0066] 一般に、ドハティ増幅器１６は、キャリア増幅器１２がＡＢ級にバイアスされ、ピーク増幅器１４がＢ又はＣ級にバイアスされている。そのため、ピーク増幅器１４が動作する入力レベルまではキャリア増幅器１２が単独で動作し、キャリア増幅器１２が飽和領域に入る（キャリア増幅器１２の線形性が崩れ始める）と、ピーク増幅器１４が動作し始め、キャリア増幅器１２と共に負荷を駆動する。

[0067] 従って、例えば通常の合成器２００の各部のインピーダンスを考えた場合、図４Ａに示すように、出力負荷のインピーダンスをZoとしたとき、合成点３２から第２λ／４線路３４Ｂをみたインピーダンスｚｃは、第２λ／４線路３４Ｂの特性インピーダンスをＺ２とすると、

$Zc = Z2^2 / Zo$

となる。

[0068] キャリア増幅器１２から第１λ／４線路３４Ａをみたインピーダンス（キャリア側入力端子２６のポートインピーダンスＺｉ１）及びピーク増幅器１４から第１λ／４線路３４Ａをみたインピーダンス（ピーク側入力端子２８のポートインピーダンスＺｉ２）については、低パワー時と高パワー時とで異なる。

[0069] すなわち、低パワー時（ピーク増幅器の非動作時）においては、ポートインピーダンスＺｉ２が実質的に無限大（オープン）となるため、第１λ／４線路３４Ａの特性インピーダンスをＺ１としたとき、ポートインピーダンスＺｉ１及びＺｉ２は、

$Zi1 = Z1^2 / Zc$（低パワー時）

Ｚｉ２＝無限大（低パワー時）

となる。

[0070] 高パワー時（ピーク増幅器の動作時）においては、出力負荷を等しく分担するため、インピーダンスＺｉ１及びＺｉ２は、

$Zi1 = Z1^2 / 2Zc$（高パワー時）

Ｚｉ２＝２Ｚｃ（高パワー時）

となる。

[0071] ドハティ増幅器１６を周波数の高い領域で使用する場合、一般に、高パワー時におけるポートインピーダンスＺｉ１及びＺｉ２を等しくなるように設定することから、

$Z1^2 / 2Zc = 2Zc$

となり、その結果、

Ｚ１＝２Ｚｃ

となる。

従って、２ＺｃをＫとしたとき、以下の表１のような関係となる。

[0072]

[表1]

	ポートインピーダンス(Ω)			特性インピーダンス(Ω)	
	Zi1	Zi2	Zo	Z1	Z2
低パワー時	2K	∞	50	K	√(50×(K/2))
高パワー時	K	K			

[0073] これを知って、第１合成器１０Ａのインピーダンスをみた場合、図４Ｂに示すように、第２λ／４線路３４Ｂの特性インピーダンスＺ２は、Ｚc＝Ｚ２^{2}／Ｚoの関係から、

Ｚ２＝√（５０×（Ｋ／２））

であり、第３λ／４線路３４Ｃの特性インピーダンスＺ３は、第１モニタ端子３６ａ及び終端抵抗Ｒｅのインピーダンスが共に５０オームであるから、同じく５０オームとなる。すなわち、インピーダンスは、以下の表２のような関係となる。

[0074] [表2]

	ポートインピーダンス(Ω)			特性インピーダンス(Ω)		
	Zi1	Zi2	Zo	Z1	Z2	Z3
低パワー時	2K	∞	50	K	√(50×(K/2))	50
高パワー時	K	K				

[0075] この場合、Ｋ＝１００オームのとき、第１方向性結合器４０Ａを構成する第２λ／４線路３４Ｂの特性インピーダンスＺ２と第３λ／４線路３４Ｃの特性インピーダンスＺ３が共に５０オームになることから、第１方向性結合器４０Ａの方向性、すなわち、第１モニタ端子３６ａからの出力と第１終端端子３８ａからの出力の比を十分高めることができる。なお、Ｋが１００オ

ームでない場合は、特性インピーダンスＺ２及びＺ３が異なってくるため、その差に応じて方向性が悪くなる。

[0076] このように、第１合成器１０Ａにおいては、ドハティ増幅器用の合成器の部分と、それに続く第１方向性結合器４０Ａの部分を一体に構成したので、両部分間の接続はドハティ増幅器１６の製造バラツキの影響を受けることがない。これにより、第１方向性結合器４０Ａからの出力も安定し、よって、デジタル処理によるドハティ増幅器１６の歪補正も、増幅器効率を劣化させることなく機能することとなる。

[0077] また、第１合成器１０Ａは、ドハティ増幅器用の合成器の部分と第１方向性結合器４０Ａの部分を、誘電体基板４２を用いたストリップライン構造で形成すると共に、それぞれを重ねるようにしたので、回路基板上での実装面積を削減することができる。このとき、合成器の部分と第１方向性結合器４０Ａの部分に不要な信号の漏洩が生じた場合、デジタル処理による歪補正回路への入力にノイズとなって現れ、結果として歪補正が十分行われなくなるが、この第１合成器１０Ａでは、第１λ／４線路３４Ａと、第１方向性結合器４０Ａを構成する第２λ／４線路３４Ｂ及び第３λ／４線路３４Ｃとの間に内層シールド電極４８を形成するようにしたので、合成器の部分と第１方向性結合器４０Ａの部分に不要な信号の漏洩が抑制され、上述のような問題を回避することができる。

[0078] さらに、合成器の部分を構成する第２λ／４線路３４Ｂと電磁結合する第３λ／４線路３４Ｃを形成するようにしたので、１つの誘電体基板４２内に合成器の部分と方向性結合器の部分とを一体化することができる。これにより、方向性結合器に由来する損失を消去することができるため、歪補正特性を劣化させることなく、ドハティ増幅器全体の効率を向上させることができる。しかも、ドハティ増幅器１６からの出力を、第２λ／４線路３４Ｂを利用してモニタすることができるため、ドハティ増幅器１６の出力信号の損失を抑制することができ、利得歪、位相歪を劣化させることなく増幅器効率を改善させることができる。

[0079] さらに、第１方向性結合器４０Ａに、第１モニタ端子３６ａを接続するようにしたので、ドハティ増幅器１６の出力信号をモニタすることが可能になり、これによって利得歪、位相歪を劣化させることなく増幅器効率を改善することができる。特に、第１モニタ端子３６ａに第１モニタ回路５０ａを接続し、該第１モニタ回路５０ａをダイオードＤａを主体した回路構成としたので、第１モニタ回路５０ａにおいて、ドハティ増幅器１６の高周波信号が検波可能になると共に、ドハティ増幅器１６の高周波信号の包絡線成分を抽出して、ＤＰＤのデジタル処理回路に入力させることができ、ＤＰＤ技術を適用した利得歪・位相歪の改善を効率よく行うことができる。

[0080] つまり、第１合成器１０Ａにおいては、ドハティ増幅器１６の出力信号のモニタを精度高く行うことが可能になり、これにより、ドハティ増幅器１６で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができる。また、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。

[0081] また、第１合成器１０Ａを用いることで、ドハティ増幅器１６の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

[0082] ここで、第１合成器１０Ａの製造方法について図５～図８Ｃを参照しながら説明する。

[0083] 先ず、第１合成器１０Ａは、第１λ／４線路３４Ａ等を構成する導体成形体６０を有する第１セラミック成形体６２Ａ（図７Ｂ参照）と、導体成形体６０のない第２セラミック成形体６２Ｂ（図８Ｃ参照）とを作製し、第１セラミック成形体６２Ａと第２セラミック成形体６２Ｂを積層してセラミック積層体を作製し、該セラミック積層体を焼成することにより作製することが

できる。

[0084] 導体成形体６０を有する第１セラミック成形体６２Ａの作製方法は、先ず、図５のステップＳ１において、図６Ａに示すように、フィルム６４上に導体ペースト６６を印刷法によってパターン形成した後、ステップＳ２において、フィルム６４上に形成された導体ペースト６６を加熱硬化することにより、フィルム６４上に導体成形体６０を形成する。

[0085] 導体ペースト６６は、樹脂と銀（Ａｇ）、金（Ａｕ）、銅（Ｃｕ）系の金属の少なくとも１種類の粉末を含む。導体ペースト６６に使用される樹脂は、熱硬化性樹脂前駆体であることが好ましい。この場合、熱硬化性樹脂前駆体は、自己反応性のレゾール型フェノール樹脂であることが好ましい。フィルム６４は、表面にシリコーン離型剤がコートされたＰＥＴ（ポリエチレンテレフタレート）である。

[0086] 導体ペースト６６の加熱硬化時における収縮、歪を抑制するために、予めフィルム６４に温度１５０℃で１０分以上のアニール処理を施すことが好ましい。導体ペースト６６は、上述したように、印刷後、加熱硬化されるが、硬化条件は、硬化剤の種類により異なり、レゾール型フェノール樹脂の場合、温度８０～１５０℃、時間１０分～６０分で硬化させることができる。

[0087] 図５のステップＳ３において、図６Ｂに示すように、鋳込み型６８を組み立てて、導体成形体６０が形成されたフィルム６４を鋳込み型６８内に設置する。

[0088] 一方、図５のステップＳ４及びステップＳ５において、鋳込み型６８に注入されるスラリー７０を調製する。

[0089] 先ず、図５のステップＳ４において、セラミックスラリーを調製する。セラミックスラリーは、酸化チタン、酸化バリウム系粉末と焼結助剤としてのボロシリケートガラスとを混合したセラミック粉末を有する。すなわち、セラミックスラリーは、上述のセラミック粉末を１００重量部と、脂肪族二塩基酸エステルを２７重量部、トリアセチンを３重量部及びポリカルボン酸共重合体を３重量部からなる有機分散媒（ポリカルボン酸は有機分散剤として

作用）との混合物からなる。

[0090] その後、図５のステップＳ５において、上述のセラミックスラリーに、ゲル化剤としてポリメチレンポリフェニルポリイソシアネートの変性物１～１０重量部とエチレングリコール０．０５～２．７重量部、反応触媒として６－ジメチルアミノ－１－ヘキサノールを０．０３～０．３重量部添加した後、攪拌して、ゲルキャスト用のスラリー７０を調製する。すなわち、スラリー７０は熱硬化性樹脂前駆体を含む。

[0091] 次に、図５のステップＳ６において、図６Ｂに示すように、鋳込み型６８内にスラリー７０を注入（注型）する。この注入によって、鋳込み型６８の中空部にスラリー７０が充填される。スラリー７０は、ゲルキャスト用スラリーであることから、中空部に充填された状態でそのまま硬化される。これによって、図６Ｃに示すように、鋳込み型６８内に第１セラミック成形体６２Ａが作製されることになる。

[0092] その後、ステップＳ７において、鋳込み型６８を分解する。この場合、図７Ａに示すように、フィルム６４上に第１セラミック成形体６２Ａが設置された状態になっているため、第１セラミック成形体６２Ａをフィルム６４から離型することによって、図７Ｂに示すように、導体成形体６０が埋設された第１セラミック成形体６２Ａが得られる。

[0093] 一方、導体成形体６０のない第２セラミック成形体６２Ｂの作製方法は、図５のステップＳ１及びステップＳ２の処理を行わずに、ステップＳ３において、導体成形体６０が形成されていないフィルム６４を鋳込み型６８内に設置すること以外は、上述した第１セラミック成形体６２Ａの作製方法と同じであり、ステップＳ４～ステップＳ７を経ることによって、導体成形体６０が存在しない第２セラミック成形体６２Ｂを得る。すなわち、図８Ａに示すように、導体成形体６０が形成されていないフィルム６４を鋳込み型６８内に設置し、スラリー７０を鋳込み型６８内に鋳込んだ後に、図８Ｂに示すように、スラリー７０を硬化（室温硬化や乾燥硬化等）する。その後、フィルム６４を離型することによって、図８Ｃに示すように、第２セラミック成

形体６２Ｂが得られる。なお、以下の説明では、第１セラミック成形体６２Ａと第２セラミック成形体６２Ｂを区別しないで言う場合はセラミック成形体６２と記す。

[0094] 次に、図５のステップＳ８において、複数のセラミック成形体６２を積層してセラミック積層体を作製する。このとき、セラミック成形体６２の反応性官能基が完全に反応しない状態（室温において、注型後、１時間～４８時間経過後）で、５～１００ｋｇｆ／ｃｍ^{2}の圧力で加圧積層する。加圧力は、セラミック成形体６２の強度と許容される積層ずれに応じて適宜選択される。

[0095] 積層時の加圧力が小さい場合は、積層ずれは小さいものの、積層時の接着不良による焼成体のデラミネーションが発生し易くなる一方、積層時の加圧力が大きい場合は、上述のデラミネーションの発生を抑制できるものの、セラミック成形体６２の積層圧力による変形及び破損が発生し易くなる。しかし、上述した加圧力の範囲であれば、積層ずれとデラミネーションを抑制することができ、好ましい。また、必要に応じて、上記５～１００ｋｇｆ／ｃｍ^{2}の加圧に引き続き、５０～４００ｋｇｆ／ｃｍ^{2}の加圧力で一体性を高めてもよい。

[0096] また、この際、隣り合うセラミック成形体６２中の未反応の反応硬化物同士を反応させることにより、セラミック成形体６２間の接着力が得られるが、より短時間で反応硬化させるために、６０℃～８０℃に加温しながら積層することが好ましい。

[0097] より低圧で十分なセラミック積層体を得るためには、積層時に各セラミック成形体６２の界面に接着層として、スラリー７０のうち、反応触媒を除いたものを塗布、印刷することが好ましい。反応触媒を添加しなくても、セラミック成形体６２に残存する反応触媒の影響で、実用的な時間で反応硬化が進行する。

[0098] あるいは、セラミック成形体６２を十分に硬化したものや、さらに乾燥した後に、セラミック成形体６２と同一の無機粉末、ブチラール樹脂、アクリ

ル樹脂、ブチルカルビトールアセテート溶剤及び／又は脂肪族二塩基酸エステル等の有機溶剤を混合した接着ペーストをセラミック成形体６２上に塗布又は印刷した後、積層することも好ましい。

[0099] このようにすることで、セラミック成形体６２相互の接着性が向上し、上述のデラミネーションを抑制することができる。なお、接着ペーストを使用する場合は、セラミック成形体６２中に溶剤が残っていてもよいし、６０℃～１００℃の温度で予め溶剤を乾燥させてもよい。溶剤を乾燥させたセラミック成形体６２は可塑性が著しく低下し、ハンドリングに困難をきたすため、乾燥後のセラミック成形体６２に可塑性を付与する目的で、反応硬化前のスラリーに可塑剤（ＤＯＰあるいはＤＢＰ）を１～１０重量部添加することがさらに好ましい。

[0100] 次に、図５のステップＳ９において、セラミック積層体を乾燥した後、ステップＳ１０において、セラミック積層体を複数のチップに分割する。その後、ステップＳ１１において、各チップの表面や側面に端子電極を印刷により形成する。そして、ステップＳ１２において、各チップを焼成することで、複数の第１合成器１０Ａが完成する。

[0101] この実施の形態に係る製造方法の効果を以下に説明する。先ず、従来においては、熱可塑性樹脂を含むスラリーの乾燥収縮時に導体成形体との界面で隙間やクラックが発生したり、グリーンシートが凹凸形状になったりする。一方、本実施の形態では、スラリー７０に熱硬化性樹脂前駆体を含ませて、乾燥時に熱硬化性樹脂前駆体を硬化させて三次元網目構造を生成させ、収縮を小さくすることで前記問題は解決される。

[0102] この場合、スラリー７０に使用する溶剤に、熱硬化性樹脂前駆体が硬化する温度での蒸気圧が小さいものを選定し、熱硬化時の溶剤乾燥による収縮を小さくすることが望ましい。室温で硬化する樹脂を用いた場合は、特に作業や装置が簡単になる。

[0103] ポリウレタン樹脂は、硬化後の弾性を制御し易く、柔軟な成形体も可能となる等の利点を有する。後工程での取り扱いを考えると、あまり硬い成形体

は適さない場合があり、熱硬化性樹脂は三次元網目構造をとるので一般に硬いが、ポリウレタン樹脂は、柔軟性のある成形体も可能で、特にテープ状の成形体は、柔軟性が要求される場合が多いため望ましい。また、スラリー性状の制御のため、熱可塑性樹脂を含ませてもよい。

[0104] 従来においては、熱可塑性樹脂を含む導体ペーストが、スラリーを塗布する際に、スラリーの溶剤に溶解して、パターン形状が崩れる。一方、本実施の形態においては、導体ペースト６６に熱硬化性樹脂前駆体を含ませているため、耐溶剤性が向上し、パターン形状の崩れは生じない。

[0105] 熱硬化性樹脂前駆体は、硬化後は三次元の網目構造となり、元に戻らないため、硬化後は、溶剤への再溶解性がなくなり、一般に、熱可塑性樹脂よりも耐溶剤性が高い。

[0106] 熱硬化性樹脂前駆体の中では、フェノール樹脂、エポキシ樹脂、ポリエステル樹脂が硬化前プレポリマーの分子量の制御ができ、ペースト性状のコントロールが可能なため、好適である。なお、熱可塑性樹脂をペースト性状の制御のために、熱硬化性樹脂と一緒に含めるようにしてもよい。

[0107] 特に、エポキシ樹脂、フェノール樹脂は、硬化剤が必要なく、加熱するだけで硬化するタイプがあり、導体ペースト６６の効率的な使用に適する。つまり、硬化剤の添加が必要な他の熱硬化性樹脂前駆体は、導体ペースト６６を印刷する前に、硬化剤を混合する必要があるが、混合すると保存がきかない。従って、印刷後に残った導体ペースト６６を回収して保存する必要のある印刷法によって導体ペースト６６を印刷する場合は、硬化剤を混合する必要がない熱硬化型エポキシ樹脂、熱硬化型フェノール樹脂が好適である。

[0108] 従来において、熱可塑性樹脂をバインダとするセラミック成形体は、該セラミック成形体の密度ばらつきが発生し易く、そのために、焼成後のセラミック焼成体の寸法ばらつきが大きく、埋設された導体成形体の焼成寸法のばらつきも大きくなる。一方、本実施の形態においては、熱硬化性樹脂前駆体をバインダに使用して導体成形体６０を埋設した第１セラミック成形体６２Ａを得ることにより、焼成ばらつきを小さくすることができる。例えば第１

セラミック成形体６２Ａの焼成後の寸法は、第１セラミック成形体６２Ａのうち、導体成形体６０を除く部分の生密度により主に決まる。これは第１セラミック成形体６２Ａのセラミック焼成体の構造は空隙が非常に少ないのに対し、第１セラミック成形体６２Ａの上記部分は空隙が多いため、その空隙量の多少が、焼成中の収縮量を決めるからである。

[0109] 従来の熱可塑性樹脂をバインダとして含むスラリーは、溶媒を乾燥してセラミック成形体を得るが、乾燥する際の塗工比（スラリー体積と成形後の成形体体積の比）が大きく、この大きな塗工比が成形体密度のばらつきの原因となる。しかし、本実施の形態のように、熱硬化性樹脂前駆体をスラリー７０のバインダとして使用した場合は、溶剤を含んだままでも硬化するため、塗工比を小さくすることができ、生密度のばらつきを小さくすることができる。その結果、焼成後の寸法ばらつきが小さくなり、埋設した導体成形体６０の寸法ばらつきも小さくすることができる。

[0110] 次に、第２の実施の形態に係るドハティ増幅器用合成器（以下、第２合成器１０Ｂと記す）について図９～図１１を参照しながら説明する。

[0111] この第２合成器１０Ｂは、上述した第１合成器１０Ａとほぼ同様の構成を有するが、図９に示すように、第１モニタ端子３６ａと第３λ／４線路３４Ｃとの間に第４λ／４線路３４Ｄを接続した点で異なる。

[0112] すなわち、第２合成器１０Ｂは、図１０に示すように、誘電体基板４２が、上から順に、第１誘電体層Ｓ１～第８誘電体層Ｓ８が積み重ねられて構成され、第７誘電体層の主面に第４λ／４線路３４Ｄが形成され、第４誘電体層Ｓ４の主面に第１内層シールド電極４８ａが形成され、第６誘電体層Ｓ６の主面に第２内層シールド電極４８ｂが形成され、第８誘電体層Ｓ８の主面に下部シールド電極４６ｂが形成されている。第４λ／４線路３４Ｄの一端は第１モニタ端子３６ａに接続され、第４λ／４線路３４Ｄの他端は第５誘電体層Ｓ５及び第６誘電体層Ｓ６を貫通するビアホール７２を介して第３λ／４線路３４Ｃの一端に接続されている。また、第１内層シールド電極４８ａ及び第２内層シールド電極４８ｂはシールド端子４４に接続されている。

[0113] このように、第２合成器１０Ｂは、上述した第１合成器１０Ａと同様に、デジタル処理によるドハティ増幅器１６の歪補正も、増幅器効率を劣化させることなく機能することとなる。また、回路基板上での実装面積を削減することができる。この第２合成器１０Ｂでは、第１λ／４線路３４Ａと、第１方向性結合器４０Ａを構成する第２λ／４線路３４Ｂ及び第３λ／４線路３４Ｃとの間に第１内層シールド電極４８ａを形成し、第３λ／４線路３４Ｃと第４λ／４線路３４Ｄとの間にも第２内層シールド電極４８ｂを形成するようにしたので、合成器の部分と第１方向性結合器４０Ａの部分との間、並びに第１方向性結合器４０Ａの部分と第４λ／４線路３４Ｄでの不要な信号の漏洩を抑制することができ、デジタル処理による歪補正回路へのノイズの混入を抑圧することができる。

[0114] さらに、１つの誘電体基板４２内に合成器の部分と方向性結合器の部分とを一体化することができため、方向性結合器に由来する損失を消去することができ、歪補正特性を劣化させることなく、ドハティ増幅器１６全体の効率を向上させることができる。

[0115] ここで、第２合成器１０Ｂのインピーダンスの関係について説明すると、この第２合成器１０Ｂでは、図１１にも示すように、第３λ／４線路３４Ｃと第１モニタ端子３６ａ間に第４λ／４線路３４Ｄを接続したため、第３λ／４線路３４Ｃと第４λ／４線路との中間点からみた第３λ／４線路３４Ｃのインピーダンスを合成点３２からみた第２λ／４線路３４ＢのインピーダンスZ_cと同等にすることができると共に、以下の表３に示すように、モニタ対象の第２λ／４線路３４Ｂ、第１方向性結合器４０Ａの第３λ／４線路３４Ｃ及び第４λ／４線路３４Ｄの各特性インピーダンスＺ２、Ｚ３及びＺ４を共に$\sqrt{}$（５０×（Ｋ／２））にすることができる。

[0116]

[表3]

	ポートインピーダンス（Ω）			特性インピーダンス（Ω）			
	Zi1	Zi2	Zo	Z1	Z2	Z3	Z4
低パワー時	2K	∞	50	K	√(50×(K/2))	√(50×(K/2))	√(50×(K/2))
高パワー時	K	K					

[0117] これにより、Ｋが５０オームや１００オームでなくても、第１方向性結合器４０Ａの方向性を十分に高めることができる。

[0118] 次に、第３の実施の形態に係るドハティ増幅器用合成器（以下、第３合成器１０Ｃと記す）について図１２及び図１３を参照しながら説明する。

[0119] この第３合成器１０Ｃは、上述した第２合成器１０Ｂとほぼ同様の構成を有するが、図１２に示すように、第１終端端子３８ａと第３λ／４線路３４Ｃとの間に第４λ／４線路３４Ｄを接続した点で異なる。

[0120] すなわち、第３合成器１０Ｃは、図１３に示すように、第４λ／４線路３４Ｄの一端は第１終端端子３８ａに接続され、第３λ／４線路３４Ｃの一端は第１モニタ端子３６ａに接続され、第４λ／４線路３４Ｄの他端は第５誘電体層Ｓ５及び第６誘電体層Ｓ６を貫通するビアホール７２を介して第３λ／４線路３４Ｃの他端に接続されている。

[0121] このように、第３合成器１０Ｃは、上述した第２合成器１０Ｂと同様に、デジタル処理によるドハティ増幅器１６の歪補正も、増幅器効率を劣化させることなく機能することとなる。また、回路基板上での実装面積を削減することができる。合成器の部分と第１方向性結合器４０Ａの部分との間、並びに第１方向性結合器４０Ａの部分と第４λ／４線路３４Ｄでの不要な信号の漏洩を抑制することができ、デジタル処理による歪補正回路へのノイズの混入を抑圧することができる。

[0122] さらに、１つの誘電体基板４２内に合成器の部分と方向性結合器の部分とを一体化することができたため、方向性結合器に由来する損失を消去するこ

とができ、歪補正特性を劣化させることなく、ドハティ増幅器全体の効率を向上させることができる。

[0123] ここで、第３合成器１０Ｃのインピーダンスの関係について説明すると、この第３合成器１０Ｃでは、第３λ／４線路３４Ｃと第１終端端子３８ａ間に第４λ／４線路３４Ｄを接続したため、以下の表４に示すように、第２λ／４線路３４Ｂ、第３λ／４線路３４Ｃ及び第４λ／４線路３４Ｄの各特性インピーダンスＺ２、Ｚ３及びＺ４を√（５０×（Ｋ／２））にすることができる。但し、第３λ／４線路３４Ｃと第４λ／４線路との中間点からみた第３λ／４線路３４Ｃのインピーダンスは、合成点３２からみた第２λ／４線路３４Ｂのインピーダンス Ｚｃと異なる。そのため、上述した第２合成器１０Ｂとは異なり、第１方向性結合器４０Ａの方向性は幾分悪くなる。

[0124] [表4]

	ポートインピーダンス（Ω）			特性インピーダンス（Ω）			
	Zi1	Zi2	Zo	Z1	Z2	Z3	Z4
低パワー時	2K	∞	50	K	√(50×(K/2))	√(50×(K/2))	√(50×(K/2))
高パワー時	K	K					

[0125] 次に、第４の実施の形態に係るドハティ増幅器用合成器（以下、第４合成器１０Ｄと記す）について図１４及び図１５を参照しながら説明する。

[0126] この第４合成器１０Ｄは、上述した第１合成器１０Ａとほぼ同様の構成を有するが、図１４に示すように、第３λ／４線路３４Ｃが第１λ／４線路３４Ａと電磁結合されている点で異なる。すなわち、第４合成器１０Ｄは、第１方向性結合器４０Ａに代えて、第１λ／４線路３４Ａと第３λ／４線路３４Ｃとによる第２方向性結合器４０Ｂを有する。

[0127] 第４合成器１０Ｄは、図１５に示すように、第３誘電体層Ｓ３の主面に第１λ／４線路３４Ａと第３λ／４線路３４Ｃが形成され、第５誘電体層Ｓ５

の主面に第２λ／４線路３４Ｂが形成され、第４誘電体層Ｓ４の主面にシールド端子４４に接続された内層シールド電極４８が形成されている。そして、キャリア側入力端子２６とピーク側入力端子２８間に第１λ／４線路３４Ａが接続され、ピーク側入力端子２８（合成点３２を兼ねる）と出力端子３０間に第２λ／４線路３４Ｂが接続され、誘電体基板４２の第２側面４２ｂに形成された第２モニタ端子３６ｂと第２終端端子３８ｂ間に第３λ／４線路３４Ｃが接続されて、１つのチップとして構成されている。

[0128] 一方、図１４に示すように、第２モニタ端子３６ｂと第２モニタ出力端子５２ｂ間には第２モニタ回路５０ｂが電気的に接続されている。この第２モニタ回路５０ｂは、キャリア側入力端子２６から合成点３２にかけて流れる信号のレベルをモニタするための回路であり、上述した第１モニタ回路５０ａと同様の構成を有する。

[0129] この第４合成器１０Ｄにおいては、キャリア増幅器１２からの出力信号がモニタ可能となり、これにより、キャリア増幅器１２の利得、位相を適宜補正することが可能となるため、ドハティ増幅器１６を使用する上で問題となる利得歪、位相歪を、増幅器効率の低下を招くことなく改善することができる。

[0130] また、第１合成器１０Ａの場合と同様に、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。さらに、ドハティ増幅器１６の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

[0131] 次に、第５の実施の形態に係るドハティ増幅器用合成器（以下、第５合成器１０Ｅと記す）について図１６～図１８を参照しながら説明する。

[0132] この第５合成器１０Ｅは、上述した第４合成器１０Ｄとほぼ同様の構成を

有するが、図１６に示すように、第２モニタ端子３６ｂと第３λ／４線路３４Ｃとの間に第４λ／４線路３４Ｄを接続した点で異なる。

[0133] 第５合成器１０Ｅは、図１７に示すように、誘電体基板４２が、上から順に、第１誘電体層Ｓ１～第８誘電体層Ｓ８が積み重ねられて構成され、第７誘電体層Ｓ７の主面に第２λ／４線路３４Ｂが形成され、第５誘電体層Ｓ５の主面に第４λ／４線路３４Ｄが形成され、第４誘電体層Ｓ４の主面に第１内層シールド電極４８ａが形成され、第６誘電体層Ｓ６の主面に第２内層シールド電極４８ｂが形成され、第８誘電体層Ｓ８の主面に下部シールド電極４６ｂが形成されている。第４λ／４線路３４Ｄの一端は第２モニタ端子３６ｂに接続され、第４λ／４線路３４Ｄの他端は第３誘電体層Ｓ３及び第４誘電体層Ｓ４を貫通するビアホール７２を介して第３λ／４線路３４Ｃの一端に接続されている。この第５合成器１０Ｅにおいても、上述した第４合成器と同様の効果を奏する。

[0134] ここで、第５合成器１０Ｅのインピーダンスの関係について説明すると、この第５合成器１０Ｅでは、図１８に示すように、第３λ／４線路３４Ｃと第２モニタ端子３６ｂ間に第４λ／４線路３４Ｄを接続したため、以下の表５に示すように、モニタ対象の第１λ／４線路３４Ａ、第２方向性結合器４０Ｂの第３λ／４線路３４Ｃ及び第４λ／４線路３４Ｄの各特性インピーダンスをＫにすることができる。これにより、Ｋが５０オームや１００オームでなくても、第２方向性結合器４０Ｂの方向性を十分に高めることができる。

[0135]

[表5]

	ポートインピーダンス（Ω）			特性インピーダンス（Ω）			
	Zi1	Zi2	Zo	Z1	Z2	Z3	Z4
低パワー時	2K	∞	50	K	√(50×(K/2))	K	K
高パワー時	K	K					

[0136] 次に、第６の実施の形態に係るドハティ増幅器用合成器（以下、第６合成器１０Ｆと記す）について図１９及び図２０を参照しながら説明する。

[0137] この第６合成器１０Ｆは、上述した第５合成器１０Ｅとほぼ同様の構成を有するが、図１９に示すように、第２終端端子３８ｂと第３λ／４線路３４Ｃとの間に第４λ／４線路３４Ｄを接続した点で異なる。

[0138] すなわち、第６合成器１０Ｆは、図２０に示すように、第４λ／４線路３４Ｄの一端は第２終端端子３８ｂに接続され、第３λ／４線路３４Ｃの一端は第２モニタ端子３６ｂに接続され、第４λ／４線路３４Ｄの他端は第３誘電体層Ｓ３及び第４誘電体層Ｓ４を貫通するビアホール７２を介して第３λ／４線路３４Ｃの他端に接続されている。この第６合成器１０Ｆにおいても、上述した第５合成器１０Ｅと同様の効果を奏する。

[0139] 次に、第７の実施の形態に係るドハティ増幅器用合成器（以下、第７合成器１０Ｇと記す）について図２１を参照しながら説明する。

[0140] この第７合成器１０Ｇは、図２１に示すように、第１合成器１０Ａと第４合成器１０Ｄとが組み合わされた構成を有する。すなわち、２つの第３λ／４線路３４Ｃａ及び３４Ｃｂを有し、第２λ／４線路３４Ｂと該第２λ／４線路３４Ｂと電磁結合する一方の第３λ／４線路３４Ｃａとによる第１方向性結合器４０Ａと、第１λ／４線路３４Ａと該第１λ／４線路３４Ａと電磁結合する他方の第３λ／４線路３４Ｃｂとによる第２方向性結合器４０Ｂと

を有する。この第７合成器１０Ｇにおいては、第１合成器１０Ａによる効果と第４合成器１０Ｄによる効果を併せ持つ。

[0141] 次に、第８の実施の形態に係るドハティ増幅器用合成器（以下、第８合成器１０Ｈと記す）について図２２を参照しながら説明する。

[0142] この第８合成器１０Ｈは、図２２に示すように、第２合成器１０Ｂと第５合成器１０Ｅとが組み合わされた構成を有する。すなわち、２つの第３λ／４線路３４Ｃａ及び３４Ｃｂと２つの第４λ／４線路３４Ｄａ及び３４Ｄｂとを有し、第２λ／４線路３４Ｂと該第２λ／４線路３４Ｂと電磁結合する一方の第３λ／４線路３４Ｃａとによる第１方向性結合器４０Ａと、第１λ／４線路３４Ａと該第１λ／４線路３４Ａと電磁結合する他方の第３λ／４線路３４Ｃｂとによる第２方向性結合器４０Ｂとを有する。一方の第４λ／４線路３４Ｄａは第１方向性結合器４０Ａと第１モニタ端子３６ａ間に接続され、他方の第４λ／４線路３４Ｄｂは第２方向性結合器４０Ｂと第２モニタ端子３６ｂ間に接続されている。この第８合成器１０Ｈにおいては、第２合成器１０Ｂによる効果と第５合成器１０Ｅによる効果を併せ持つ。

[0143] 次に、第９の実施の形態に係るドハティ増幅器用合成器（以下、第９合成器１０Ｉと記す）について図２３及び図２４を参照しながら説明する。

[0144] この第９合成器１０Ｉは、図２３に示すように、第２λ／４線路３４Ｂと出力端子３０との間に第５λ／４線路３４Ｅが形成され、該第５λ／４線路３４Ｅと電磁結合する第６λ／４線路３４Ｆが形成されている。第６λ／４線路３４Ｆの一端に第３モニタ端子３６ｃが接続され、第６λ／４線路３４Ｆの他端に第３終端端子３８ｃを介して終端抵抗Ｒｅが接続されている。つまり、第５λ／４線路３４Ｅと第６λ／４線路３４Ｆとで１つの方向性結合器（第３方向性結合器４０Ｃ）が構成されている。

[0145] すなわち、第９合成器１０Ｉは、図２４に示すように、誘電体基板４２が、上から順に、第１誘電体層Ｓ１～第６誘電体層Ｓ６が積み重ねられて構成され、第３誘電体層Ｓ３の主面に第１λ／４線路３４Ａ及び第２λ／４線路３４Ｂが形成され、第５誘電体層Ｓ５の主面に第５λ／４線路３４Ｅ及び第

６λ／４線路３４Ｆが形成されている。第１λ／４線路３４Ａの一端はキャリア側入力端子２６に接続され、第１λ／４線路３４Ａの他端及びピーク側入力端子２８は合成点３２を介して第２λ／４線路３４Ｂの一端に接続され、第２λ／４線路３４Ｂの他端は第３誘電体層Ｓ３及び第４誘電体層Ｓ４を貫通するビアホール７２を介して第５λ／４線路３４Ｅの一端に接続され、第５λ／４線路３４Ｅの他端は出力端子３０に接続され、第６λ／４線路３４Ｆの一端は第３モニタ端子３６ｃに接続され、第６λ／４線路３４Ｆの他端は第３終端端子３８ｃに接続されている。

[0146] 図２３に示すように、第３モニタ端子３６ｃと第３モニタ出力端子５２ｃ間には、第３モニタ回路５０ｃが電気的に接続されている。この第３モニタ回路５０ｃは、合成点３２から出力端子３０にかけて流れる信号のレベルをモニタするための回路であり、上述した第１モニタ回路５０ａと同様の構成を有する。

[0147] この第９合成器１０Ｉにおいても、第１合成器１０Ａと同様に、ドハティ増幅器１６の出力信号のモニタを精度高く行うことが可能になり、よってドハティ増幅器１６で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができる。また、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。

[0148] また、第９合成器１０Ｉを用いることで、ドハティ増幅器１６の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

[0149] 次に、第１０の実施の形態に係るドハティ増幅器用合成器（以下、第１０合成器１０Ｊと記す）について図２５及び図２６を参照しながら説明する。

[0150] この第１０合成器１０Ｊが適用されるドハティ増幅器１６は、第１合成器１０Ａが適用されるドハティ増幅器１６とほぼ同様の構成を有するが、図２５に示すように、キャリア増幅器１２のゲートバイアス電圧を制御するための第１制御器７４ａを有する点で異なる。

[0151] そして、第１０合成器１０Ｊは、図２５に示すように、第１合成器１０Ａと同様のキャリア側入力端子２６、ピーク側入力端子２８及び出力端子３０と、キャリア増幅器１２からのキャリア信号の振幅情報を出力するための第４モニタ端子３６ｄと、キャリア側入力端子２６と第１λ／４線路３４Ａとの間の第１線路７６ａに平行して配置され、第１線路７６ａと電磁気的に結合された第１モニタ線路７８ａとを有する。

[0152] すなわち、第１０合成器１０Ｊは、図２６に示すように、誘電体基板４２の第１側面４２ａに少なくともキャリア側入力端子２６とピーク側入力端子２８が形成され、誘電体基板４２の第２側面４２ｂには、少なくとも出力端子３０と第４モニタ端子３６ｄと第４終端端子３８ｄとが形成されている。

[0153] 誘電体基板４２は、上から順に、第１誘電体層Ｓ１～第４誘電体層Ｓ４が積み重ねられて構成され、第３誘電体層の主面に第１λ／４線路３４Ａ及び第２λ／４線路３４Ｂと、キャリア側入力端子２６から第１λ／４線路３４Ａの一端に延びる第１線路７６ａと電磁結合される第１モニタ線路７８ａとが形成されている。第１λ／４線路３４Ａの他端及びピーク側入力端子２８は合成点３２を介して第２λ／４線路３４Ｂの一端に接続され、第２λ／４線路３４Ｂの他端は出力端子３０に接続され、第１モニタ線路７８ａの一端は第４モニタ端子３６ｄに接続され、第１モニタ線路７８ａの他端は第４終端端子３８ｄに接続されている。

[0154] 図２５に示すように、第４モニタ端子３６ｄには、第４モニタ回路５０ｄが電気的に接続されている。この第４モニタ回路５０ｄは、キャリア側入力端子２６に入力されたキャリア増幅器１２からのキャリア信号の振幅レベルをモニタするための回路であり、第１モニタ回路５０ａと同様の構成を有する。第４モニタ回路５０ｄの第４モニタ出力端子５２ｄから出力される信号

は第１制御器７４ａに入力される。第１制御器７４ａは、入力された第４モニタ出力端子５２ｄからの信号のレベルに応じて、キャリア増幅器１２のゲートバイアス電圧を調整する。

[0155] このように、第１０合成器１０Ｊにおいては、キャリア増幅器１２の振幅に対する飽和特性をモニタすることが可能となるため、キャリア増幅器１２の入力レベルに対する出力レベルを確認することができる。飽和領域をモニタすることにより、キャリア増幅器１２のゲートバイアス電圧の制御を行うことで、ドハティ増幅器１６のＡＭ／ＡＭ特性を改善させることが可能であり、従来のドハティ増幅器と比較して効率低下することなく低歪化が可能となる。また、第４モニタ回路５０ｄをダイオードＤａを主体した回路構成としたので、第４モニタ回路５０ｄにおいて、キャリア増幅器１２の高周波信号が検波可能になる。ゲートバイアス電圧の制御に用いる信号としては、振幅情報のみが必要であるが、第４モニタ回路５０ｄを用いることで、例えば半波整流された信号を得ることができ、キャリア増幅器１２のゲートバイアス電圧の制御に必要な振幅情報を第１制御器７４ａに供給することができる。

[0156] 次に、第１１の実施の形態に係るドハティ増幅器用合成器（以下、第１１合成器１０Ｋと記す）について図２７及び図２８を参照しながら説明する。

[0157] この第１１合成器が適用されるドハティ増幅器１０Ｋは、第１合成器１０Ａが適用されるドハティ増幅器１６とほぼ同様の構成を有するが、図２７に示すように、ピーク増幅器１４のゲートバイアス電圧を制御するための第２制御器７４ｂを有する点で異なる。

[0158] そして、第１１合成器１０Ｋは、図２７に示すように、第１合成器１０Ａと同様のキャリア側入力端子２６、ピーク側入力端子２８及び出力端子３０と、ピーク増幅器１４からのピーク信号の振幅情報を出力するための第５モニタ端子３６ｅと、ピーク側入力端子２８と第１λ／４線路３４Ａとの間の第２線路７６ｂに平行して配置され、第２線路７６ｂと電磁気的に結合された第２モニタ線路７８ｂとを有する。

[0159] すなわち、第１１合成器１０Ｋは、図２８に示すように、誘電体基板４２の第１側面４２ａに少なくともキャリア側入力端子２６とピーク側入力端子２８が形成され、誘電体基板４２の第２側面４２ｂに少なくとも出力端子３０と第５モニタ端子３６ｅと第５終端端子３８ｅとが形成されている。

[0160] 誘電体基板４２は、上から順に、第１誘電体層Ｓ１～第４誘電体層Ｓ４が積み重ねられて構成され、第３誘電体層Ｓ３の主面に第１λ／４線路３４Ａ及び第２λ／４線路３４Ｂと、ピーク側入力端子２８から第１λ／４線路３４Ａの他端に延びる第２線路７６ｂと電磁結合される第２モニタ線路７８ｂとが形成されている。第１λ／４線路３４Ａの一端はキャリア側入力端子２６に接続され、第１λ／４線路３４Ａの他端及びピーク側入力端子２８は合成点３２を介して第２λ／４線路３４Ｂの一端に接続され、第２λ／４線路３４Ｂの他端は出力端子３０に接続され、第２モニタ線路７８ｂの一端は第５モニタ端子３６ｅに接続され、第２モニタ線路７８ｂの他端は第５終端端子３８ｅに接続されている。

[0161] 図２７に示すように、第５モニタ端子３６ｅには、第５モニタ回路５０ｅが電気的に接続されている。この第５モニタ回路５０ｅは、ピーク側入力端子２８に入力されたピーク増幅器１４からのピーク信号のレベルをモニタするための回路であり、第１モニタ回路５０ａと同様の構成を有する。第５モニタ回路５０ｅの第５モニタ出力端子５２ｅから出力される信号は第２制御器７４ｂに入力される。第２制御器７４ｂは、入力された第５モニタ出力端子５２ｅからの信号のレベルに応じて、ピーク増幅器１４のゲートバイアス電圧を調整する。

[0162] このように、第１１合成器１０Ｋにおいては、ピーク増幅器１４からの出力信号がモニタ可能となり、これにより、ピーク増幅器１４のゲートバイアス電圧を適宜補正することが可能となるため、ドハティ増幅器１６を使用する上で問題となる利得歪を、増幅器効率の低下を招くことなく改善することができる。また、第５モニタ回路５０ｅを用いることで、例えば半波整流された信号を得ることができ、ピーク増幅器１４のゲートバイアス電圧の制御

に必要な振幅情報を第２制御器７４ｂに供給することができる。

[0163] 次に、第１２の実施の形態に係るドハティ増幅器用合成器（以下、第１２合成器１０Ｌと記す）について図２９～図３０を参照しながら説明する。

[0164] この第１２合成器１０Ｌが適用されるドハティ増幅器１６は、図２９に示すように、キャリア増幅器１２のゲートバイアス電圧を制御するための第１制御器７４ａと、ピーク増幅器１４のゲートバイアス電圧を制御するための第２制御器７４ｂとを有する。

[0165] そして、第１２合成器１０Ｌは、第１０合成器１０Ｊと第１１合成器１０Ｋとが組み合わされた構成を有する。具体的には、図３０に示すように、誘電体基板４２の第１側面４２ａに少なくともキャリア側入力端子２６とピーク側入力端子２８が形成され、誘電体基板４２の第２側面４２ｂに少なくとも出力端子３０、第４モニタ端子３６ｄ、第４終端端子３８ｄ、第５モニタ端子３６ｅ及び第５終端端子３８ｅが形成されている。

[0166] 誘電体基板４２は、上から順に、第１誘電体層Ｓ１～第４誘電体層Ｓ４が積み重ねられて構成され、第３誘電体層Ｓ３の主面に第１λ／４線路３４Ａ、第２λ／４線路３４Ｂ、第１モニタ線路７８ａ及び第２モニタ線路７８ｂが形成されている。第１λ／４線路３４Ａの一端はキャリア側入力端子２６に接続され、第１λ／４線路３４Ａの他端及びピーク側入力端子２８は合成点３２を介して第２λ／４線路３４Ｂの一端に接続され、第２λ／４線路３４Ｂの他端は出力端子３０に接続されている。第１モニタ線路７８ａの一端は第４モニタ端子３６ｄに接続され、第１モニタ線路７８ａの他端は第４終端端子３８ｄに接続され、第２モニタ線路７８ｂの一端は第５モニタ端子３６ｅに接続され、第２モニタ線路７８ｂの他端は第５終端端子３８ｅに接続されている。また、第４モニタ端子３６ｄには第４モニタ回路５０ｄが接続され、第５モニタ端子３６ｅには第５モニタ回路５０ｅが接続されている。第４モニタ回路５０ｄの第４モニタ出力端子５２ｄから出力される信号は第１制御器７４ａに入力され、第５モニタ回路５０ｅの第５モニタ出力端子５２ｅから出力される信号は第２制御器７４ｂに入力される。

[0167] この第１２合成器１０Ｌにおいては、第１０合成器１０Ｊによる効果と第１１合成器１０Ｋによる効果を併せ持つ。すなわち、キャリア増幅器１２のゲートバイアス電圧の制御に加え、ピーク増幅器１４のゲートバイアス電圧の制御も行うことができるため、ドハティ増幅器１６の出力飽和点を向上させることができる。その結果、ＤＰＤ等の歪補償器でのバックオフ点を改善でき、さらなる高効率化が可能となる。

[0168] 次に、第１３の実施の形態に係るドハティ増幅器用合成器（以下、第１３合成器１０Ｍと記す）について図３１及び図３２を参照しながら説明する。

[0169] この第１３合成器１０Ｍは、図３１に示すように、第１合成器１０Ａと同様のキャリア側入力端子２６、ピーク側入力端子２８及び出力端子３０と、ドハティ増幅器１６の出力信号の振幅情報を出力するための第６モニタ端子３６ｆと、出力端子３０と第２λ／４線路３４Ｂとの間の第３線路７６ｃに平行して配置され、且つ、第３線路７６ｃと電磁気的に結合された第３モニタ線路７８ｃとを有する。

[0170] すなわち、第１３合成器１０Ｍは、図３２に示すように、誘電体基板４２の第１側面４２ａに少なくともキャリア側入力端子２６とピーク側入力端子２８が形成され、誘電体基板４２の第２側面４２ｂに少なくとも出力端子３０と第６モニタ端子３６ｆと第６終端端子３８ｆとが形成されている。

[0171] 誘電体基板４２は、上から順に、第１誘電体層Ｓ１～第４誘電体層Ｓ４が積み重ねられて構成され、第３誘電体層Ｓ３の主面に第１λ／４線路３４Ａ及び第２λ／４線路３４Ｂと、第２λ／４線路３４Ｂの一端から出力端子３０に延びる第３線路７６ｃと電磁結合される第３モニタ線路７８ｃとが形成されている。第１λ／４線路３４Ａの一端はキャリア側入力端子２６に接続され、第１λ／４線路３４Ａの他端及びピーク側入力端子２８は合成点３２を介して第２λ／４線路の他端に接続され、第３モニタ線路７８ｃの一端は第６モニタ端子３６ｆに接続され、第３モニタ線路７８ｃの他端は第６終端端子３８ｆに接続されている。

[0172] 図３１に示すように、第６モニタ端子３６ｆと第６モニタ出力端子５２ｆ

間には、第６モニタ回路５０ｆが電気的に接続されている。この第６モニタ回路５０ｆは、ドハティ増幅器１６の出力レベルをモニタするための回路であり、第１モニタ回路５０ａと同様の構成を有する。

[0173] この第１３合成器１０Ｍにおいては、ドハティ増幅器１６のＡＭ／ＡＭ歪（利得歪）補正用信号、並びにＡＰ／ＰＭ歪（振幅位相歪）補正用信号をモニタすることができる。すなわち、第１合成器１０Ａと同様に、ドハティ増幅器１６の出力信号のモニタを精度高く行うことが可能になり、これにより、ドハティ増幅器１６で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができる。また、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。

[0174] また、第１３合成器１０Ｍを用いることで、ドハティ増幅器１６の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

[0175] ここで、第１合成器１０Ａ～第１３合成器１０Ｍに関し、２つの好ましい変形例（第１変形例及び第２変形例）について、図３３及び図３４を参照しながら説明する。

[0176] 先ず、第１変形例に係る合成器１０ａは、例えば第１合成器１０Ａに適用した場合を主体に説明すると、図３３に示すように、キャリア側入力端子２６と第１λ／４線路３４Ａとの間に第１結合コンデンサＣ３ａを接続し、ピーク側入力端子２８と第１λ／４線路３４Ａとの間に第２結合コンデンサＣ３ｂを接続する。

[0177] 第１合成器１０Ａのキャリア側入力端子２６にはキャリア増幅器１２のドレイン端子が接続され、ピーク側入力端子２８にはピーク増幅器１４のドレ

イン端子が接続されることになるため、上述の第１結合コンデンサＣ３ａ及び第２結合コンデンサＣ３ｂを接続することにより、キャリア増幅器１２及びピーク増幅器１４の各ドレイン端子に供給される直流電力を第１合成器１０Ａと切り離し、高周波成分のみを第１合成器１０Ａに入力することができる。特に、この変形例１では、誘電体基板４２内に、上述した第１λ／４線路３４Ａ、第２λ／４線路３４Ｂ及び第３λ／４線路３４Ｃと共に第１結合コンデンサＣ３ａ及び第２結合コンデンサＣ３ｂを形成して一体化したので、小型化を図ることができる。

[0178] 第２変形例に係る合成器１０ｂは、図３４に示すように、１つのピーク増幅器１４に対して複数のキャリア増幅器１２を並列に接続したＮ－Ｗａｙドハティ増幅器（Ｎは３以上の整数）に接続されるもので、例えば第１２合成器１０Ｌに適用した場合を主体に説明すると、複数のキャリア増幅器１２に対応した複数のキャリア側入力端子２６と、１つのピーク増幅器１４に対応した１つのピーク側入力端子２８と、１つの出力端子３０と、複数のキャリア側入力端子２６と１つの合成点３２との間にそれぞれ接続された複数の第１λ／４線路３４Ａと、合成点３２と出力端子３０との間に接続された１つの第２λ／４線路３４Ｂとを有する。

[0179] また、この第２変形例に係る合成器１０ｂは、各キャリア側入力端子２６とそれぞれ対応する第１λ／４線路３４Ａとの間の各第１線路７６ａに平行して配置され、対応する第１線路７６ａにそれぞれ電磁結合された複数の第１モニタ線路７８ａと、ピーク側入力端子２８と合成点３２との間の第２線路７６ｂに平行して配置され、第２線路７６ｂと電磁気的に結合された第２モニタ線路７８ｂとを有する。

[0180] 複数の第１モニタ線路７８ａの各一端はそれぞれ対応する第４モニタ端子３６ｄに接続され、複数の第１モニタ線路７８ａの各他端はそれぞれ対応する第４終端端子３８ｄに接続されている。また、第２モニタ線路７８ｂの一端は第５モニタ端子３６ｅに接続され、他端は第５終端端子３８ｅに接続されている。そして、図３４では、図示しないが、複数の第４モニタ端子３６

ｄにはそれぞれ第４モニタ回路５０ｄ（図２９参照）が接続されており、各第４モニタ回路５０ｄからの信号がそれぞれ対応する第１制御器７４ａに供給されるようになっている。同様に、第５モニタ端子３６ｅにも第５モニタ回路５０ｅ（図２９参照）が接続されており、該第５モニタ回路５０ｅからの信号が第２制御器７４ｂに供給されるようになっている。

[0181] この第２変形例に係る合成器１０ｂにおいては、複数のキャリア増幅器１２に対応して複数の第１λ／４線路３４Ａを有することから、より広い出力範囲で高効率が得られるＮ－ｗａｙドハティ増幅器の利得歪、位相歪を、増幅器効率の低下を招くことなく改善することができる。

[0182] 次に、第１４の実施の形態に係るドハティ増幅器用合成器（以下、第１４合成器１０Ｎと記す）について図３５及び図３６を参照しながら説明する。

[0183] この第１４合成器１０Ｎは、図３５に示すように、２つのドハティ増幅器（第１ドハティ増幅器１６Ａ及び第２ドハティ増幅器１６Ｂ）が並列に連結された複合ドハティ増幅器８０の出力に接続され、第１ドハティ増幅器１６Ａの出力と第２ドハティ増幅器１６Ｂの出力を合成する回路である。

[0184] すなわち、複合ドハティ増幅器８０は、図３５に示すように、入力端子８２からの入力信号を２つに分配する信号分配器８４と、信号分配器８４からの第１入力信号が入力される第１ドハティ増幅器１６Ａと、信号分配器８４からの第２入力信号が入力される第２ドハティ増幅器１６Ｂとを有する。

[0185] 第１ドハティ増幅器１６Ａは、第１入力信号を２つに分配する第１信号分配器２０Ａと、ＡＢ級にバイアスされた第１キャリア増幅器１２Ａと、第１信号分配器２０Ａの一方の出力と第１キャリア増幅器１２Ａの入力とのインピーダンス整合をとる第１キャリア側インピーダンス整合部２２Ａと、Ｂ級又はＣ級にバイアスされた第１ピーク増幅器１４Ａと、第１信号分配器２０Ａの他方の出力と第１ピーク増幅器１４Ａの入力とのインピーダンス整合をとる第１ピーク側インピーダンス整合部２４Ａとを有する。

[0186] 第２ドハティ増幅器１６Ｂは、上述の第１ドハティ増幅器１６Ａと同様の第２信号分配器２０Ｂ、第２キャリア増幅器１２Ｂ、第２ピーク増幅器１４

Ｂ、第２キャリア側インピーダンス整合部２２Ｂ及び第２ピーク側インピーダンス整合部２４Ｂを有する。

[0187] そして、第１４合成器１０Ｎは、第１ドハティ増幅器１６Ａに対応した第１合成部８６Ａと、第２ドハティ増幅器１６Ｂに対応した第２合成部８６Ｂとを有する。

[0188] 第１合成部８６Ａは、第１キャリア増幅器１２Ａからの出力が入力される第１キャリア側入力端子２６ａと、第１ピーク増幅器１４Ａからの出力が入力される第１ピーク側入力端子２８ａと、第１キャリア増幅器１２Ａからの出力と第１ピーク増幅器１４Ａからの出力との第１合成点３２ａと、第１キャリア側入力端子２６ａと第１合成点３２ａとの間に接続された一方の第１λ／４線路３４Ａａと、第１合成部８６Ａの出力が現れる第１出力ノード８８ａと、第１合成点３２ａと第１出力ノード８８ａとの間に接続された一方の第２λ／４線路３４Ｂａとを有する。

[0189] また、第２合成部８６Ｂは、上述した第１合成部８６Ａと同様に、第２キャリア側入力端子２６ｂ、第２ピーク側入力端子２８ｂ、第２合成点３２ｂ、他方の第１λ／４線路３４Ａｂ、第２出力ノード８８ｂ及び他方の第２λ／４線路３４Ｂｂを有する。

[0190] さらに、この第１４合成器１０Ｎは、第１出力ノード８８ａと出力端子３０間に接続された第７λ／４線路３４Ｇと、第２出力ノード８８ｂとＧＮＤ（グランド）間に接続され、第７λ／４線路３４Ｇと電磁結合する第８λ／４線路３４Ｈとを有する。第７λ／４線路３４Ｇと第８λ／４線路３４Ｈとで１つの方向性結合器（第４方向性結合器４０Ｄ）が構成されている。

[0191] さらに、この第１４合成器１０Ｎは、第１合成部８６Ａと、第２合成部８６Ｂとが第４方向性結合器４０Ｄと共に１つの誘電体基板４２内に一体化して形成されている。

[0192] すなわち、第１４合成器１０Ｎは、図３６に示すように、誘電体基板４２の第２側面４２ｂに少なくとも第１キャリア側入力端子２６ａと、第１ピーク側入力端子２８ａと、第２キャリア側入力端子２６ｂと、第２ピーク側入

力端子２８ｂとが形成され、誘電体基板４２の第１側面４２ａに少なくとも出力端子３０が形成されている。

[0193] 誘電体基板４２は、上から順に、第１誘電体層Ｓ１～第８誘電体層Ｓ８が積み重ねられて構成されている。これらの第１誘電体層Ｓ１～第８誘電体層Ｓ８は、１枚あるいは複数枚の層にて構成される。

[0194] 第１４合成器１０Ｎは、第３誘電体層Ｓ３の主面に第１合成部８６Ａを構成する一方の第１λ／４線路３４Ａａ、一方の第２λ／４線路３４Ｂａ及び第１合成点３２ａが形成され、第４誘電体層Ｓ４の主面にシールド端子４４に接続された第１内層シールド電極４８ａが形成され、第５誘電体層Ｓ５の主面に第４方向性結合器４０Ｄを構成する第７λ／４線路３４Ｇ及び第８λ／４線路３４Ｈが形成され、第６誘電体層Ｓ６の主面にシールド端子４４に接続された第２内層シールド電極４８ｂが形成され、第７誘電体層Ｓ７の主面に第２合成部８６Ｂを構成する他方の第１λ／４線路３４Ａｂ、他方の第２λ／４線路３４Ｂｂ及び第２合成点３２ｂが形成されている。

[0195] 一方の第１λ／４線路３４Ａａの一端は第１キャリア側入力端子２６ａに接続され、一方の第２λ／４線路３４Ｂａの一端は第１合成点３２ａを介して一方の第１λ／４線路３４Ａａの他端及び第１ピーク側入力端子２８ａに接続され、一方の第２λ／４線路３４Ｂａの他端は第３誘電体層Ｓ３及び第４誘電体層Ｓ４を貫通する第１ビアホール７２ａを介して第７λ／４線路３４Ｇの一端に接続され、第７λ／４線路３４Ｇの他端は出力端子３０に接続されている。

[0196] 同様に、他方の第１λ／４線路３４Ａｂの一端は第２キャリア側入力端子２６ｂに接続され、他方の第２λ／４線路３４Ｂｂの一端は第２合成点３２ｂを介して他方の第１λ／４線路３４Ａｂの他端及び第２ピーク側入力端子２８ｂに接続され、他方の第２λ／４線路３４Ｂｂの他端は第５誘電体層Ｓ５及び第６誘電体層Ｓ６を貫通する第２ビアホール７２ｂを介して第８λ／４線路３４Ｈの一端に接続され、第８λ／４線路３４Ｈの他端はシールド端子４４に接続されている。

[0197] 一般に、携帯電話の基地局には郊外用のハイパワーのものから、施設内をカバーする小型なものまで多くの種類がある。このうち、特に大きな出力が必要な場合には、上述した複合ドハティ増幅器８０のように、２台のドハティ増幅器を並列に連結して用いることがある。このような複合ドハティ増幅器８０に適用したドハティ増幅器用合成器としては、各ドハティ増幅器に対応した２つの合成器と、２つの合成器の出力を合成するための方向性結合器とが必要になる。この場合、１台のドハティ増幅器の場合よりも扱う出力が大きいため、わずかなミスマッチングや位相の変化が、出力の反射によりアンプの破壊等の深刻な問題を引き起こす。従って、回路基板に実装する際には、各構成部品（２つの合成器、方向性結合器等）の回路基板への実装位置を考慮したり、回路基板の影響を考慮する必要があり、設計の自由度が小さく、要求される仕様に対して良好な特性を得るまでに、試作検討を繰り返さなくてはならず、多大な労力と時間が必要になるという問題がある。

[0198] これに対して、第１４合成器１０Ｎでは、第１ドハティ増幅器１６Ａに対応した第１合成部８６Ａと、第２ドハティ増幅器１６Ｂに対応した第２合成部８６Ｂと、第１合成部８６Ａの出力と第２合成部８６Ｂの出力を合成する第４方向性結合器４０Ｄとを誘電体基板４２内に一体化して形成するようにしたので、回路基板に対して１つのチップとして実装すればよく、ストリップライン構造であることから、回路基板の影響を受けることも少なくなるため、設計の自由度を上げることができ、要求される仕様に対して良好な特性を容易に得ることができ、所望の高い出力を得ることもできる。

[0199] ここで、第１合成器１０Ａ～第１４合成器１０Ｎに関し、２つの好ましい変形例（第３変形例及び第４変形例）について、図３７及び図３８を参照しながら説明する。

[0200] 先ず、第３変形例に係る合成器１０ｃは、図３７に示すように、誘電体基板４２のうち、回路基板が設置される面の反対面（例えば上面４２ｅ）に設けられた複数の溝９０を有する。

[0201] 一般に、ドハティ増幅器は、キャリア増幅器１２及びピーク増幅器１４で

増幅された高周波電力が内部で合成されることから、発熱しやすい。そこで、誘電体基板４２に上述の複数の溝９０を形成することで、合成器１０ｃで発生した熱を大気中に逃がしやすくなり、発熱による合成器１０ｃの損失の増大を抑制することができ、しかも、合成器１０ｃの許容入力を高めることができる。

[0202] 第４変形例に係る合成器１０ｄは、図３８に示すように、誘電体基板４２に形成された複数のサーマルビア９２を有する。サーマルビア９２の形成位置としては、例えば誘電体基板４２の上面４２ｅから上部シールド電極４６ａ（図３参照）に達する領域、誘電体基板４２の下面４２ｆから下部シールド電極４６ｂ（図３参照及）に達する領域等がある。

[0203] この合成器１０ｄにおいては、キャリア増幅器１２とピーク増幅器１４からの信号が入力されることによって、合成器１０ｄ内で発生した熱をサーマルビア９２を通じて大気中や回路基板に逃がしやすくなり、発熱による合成器１０ｄの損失の増大を抑制することができ、しかも、合成器１０ｄの許容入力を高めることができる。

実施例

[0204] ［第１実施例］

比較例１、実施例１～実施例３について、それぞれの出力特性を確認した。

[0205] （比較例１）

図３９に示すように、信号分配器２０、キャリア側インピーダンス整合部２２、ピーク側インピーダンス整合部２４、キャリア増幅器１２及びピーク増幅器１４を有する通常のドハティ増幅器１６の出力に、比較例１に係る合成器２００を接続し、さらに、合成器２００の出力に、特性インピーダンスが５０オームのマイクロストリップ線路２０２（１ｃｍ）を介して３０ｄＢの方向性結合器２０４を接続した。すなわち、回路基板上に、ドハティ増幅器１６と、比較例１に係る合成器２００と、マイクロストリップ線路２０２と、方向性結合器２０４とを実装した。比較例１に係る合成器２００は、誘

電体基板４２内に第１λ／４線路３４Ａと、合成点３２と、第２λ／４線路３４Ｂとを形成してチップ化した。

[0206] そして、出力端子３０から出力される信号に基づいてドハティ増幅器１６の利得及び増幅器効率の測定を行った。このとき、比較例１に係る合成器２００からの出力は５２．８ｄＢｍであった。

[0207] 続いて、回路基板に実装されたものと同じ長さのマイクロストリップ線路２０２と３０ｄＢの方向性結合器２０４とを含む全体の挿入損失を測定したところ、０．１６ｄＢであった。

[0208] 従って、マイクロストリップ線路２０２と方向性結合器２０４による損失パワーは７．１Ｗと計算される。

[0209] （実施例１）

回路基板上に、通常のドハティ増幅器１６と、図２３及び図２４に示す第９合成器１０Ｉとを実装し、第９合成器１０Ｉのキャリア側入力端子２６にキャリア増幅器１２を接続し、ピーク側入力端子２８にピーク増幅器１４を接続した。

[0210] 第３モニタ端子３６ｃに接続された第３モニタ回路５０ｃから出力される信号に基づいてドハティ増幅器１６の利得及び増幅器効率の測定を行った。このとき、第９合成器１０Ｉからの出力は５２．９ｄＢｍであった。

[0211] 合成器の部分と第３方向性結合器４０Ｃの部分とが誘電体基板４２内で一体化された第９合成器１０Ｉによる損失パワーは３．９Ｗであり、比較例１に対して４．４Ｗの改善が実現できた。このときの増幅器効率は４５％であったので、消費電力で９．８Ｗ改善された。これは、比較例１にて実装したマイクロストリップ線路２０２の配線ロスがなくなった上に、図２４に示すように、第１λ／４線路３４Ａ、合成点３２及び第２λ／４線路３４Ｂとからなる合成器の部分と第３方向性結合器４０Ｃとを内層シールド電極４８を間に挟んで上下に重ねることで、接続配線長を最短にすることができたためと考えられる。

[0212] （実施例２）

回路基板上に、通常のドハティ増幅器１６と、図１～図３に示す第１合成器１０Ａとを実装し、第１合成器１０Ａのキャリア側入力端子２６にキャリア増幅器１２を接続し、ピーク側入力端子２８にピーク増幅器１４を接続した。

[0213] 第１モニタ端子３６ａに接続された第１モニタ回路５０ａから出力される信号に基づいてドハティ増幅器１６の利得及び増幅器効率の測定を行った。このとき、第１合成器１０Ａからの出力は５２．９５ｄＢであり、比較例１に対して６．７Wほど改善された。これは消費電力で１４Wの改善となる。

[0214] 比較例１に比べ、配線のマイクロストリップ線路２０２のロスがなくなったことに加え、追加の方向性結合器２０４による損失がなくなったことによる効果と考えられる。

[0215] （実施例３）

回路基板上に、通常のドハティ増幅器１６と、図１４及び図１５に示す第４合成器１０Ｄとを実装し、第４合成器１０Ｄのキャリア側入力端子２６にキャリア増幅器１２を接続し、ピーク側入力端子２８にピーク増幅器１４を接続した。

[0216] 第２モニタ端子３６ｂに接続された第２モニタ回路５０ｂから出力される信号（高周波信号の包絡線）に基づいてキャリア増幅器１２のゲートバイアスコントロールを行った。Ｗ－ＣＤＭＡ信号を用い、隣接チャンネル漏洩電力（ＡＣＬＲ Ａｄｊａｃｅｎｔ ｃｈａｎｎｅｌ ｌｅａｋａｇｅ ｒａｔｉｏ）を測定したところ、－４５ｄＢｃから２ｄＢｃほど改善することができた。

[0217] ［第２実施例］

比較例２、実施例１１及び実施例１２について、それぞれの出力特性を確認した。

[0218] （比較例２）

図４０に示すように、信号分配器２０、キャリア側インピーダンス整合部２２、ピーク側インピーダンス整合部２４、キャリア増幅器１２及びピーク

増幅器１４を有する通常のドハティ増幅器１６の出力に、比較例２に係る合成器２００を接続した。すなわち、回路基板上に、ドハティ増幅器１６と、比較例２に係る合成器２００とを実装した。比較例２に係る合成器２００は、誘電体基板４２内に第１λ／４線路３４Ａと、合成点３２と、第２λ／４線路３４Ｂとを形成してチップ化した。

[0219] そして、ドハティ増幅器１６の基本特性である利得特性及び効率特性を計測したところ、図４１のような特性であった。このドハティ増幅器１６では、入力側の信号分配器２０に３ｄＢハイブリッドカプラを使用しているため、最大出力（利得が１ｄＢ低下する点）より約６ｄＢ低い出力において効率特性に変曲点Ｐａが見られる。この変曲点ｐａよりもさらに効率を上げようとすると、利得特性に変曲点Ｐｂが現れる。

[0220] なお、ドハティ増幅器１６が取り扱う信号のピーク・アベレージ信号パワー比（ＰＡＰＲ：Ｐｅａｋ　Ａｖｅｒａｇｅ　Ｐｏｗｅｒ　Ｒａｔｉｏ）に応じて、入力側の信号分配器２０の信号分配比は適宜選択可能であり、例えばＰＡＰＲ＝８ｄＢの場合は、入力側の信号分配器２０に５ｄＢの不等分配カプラを使用することにより達成可能である。

[0221] そして、ドハティ増幅器１６に対して、歪補償器としてＤＰＤ（Ｄｉｇｉｔａｌ　Ｐｒｅ　Ｄｉｓｔｏｒｔｉｏｎ）を用いて歪補償前後での歪計測を実施した。入力信号はＷ－ＣＤＭＡを用い、隣接チャネル漏洩電力（ＡＣＬＲ　Ａｄｊａｃｅｎｔ　Ｃｈａｎｎｅｌ　Ｌｅａｋａｇｅ　ｐｏｗｅｒ　Ｒａｔｉｏ）により歪を評価した。

[0222] 比較例２では、歪補償前のＡＣＬＲが－４５ｄＢｃに対し、歪補償後のＡＣＬＲは－５０ｄＢｃとなり、歪補償による歪の改善は－５ｄＢｃに留まった。

[0223] （実施例１１）

回路基板上に、通常のドハティ増幅器１６と、図２５及び図２６に示す第１０合成器１０Ｊとを実装し、第１０合成器１０Ｊのキャリア側入力端子２６にキャリア増幅器１２を接続し、ピーク側入力端子２８にピーク増幅器１

４を接続した。そして、第４モニタ端子３６ｄに接続された第４モニタ回路５０ｄからの出力を、キャリア増幅器１２のゲートバイアス電圧を制御するための第１制御器７４ａに入力し、キャリア増幅器１２からのキャリア信号の振幅レベルに基づいてキャリア増幅器１２のゲートバイアス電圧を制御可能とした。

[0224] これにより、キャリア増幅器１２の利得が低下し始める出力領域において、ゲートバイアス電圧を上げることで、キャリア増幅器１２の利得低減を抑制できることから、図４２に示すように、従来のドハティ増幅器１６の利得に見られた変曲点Ｐｂ（図４１及び図４５参照）の発生を抑制することが可能となり、この結果、ＤＰＤによる歪補償が容易となる。

[0225] 例えば比較例２と同等の計測条件において、歪を計測したところ、歪補償前のＡＣＬＲがー４５ｄＢｃだったのに対し、歪補償後のＡＣＬＲはー５６ｄＢｃとなり、比較例２と比較して歪の改善度合いがー６ｄＢｃ向上した。

[0226] （実施例１２）

回路基板上に、通常のドハティ増幅器１６と、図２９及び図３０に示す第１２合成器１０Ｌとを実装し、第１２合成器１０Ｌのキャリア側入力端子２６にキャリア増幅器１２を接続し、ピーク側入力端子２８にピーク増幅器１４を接続した。そして、第４モニタ端子３６ｄに接続された第４モニタ回路５０ｄからの出力を、キャリア増幅器１２のゲートバイアス電圧を制御するための第１制御器７４ａに入力し、さらに、第５モニタ端子３６ｅに接続された第５モニタ回路５０ｅからの出力を、ピーク増幅器１４のゲートバイアス電圧を制御するための第２制御器７４ｂに入力し、キャリア増幅器１２からのキャリア信号の振幅レベルに基づいてキャリア増幅器１２のゲートバイアス電圧を制御可能とすると共に、ピーク増幅器１４からのピーク信号の振幅レベルに基づいてピーク増幅器１４のゲートバイアス電圧を制御可能とした。

[0227] これにより、キャリア増幅器１２の利得低減抑制効果に加え、ピーク増幅器１４の利得低減も抑制できることから、図４３に示すように、この実施例

１２では、実施例１１と比較して高出力領域での利得低減がさらに抑制される。この結果、ＤＰＤによる歪補償がさらに容易となる。

[0228] 例えば比較例２と同等の計測条件において、歪を計測したところ、歪補償前のＡＣＬＲがー４８ｄＢｃだったのに対し、歪補償後のＡＣＬＲはー６１ｄＢｃとなり、比較例２と比較して歪の改善度合いがー８ｄＢｃ改善した。

[0229] なお、本発明に係るドハティ増幅器用合成器は、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

請求の範囲

[請求項1] キャリア増幅器（１２）とピーク増幅器（１４）とを有するドハティ増幅器（１６）の出力に接続され、前記キャリア増幅器（１２）からの出力と前記ピーク増幅器（１４）からの出力とを合成するドハティ増幅器用合成器であって、

前記キャリア増幅器（１２）からの出力が入力される第１入力端子（２６）と、

前記ピーク増幅器（１４）からの出力が入力される第２入力端子（２８）と、

前記キャリア増幅器（１２）からの出力と前記ピーク増幅器（１４）からの出力とを合成した信号が出力される出力端子（３０）と、

前記キャリア増幅器（１２）からの出力と前記ピーク増幅器（１４）からの出力との合成点（３２）と、

前記第１入力端子（２６）と前記合成点（３２）との間に接続された第１λ／４線路（３４Ａ）と、

前記合成点（３２）と前記出力端子（３０）との間に接続された第２λ／４線路（３４Ｂ）と、

前記第１入力端子（２６）から前記合成点（３２）にかけて流れる信号、前記第２入力端子（２８）から前記合成点（３２）にかけて流れる信号及び前記合成点（３２）から前記出力端子（３０）にかけて流れる信号のうち、１以上の信号をモニタする信号モニタ手段とを有することを特徴とするドハティ増幅器用合成器。

[請求項2] 請求項１記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、方向性結合器（４０Ａ又は４０Ｂ）を備え、

前記方向性結合器（４０Ａ又は４０Ｂ）は、

前記第１λ／４線路（３４Ａ）及び前記第２λ／４線路（３４Ｂ）のうち、モニタ対象のλ／４線路と電磁結合する第３λ／４線路（３

４Ｃ）を有することを特徴とするドハティ増幅器用合成器。

[請求項3] 請求項２記載のドハティ増幅器用合成器において、

前記第３λ／４線路（３４Ｃ）の一端にモニタ端子（３６ａ又は３６ｂ）が接続され、前記第３λ／４線路（３４Ｃ）の他端に終端抵抗（Ｒｅ）が接続されていることを特徴とするドハティ増幅器用合成器。

[請求項4] 請求項３記載のドハティ増幅器用合成器において、

複数の誘電体層が積層されて構成された誘電体基板（４２）を有し、

前記第１入力端子（２６）、前記第２入力端子（２８）、前記出力端子（３０）及び前記モニタ端子（３６ａ又は３６ｂ）が前記誘電体基板（４２）の表面に形成され、

前記第１λ／４線路（３４Ａ）、前記第２λ／４線路（３４Ｂ）及び前記第３λ／４線路（３４Ｃ）が前記誘電体基板（４２）内に形成されていることを特徴とするドハティ増幅器用合成器。

[請求項5] 請求項４記載のドハティ増幅器用合成器において、

前記誘電体基板（４２）内に、前記第１λ／４線路（３４Ａ）及び前記第２λ／４線路（３４Ｂ）のうち、前記モニタ対象のλ／４線路、並びに前記第３λ／４線路（３４Ｃ）と、前記第１λ／４線路（３４Ａ）及び前記第２λ／４線路（３４Ｂ）のうち、前記モニタ対象外のλ／４線路との間に形成された内層シールド電極（４８）を有することを特徴とするドハティ増幅器用合成器。

[請求項6] 請求項２記載のドハティ増幅器用合成器において、

さらに、前記第３λ／４線路（３４Ｃ）に接続され、且つ、該第３λ／４線路（３４Ｃ）の特性インピーダンスを前記モニタ対象のλ／４線路の特性インピーダンスと整合させるための第４λ／４線路（３４Ｄ）とを有することを特徴とするドハティ増幅器用合成器。

[請求項7] 請求項６記載のドハティ増幅器用合成器において、

前記モニタ対象のλ／４線路、前記第３λ／４線路（３４Ｃ）及び前記第４λ／４線路（３４Ｄ）の各特性インピーダンスが共に同じであることを特徴とするドハティ増幅器用合成器。

[請求項8] 請求項２～７のいずれか１項に記載のドハティ増幅器用合成器において、

前記第３λ／４線路（３４Ｃ）は、前記第２λ／４線路（３４Ｂ）と電磁結合されていることを特徴とするドハティ増幅器用合成器。

[請求項9] 請求項２～７のいずれか１項に記載のドハティ増幅器用合成器において、

前記第３λ／４線路（３４Ｃ）は、前記第１λ／４線路（３４Ａ）と電磁結合されていることを特徴とするドハティ増幅器用合成器。

[請求項10] 請求項６記載のドハティ増幅器用合成器において、

前記第３λ／４線路（３４Ｃ）の一端に前記第４λ／４線路（３４Ｄ）の一端が接続され、前記第３λ／４線路（３４Ｃ）の他端に終端抵抗（Ｒｅ）が接続され、

前記第４λ／４線路（３４Ｄ）の他端にモニタ端子（３６ａ又は３６ｂ）が接続されていることを特徴とするドハティ増幅器用合成器。

[請求項11] 請求項６記載のドハティ増幅器用合成器において、

前記第３λ／４線路（３４Ｃ）の一端に前記第４λ／４線路（３４Ｄ）の一端が接続され、前記第３λ／４線路（３４Ｃ）の他端にモニタ端子（３６ａ又は３６ｂ）が接続され、

前記第４λ／４線路（３４Ｄ）の他端に終端抵抗（Ｒｅ）が接続されていることを特徴とするドハティ増幅器用合成器。

[請求項12] 請求項１０又は１１記載のドハティ増幅器用合成器において、

複数の誘電体層が積層されて構成された誘電体基板（４２）を有し、

前記第１入力端子（２６）、前記第２入力端子（２８）、前記出力端子（３０）及び前記モニタ端子（３６ａ又は３６ｂ）が前記誘電体

基板（４２）の表面に形成され、

前記第１λ／４線路（３４Ａ）、前記第２λ／４線路（３４Ｂ）、前記第３λ／４線路（３４Ｃ）及び前記第４λ／４線路（３４Ｄ）が前記誘電体基板（４２）内に形成されていることを特徴とするドハティ増幅器用合成器。

[請求項13] 請求項１２記載のドハティ増幅器用合成器において、

前記誘電体基板（４２）内に、前記第１λ／４線路（３４Ａ）及び前記第２λ／４線路（３４Ｂ）のうち、前記モニタ対象のλ／４線路並びに前記第３λ／４線路（３４Ｃ）と、前記第１λ／４線路（３４Ａ）及び前記第２λ／４線路（３４Ｂ）のうち、前記モニタ対象外のλ／４線路との間に形成された第１内層シールド電極（４８ａ）と、

前記誘電体基板（４２）内に、前記モニタ対象のλ／４線路と、前記第４λ／４線路（３４Ｄ）との間に形成された第２内層シールド電極（４８ｂ）とを有することを特徴とするドハティ増幅器用合成器。

[請求項14] 請求項１２又は１３記載のドハティ増幅器用合成器において、

前記第３λ／４線路（３４Ｃ）と前記第４λ／４線路（３４Ｄ）とがビアホール（７２）を介して接続されていることを特徴とするドハティ増幅器用合成器。

[請求項15] 請求項３又は１０記載のドハティ増幅器用合成器において、

前記モニタ端子（３６ａ又は３６ｂ）に、前記方向性結合器（４０Ａ又は４０Ｂ）の出力をモニタするためのモニタ回路（５０ａ又は５０ｂ）が接続され、

前記モニタ回路（５０ａ又は５０ｂ）は、ダイオード（Ｄａ）を有することを特徴とするドハティ増幅器用合成器。

[請求項16] 請求項１記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、方向性結合器（４０Ｃ）を備え、

前記方向性結合器（４０Ｃ）は、

前記第２λ／４線路（３４Ｂ）と前記出力端子（３０）との間に接

続された第５λ／４線路（３４Ｅ）と、

前記第５λ／４線路（３４Ｅ）と電磁結合する第６λ／４線路（３４Ｆ）とを有することを特徴とするドハティ増幅器用合成器。

[請求項17] 請求項１６記載のドハティ増幅器用合成器において、

前記第６λ／４線路（３４Ｆ）の一端にモニタ端子（３６ｃ）が接続され、前記第６λ／４線路（３４Ｆ）の他端に終端抵抗（Ｒｅ）が接続されていることを特徴とするドハティ増幅器用合成器。

[請求項18] 請求項１７記載のドハティ増幅器用合成器において、

複数の誘電体層が積層されて構成された誘電体基板（４２）を有し、

前記第１入力端子（２６）、前記第２入力端子（２８）、前記出力端子（３０）及び前記モニタ端子（３６ｃ）が前記誘電体基板（４２）の表面に形成され、

前記第１λ／４線路（３４Ａ）、前記第２λ／４線路（３４Ｂ）、前記第５λ／４線路（３４Ｅ）及び前記第６λ／４線路（３４Ｆ）が前記誘電体基板（４２）内に形成されていることを特徴とするドハティ増幅器用合成器。

[請求項19] 請求項１８記載のドハティ増幅器用合成器において、

前記誘電体基板（４２）内に、前記第１λ／４線路（３４Ａ）及び前記第２λ／４線路（３４Ｂ）と、前記第５λ／４線路（３４Ｅ）及び前記第６λ／４線路（３４Ｆ）との間に形成された内層シールド電極（４８）を有することを特徴とするドハティ増幅器用合成器。

[請求項20] 請求項１記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記キャリア増幅器（１２）からのキャリア信号の振幅情報を出力するための第１モニタ端子（３６ｄ）を有することを特徴とするドハティ増幅器用合成器。

[請求項21] 請求項２０記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記第１入力端子（２６）と前記第１λ／４線路（３４Ａ）との間の第１線路（７６ａ）に平行して配置され、前記第１線路（７６ａ）と電磁気的に結合された第１モニタ線路（７８ａ）を有し、

前記第１モニタ線路（７８ａ）は前記第１モニタ端子（３６ｄ）に接続されていることを特徴とするドハティ増幅器用合成器。

[請求項22] 請求項２０又は２１記載のドハティ増幅器用合成器において、

前記第１モニタ端子（３６ｄ）に、前記第１モニタ線路（７８ａ）の出力をモニタするための第１モニタ回路（５０ｄ）が接続され、

前記第１モニタ回路（５０ｄ）は、ダイオード（Ｄａ）を有することを特徴とするドハティ増幅器用合成器。

[請求項23] 請求項１記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記ピーク増幅器（１４）からのピーク信号の振幅情報を出力するための第２モニタ端子（３６ｅ）を有することを特徴とするドハティ増幅器用合成器。

[請求項24] 請求項２３記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記第２入力端子（２８）と前記第１λ／４線路（３４Ａ）との間の第２線路（７６ｂ）に平行して配置され、前記第２線路（７６ｂ）と電磁気的に結合された第２モニタ線路（７８ｂ）を有し、

前記第２モニタ線路（７８ｂ）は前記第２モニタ端子（３６ｅ）に接続されていることを特徴とするドハティ増幅器用合成器。

[請求項25] 請求項２３又は２４記載のドハティ増幅器用合成器において、

前記第２モニタ端子（３６ｅ）に、前記第２モニタ線路（７８ｂ）の出力をモニタするための第２モニタ回路（５０ｅ）が接続され、

前記第２モニタ回路（５０ｅ）は、ダイオード（Ｄａ）を有することを特徴とするドハティ増幅器用合成器。

[請求項26] 請求項１記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記キャリア増幅器（１２）からのキャリア信号の振幅情報を出力するための第１モニタ端子（３６ｄ）と、

前記第１入力端子（２６）と前記第１λ／４線路（３４Ａ）との間の第１線路（７６ａ）に平行して配置され、且つ、前記第１線路（７６ａ）と電磁気的に結合され、前記第１モニタ端子（３６ｄ）に接続された第１モニタ線路（７８ａ）と、

前記ピーク増幅器（１４）からのピーク信号の振幅情報を出力するための第２モニタ端子（３６ｅ）と、

前記第２入力端子（２８）と前記第１λ／４線路（３４Ａ）との間の第２線路（７６ｂ）に平行して配置され、且つ、前記第２線路（７６ｂ）と電磁気的に結合され、前記第２モニタ端子（３６ｅ）に接続された第２モニタ線路（７８ｂ）とを有することを特徴とするドハティ増幅器用合成器。

[請求項27] 請求項２６記載のドハティ増幅器用合成器において、

前記第１モニタ端子（３６ｄ）に、前記第１モニタ線路（７８ａ）の出力をモニタするための第１モニタ回路（５０ｄ）が接続され、

前記第２モニタ端子（３６ｅ）に、前記第２モニタ線路（７８ｂ）の出力をモニタするための第２モニタ回路（５０ｅ）が接続され、

前記第１モニタ回路（５０ｄ）及び前記第２モニタ回路（５０ｅ）は、それぞれダイオード（Ｄａ）を有することを特徴とするドハティ増幅器用合成器。

[請求項28] 請求項１記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記ドハティ増幅器（１６）の出力信号の振幅情報を出力するための第３モニタ端子（３６ｆ）と、

前記出力端子（３０）と前記第２λ／４線路（３４Ｂ）との間の第

３線路（７６ｃ）に平行して配置され、且つ、前記第３線路（７６ｃ）と電磁気的に結合され、前記第３モニタ端子（３６ｆ）に接続された第３モニタ線路（７８ｃ）とを有することを特徴とするドハティ増幅器用合成器。

[請求項29] 請求項２８記載のドハティ増幅器用合成器において、

前記第３モニタ端子（３６ｆ）に、前記第３モニタ線路（７８ｃ）の出力をモニタするための第３モニタ回路（５０ｆ）が接続され、

前記第３モニタ回路（５０ｆ）は、ダイオード（Ｄａ）を有することを特徴とするドハティ増幅器用合成器。

[請求項30] 請求項１～２９のいずれか１項に記載のドハティ増幅器用合成器において、

前記第１入力端子（２６）と前記第１λ／４線路（３４Ａ）とが容量結合され、

前記第２入力端子（２８）と前記第１λ／４線路（３４Ａ）とが容量結合されていることを特徴とするドハティ増幅器用合成器。

[請求項31] 複数のキャリア増幅器（１２）と１つのピーク増幅器（１４）とを有するドハティ増幅器（１６）の出力に接続され、前記複数のキャリア増幅器（１２）からの各出力と前記ピーク増幅器（１４）からの出力とを合成するドハティ増幅器用合成器であって、

前記複数のキャリア増幅器（１２）からの出力が入力される複数の第１入力端子（２６）と、

前記ピーク増幅器（１４）からの出力が入力される１つの第２入力端子（２８）と、

前記複数のキャリア増幅器（１２）からの各出力と前記ピーク増幅器（１４）からの出力とを合成した信号が出力される１つの出力端子（３０）と、

前記複数のキャリア増幅器（１２）からの出力と前記ピーク増幅器（１４）からの出力との合成点（３２）と、

前記複数の第１入力端子（２６）と前記合成点（３２）との間にそれぞれ接続された複数の第１λ／４線路（３４Ａ）と、

前記合成点（３２）と前記出力端子（３０）との間に接続された第２λ／４線路（３４Ｂ）と、

前記複数の第１入力端子（２６）から前記合成点（３２）にかけてそれぞれ流れる信号、前記第２入力端子（２８）から前記合成点（３２）にかけて流れる信号及び前記合成点（３２）から前記出力端子（３０）にかけて流れる信号のうち、１以上の信号をモニタする信号モニタ手段とを有することを特徴とするドハティ増幅器用合成器。

[請求項32] 請求項３１記載のドハティ増幅器用合成器において、

複数の誘電体層が積層されて構成された誘電体基板（４２）を有し、

前記複数の第１入力端子（２６）、前記第２入力端子（２８）及び前記出力端子（３０）が前記誘電体基板の表面に形成され、

前記複数の第１λ／４線路（３４Ａ）及び前記第２λ／４線路（３４Ｂ）が前記誘電体基板内に形成されていることを特徴とするドハティ増幅器用合成器。

[請求項33] 請求項３２記載のドハティ増幅器用合成器において、

前記誘電体基板（４２）内のうち、前記複数の第１λ／４線路（３４Ａ）間、並びに、前記複数の第１λ／４線路（３４Ａ）と前記第２λ／４線路（３４Ｂ）間にそれぞれ内層シールド電極（４８）が形成されていることを特徴とするドハティ増幅器用合成器。

[請求項34] 第１キャリア増幅器（１２Ａ）と第１ピーク増幅器（１４Ａ）とを有する第１ドハティ増幅器（１６Ａ）の出力に接続され、前記第１キャリア増幅器（１２Ａ）からの出力と前記第１ピーク増幅器（１４Ａ）からの出力とを合成する第１合成部（８６Ａ）と、

第２キャリア増幅器（１２Ｂ）と第２ピーク増幅器（１４Ｂ）とを有する第２ドハティ増幅器（１６Ｂ）の出力に接続され、前記第２キ

ャリア増幅器（１２Ｂ）からの出力と前記第２ピーク増幅器（１４Ｂ）からの出力とを合成する第２合成部（８６Ｂ）と、

前記第１合成部（８６Ａ）の出力に接続される第７λ／４線路（３４Ｇ）と、前記第２合成部（８６Ｂ）の出力に接続される第８λ／４線路（３４Ｈ）とから構成される方向性結合器（４０Ｄ）とを有することを特徴とするドハティ増幅器用合成器。

[請求項35] 請求項３４記載のドハティ増幅器用合成器において、

複数の誘電体層が積層されて構成された誘電体基板（４２）を有し、

前記第１合成部（８６Ａ）、前記第２合成部（８６Ｂ）及び前記方向性結合器（４０Ｄ）が前記誘電体基板（４２）内に形成されていることを特徴とするドハティ増幅器用合成器。

[請求項36] 請求項３５記載のドハティ増幅器用合成器において、

前記誘電体基板（４２）内のうち、前記第１合成部（８６Ａ）、前記第２合成部（８６Ｂ）及び前記方向性結合器（４０Ｄ）間にそれぞれ内層シールド電極（４８）が形成されていることを特徴とするドハティ増幅器用合成器。

[請求項37] 請求項４、５、１２、１３、１８、１９、３２、３３、３５又は３６記載のドハティ増幅器用合成器において、

前記誘電体基板（４２）のうち、回路基板が設置される面の反対面に設けられた複数の溝（９０）を有することを特徴とするドハティ増幅器用合成器。

[請求項38] 請求項４、５、１２、１３、１８、１９、３２、３３、３５又は３６記載のドハティ増幅器用合成器において、

前記誘電体基板（４２）にサーマルビア（９２）が形成されていることを特徴とするドハティ増幅器用合成器。

[図1]

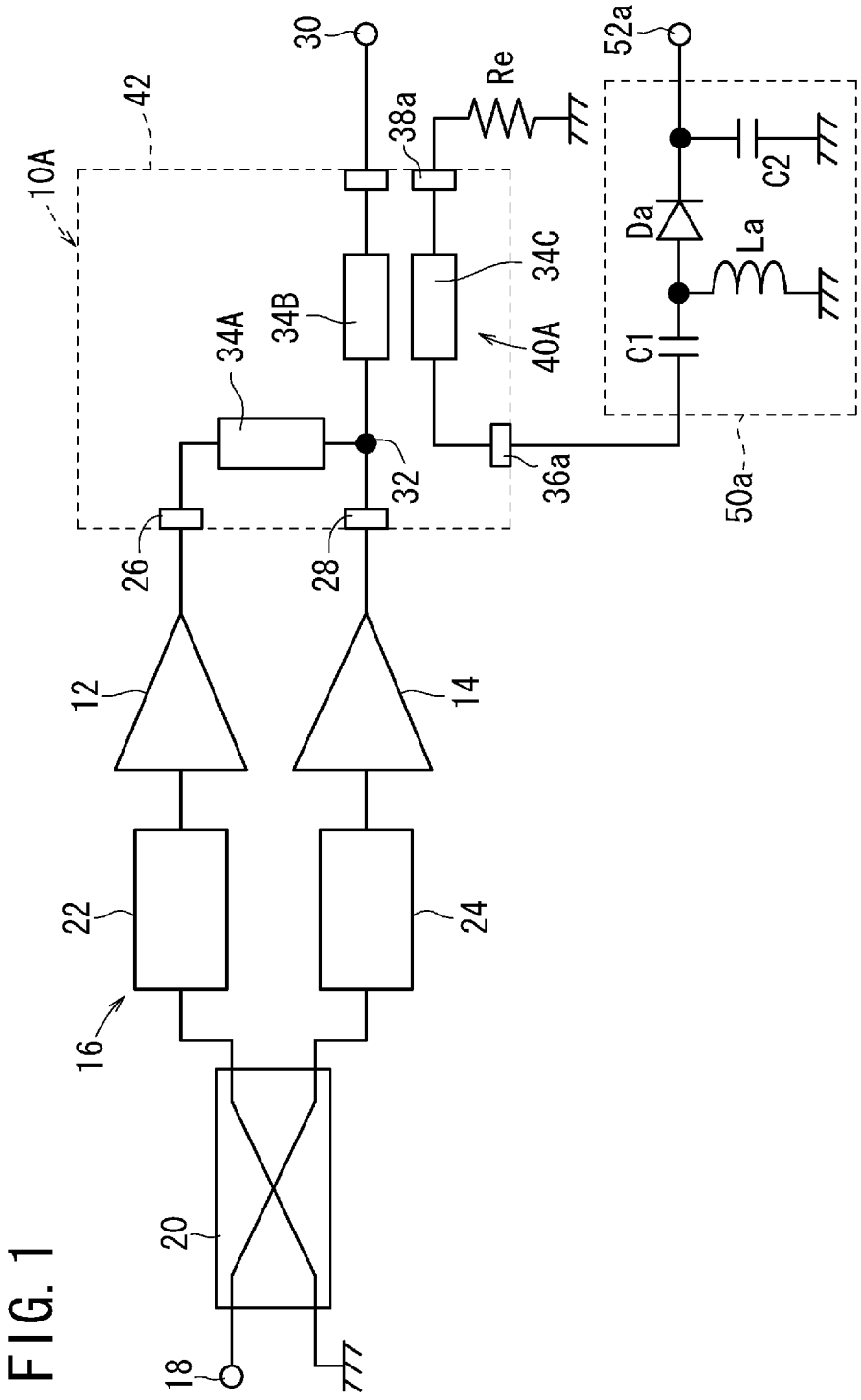

30
52a
Re
42
38a
10A
C2
Da
La
34C
34B
34A
40A
C1
32
36a
50a
26
28
12
14
22
24
16
20
18

FIG. 1

[図2]

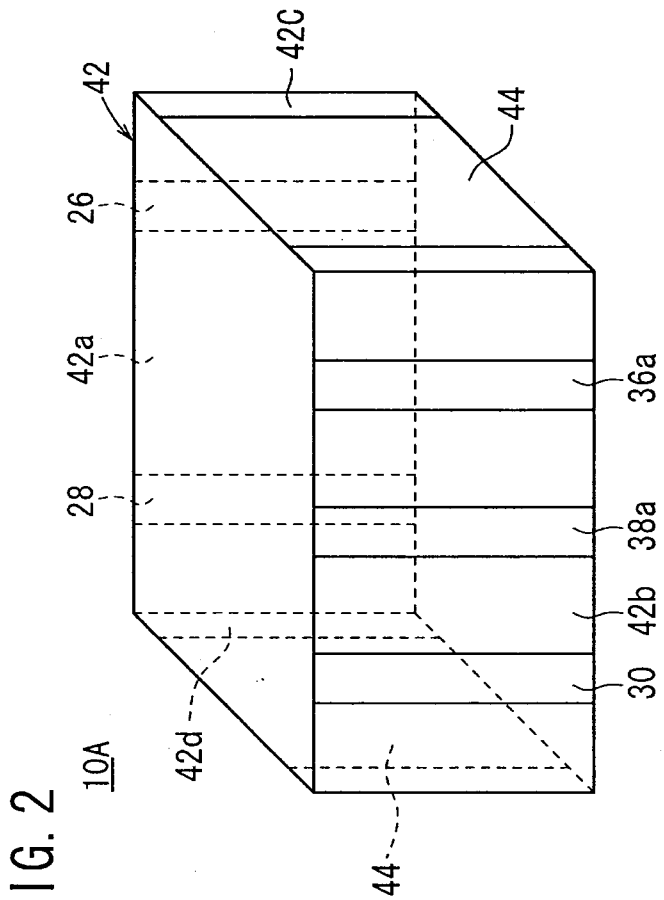
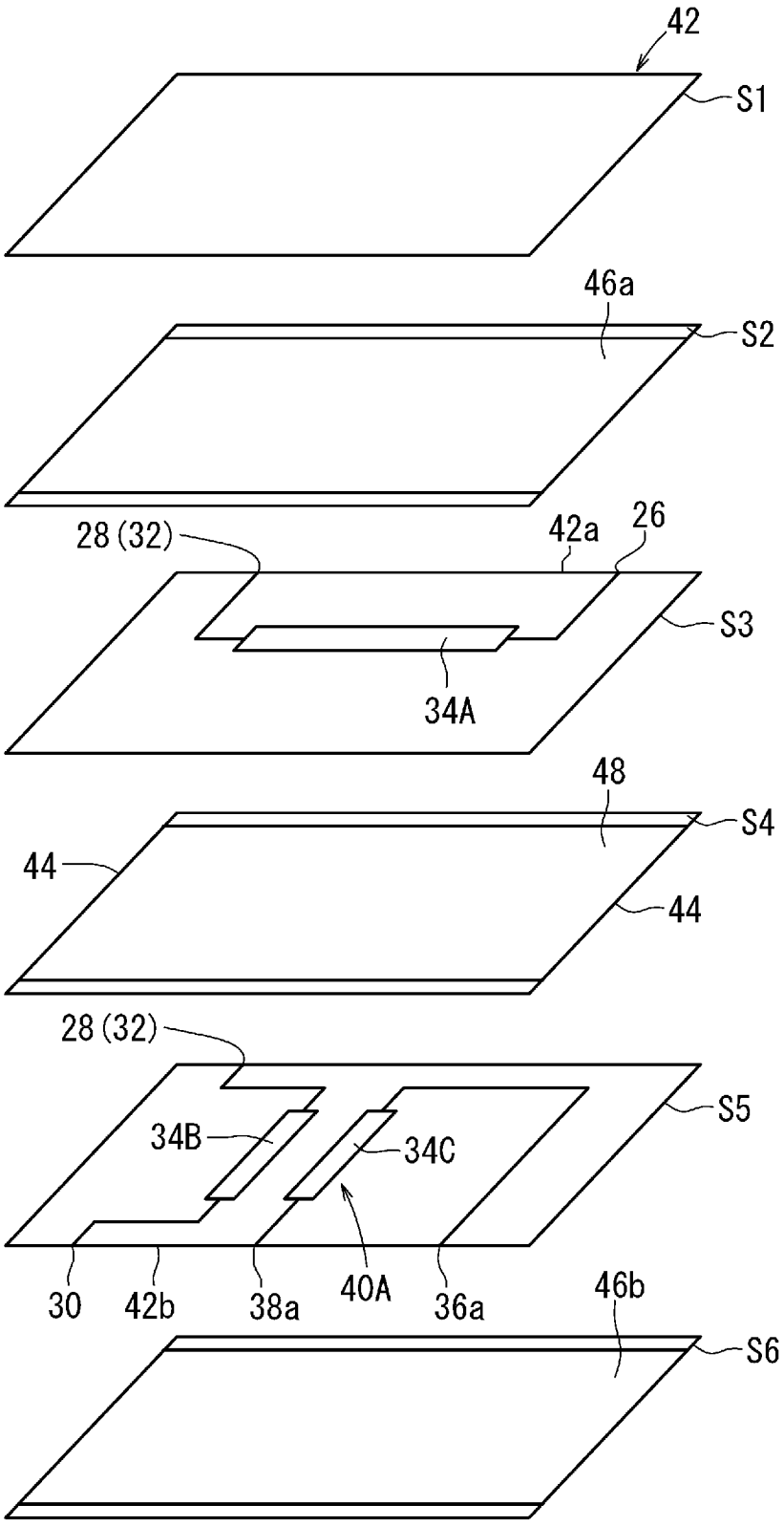


FIG. 2

[図3]

FIG. 3


10A
42
S1
46a
S2
28 (32)
42a
26
S3
34A
48
S4
44
44
28 (32)
S5
34B
34C
30
42b
38a
40A
36a
46b
S6

[図4]

FIG. 4A

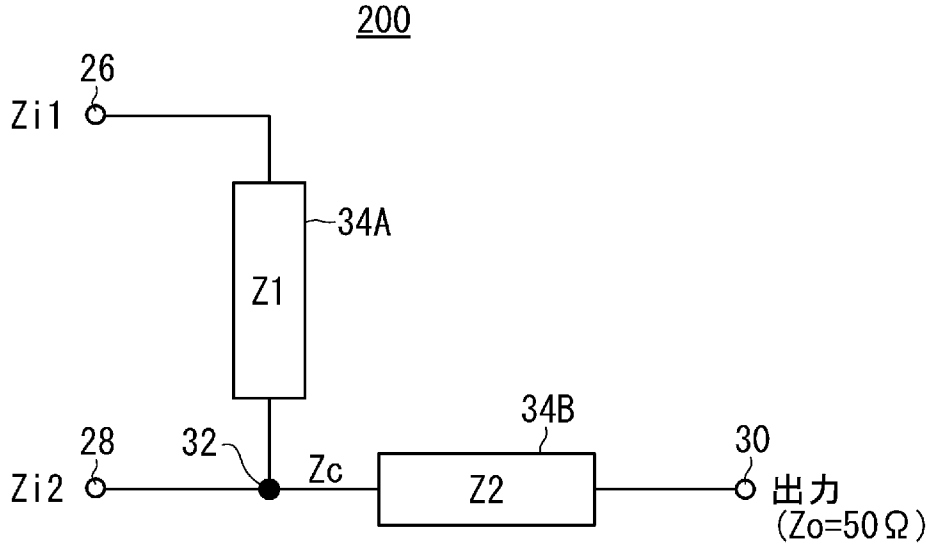
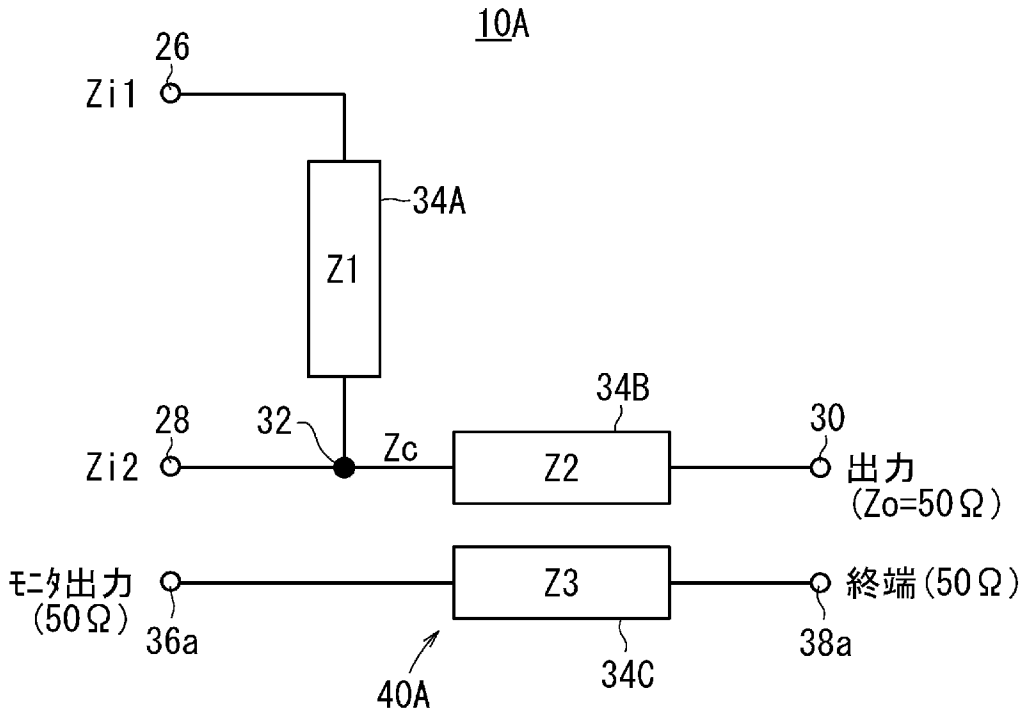
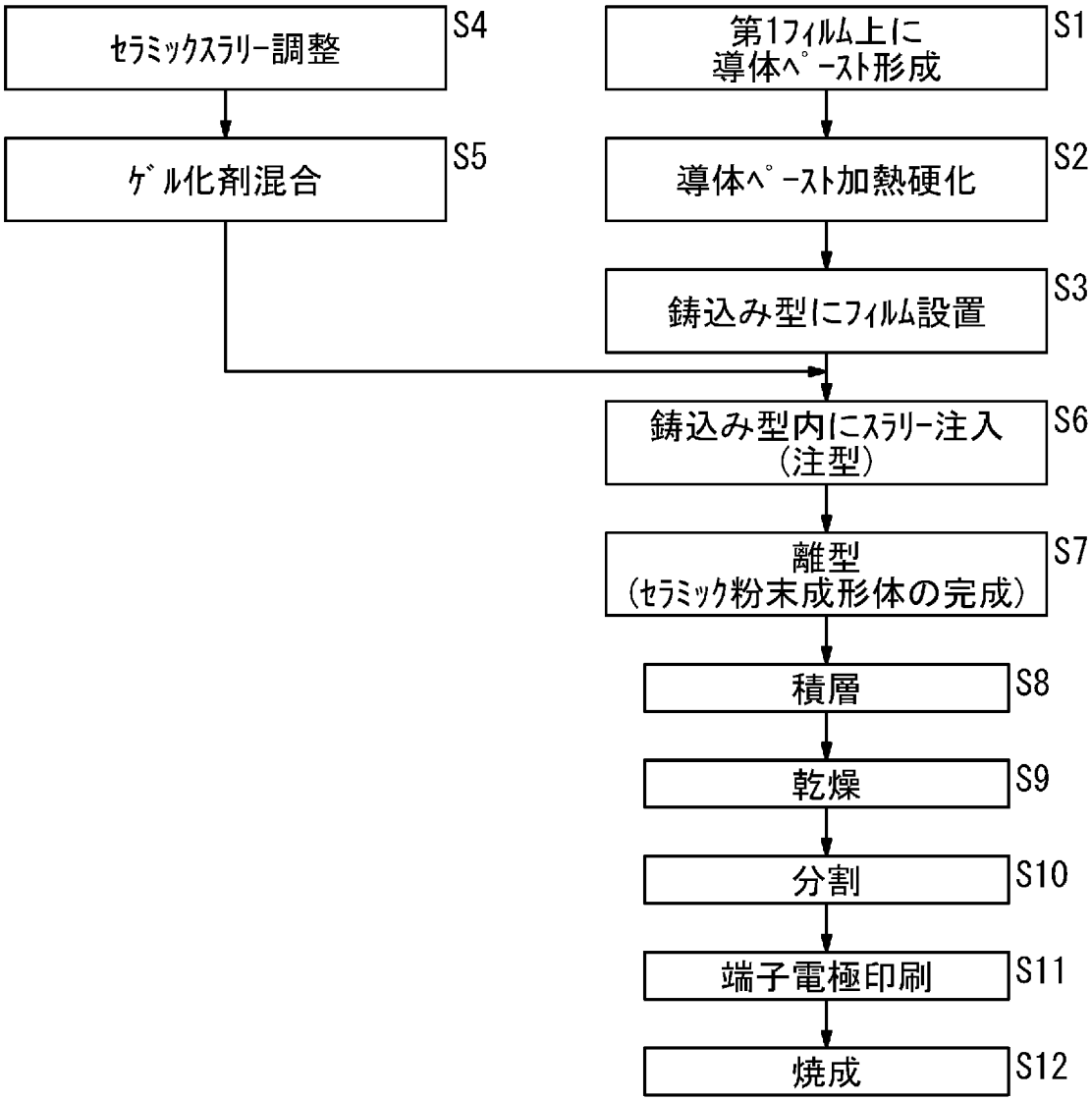


FIG. 4B



[図5]

FIG. 5


セラミックスラリー調整
S4
ゲル化剤混合
S5
第1フィルム上に
導体ペースト形成
S1
導体ペースト加熱硬化
S2
鋳込み型にフィルム設置
S3
鋳込み型内にスラリー注入
(注型)
S6
離型
(セラミック粉末成形体の完成)
S7
積層
S8
乾燥
S9
分割
S10
端子電極印刷
S11
焼成
S12

[図6]

FIG. 6A

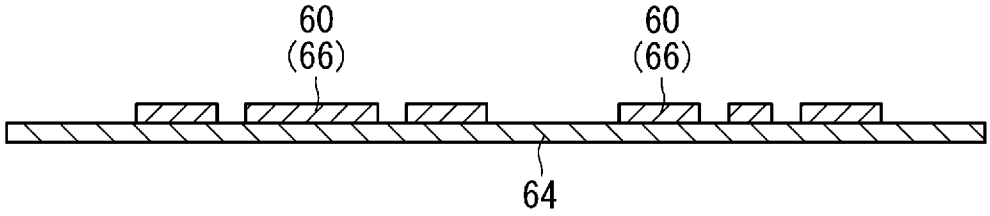


FIG. 6B

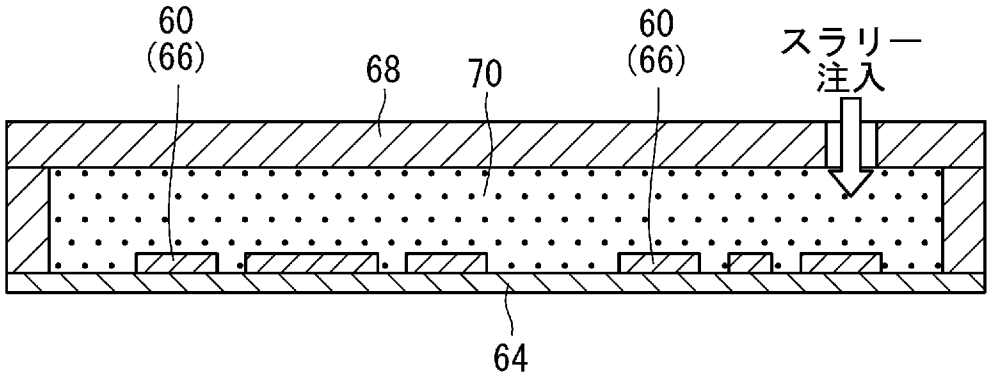
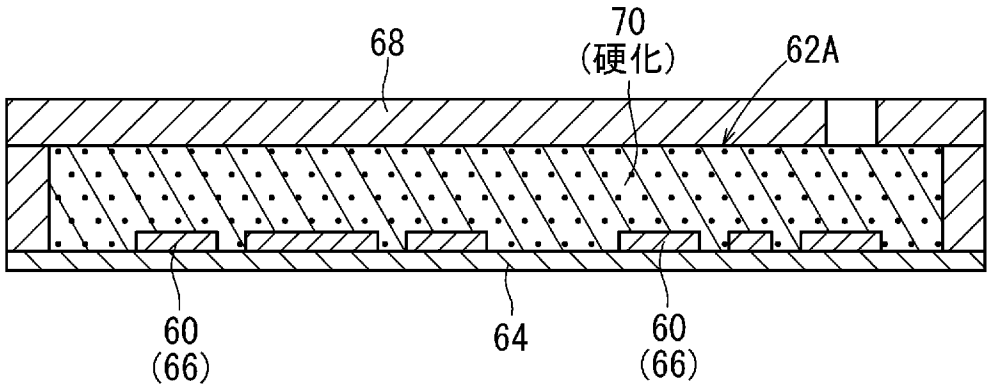


FIG. 6C



[図7]

FIG. 7A

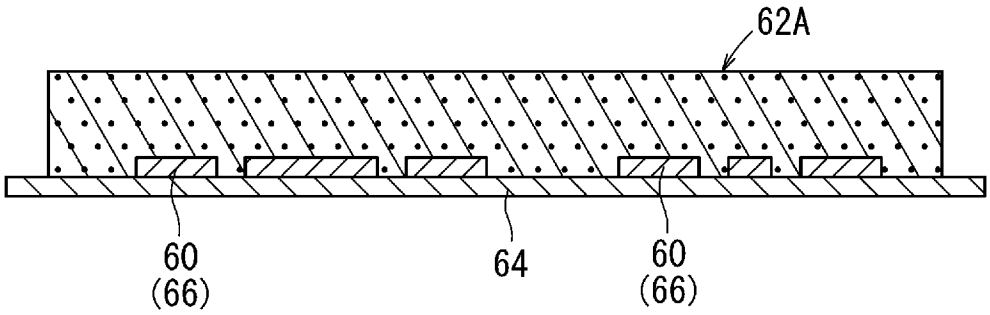
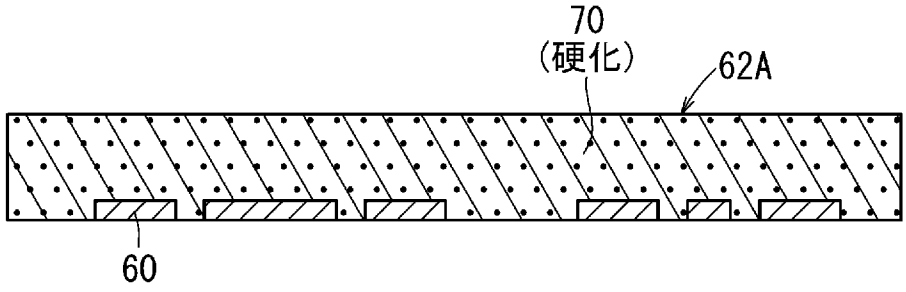


FIG. 7B



[図8]

FIG. 8A

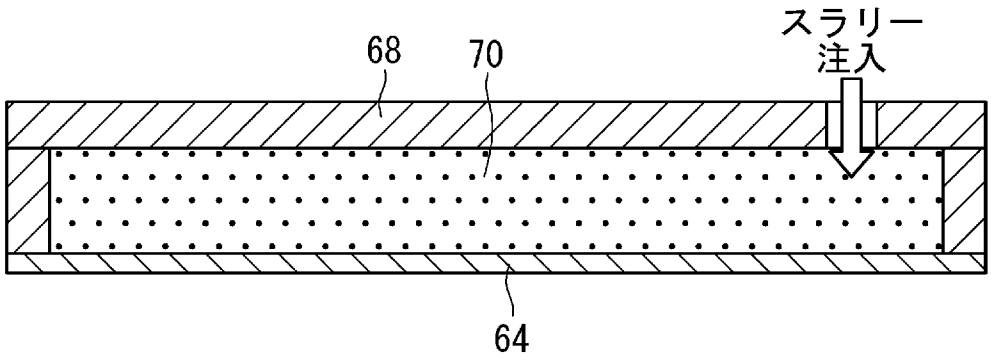


FIG. 8B

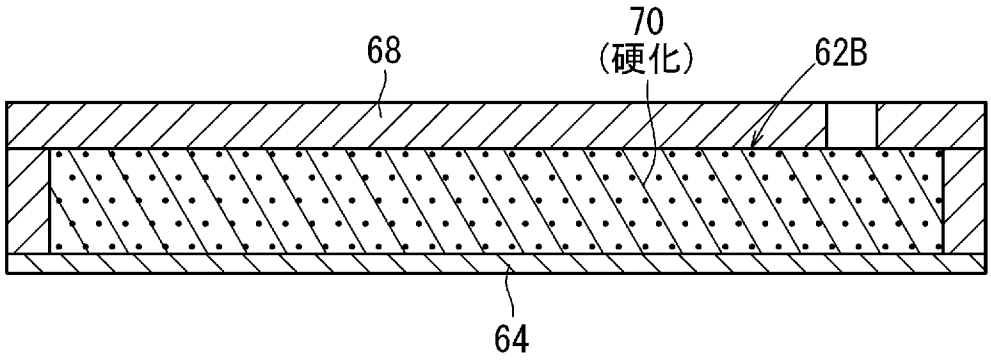
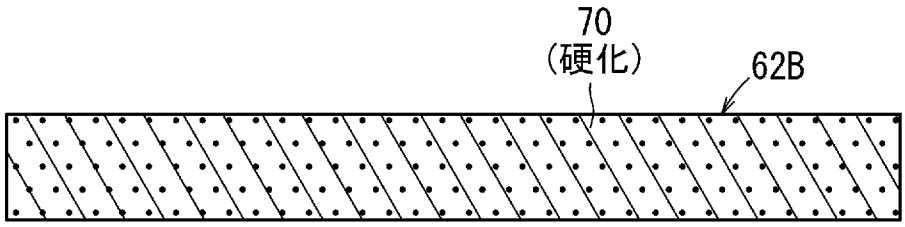


FIG. 8C



[図9]

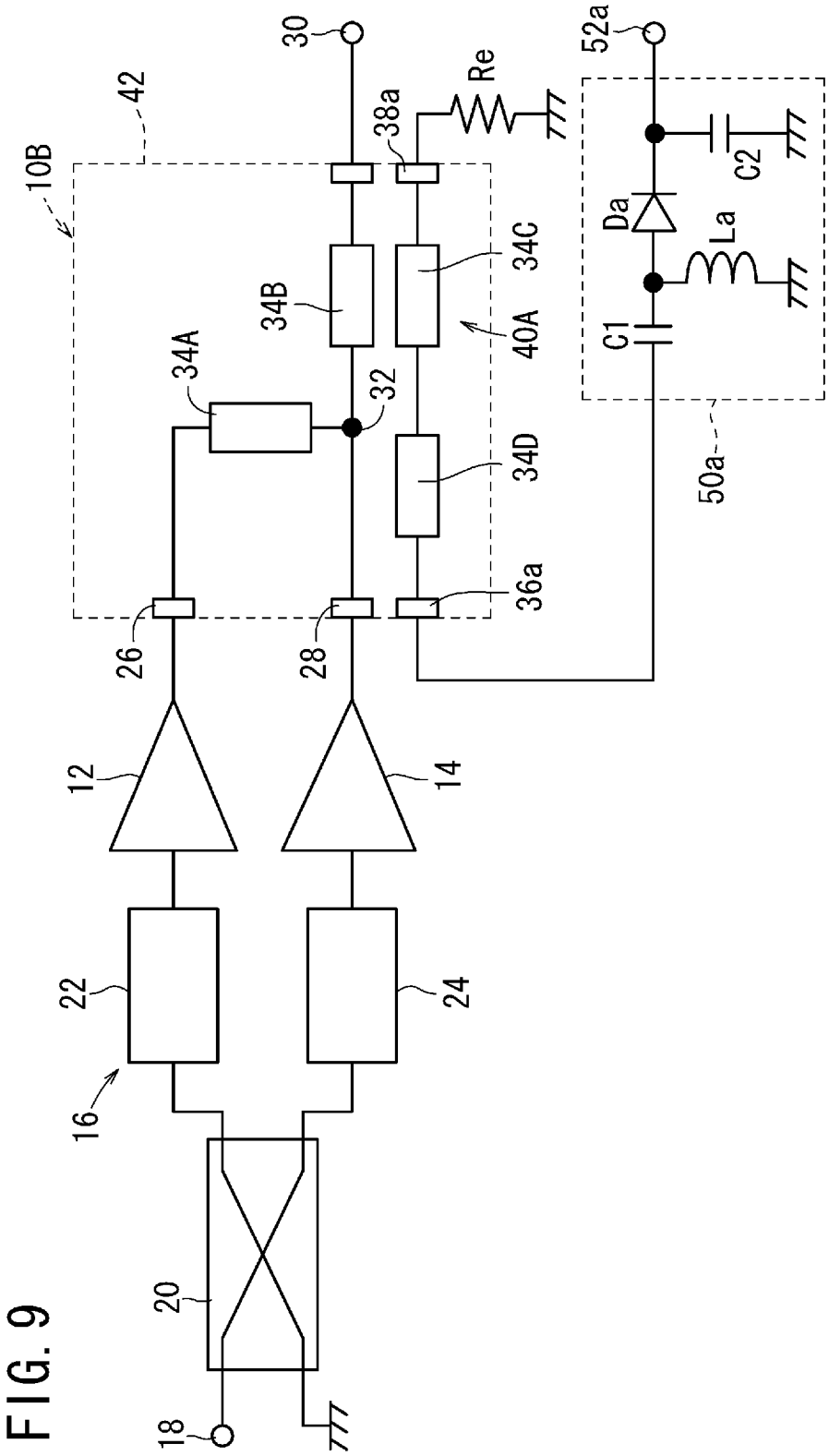
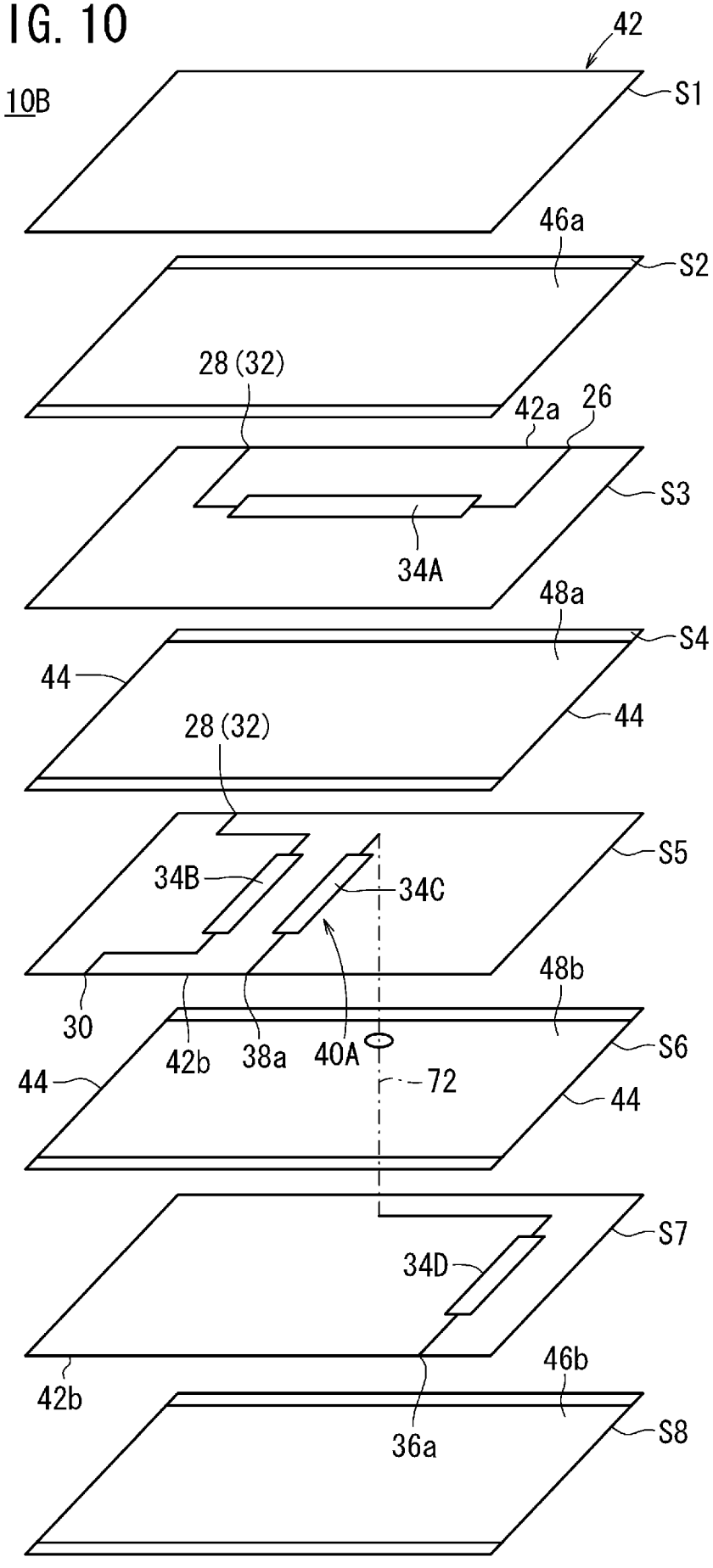

30
52a
Re
42
38a
10B
C2
Da
La
34C
34B
40A
C1
34A
32
34D
50a
36a
26
28
12
14
22
24
16
20
18

FIG. 9

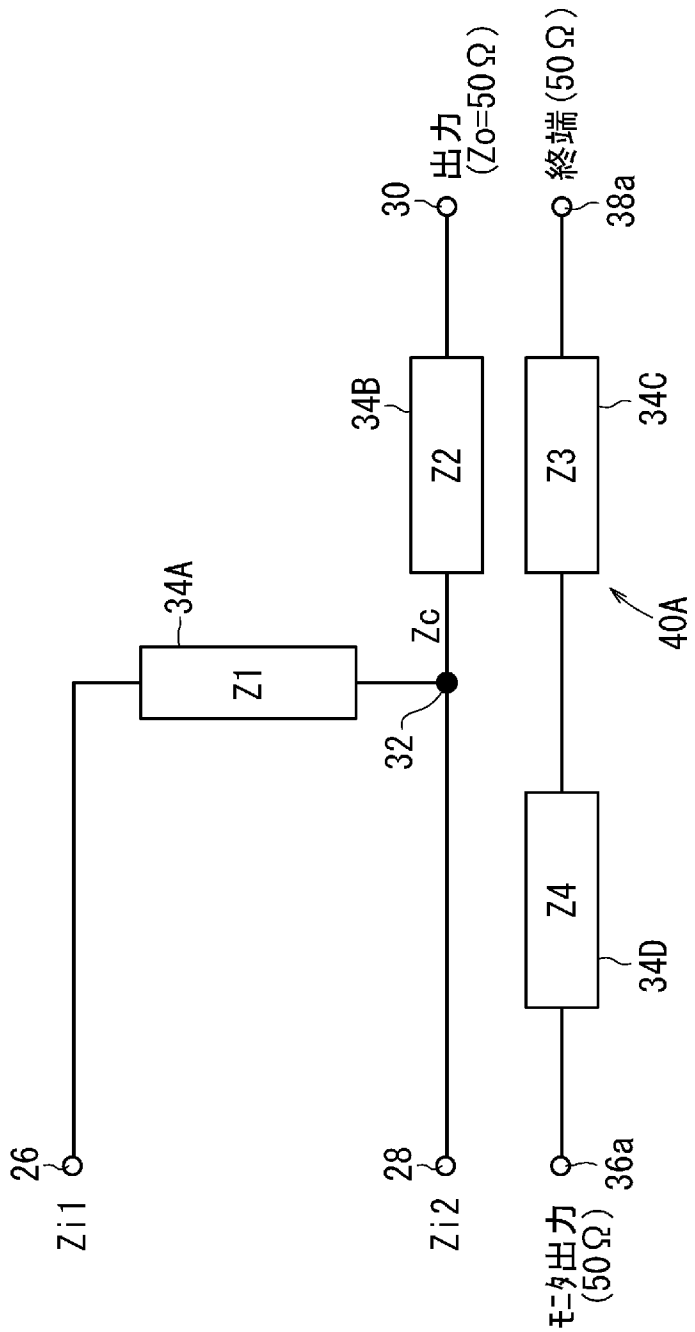
[図10]

FIG. 10


42
10B
S1
46a
S2
28 (32)
42a
26
S3
34A
48a
S4
44
44
28 (32)
S5
34B
34C
48b
30
42b
38a
40A
S6
72
44
44
S7
34D
46b
42b
36a
S8

[図11]

FIG. 11


10B
34A
Z1
Zc
32
34B
Z2
30
出力
(Zo=50Ω)
終端(50Ω)
38a
34C
Z3
40A
Z4
34D
26
Zi1
28
Zi2
36a
モニタ出力
(50Ω)

[図12]

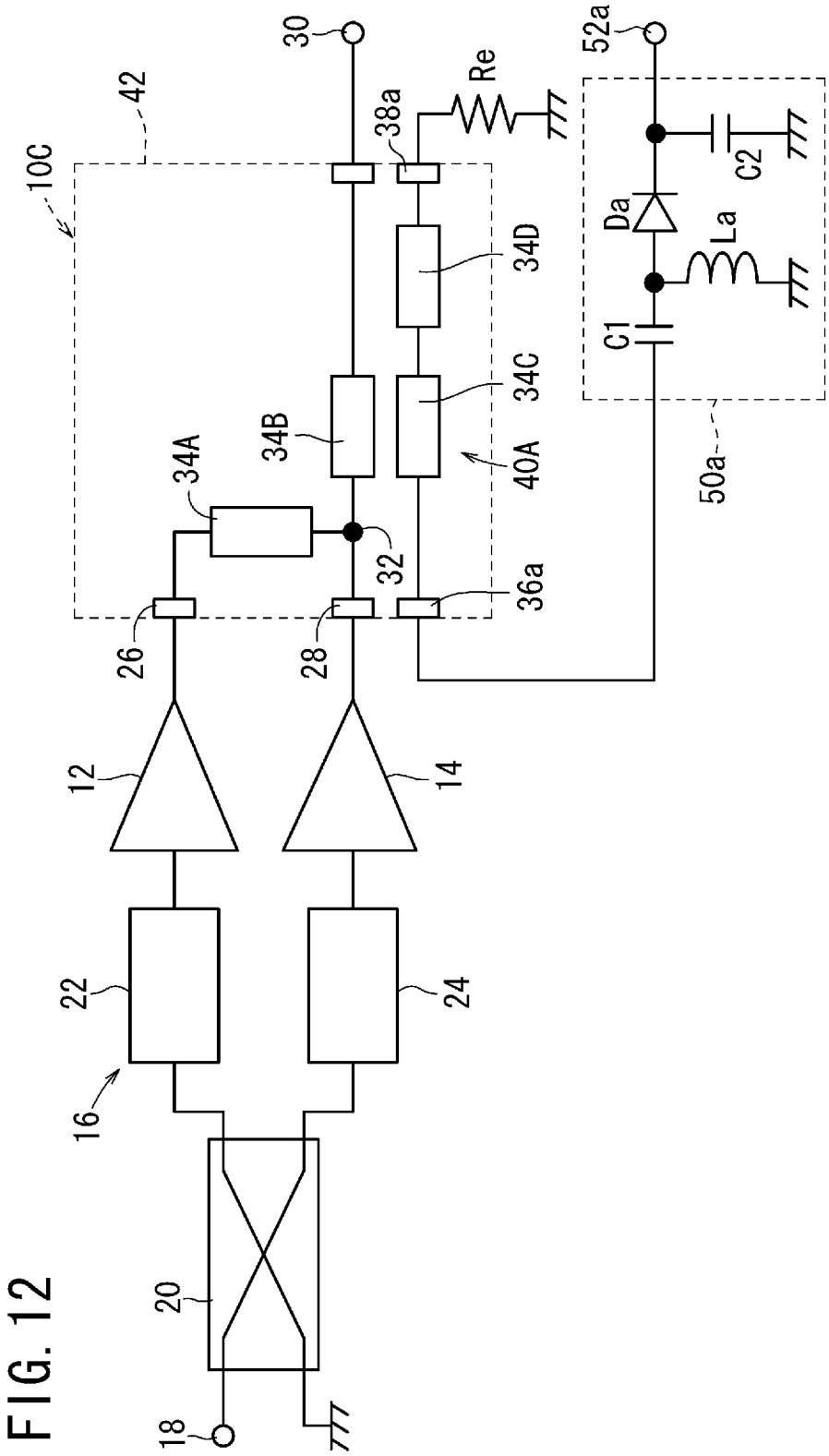
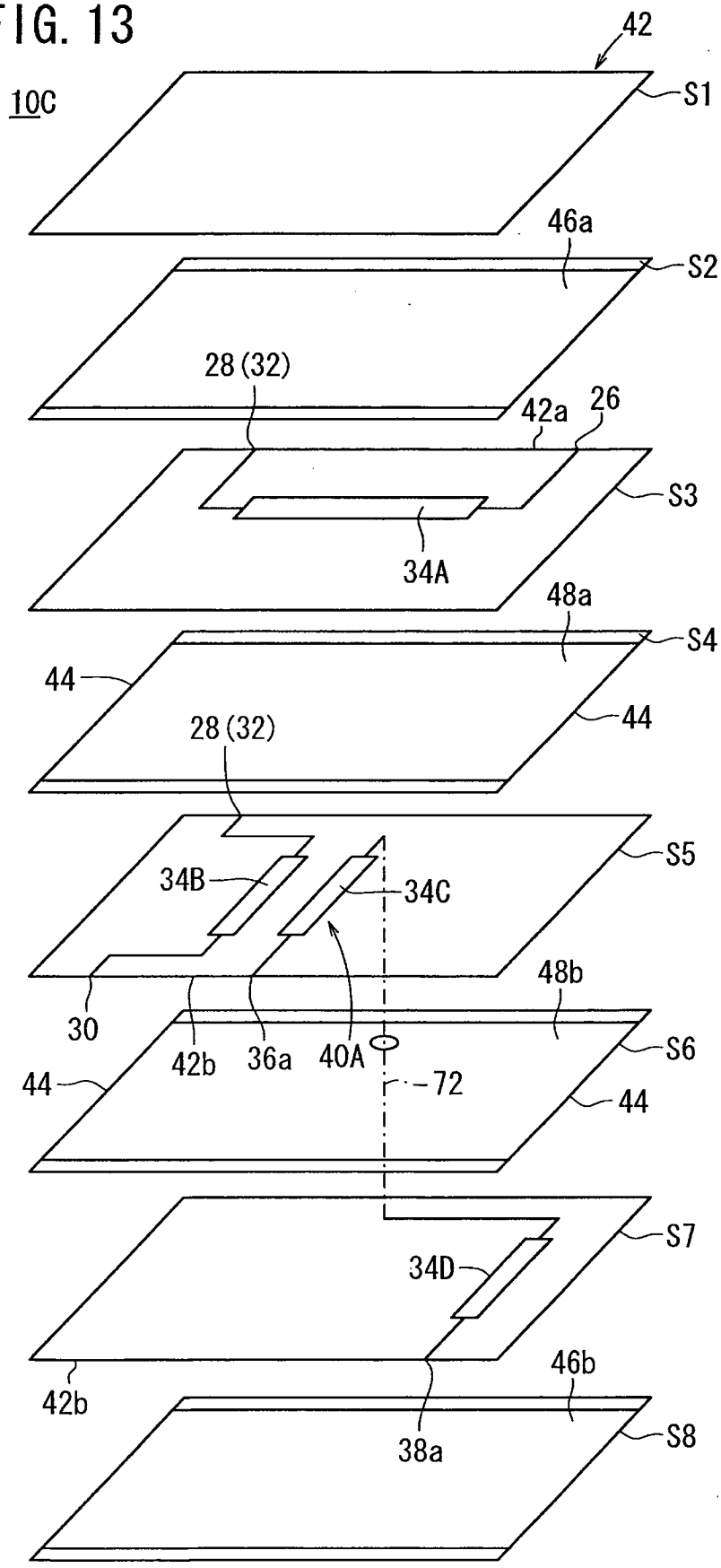

30
52a
Re
42
38a
10C
C2
Da
34D
La
C1
34C
34B
34A
40A
50a
32
36a
26
28
12
14
22
24
16
20
18

FIG. 12

[図13]

FIG. 13


42
10C
S1
46a
S2
28 (32)
42a
26
S3
34A
48a
S4
44
44
28 (32)
S5
34B
34C
48b
30
42b
36a
40A
S6
72
44
44
S7
34D
46b
42b
38a
S8

[図14]

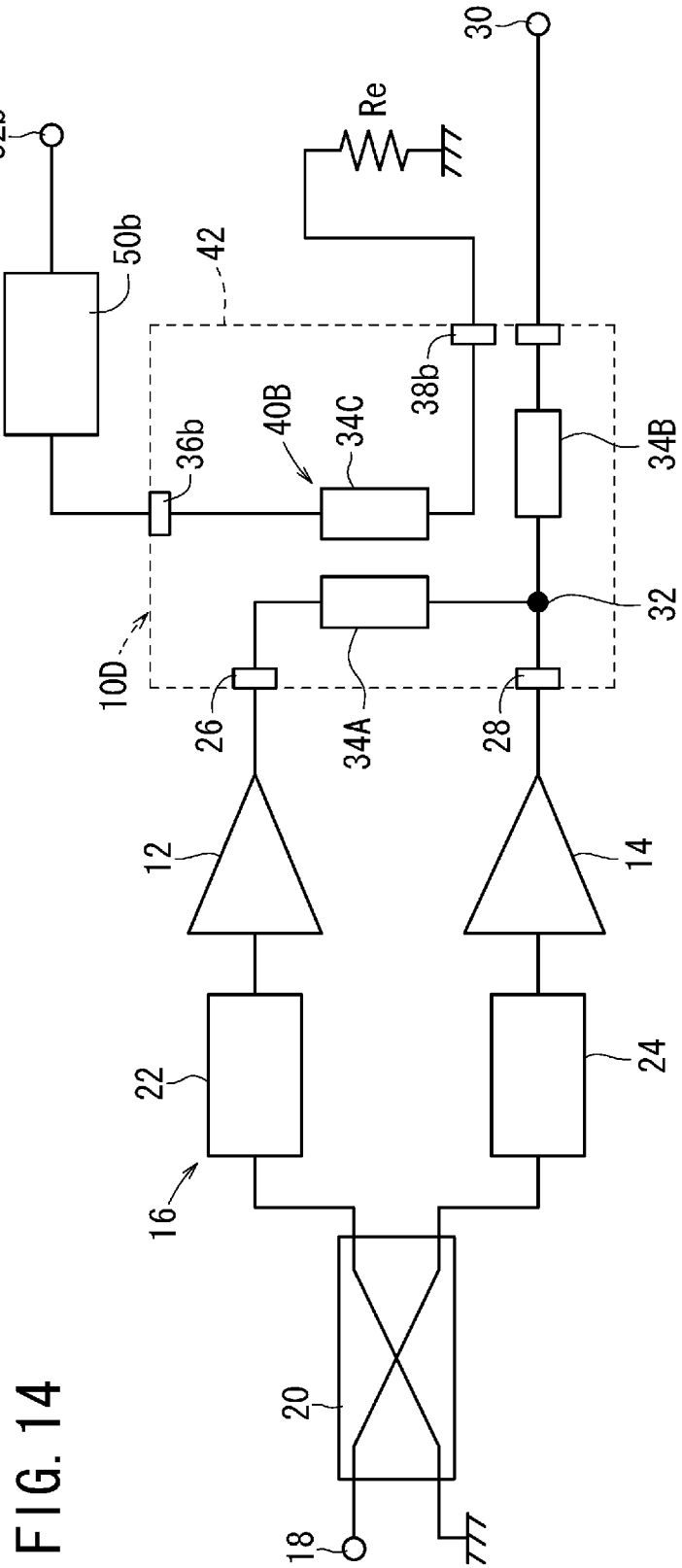
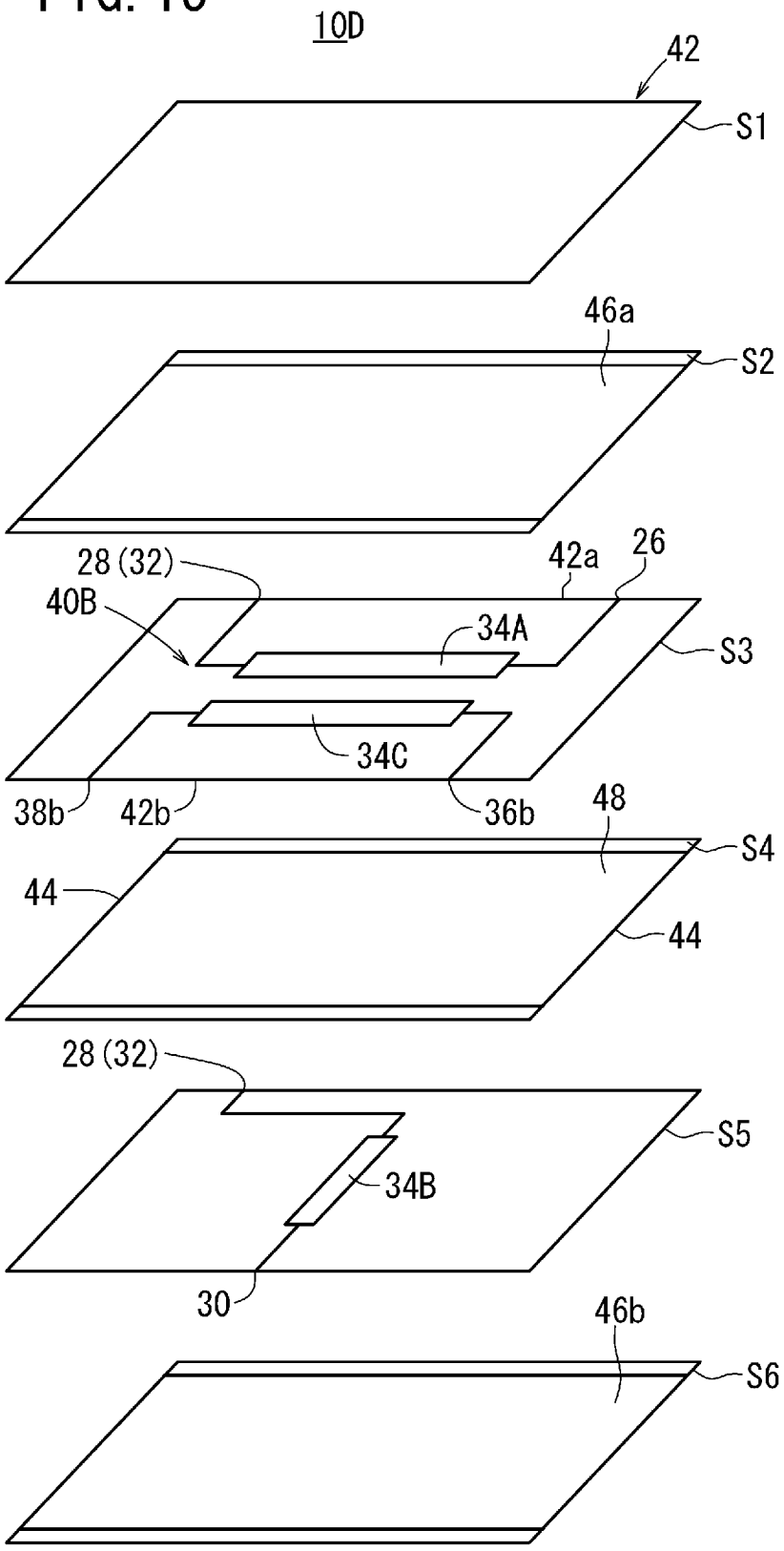

30
Re
52b
50b
42
38b
40B
34C
36b
34B
32
10D
26
34A
28
12
14
22
24
16
20
18

FIG. 14

[図15]

FIG. 15


10D
42
S1
46a
S2
28 (32)
42a
26
40B
34A
S3
34C
38b
42b
36b
48
S4
44
44
28 (32)
S5
34B
30
46b
S6

[図16]

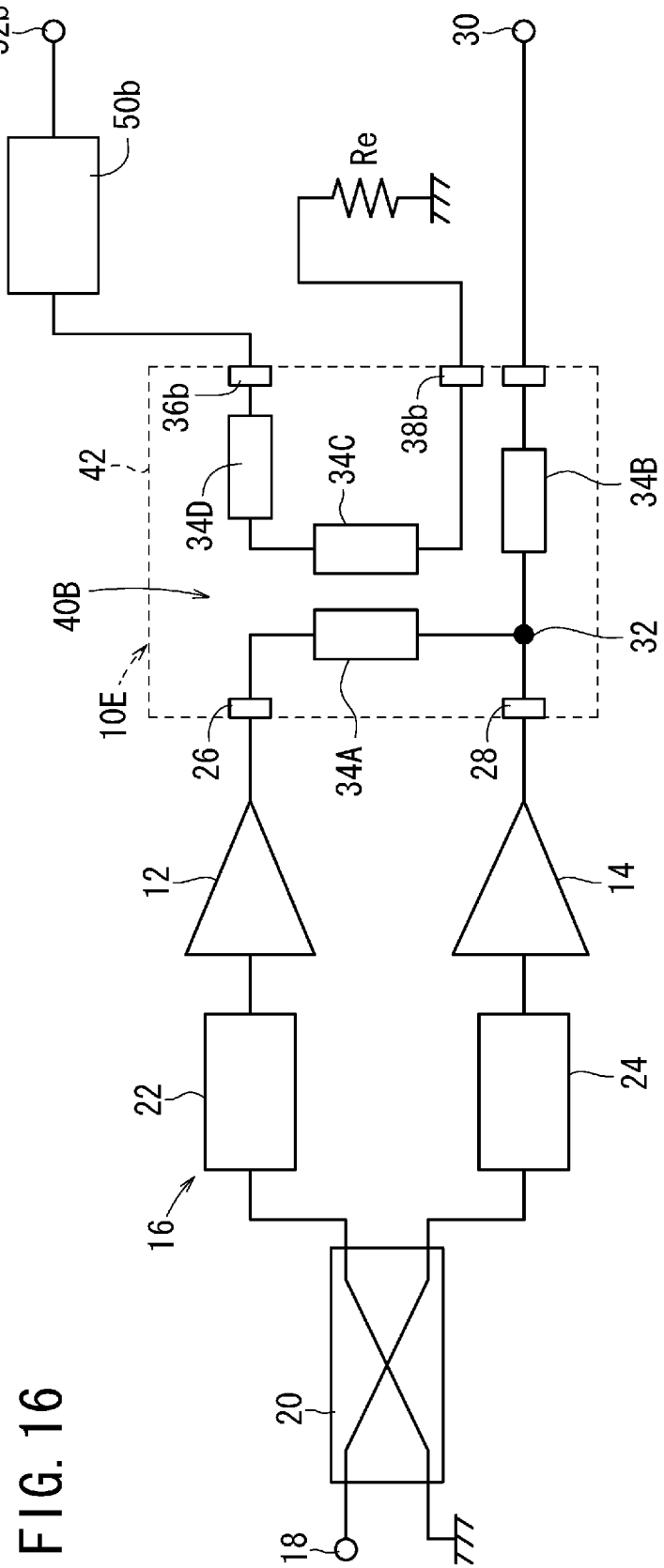
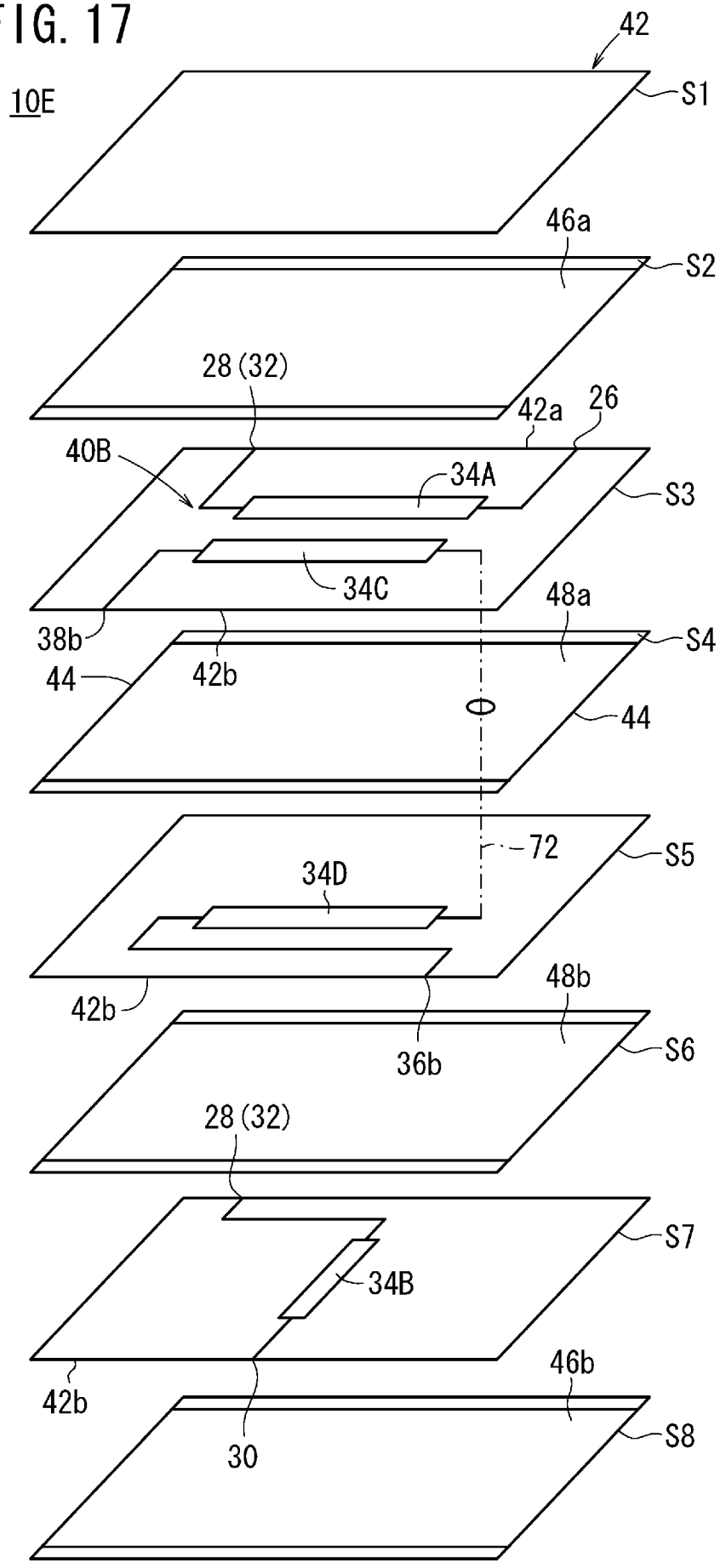

52b
50b
30
Re
36b
38b
42
34C
34B
34D
40B
32
10E
26
34A
28
12
14
22
24
16
20
18

FIG. 16

[図17]

FIG. 17


42
10E
S1
46a
S2
28 (32)
42a
26
40B
34A
S3
34C
48a
38b
S4
44
42b
44
72
S5
34D
42b
48b
36b
S6
28 (32)
S7
34B
42b
46b
30
S8

[図18]

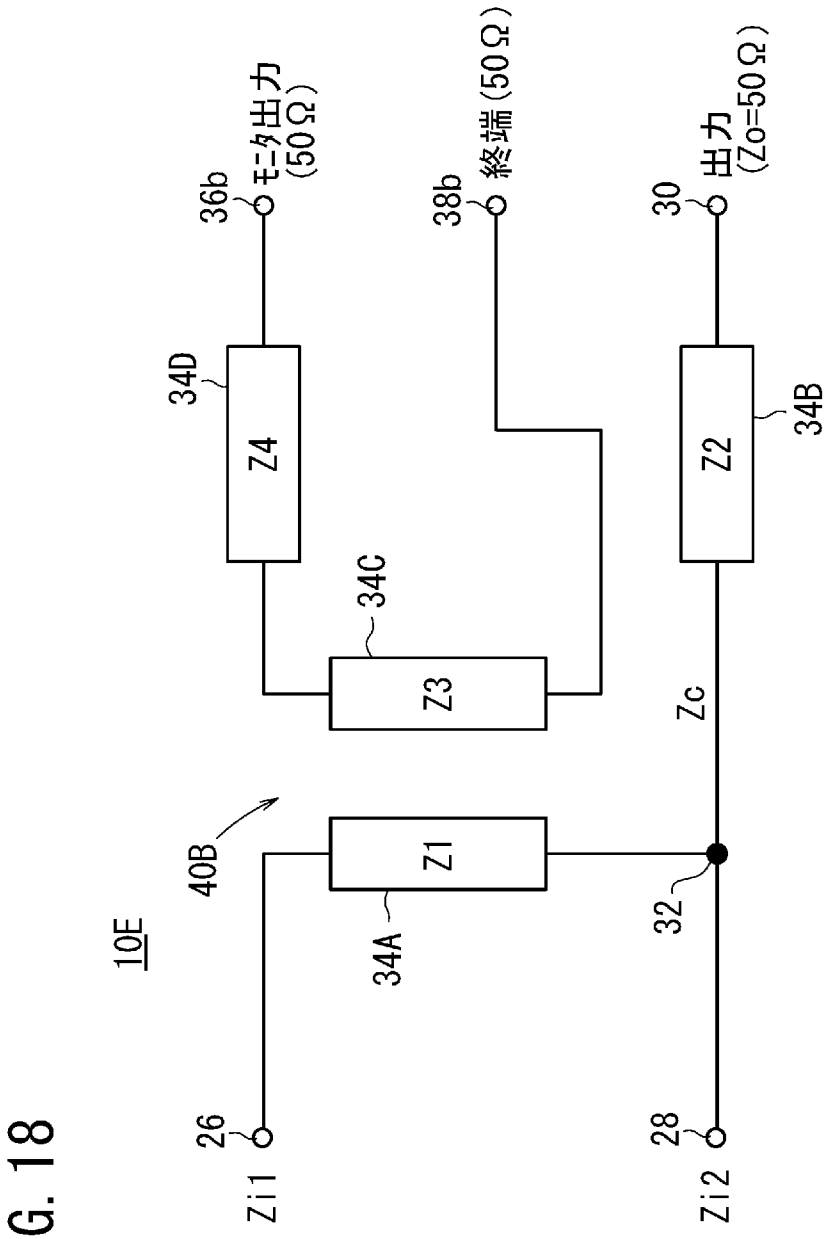

10E
40B
Z1
34A
Z3
34C
Z4
34D
Z2
34B
Zc
32
26
Zi1
28
Zi2
36b
モニタ出力
(50Ω)
38b
終端(50Ω)
30
出力
(Zo=50Ω)

FIG. 18

[図19]

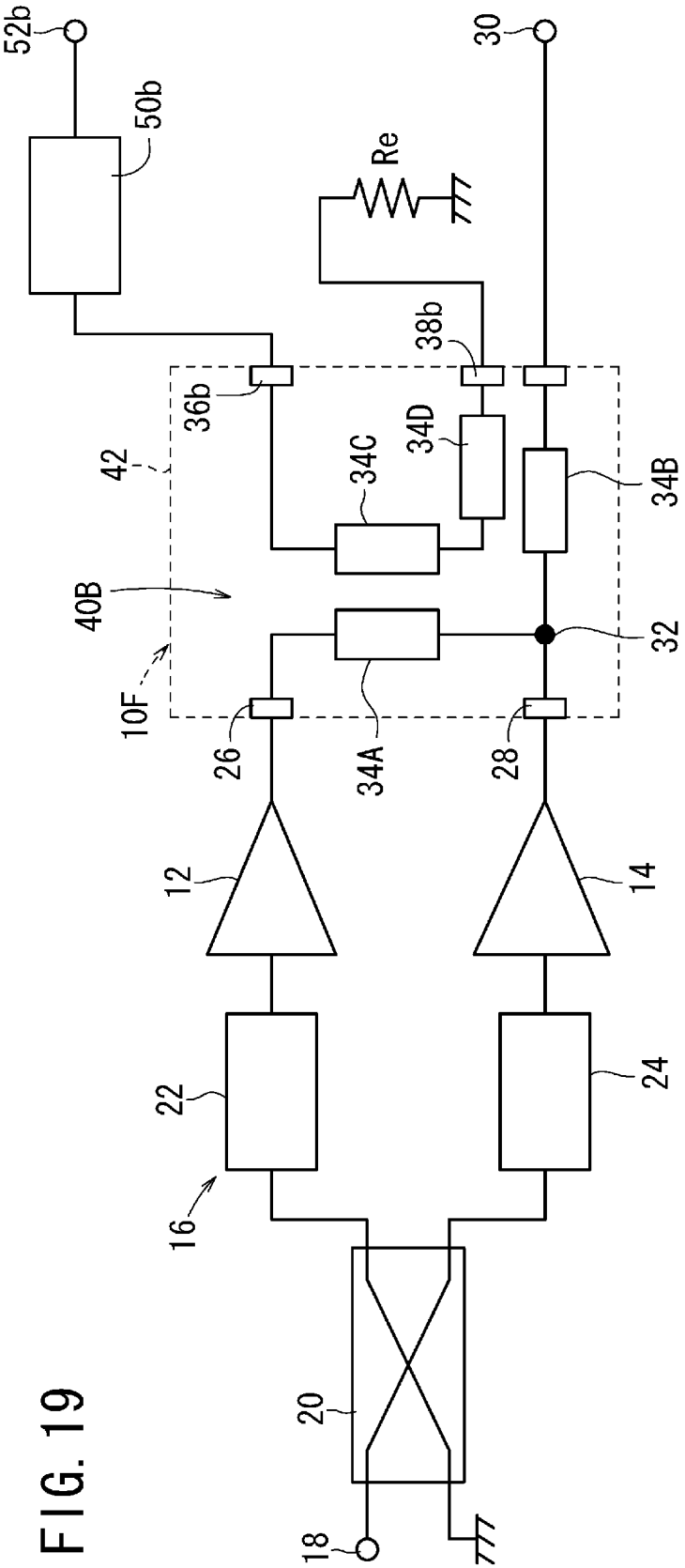
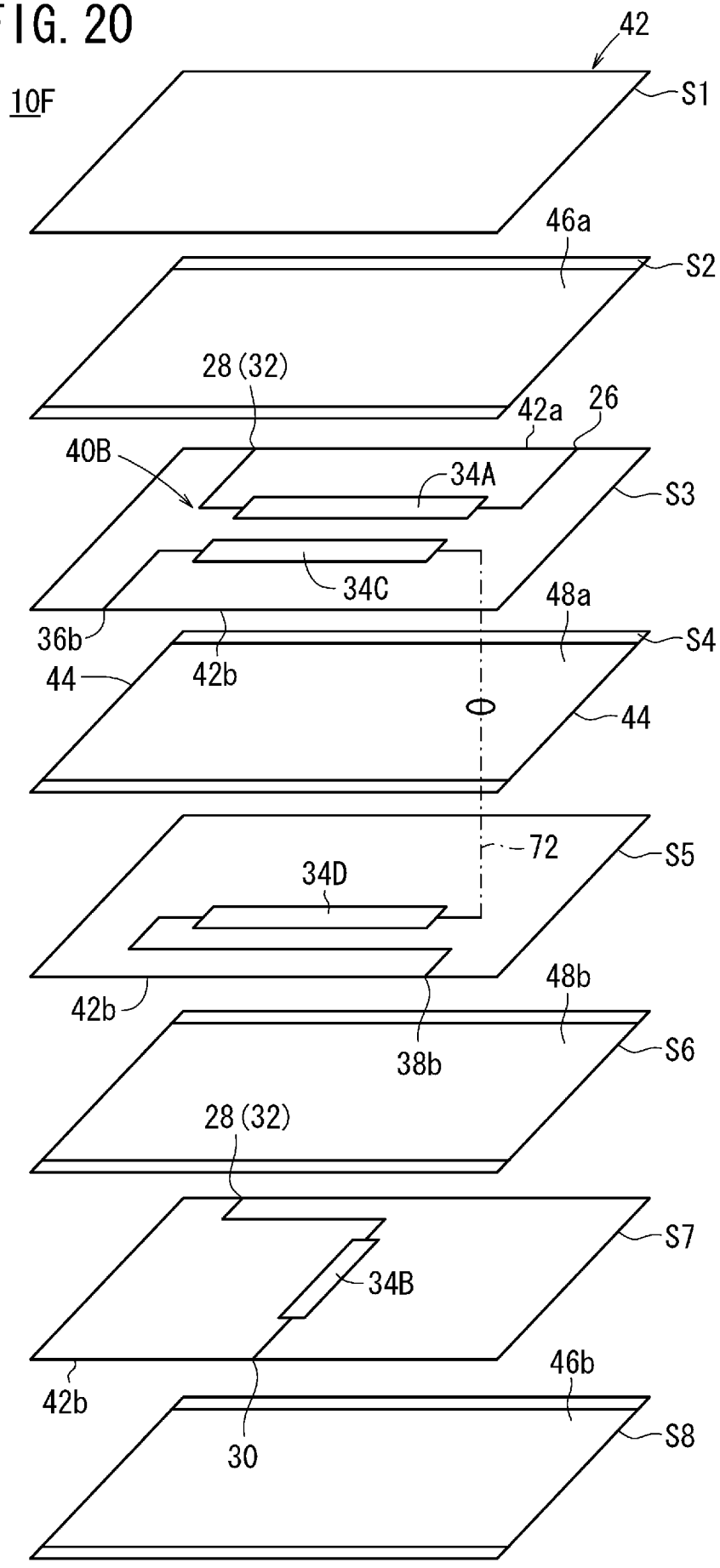

52b
50b
30
Re
38b
36b
42
34D
34C
34B
40B
32
10F
26
34A
28
12
14
22
24
16
20
18

FIG. 19

[図20]

FIG. 20


42
10F
S1
46a
S2
28 (32)
42a
26
40B
34A
S3
34C
48a
36b
S4
44
42b
44
72
S5
34D
42b
48b
38b
S6
28 (32)
S7
34B
42b
46b
30
S8

[図21]

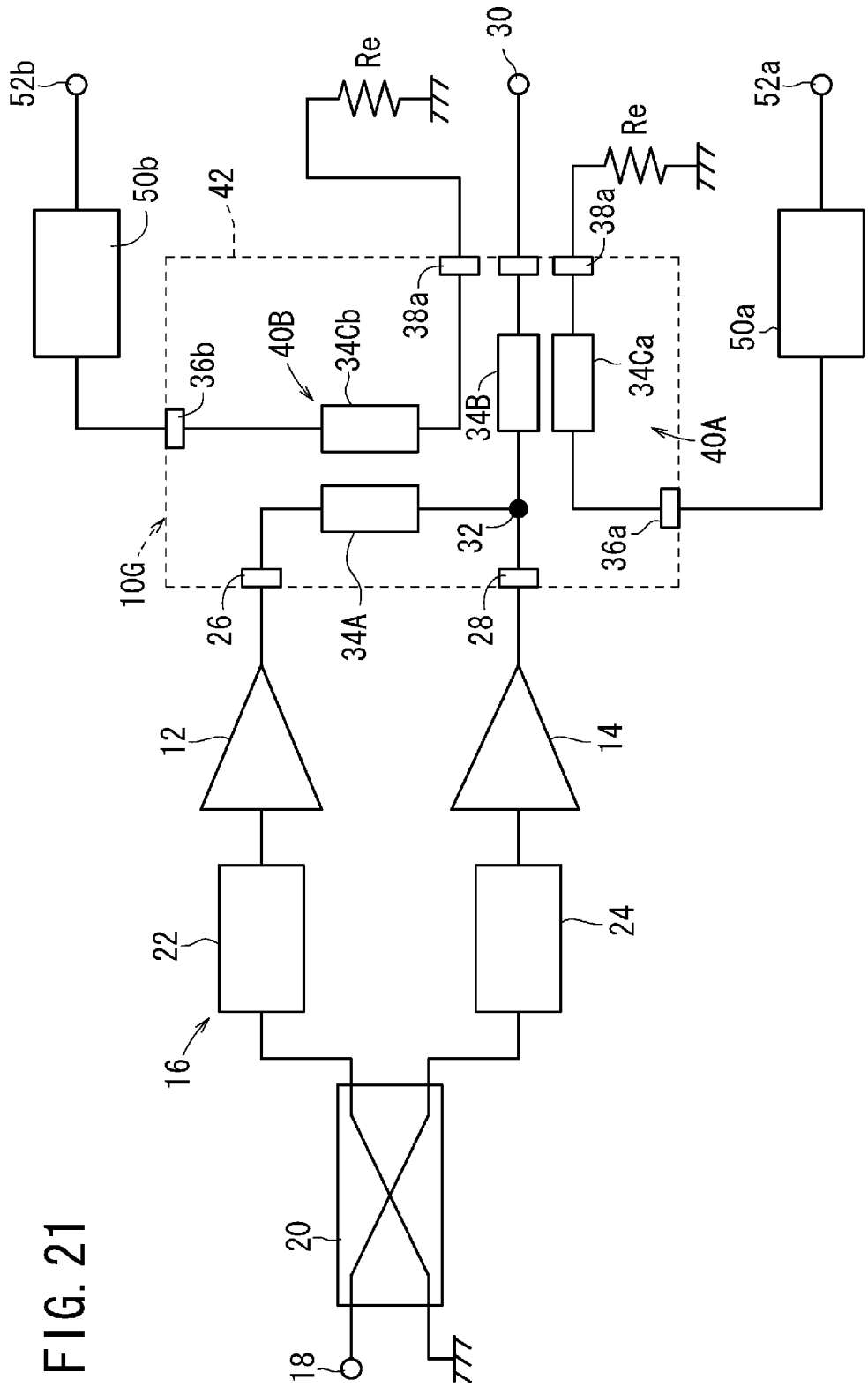

52b
50b
42
Re
30
Re
52a
38a
38a
50a
36b
40B
34Cb
34B
34Ca
40A
10G
32
36a
26
34A
28
12
14
22
24
16
20
18

FIG. 21

[図22]

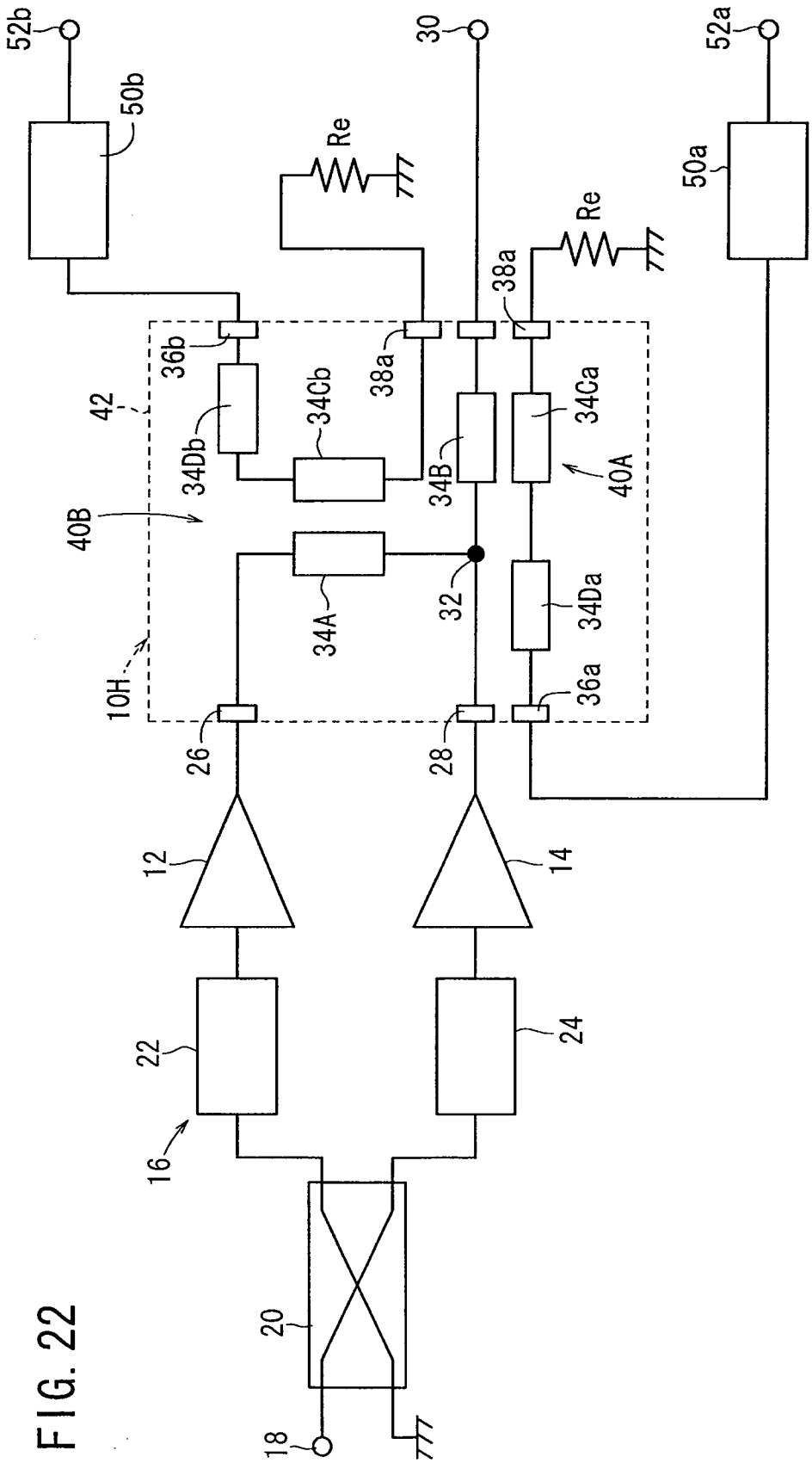

52b
50b
Re
30
Re
52a
50a
38a
36b
38a
42
34Db
34Cb
34B
34Ca
40A
40B
34A
32
34Da
10H
36a
26
28
12
14
22
24
16
20
18

FIG. 22

[図23]

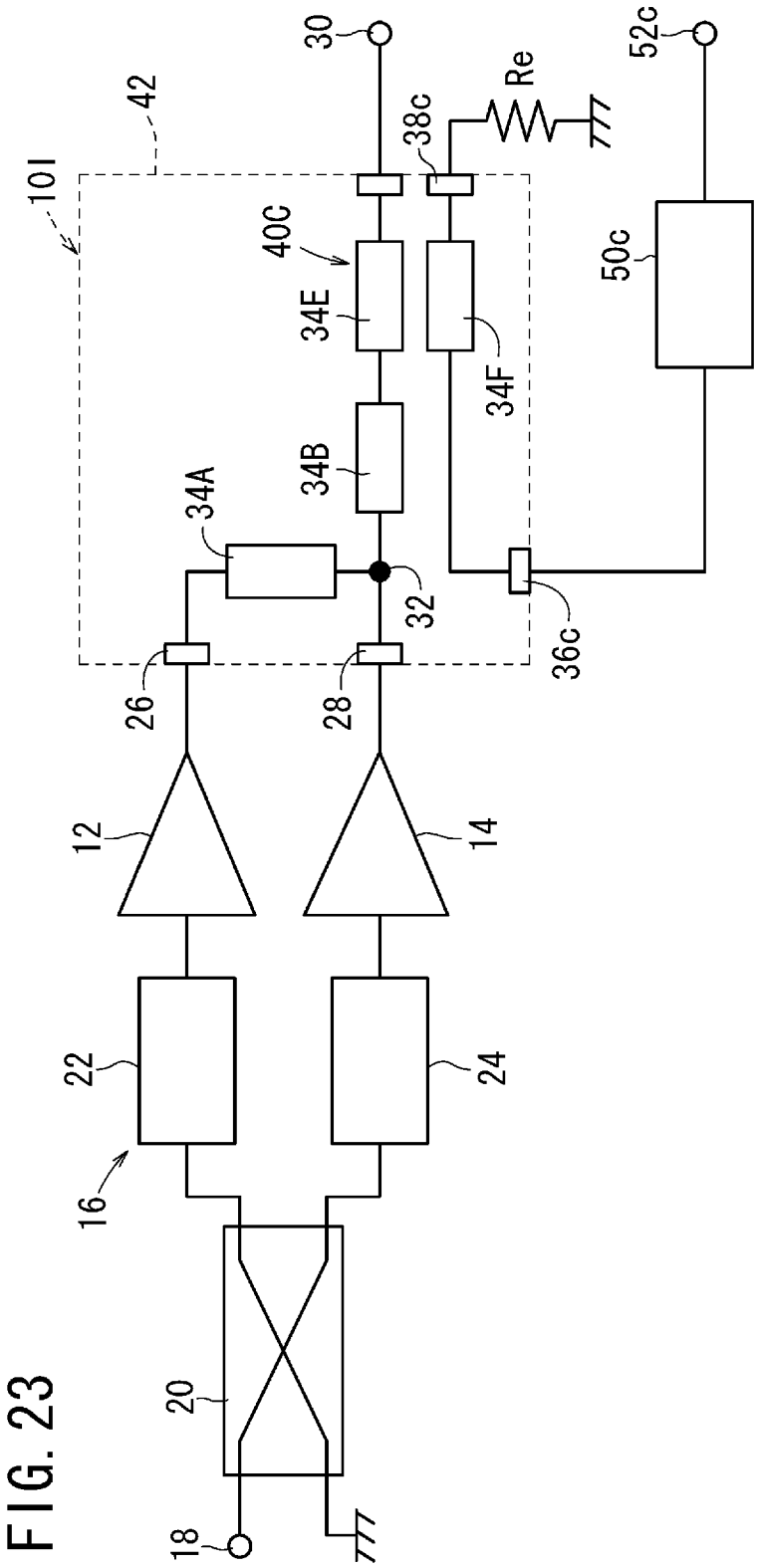
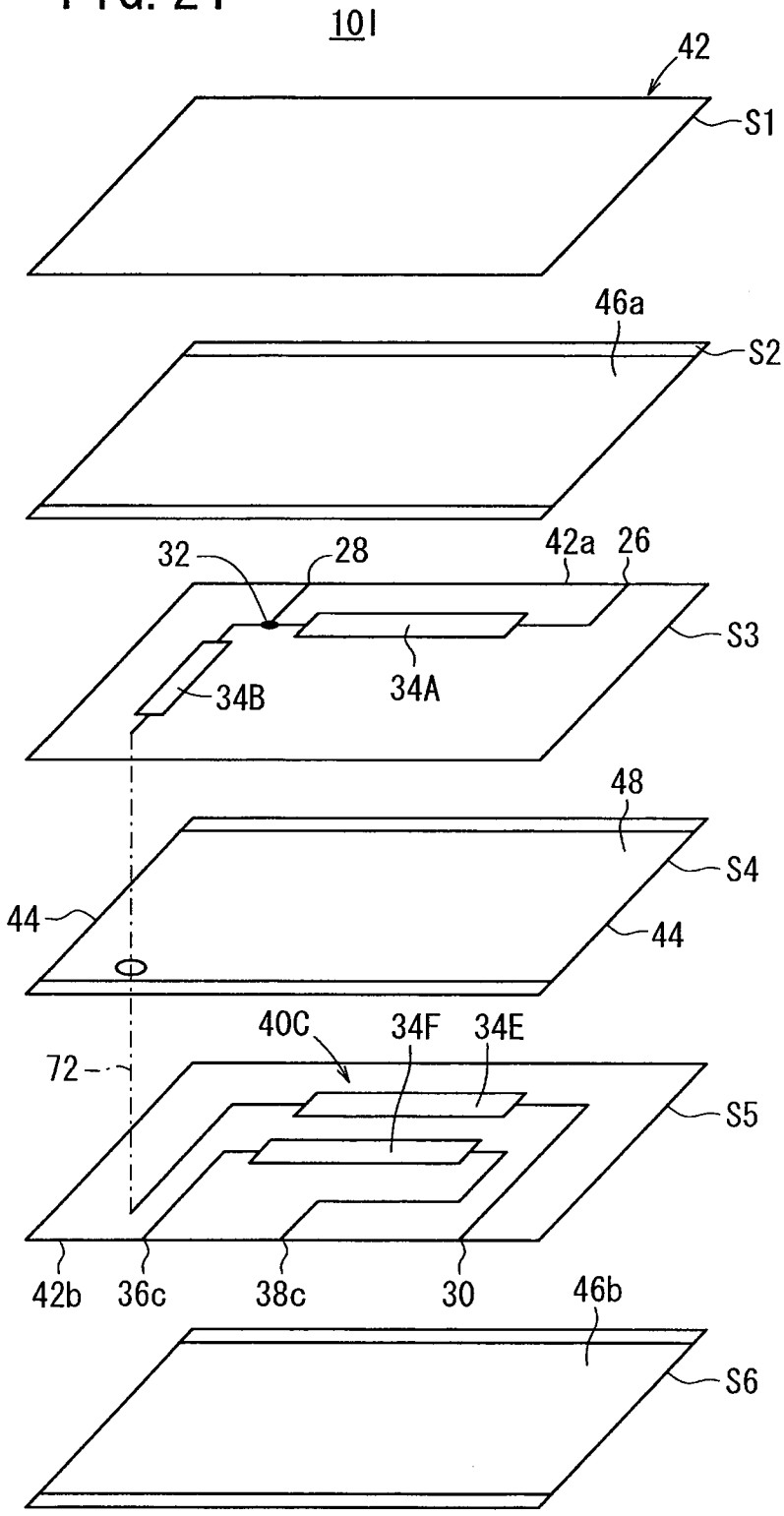

30
52c
Re
42
38c
101
40C
50c
34E
34F
34B
34A
32
36c
26
28
12
14
22
24
16
20
18

FIG. 23

[図24]

FIG. 24


101
42
S1
46a
S2
32
28
42a
26
S3
34B
34A
48
S4
44
44
40C
34F
34E
72
S5
42b
36c
38c
30
46b
S6

[図25]

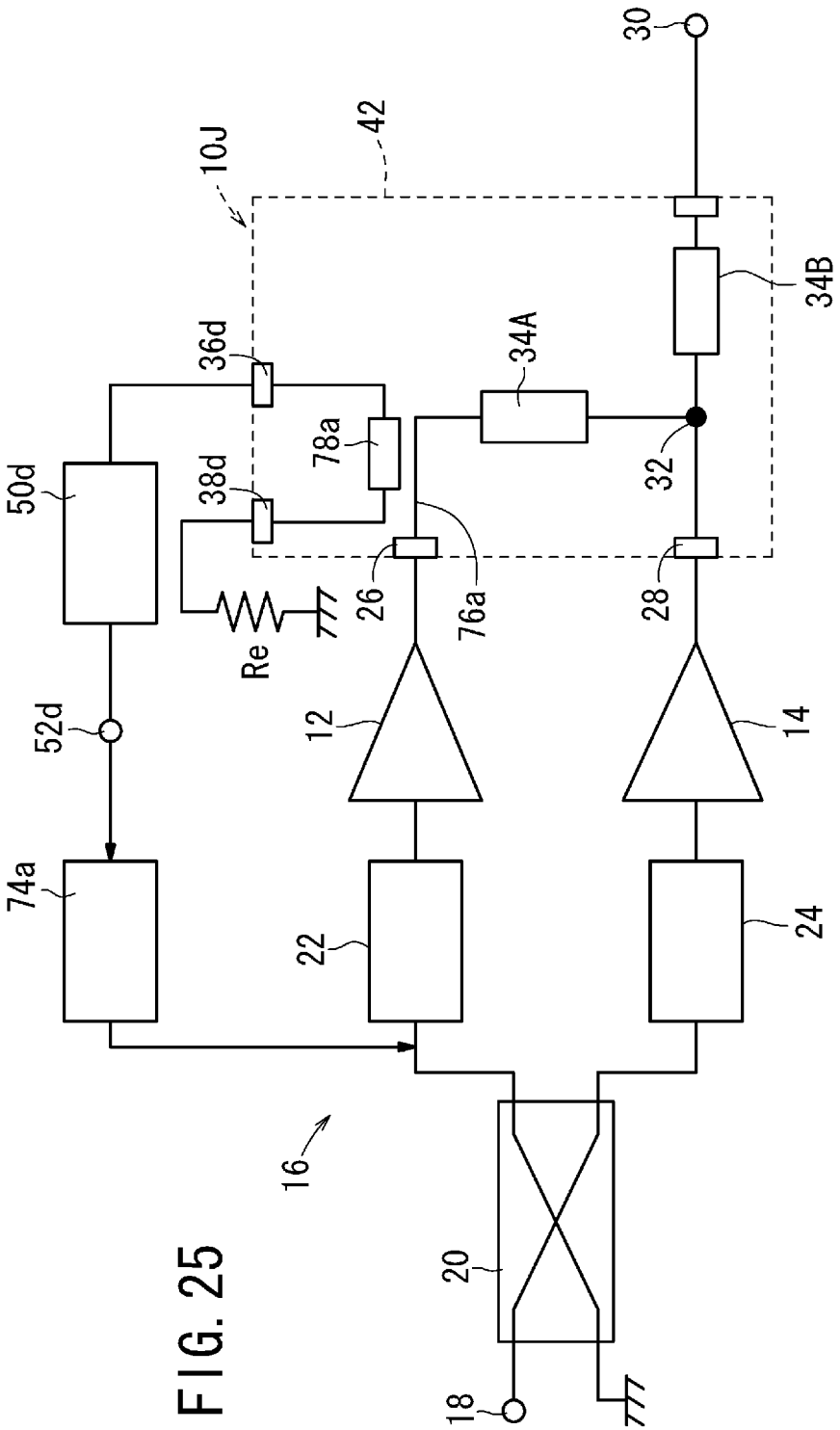
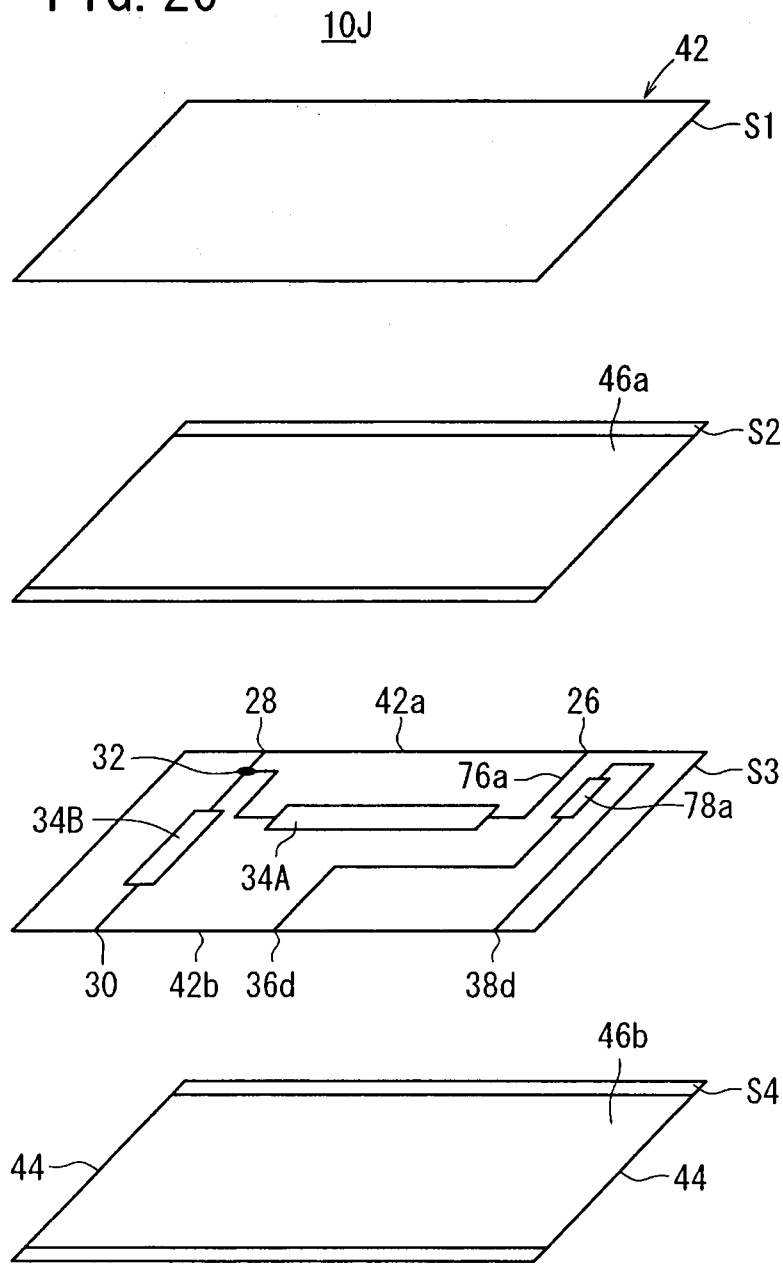

30
42
10J
34B
36d
34A
78a
50d
38d
32
26
76a
28
Re
52d
12
14
74a
22
24
16
20
18

FIG. 25

[図26]

FIG. 26


10J
42
S1
46a
S2
28
42a
26
32
76a
S3
34B
78a
34A
30
42b
36d
38d
46b
S4
44
44

[図27]

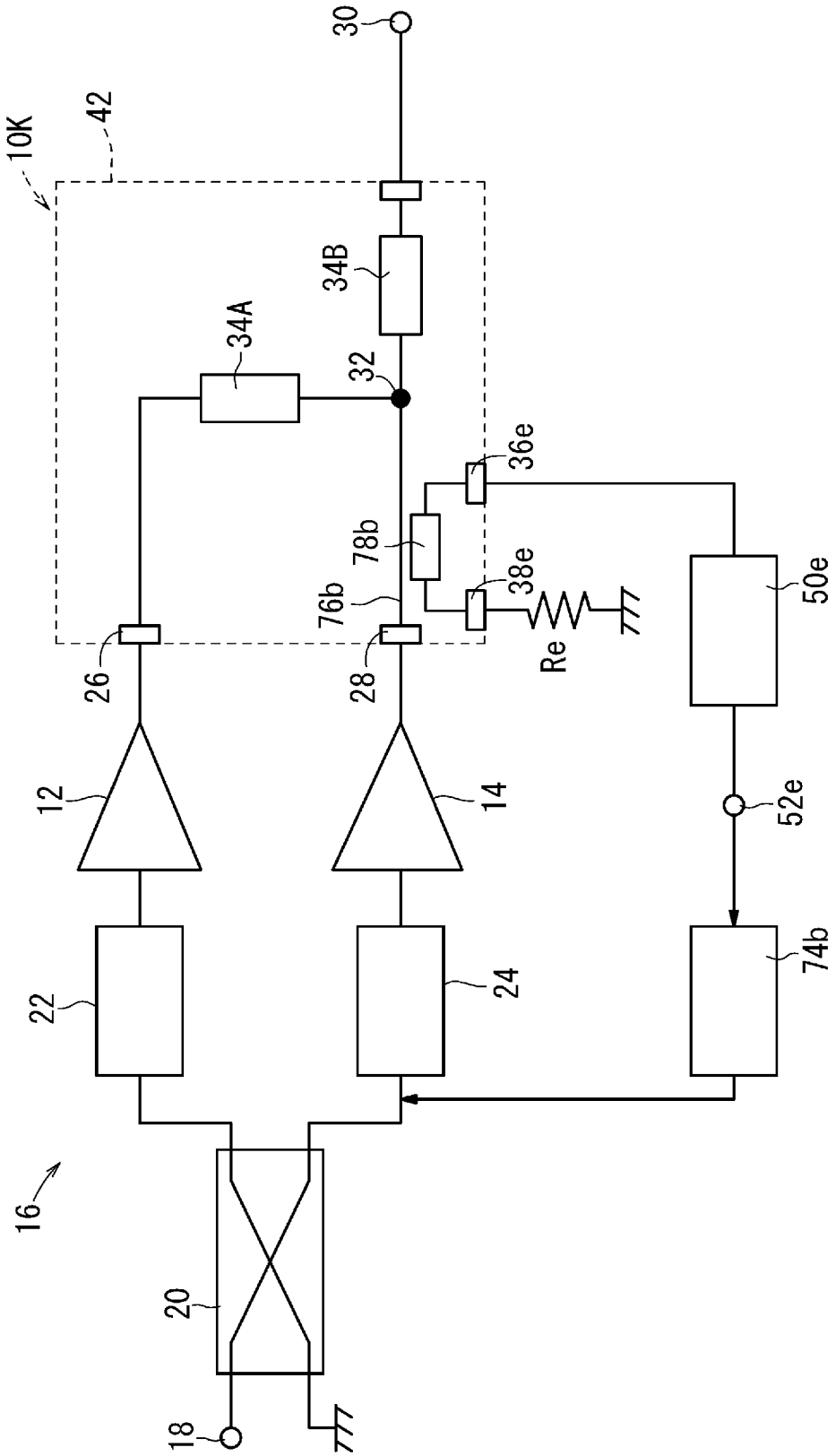
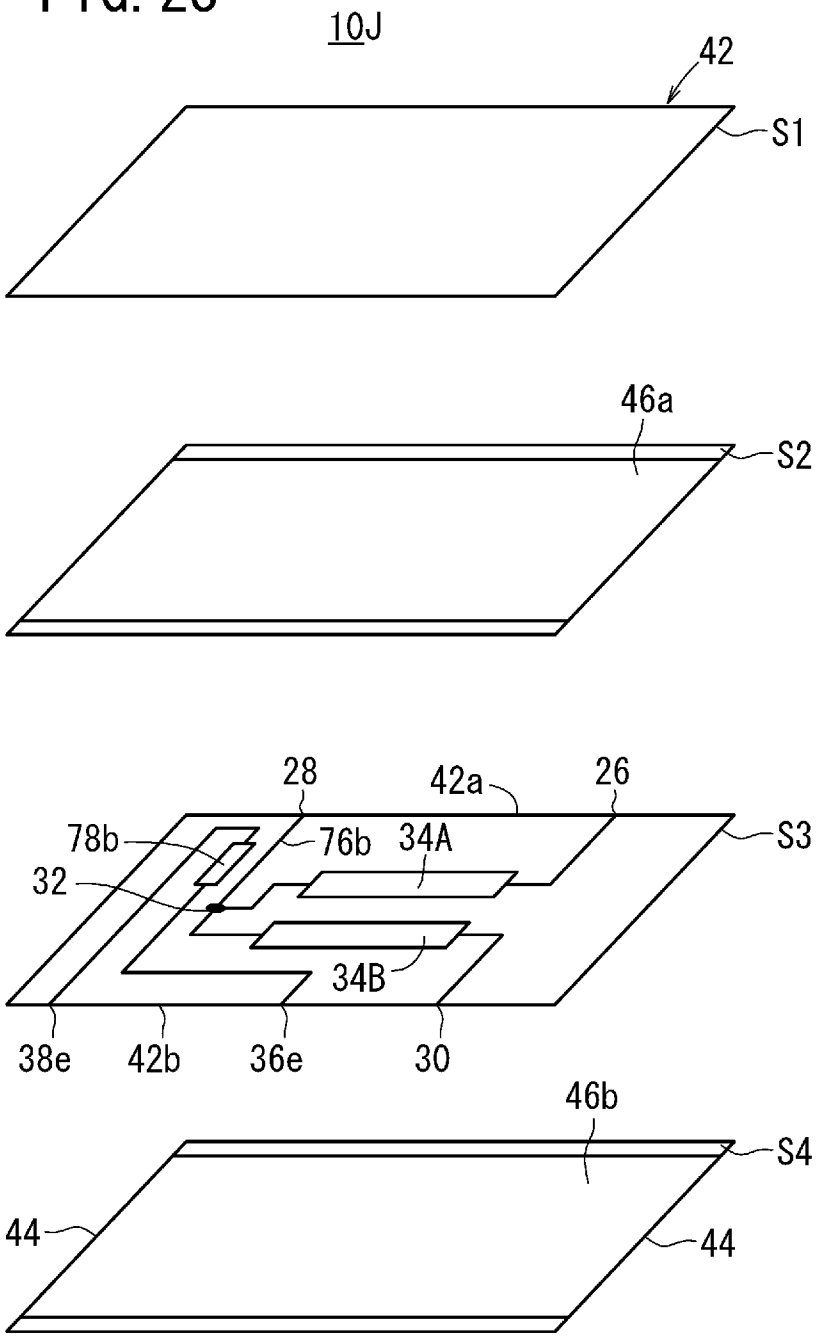

30
42
10K
34B
34A
32
36e
78b
38e
76b
Re
50e
26
28
12
14
52e
22
24
74b
16
20
18

FIG. 27

[図28]

FIG. 28


10J
42
S1
46a
S2
28
42a
26
78b
76b
34A
S3
32
34B
38e
42b
36e
30
46b
S4
44
44

[図29]

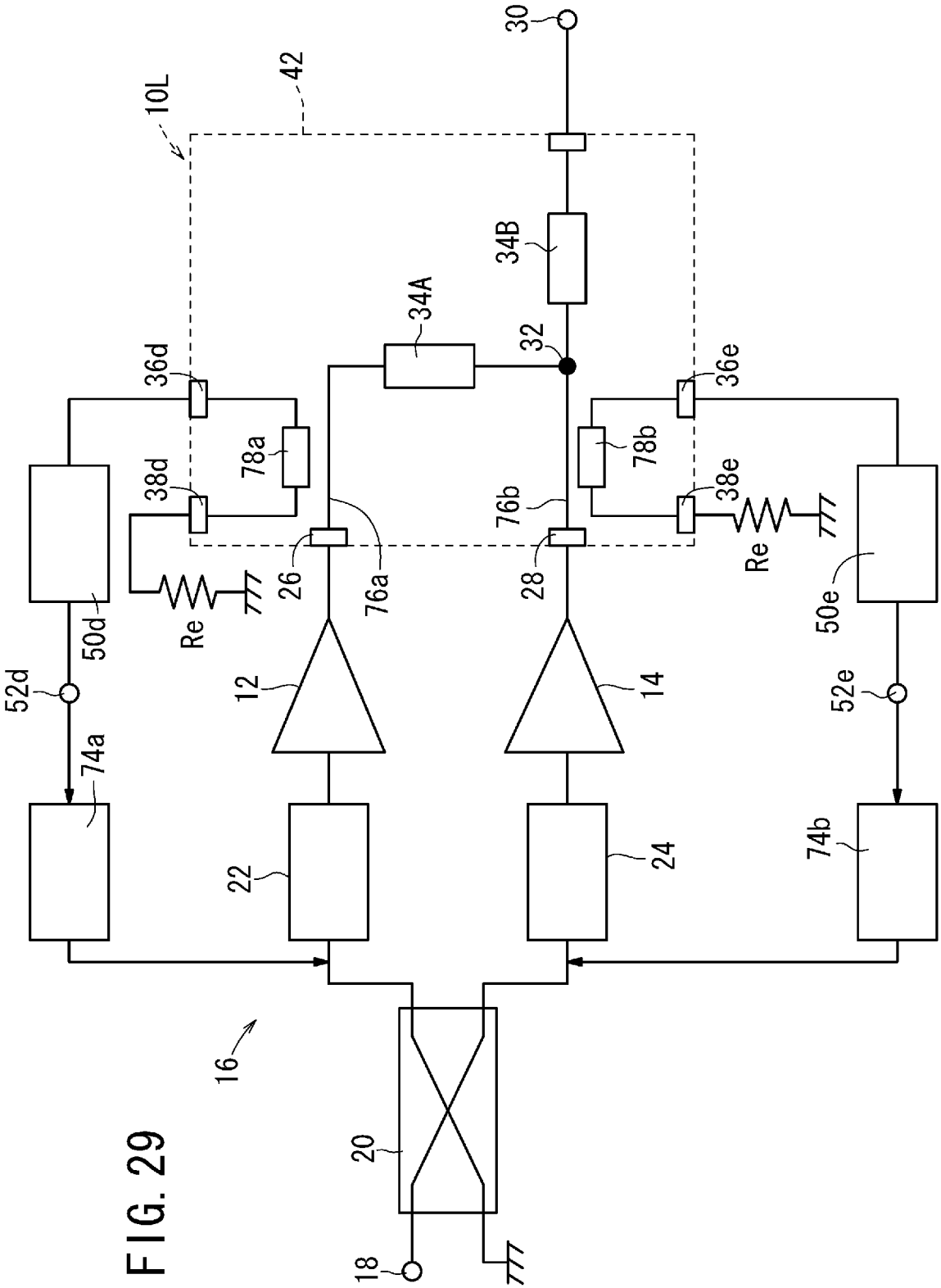
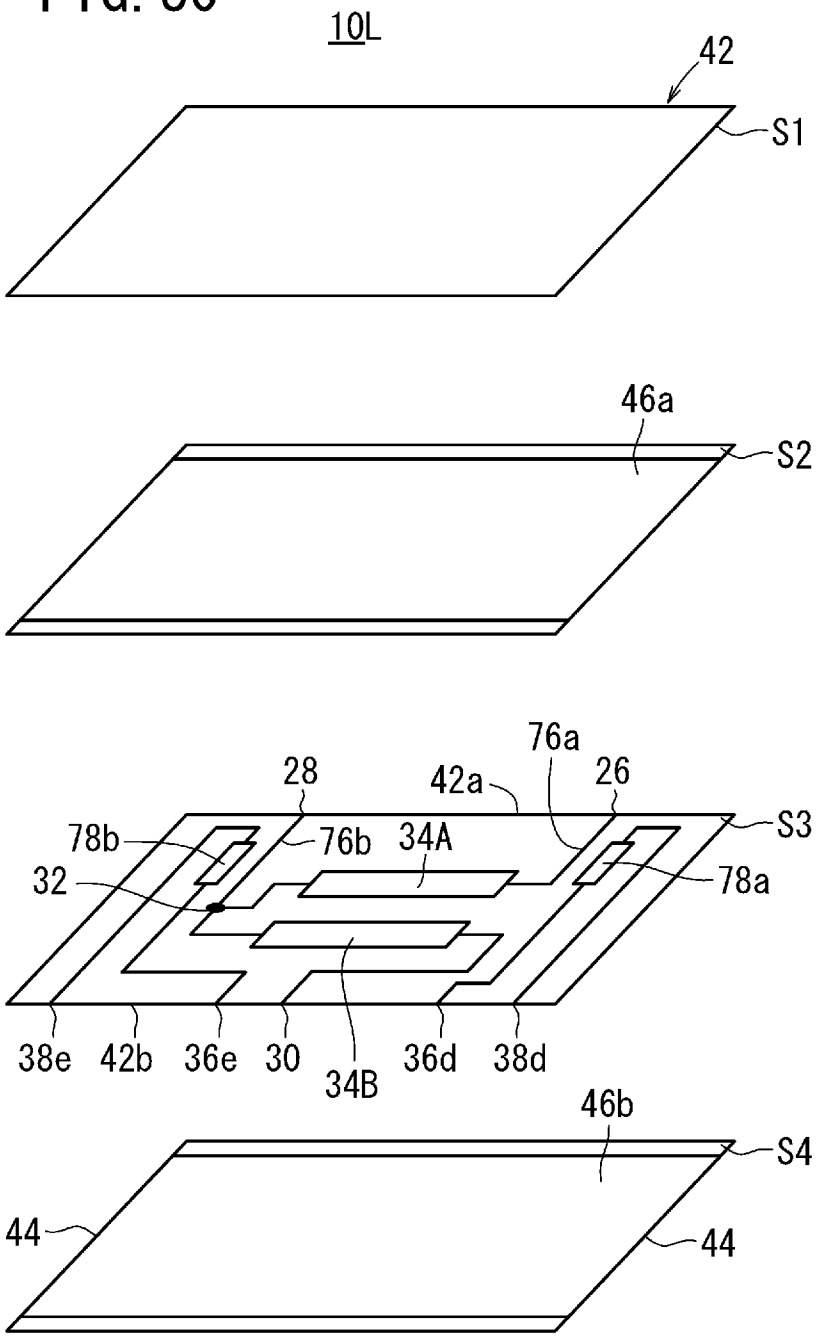

30
42
10L
34B
34A
32
36d
36e
78a
78b
38d
38e
76b
26
76a
28
Re
Re
50d
50e
52d
52e
12
14
74a
74b
22
24
16
20
18

FIG. 29

[図30]

FIG. 30


10L
42
S1
46a
S2
76a
28
42a
26
S3
78b
76b
34A
32
78a
38e
42b
36e
30
34B
36d
38d
46b
S4
44
44

[図31]

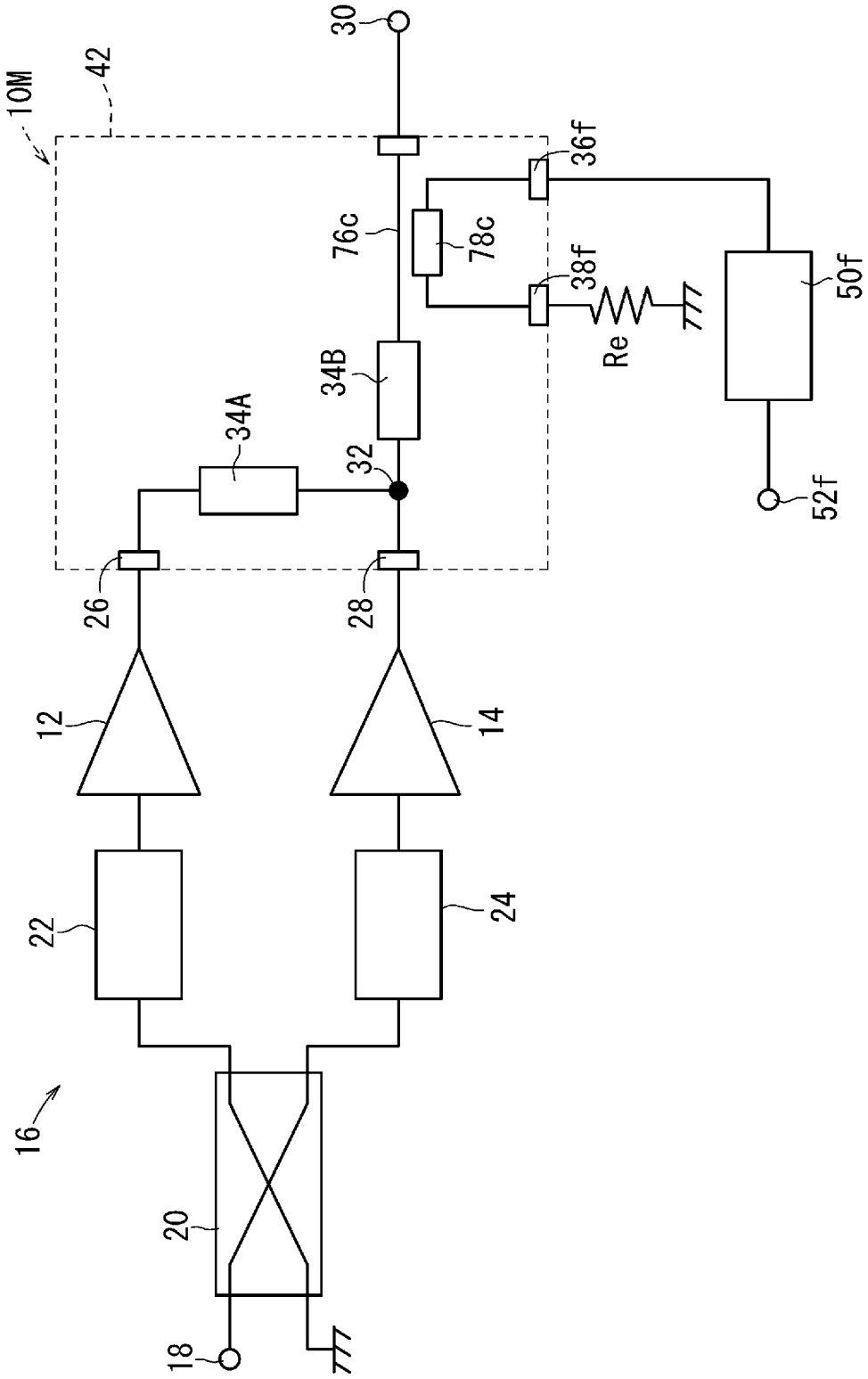
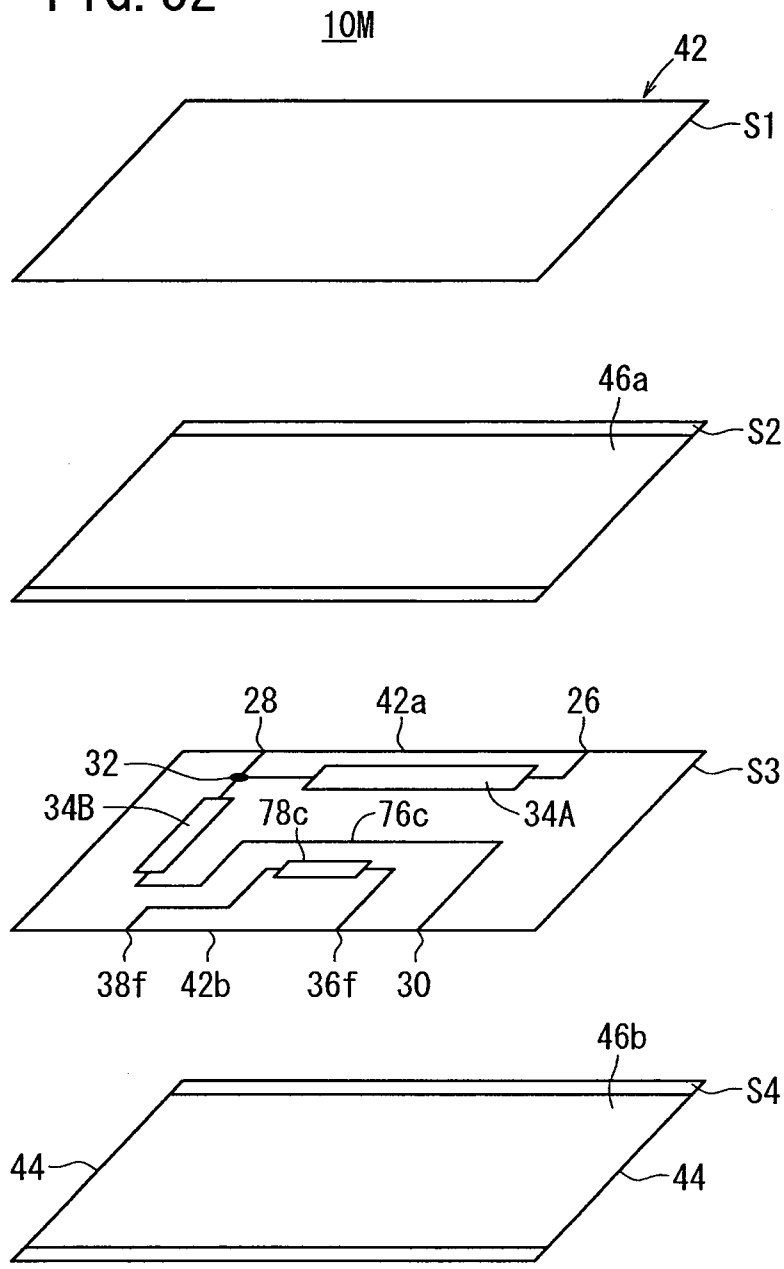

30
42
10M
36f
76c
78c
38f
Re
50f
34B
34A
32
52f
26
28
12
14
22
24
16
20
18

FIG. 31

[図32]

FIG. 32


10M
42
S1
46a
S2
28
42a
26
32
S3
34B
78c
76c
34A
38f
42b
36f
30
46b
S4
44
44

[図33]

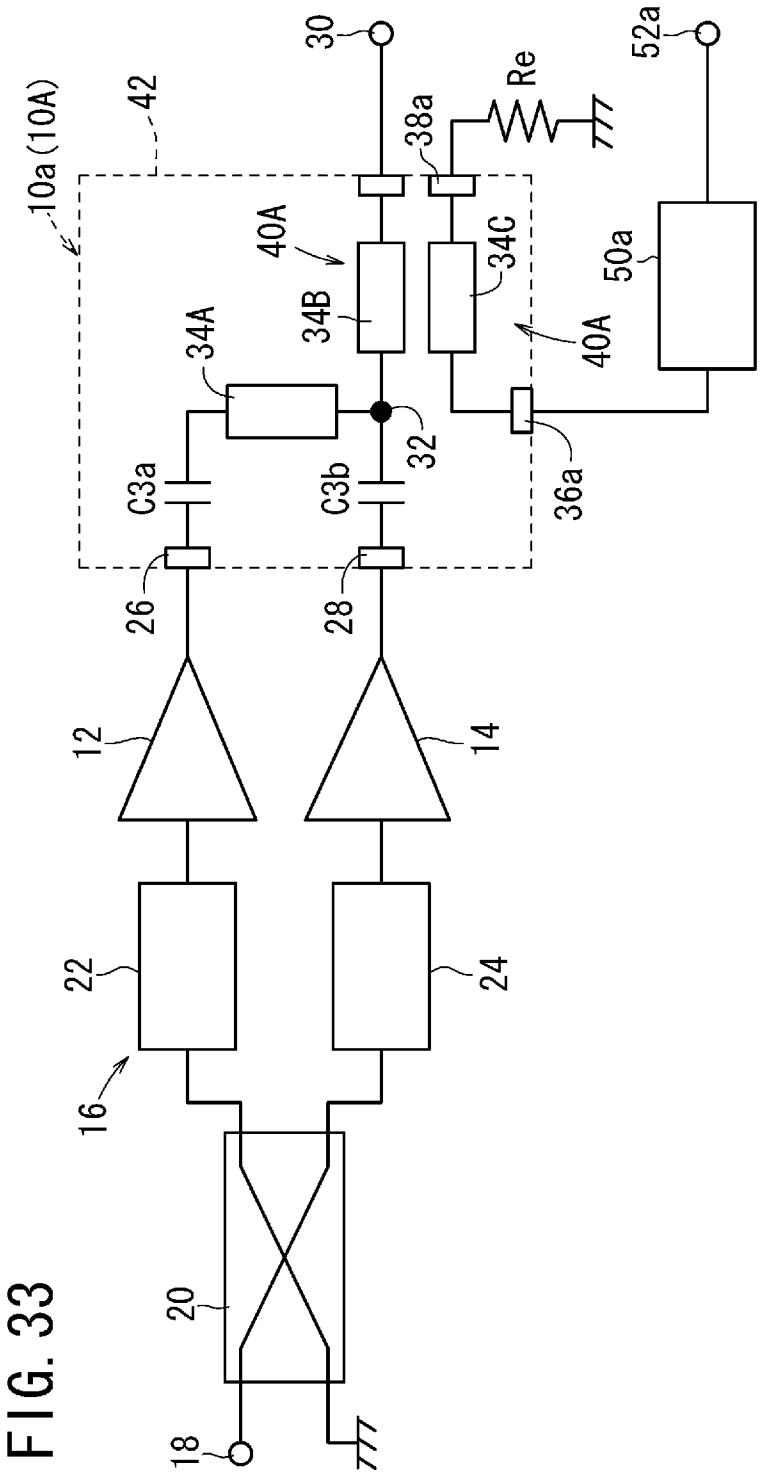
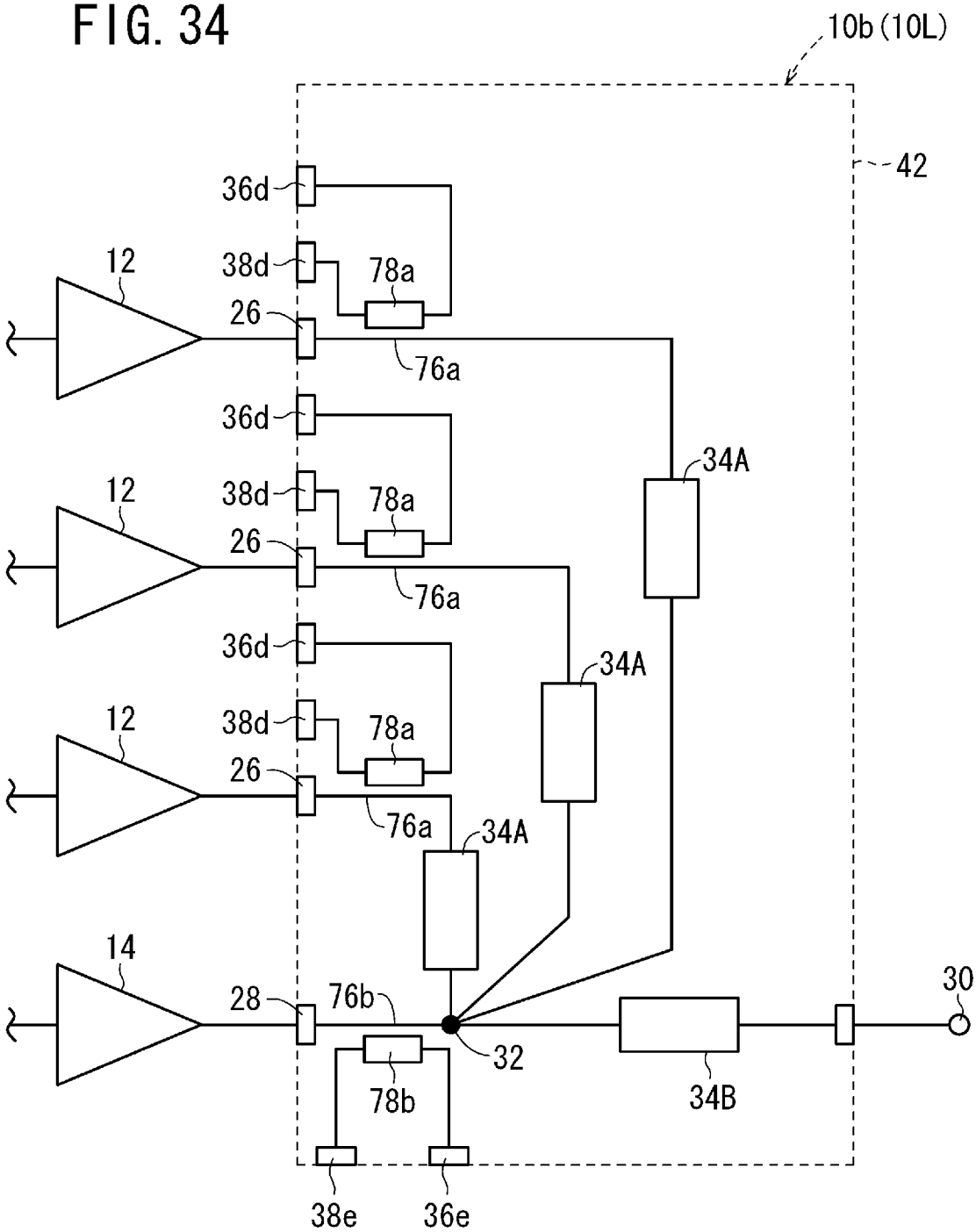

30
52a
Re
38a
42
10a (10A)
40A
34C
50a
34B
34A
40A
32
C3a
C3b
36a
26
28
12
14
22
24
16
20
18

FIG. 33

[図34]

FIG. 34


10b (10L)
42
36d
38d
78a
12
26
76a
34A
14
28
76b
32
30
78b
34B
38e
36e

[図35]

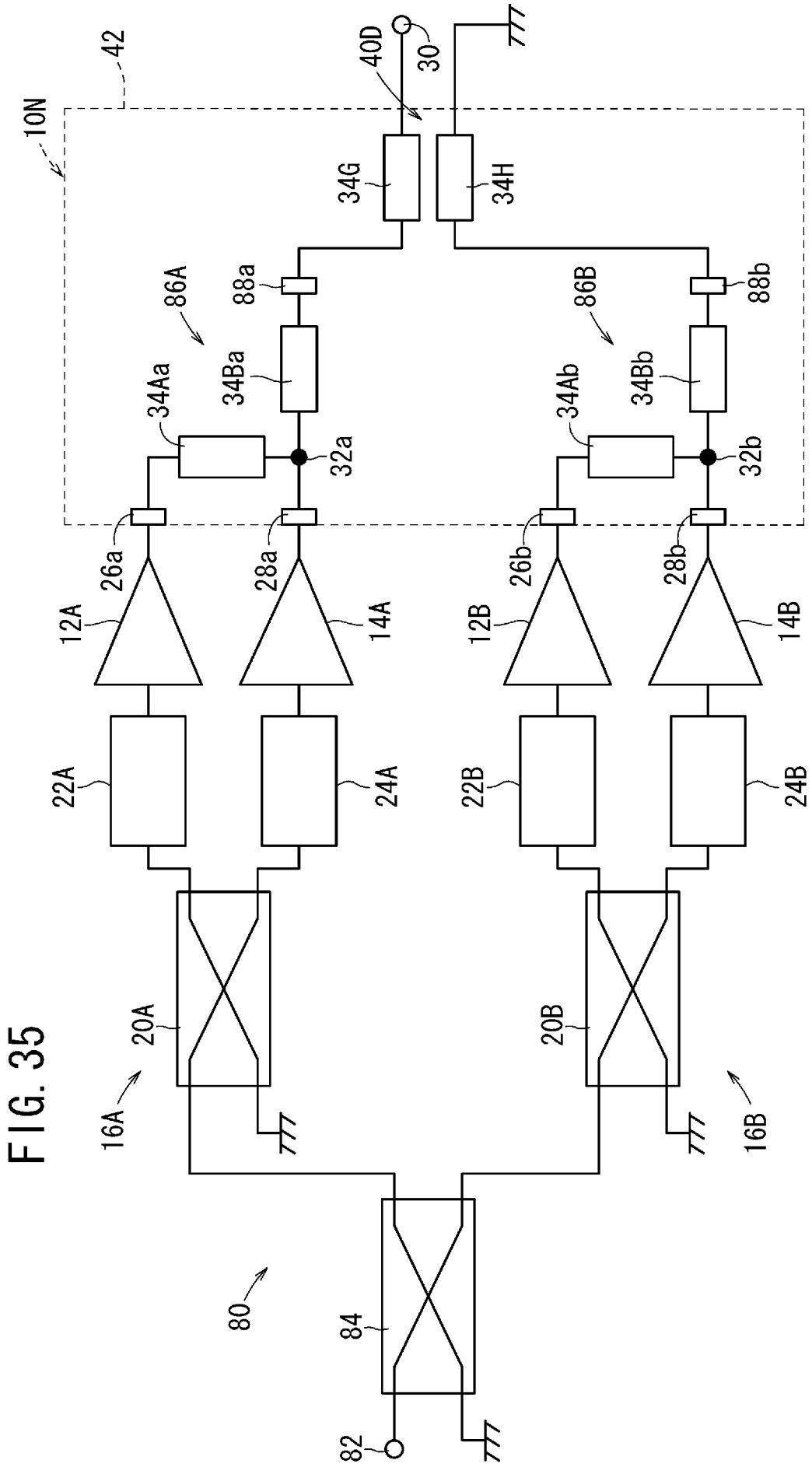
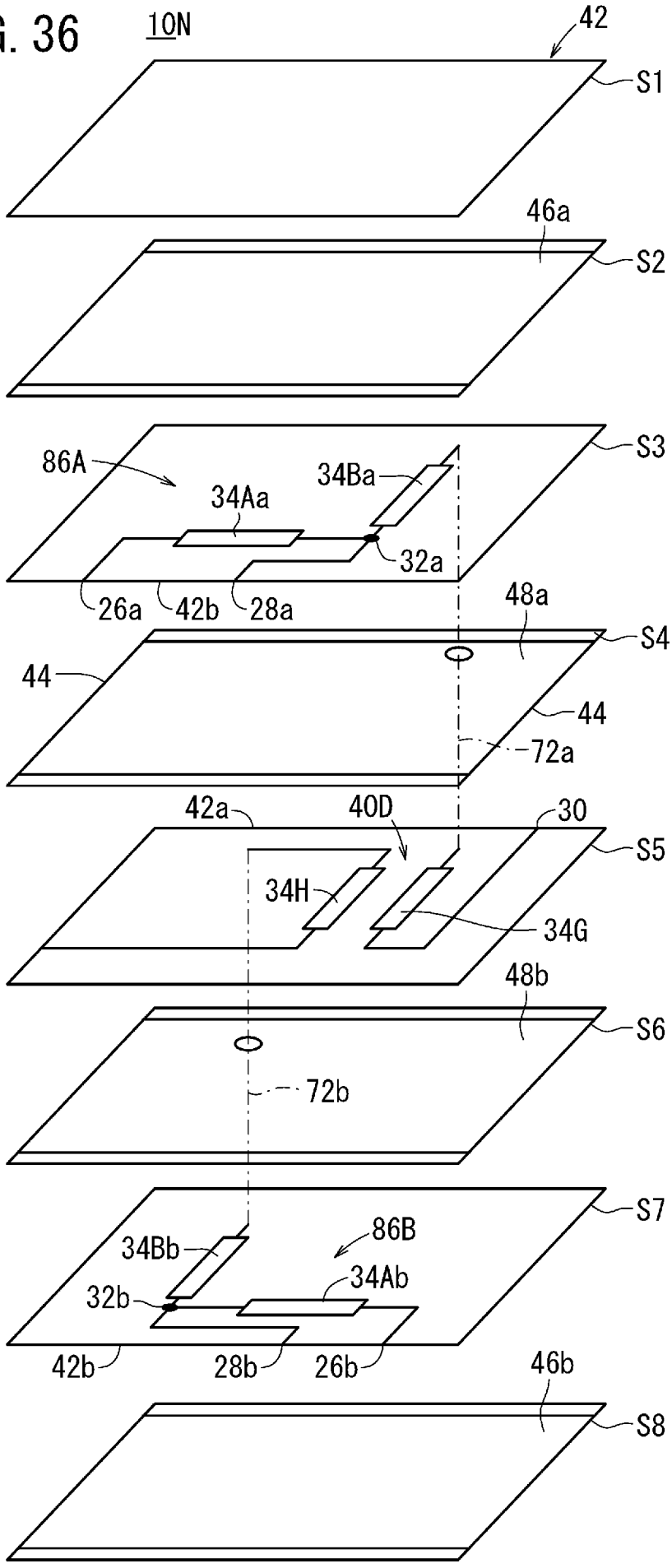

42
10N
40D
30
34G
34H
86A
88a
34Aa
34Ba
32a
86B
88b
34Ab
34Bb
32b
26a
28a
26b
28b
12A
14A
12B
14B
22A
24A
22B
24B
20A
20B
16A
16B
80
84
82

FIG. 35

[図36]

FIG. 36


10N
42
S1
46a
S2
86A
34Aa
34Ba
32a
S3
26a
42b
28a
48a
S4
44
44
72a
42a
40D
30
S5
34H
34G
48b
S6
72b
S7
34Bb
86B
34Ab
32b
42b
28b
26b
46b
S8

[図37]

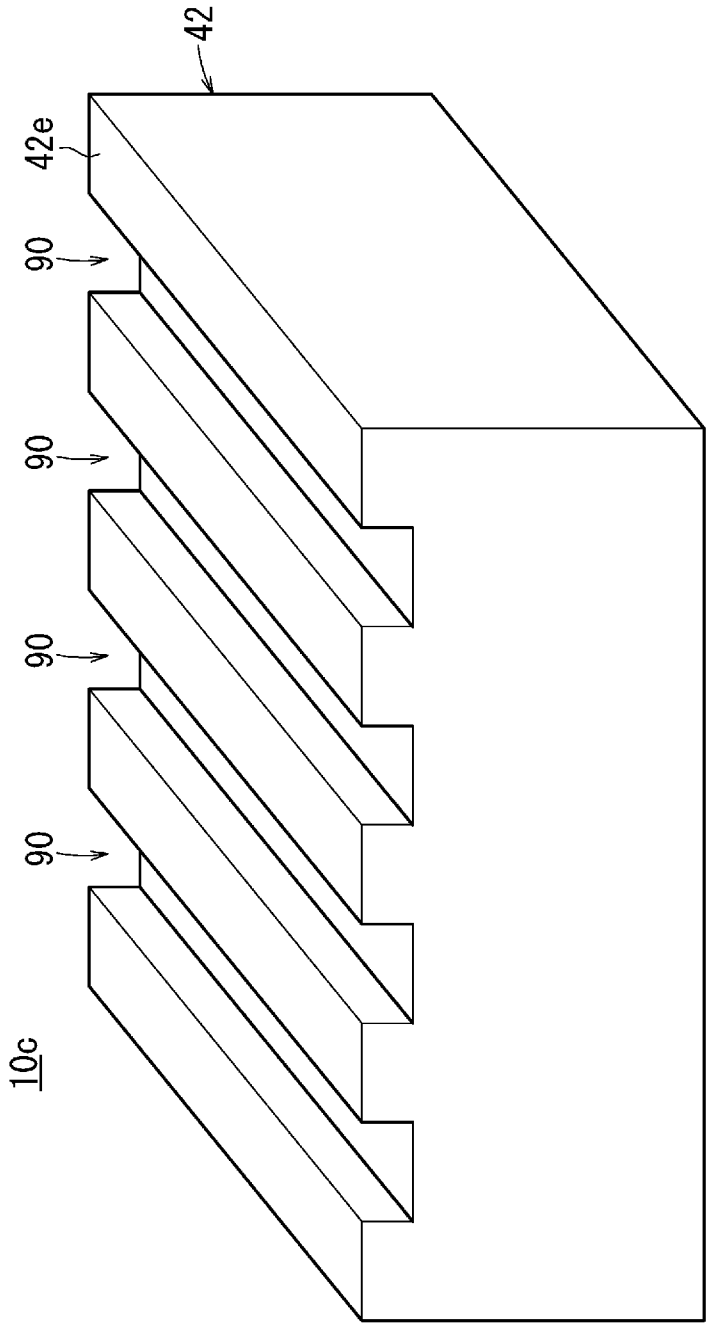


FIG. 37

[図38]

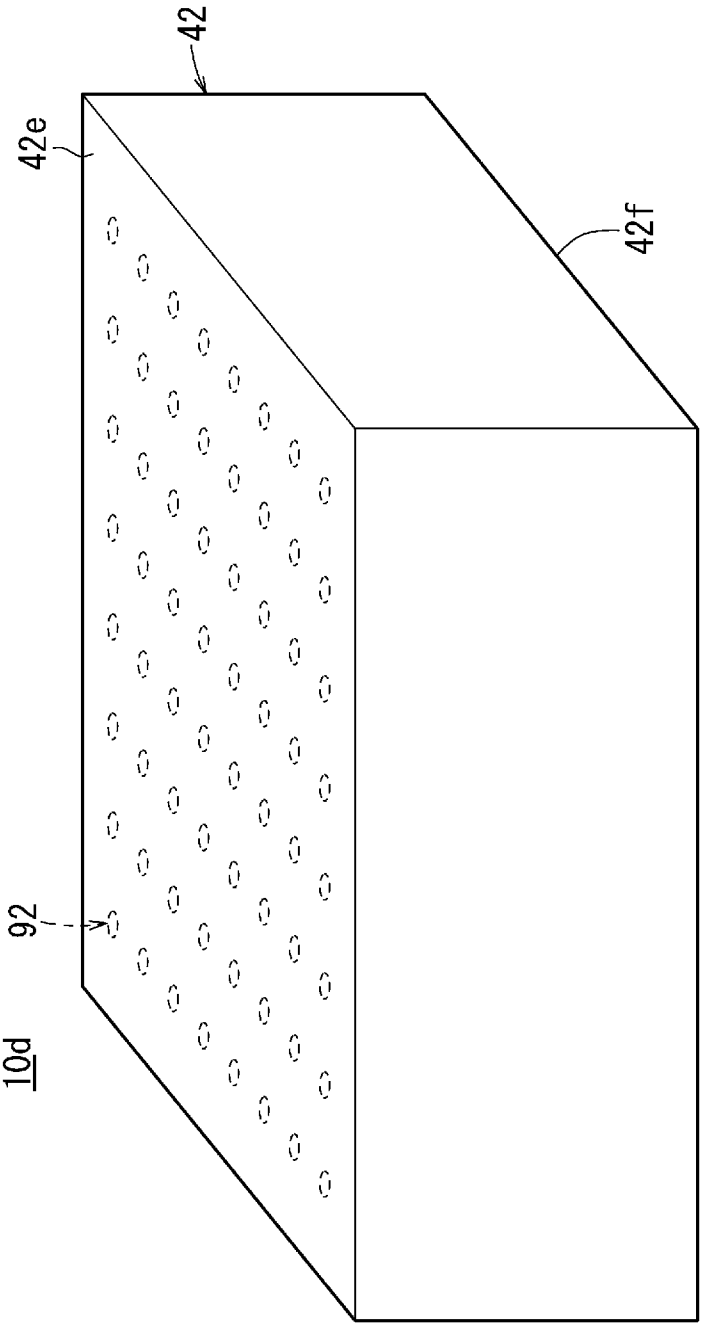


FIG. 38

[図39]

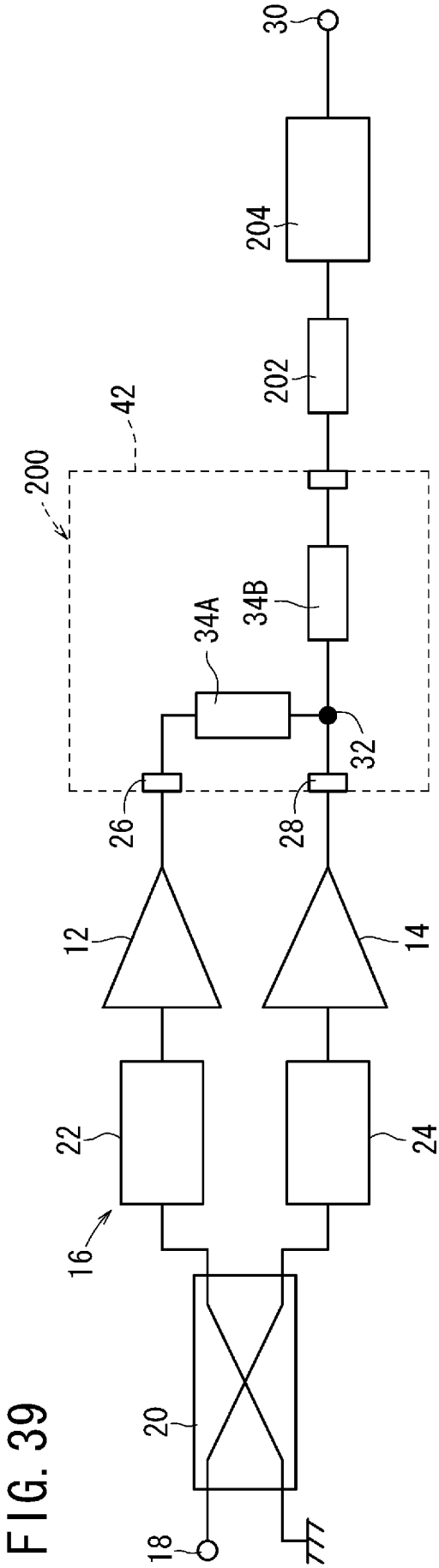


FIG. 39

[図40]

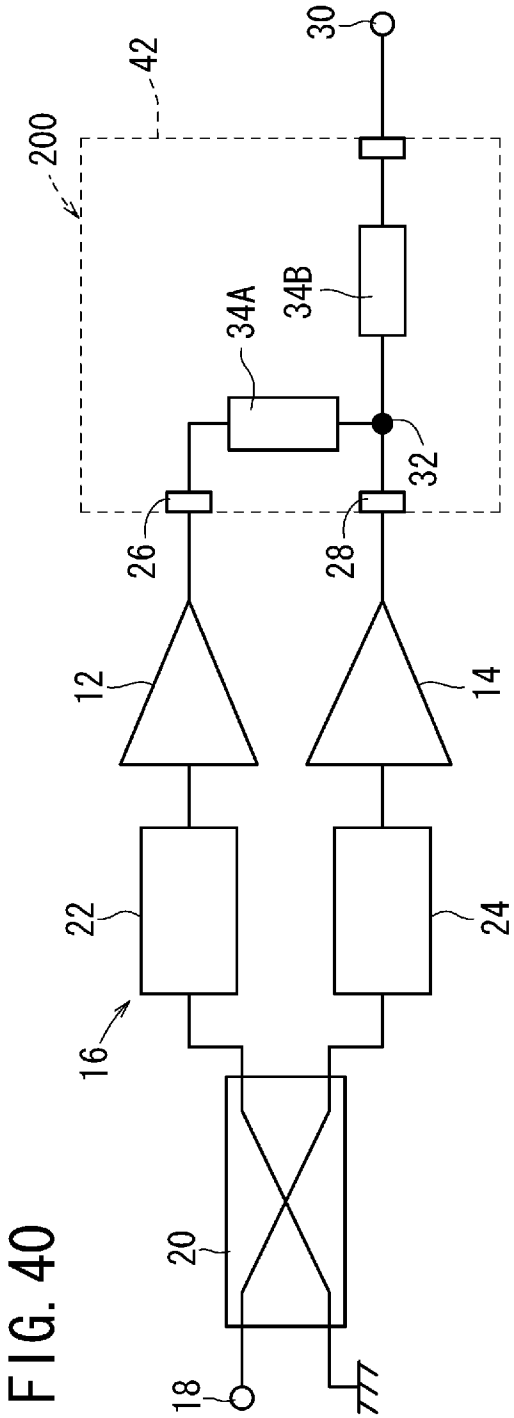
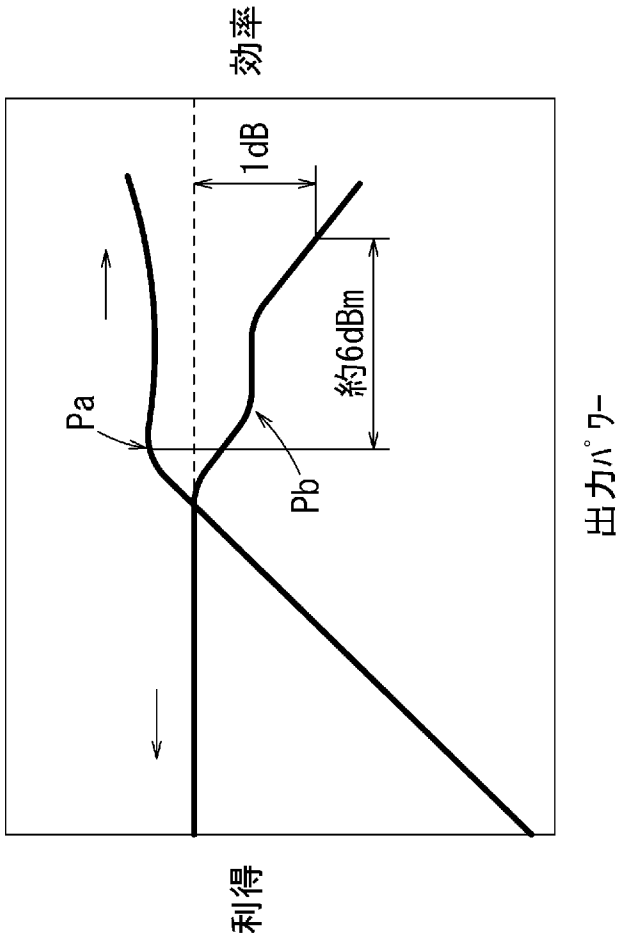


FIG. 40

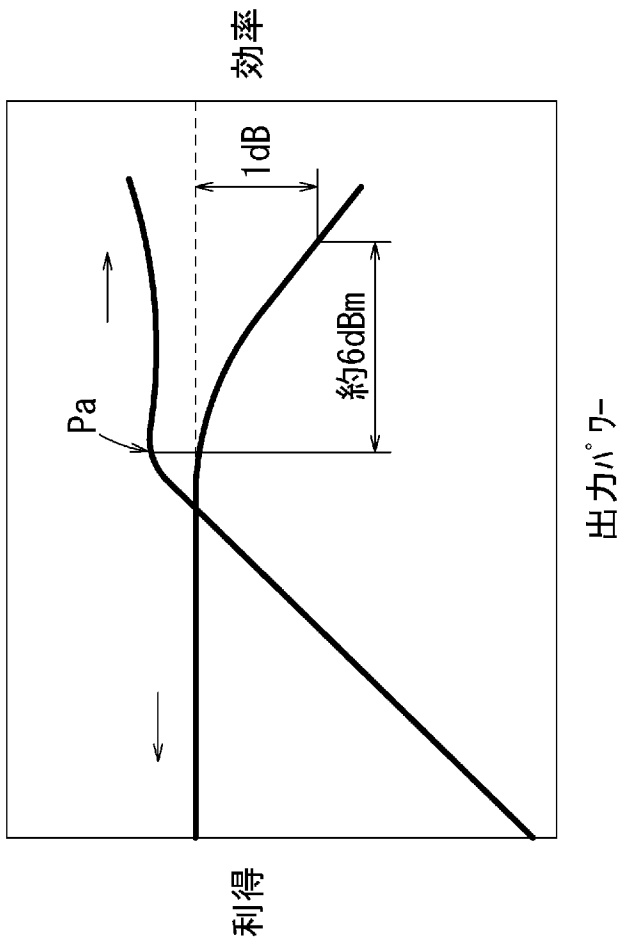
[図41]

FIG. 41



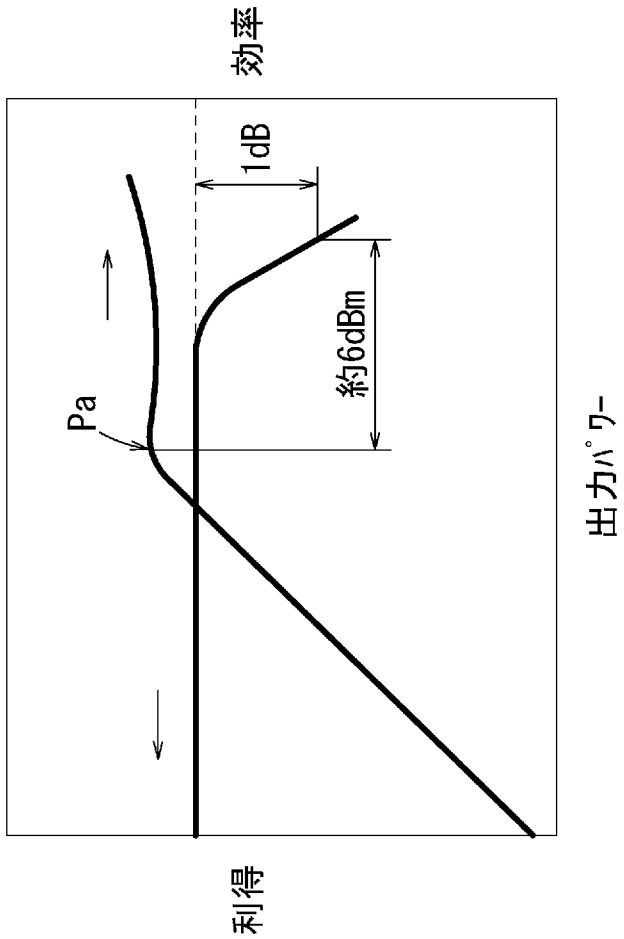
[図42]

FIG. 42



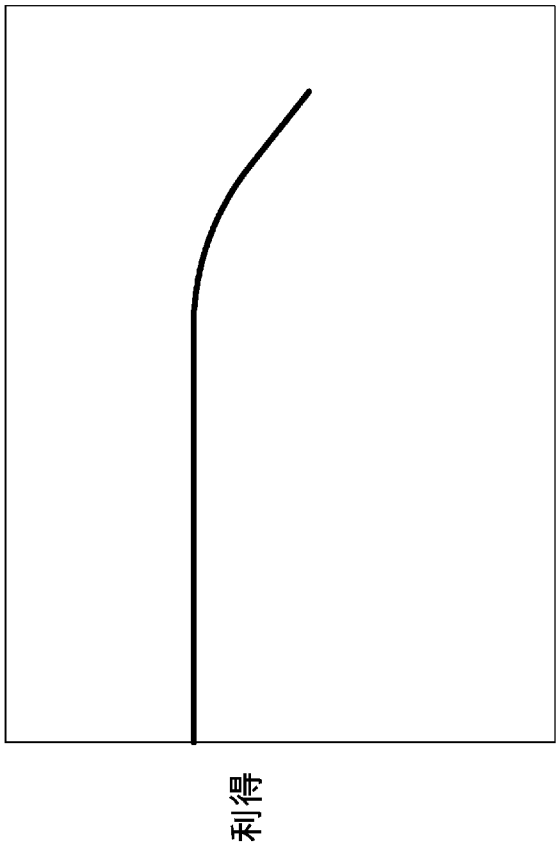
[図43]

FIG. 43



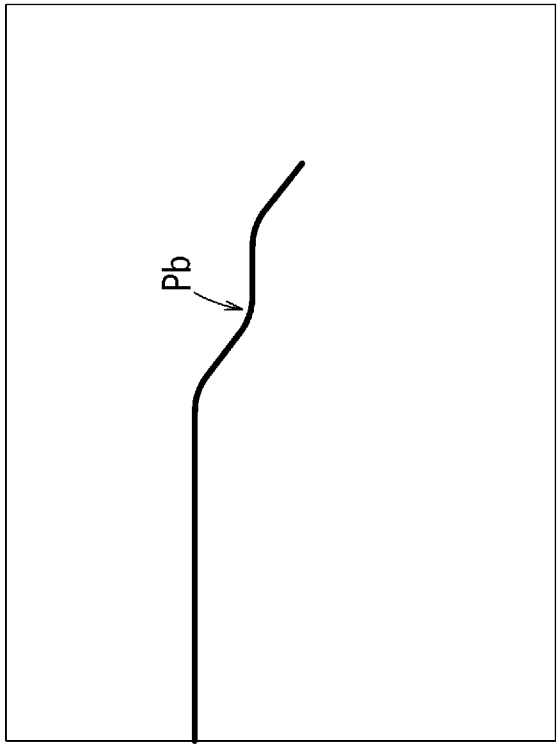
[図44]

FIG. 44



[図45]

FIG. 45



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/065958

A. CLASSIFICATION OF SUBJECT MATTER
H03F1/07(2006.01)i, *H03F1/32*(2006.01)i, *H03F3/60*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F1/07, H03F1/32, H03F3/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-228062 A (Toshiba Corp.), 06 September 2007 (06.09.2007), fig. 1; paragraphs [0010] to [0014] (Family: none)	1-3,9,20 4-6,10,12, 13,15-19, 28-30,37,38
X Y	JP 2006-67176 A (NEC Corp.), 09 March 2006 (09.03.2006), fig. 5; paragraph [0012] & US 2006/0044060 A1 & FI 20055430 A & SE 501794 A & KR 10-2006-0053159 A & CN 1741373 A & FI 20055430 D0	34 35,36
Y	WO 2008/123438 A1 (Soshin Electric Co., Ltd.), 16 October 2008 (16.10.2008), fig. 1 to 4; paragraphs [0036] to [0056] & JP 2008-252215 A & US 2010/0013521 A	4,5,12,13, 18,19,35,36

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 November, 2010 (08.11.10)	16 November, 2010 (16.11.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/065958

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-219175 A (Furuno Electric Co., Ltd.), 18 September 2008 (18.09.2008), fig. 1; paragraphs [0015] to [0021] (Family: none)	4-6,10,12, 13,16-19
Y	JP 2006-173722 A (Toshiba Corp.), 29 June 2006 (29.06.2006), fig. 1; paragraphs [0014] to [0025] & US 2006/0152279 A1 & GB 2421130 A & DE 102005058464 A & CN 1855698 A	28
Y	JP 2008-22513 A (Hitachi Kokusai Electric Inc.), 31 January 2008 (31.01.2008), fig. 18; paragraphs [0035] to [0036] (Family: none)	15,29
Y	JP 2009-206675 A (NEC Corp.), 10 September 2009 (10.09.2009), fig. 3; paragraphs [0004] to [0007] (Family: none)	30
Y	JP 2007-173647 A (Matsushita Electric Works, Ltd.), 05 July 2007 (05.07.2007), fig. 1 to 2; paragraphs [0015] to [0028] (Family: none)	37
Y	JP 2009-176839 A (Mitsubishi Electric Corp.), 06 August 2009 (06.08.2009), fig. 4; paragraphs [0026] to [0030] (Family: none)	38
E,X E,A	JP 2010-206351 A (Hitachi Kokusai Electric Inc.), 16 September 2010 (16.09.2010), fig. 2; paragraphs [0022] to [0024] (Family: none)	1-3,8 4-7,9-38
A	JP 2001-518731 A (Motorola, Inc.), 16 October 2001 (16.10.2001), entire text; all drawings & US 5886575 A & US 5886575 A & EP 1020026 A & WO 1999/017443 A1 & DE 69824873 T & BR 9812398 A	1-38

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／０６５９５８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03F1/07(2006.01)i, H03F1/32(2006.01)i, H03F3/60(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03F1/07, H03F1/32, H03F3/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2007-228062 A (株式会社東芝) 2007.09.06, 図 1,【0010】-【0014】(ファミリーなし)	1-3, 9, 20
Y		4-6, 10, 12, 13, 15-19, 28-30, 37, 38
X Y	JP 2006-67176 A (日本電気株式会社) 2006.03.09, 図 5,【0012】 & US 2006/0044060 A1 & FI 20055430 A & SE 501794 A & KR 10-2006-0053159 A & CN 1741373 A & FI 20055430 D0	34 35, 36

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０８．１１．２０１０	国際調査報告の発送日 １６．１１．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｔ　９１８３ 岸田　伸太郎 電話番号　０３－３５８１－１１０１　内線　３５６８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2008/123438 A1 (双信電機株式会社) 2008.10.16, FIG.1-4,[0036]-[0056] & JP 2008-252215 A & US 2010/0013521 A	4,5,12,13,18,19,35,36
Y	JP 2008-219175 A (古野電気株式会社) 2008.09.18, 図1,【0015】-【0021】 (ファミリーなし)	4-6,10,12,13,16-19
Y	JP 2006-173722 A (株式会社東芝) 2006.06.29, 図1,【0014】-【0025】 & US 2006/0152279 A1 & GB 2421130 A & DE 102005058464 A & CN 1855698 A	28
Y	JP 2008-22513 A (株式会社日立国際電気) 2008.01.31, 図18,【0035】-【0036】 (ファミリーなし)	15,29
Y	JP 2009-206675 A (日本電気株式会社) 2009.09.10, 図3,【0004】-【0007】 (ファミリーなし)	30
Y	JP 2007-173647 A (松下電工株式会社) 2007.07.05, 図1-2,【0015】-【0028】 (ファミリーなし)	37
Y	JP 2009-176839 A (三菱電機株式会社) 2009.08.06, 図4,【0026】-【0030】 (ファミリーなし)	38
E,X E,A	JP 2010-206351 A (株式会社日立国際電気) 2010.09.16, 図2,【0022】-【0024】 (ファミリーなし)	1-3,8 4-7,9-38
A	JP 2001-518731 A (モトローラ・インコーポレイテッド) 2001.10.16, 全文, 全図 & US 5886575 A & US 5886575 A & EP 1020026 A & WO 1999/017443 A1 & DE 69824873 T & BR 9812398 A	1-38