

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 8 月 18 日 (18.08.2016)



(10) 国际公布号
WO 2016/127600 A1

- (51) 国际专利分类号:
G06F 11/07 (2006.01)
- (21) 国际申请号: PCT/CN2015/086164
- (22) 国际申请日: 2015 年 8 月 5 日 (05.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510076615.7 2015 年 2 月 12 日 (12.02.2015) CN
- (71) 申请人: 中兴通讯股份有限公司 (ZTE CORPORATION) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。
- (72) 发明人: 蒋习旺 (JIANG, Xiwang); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。
- (74) 代理人: 北京康信知识产权代理有限公司 (KANGXIN PARTNERS, P.C.); 中国北京市海淀区知春路甲 48 号盈都大厦 A 座 16 层, Beijing 100098 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: EXCEPTION HANDLING METHOD AND APPARATUS

(54) 发明名称: 异常处理方法及装置

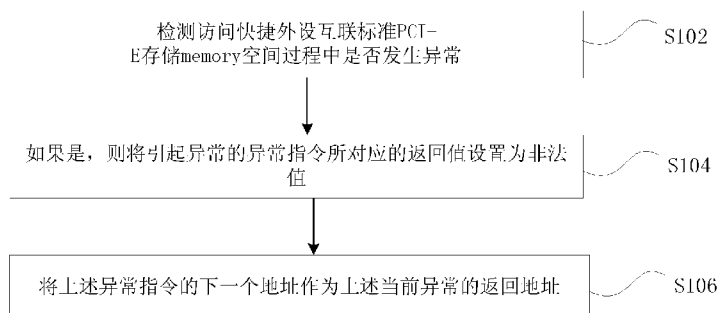


图 1

S102 DETECTING WHETHER AN EXCEPTION HAS OCCURRED IN A PROCESS OF ACCESSING A PERIPHERAL COMPONENT INTERCONNECT EXPRESS (PCI-E) MEMORY SPACE

S104 IF SO, SETTING A RETURN VALUE CORRESPONDING TO AN EXCEPTION INSTRUCTION CAUSING THE EXCEPTION AS AN ILLEGAL VALUE

S106 TAKING THE NEXT ADDRESS OF THE EXCEPTION INSTRUCTION AS A RETURN ADDRESS OF THE CURRENT EXCEPTION

(57) Abstract: An exception handling method and apparatus. The method comprises: detecting whether an exception has occurred in a process of accessing a PCI-E memory space (S102); if so, setting a return value corresponding to an exception instruction causing the exception as an illegal value (S104); and taking the next address of the exception instruction as a return address of the current exception (S106). Using the technical solution solves the problems in the related art that the occurrence of an exception in the process of accessing a pcie memory address causes the procedure to stop and a system halts due to an endless loop, thereby improving the robustness and survivability of the system.

(57) 摘要: 一种异常处理方法及装置, 其中, 所述方法包括: 检测访问 PCI-E 存储 memory 空间过程中是否发生异常 (S102); 如果是, 则将引起异常的异常指令所对应的返回值设置为非法值 (S104); 将所述异常指令的下一个地址作为所述当前异常的返回地址 (S106)。采用上述技术方案, 解决了

相关技术中, 访问 pcie memory 地址过程中出现异常而引起的进程停止以及系统因死循环挂掉的问题, 进而提升了系统的健壮性和残存性。

异常处理方法及装置

技术领域

本发明涉及通信领域，具体而言，涉及一种异常处理方法及装置。

背景技术

快捷外设互联标准（Peripheral Component Interconnect Express，简称为 PCI-E）是一种新型的总线标准和接口，是由英特尔在 2001 年公布的被称为“3GIO”的第三代 PCI 总线。PCI-E 属于高速串行点对点双通道高带宽传输，所连接的设备分配独享通道带宽，不共享总线带宽，主要支持主动电源管理，错误报告，端对端的可靠性传输，热插拔以及服务质量（Quality of Service，简称为 QoS）等功能。

PCI-E 中规定了四种地址空间，它们分别是 memory、I/O、configuration 和 message 空间。在 PCI-E 体系架构中，访问没有存储体对应的 memory 地址时会产生异常。对于不同处理器平台，在对此类异常的处理方法上略会有些差异。

在精简指令集架构的中央处理器（PerPerformance Optimization With Enhanced-Performance Computing，简称 POWERPC）处理器平台下，中央处理器（Central Processing Unit，简称为 CPU）发出一条读访问 PCI-E memory 空间的指令后，处理器首先通过 local access windows 将指令中的 local address 地址映射到 PCI-E controller 上。然后使用 outbound ATMU windows 将处理器地址映射为 PCI-E 域的地址。PCI-E 控制器的事物层将根据处理器的访问类型和映射后的 PCI-E 地址构成一个或多个 TLP。最终，这些 TLP 会通过 PCI-E 的链路层、物理层送达总线的对端，并等待对端的 completion 报文结束本次事物。

当处理器发送一个读访问，而读访问的地址没有存储体与之对应的情况下，PCI-E 控制器会因等待 completion 报文超时而产生一个异常。在异常处理过程中，处理函数会判断触发该异常的指令是用户态，还是内核态的。如果是用户态，异常处理将发送 SIGBUS 信号给用户态的进程。用进程在收到 SIGBUS 信号后，默认的处理方式是结束该进程。如果是内核态，用户将打印出当前的处理器环境信息，并退出异常。PCI-E 访存指令没有成功执行，在异常返回后内核将会重新执行该条指令。该访存指令会访问没有存储体对应的 PCI-E 地址，因此也会再次引发异常，最终将会导致内核进入死循环状态。

在支持 PCI-E 热插拔的系统中，PCI-E 设备可能随时会掉电或拔出。假设在某一个时刻处理器连续读访问 PCI-E 设备的 memory 空间。在访问期间 PCI-E 设备突然掉电。若此次访问是用户态进程发起的，进程将被杀死。若访问是内核态发起的，系统将会因为这次访问失败而陷入死循环中，以致整机 down 掉。

针对相关技术中，访问 pcie memory 地址过程中出现异常而引起的进程停止以及系统因死循环挂掉的问题，尚未提出有效的解决方案。

发明内容

为了解决上述技术问题，本发明实施例提供了一种异常处理方法及装置。

根据本发明的一个实施例，提供了一种异常处理方法，包括：检测访问快捷外设互联标准 PCI-E 存储 memory 空间过程中是否发生异常；如果是，则将引起异常的异常指令所对应的返回值设置为非法值；将所述异常指令的下一个地址作为所述当前异常的返回地址。

在本发明实施例中，检测访问 PCI-E 存储 memory 空间过程中是否发生异常，包括：检测是否发生以下情况：访问所述 PCI-E 存储 memory 空间时，由于所述 PCI-E 存储 memory 空间没有对应的存储实体而导致的异常，以及所述异常指令的所要访问的操作地址是否位于所述 PCI-E 存储 memory 空间的地址范围内；其中，在检测结果为是的情况下，确定访问所述 PCI-E 存储 memory 空间过程中发生异常。

在本发明实施例中，通过以下方式之一获取所述操作地址：在判断所述当前异常为加载 load 类指令引起的异常时，从所述 load 类指令获取所述操作地址；或从机器检查中断状态寄存器 MCSR 中读取所述操作地址。

在本发明实施例中，从所述 load 类指令获取所述操作地址，包括：根据所述 load 类指令的格式类型，从所述 load 类指令中与所述格式类型对应的指定位置获取所述操作地址。

在本发明实施例中，将引起所述当前异常的异常指令所对应的返回值设置为非法值，包括：在与所述异常指令对应的数据寄存器中写入所述非法值。

在本发明实施例中，所述异常至少包括以下之一：加载 load 类指令引起的异常、总线上读取数据总线异常。

根据本发明的另一个实施例，还提供了一种异常处理装置，包括：检测模块，设置为检测访问快捷外设互联标准 PCI-E 存储 memory 空间过程中是否发生异常；设置模块，设置为在发生异常时，将引起异常的异常指令所对应的返回值设置为非法值；确定模块，设置为将所述异常指令的下一个地址作为所述当前异常的返回地址。

在本发明实施例中，所述检测模块，设置为检测是否发生以下情况：访问所述 PCI-E 存储 memory 空间时，由于所述 PCI-E 存储 memory 空间没有对应的存储实体而导致的异常，以及所述异常指令的所要访问的操作地址是否位于所述 PCI-E 存储 memory 空间的地址范围内；其中，在检测结果为是的情况下，确定访问所述 PCI-E 存储 memory 空间过程中发生异常。

在本发明实施例中，所述装置还包括，获取模块，设置为获取所述操作地址，其中，所述获取模块还设置为在判断所述当前异常为加载 load 类指令引起的异常时，从所述 load 类指令获取所述操作地址；或从机器检查中断状态寄存器 MCSR 中读取所述操作地址。

在本发明实施例中，所述获取模块，还设置为根据所述 load 类指令的格式类型，从所述 load 类指令中与所述格式类型对应的指定位置获取所述操作地址。

通过本发明实施例，采用在发生异常时，将异常指令的下一个地址作为所述当前异常的返回地址，并将异常指令的返回值设置为非法值的技术手段，解决了相关技术中，访问 **pcie memory** 地址过程中出现异常而引起的进程停止以及系统因死循环挂掉的问题，进而提升了系统的健壮性和残存性。

附图说明

此处所说明的附图用来提供对本发明的进一步理解，构成本申请的一部分，本发明的示意性实施例及其说明用于解释本发明，并不构成对本发明的不当限定。在附图中：

图 1 是根据本发明实施例的异常处理方法的流程图；

图 2 为根据本发明实施例的异常处理装置的结构框图；

图 3 为根据本发明实施例的异常处理装置的另一结构框图；

图 4 为根据本发明优选实施例的使用分析指令的方法处理读 **pcie memory** 异常的处理方法的流程图；

图 5 为根据本发明优选实施例的使用 **powerpc** 平台架构提供的寄存器实现 **pcie memory** 的异常处理。

具体实施方式

下文中将参考附图并结合实施例来详细说明本发明。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

为了使本技术领域的人员更好地理解本发明方案，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分的实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都应当属于本发明保护的范围。

在本实施例中提供了一种异常处理方法，图 1 是根据本发明实施例的异常处理方法的流程图，如图 1 所示，该流程包括如下步骤：

步骤 S102，检测访问快捷外设互联标准 **PCI-E** 存储 **memory** 空间过程中是否发生异常；

步骤 S104，如果是，则将引起异常的异常指令所对应的返回值设置为非法值；

步骤 S106，将上述异常指令的下一个地址作为上述当前异常的返回地址。

通过上述各个步骤,采用在发生异常时,将异常指令的下一个地址作为所述当前异常的返回地址,,并将异常指令的返回值设置为非法值的的技术手段,解决了相关技术中,访问 pcie memory 地址过程中出现异常而引起的进程停止以及系统因死循环挂掉的问题,进而提升了系统的健壮性和残存性。

可选地,非法值可以是预先设定的,在本发明实施例中优选为十六进制的 F。

对于检测访问 PCI-E 存储 memory 空间过程中是否发生异常可以通过检测是否发生以下情况:访问上述 PCI-E 存储 memory 空间时,由于上述 PCI-E 存储 memory 空间没有对应的存储实体而导致的异常,以及上述异常指令的所要访问的操作地址是否位于上述 PCI-E 存储 memory 空间的地址范围内;其中,在检测结果为是的情况下,确定访问上述 PCI-E 存储 memory 空间过程中发生异常。

其中,可以通过以下方式之一获取上述操作地址:在判断上述当前异常为加载 load 类指令引起的异常时,从上述 load 类指令获取上述操作地址;或从机器检查中断状态寄存器 MCSR 中读取上述操作地址,由于 load 类指令的格式类型存在多种情况,因此,本发明实施中,根据上述 load 类指令的格式类型,从上述 load 类指令中与上述格式类型对应的指定位置获取上述操作地址。

在本发明实施例中,上述异常至少包括以下之一:加载 load 类指令引起的异常、总线上读取数据总线异常。

综上所述,本发明实施例的技术方案,解决了 powerpc 架构处理器读访问无存储体对应的 pcie memory 地址而引起的异常问题,进而达到不杀死用户态进程,也不会导致系统因死循环挂掉的方法,从而提升了系统的健壮性和残存性。

以下结合一示例说明上述实施例中所提供的异常处理方法,但不用于限定本发明实施例:

步骤 1) 确定导致异常的原因

首先要在异常处理流程中判定导致异常的原因:即处理器访问了没有存储体对应的 pcie memory 地址导致的异常。如果不是这种情况,异常按原有的流程继续进行。否则,将针对这种异常做进一步处理

步骤 2) 判断异常地址是否在 pcie memory 地址范围内

在确定异常原因后,需要进一步获取引起异常指令的操作地址,并将这个地址记录下来。并获取系统中所有 pcie 控制器所管辖的 memory 地址范围。最后,判断所记录的异常指令操作地址是否属于 pcie memory 空间。如果是,说明这种情况满足本发明实施例要处理的条件。否则,按原有的异常处理流程执行。

步骤 3) 将返回值填充为全 F

当以上两种情况和条件都满足后,将 load memory 指令的返回值填充为全 F。并将异常返回的地址改为引发异常的指令下地址,并跳过后续记录内核异常的打印或发送 SIGBUS 信号

给用户进程的操作，直接返回。

采用本发明实施例所提供的上述技术方案，可以简单有效的防止读访问 PCIe 产生异常后导致的进程被杀死或是系统挂掉的问题。

需要说明的是，对于前述的各方法实施例，为了简单描述，故将其都表述为一系列的动作组合，但是本领域技术人员应该知悉，本发明并不受所描述的动作顺序的限制，因为依据本发明，某些步骤可以采用其他顺序或者同时进行。其次，本领域技术人员也应该知悉，说明书中所描述的实施例均属于优选实施例，所涉及的动作和模块并不一定是本发明所必需的。

在本实施例中还提供了一种异常处理装置，用于实现上述实施例及优选实施方式，已经进行过说明的不再赘述，下面对该装置中涉及到的模块进行说明。如以下所使用的，术语“模块”可以实现预定功能的软件和/或硬件的组合。尽管以下实施例所描述的装置较佳地以软件来实现，但是硬件，或者软件和硬件的组合的实现也是可能并被构想的。图 2 为根据本发明实施例的异常处理装置的结构框图。如图 2 所示，该装置包括：

检测模块 20，设置为检测访问快捷外设互联标准 PCI-E 存储 memory 空间过程中是否发生异常；

设置模块 22，与检测模块 20 连接，设置为在发生异常时，将引起异常的异常指令所对应的返回值设置为非法值；

确定模块 24，与设置模块 22 连接，设置为将上述异常指令的下一个地址作为上述当前异常的返回地址。

通过上述各个模块的综合应用，采用在发生异常时，将异常指令的下一个地址作为所述当前异常的返回地址，并将引起上述异常指令所对应的返回值设置为非法值的技术手段，解决了相关技术中，访问 pcie memory 地址过程中出现异常而引起的进程停止以及系统因死循环挂掉的问题，进而提升了系统的健壮性和残存性。

图 3 为根据本发明实施例的异常处理装置的另一结构框图，其中，检测模块 20，用于检测是否发生以下情况：访问上述 PCI-E 存储 memory 空间时，由于上述 PCI-E 存储 memory 空间没有对应的存储单元而导致的异常，以及上述异常指令的所要访问的操作地址是否位于上述 PCI-E 存储 memory 空间的地址范围内；其中，在检测结果为是的情况下，确定访问上述 PCI-E 存储 memory 空间过程中发生异常。

可选地，上述装置还包括，获取模块 26，设置为获取上述操作地址，其中，获取模块 26 还设置为在判断上述当前异常为加载 load 类指令引起的异常时，从上述 load 类指令获取上述操作地址；或从机器检查中断状态寄存器 MCSR 中读取上述操作地址。

进一步地，获取模块 26，还设置为根据上述 load 类指令的格式类型，从上述 load 类指令中与上述格式类型对应的指定位置获取上述操作地址。

为了更好的理解上述异常处理过程，以下结合优选实施例进行说明，但不用于限定本发

明实施例的保护范围。

下面结合图 4 进一步详细描述使用分析指令的方法解决读 pcie memory 异常的处理方法：

步骤 S402，异常入口，powerpc 架构的指令属于精简指令集，采用统一指令编码方式，指令的长度相等，而且所有指令中的 op-code 永远位于同样的位置。根据这一指令特征，对异常原因的判断可以采取分析指令 op-code 的方式来实现。

步骤 S404，通过进入异常时保留下结构体 struct pt_regs，提取引起异常的指令 regs->nip。将指令的[0:5]bits 取出，判断该指令是否属于 load 类指令。如果是，则执行步骤 S406 中的处理，否则步骤 S410。

为了获取引起异常的指令的操作地址，要对 Load 指令做进一步分析。可根据具体的 Load 指令提取出指令要访问的地址。每种 load 指令放存的格式不同，因此要根据不同的指令来提取地址。

步骤 S406，通过 linux 内核结构变量 struct pci_controller hose_head 获取 pcie 所覆盖的地址范围。并检验步骤 S404 中提取的地址是否属于这个范围。如果是，执行步骤 S410 中的操作，否则执行步骤 S410。

步骤 S408，获取异常时保留下来的信息 struct pt_regs，将引起异常的 load 指令的数据寄存器 regs->gpr[0]填充为全 F。并将异常返回的地址指向引起异常指令的下地址 regs->nip = (regs->nip)+4;。这样再重新返回到程序运行时，程序将不会感知到异常的发生过，就好像 load 指令在 pcie memory 空间内获取了值为全 F 的非法值一样。

步骤 S410，执行原有的异常处理流程。

另一种实现方法是根据 powerpc 核心寄存器来获取并分析异常信息。下面结合图 5 对使用核心寄存器实现的读访问 pcie memory 异常的处理作进一步的描述。

步骤 S502，在异常入口处，通过获取 MCSR 寄存器来判断异常的类型。如果自动校验综合寄存器 Machine Check Syndrome Register，简称为 MCSR)[60] =1，则表示产生了“Bus read data bus error”异常。这种类型异常；

步骤 S504，在 powerpc 架构中，在发生异常时，自动校验地址寄存器(Machine Check Address Register，简称为 MCAR)寄存器包含了引起异常的指令所操作的地址。

步骤 S506，通过读取 MCAR 寄存器，可以获取引起异常的指令要访问的操作地址，判断上述操作地址是否位于 pcie 所覆盖的地址范围，如果是，执行步骤 S506 中的操作，否则执行步骤 S508。

步骤 S508，获取异常时保留下来的信息 struct pt_regs，将引起异常的 load 指令的数据寄存器 regs->gpr[0]填充为全 F。并将异常返回的地址指向引起异常指令的下地址 regs->nip = (regs->nip)+4;。这样再重新返回到程序运行时，程序将不会感知到异常的发生过，就好像 load 指令在 pcie memory 空间内获取了值为全 F 的非法值一样。

步骤 S508，执行原有的异常处理流程。

综上所述，本发明实施例达到了以下技术效果：解决了相关技术中，访问 `pcie memory` 地址过程中出现异常而引起的进程停止以及系统因死循环挂掉的问题，进而提升了系统的健壮性和残存性。

在另外一个实施例中，还提供了一种软件，该软件用于执行上述实施例及优选实施方式中描述的技术方案。

在另外一个实施例中，还提供了一种存储介质，该存储介质中存储有上述软件，该存储介质包括但不限于：光盘、软盘、硬盘、可擦写存储器等。

需要说明的是，本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的对象在适当情况下可以互换，以便这里描述的本发明的实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

显然，本领域的技术人员应该明白，上述的本发明的各模块或各步骤可以用通用的计算装置来实现，它们可以集中在单个的计算装置上，或者分布在多个计算装置所组成的网络上，可选地，它们可以用计算装置可执行的程序代码来实现，从而，可以将它们存储在存储装置中由计算装置来执行，并且在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤，或者将它们分别制作成各个集成电路模块，或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。这样，本发明不限制于任何特定的硬件和软件结合。

以上所述仅为本发明的优选实施例而已，并不用于限制本发明，对于本领域的技术人员来说，本发明可以有各种更改和变化。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

工业实用性

本发明提供的上述技术方案，可以应用于异常处理过程中，采用在发生异常时，将异常指令的下一个地址作为所述当前异常的返回地址，并将异常指令的返回值设置为非法值的技术手段，解决了相关技术中，访问 `pcie memory` 地址过程中出现异常而引起的进程停止以及系统因死循环挂掉的问题，进而提升了系统的健壮性和残存性。

权 利 要 求 书

1. 一种异常处理方法，包括：

检测访问快捷外设互联标准 PCI-E 存储 memory 空间过程中是否发生异常；

如果是，则将引起异常的异常指令所对应的返回值设置为非法值；

将所述异常指令的下一个地址作为当前异常的返回地址。

2. 根据权利要求 1 所述的方法，其中，检测访问 PCI-E 存储 memory 空间过程中是否发生异常，包括：

检测是否发生以下情况：访问所述 PCI-E 存储 memory 空间时，由于所述 PCI-E 存储 memory 空间没有对应的存储实体而导致的异常，以及所述异常指令的所要访问的操作地址是否位于所述 PCI-E 存储 memory 空间的地址范围内；其中，在检测结果为是的情况下，确定访问所述 PCI-E 存储 memory 空间过程中发生异常。

3. 根据权利要求 2 所述的方法，其中，通过以下方式之一获取所述操作地址：

在判断所述当前异常为加载 load 类指令引起的异常时，从所述 load 类指令获取所述操作地址；或

从机器检查中断状态寄存器 MCSR 中读取所述操作地址。

4. 根据权利要求 3 所述的方法，其中，从所述 load 类指令获取所述操作地址，包括：

根据所述 load 类指令的格式类型，从所述 load 类指令中与所述格式类型对应的指定位置获取所述操作地址。

5. 根据权利要求 1 所述的方法，其中，将引起所述当前异常的异常指令所对应的返回值设置为非法值，包括：

在与所述异常指令对应的数据寄存器中写入所述非法值。

6. 根据权利要求 1 至 5 任一项所述的方法，其中，所述异常至少包括以下之一：

加载 load 类指令引起的异常、总线上读取数据总线的异常。

7. 一种异常处理装置，包括：

检测模块，设置为检测访问快捷外设互联标准 PCI-E 存储 memory 空间过程中是否发生异常；

设置模块，设置为在发生异常时，将引起异常的异常指令所对应的返回值设置为非法值；

确定模块，设置为将所述异常指令的下一个地址作为当前异常的返回地址。

8. 根据权利要求 7 所述的装置，其中，所述检测模块，设置为检测是否发生以下情况：访问

所述 PCI-E 存储 memory 空间时，由于所述 PCI-E 存储 memory 空间没有对应的存储实体而导致的异常，以及所述异常指令的所要访问的操作地址是否位于所述 PCI-E 存储 memory 空间的地址范围内；其中，在检测结果为是的情况下，确定访问所述 PCI-E 存储 memory 空间过程中发生异常。

9. 根据权利要求 8 所述的装置，其中，所述装置还包括，获取模块，设置为获取所述操作地址，其中，所述获取模块还设置为在判断所述当前异常为加载 load 类指令引起的异常时，从所述 load 类指令获取所述操作地址；或从机器检查中断状态寄存器 MCSR 中读取所述操作地址。
10. 根据权利要求 9 所述的装置，其中，所述获取模块，还设置为根据所述 load 类指令的格式类型，从所述 load 类指令中与所述格式类型对应的指定位置获取所述操作地址。

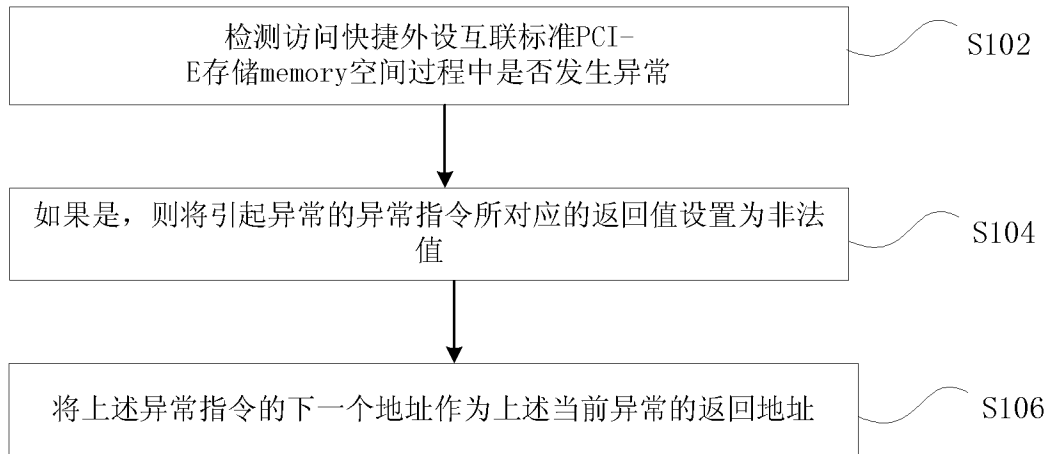
**图 1****图 2**



图 3

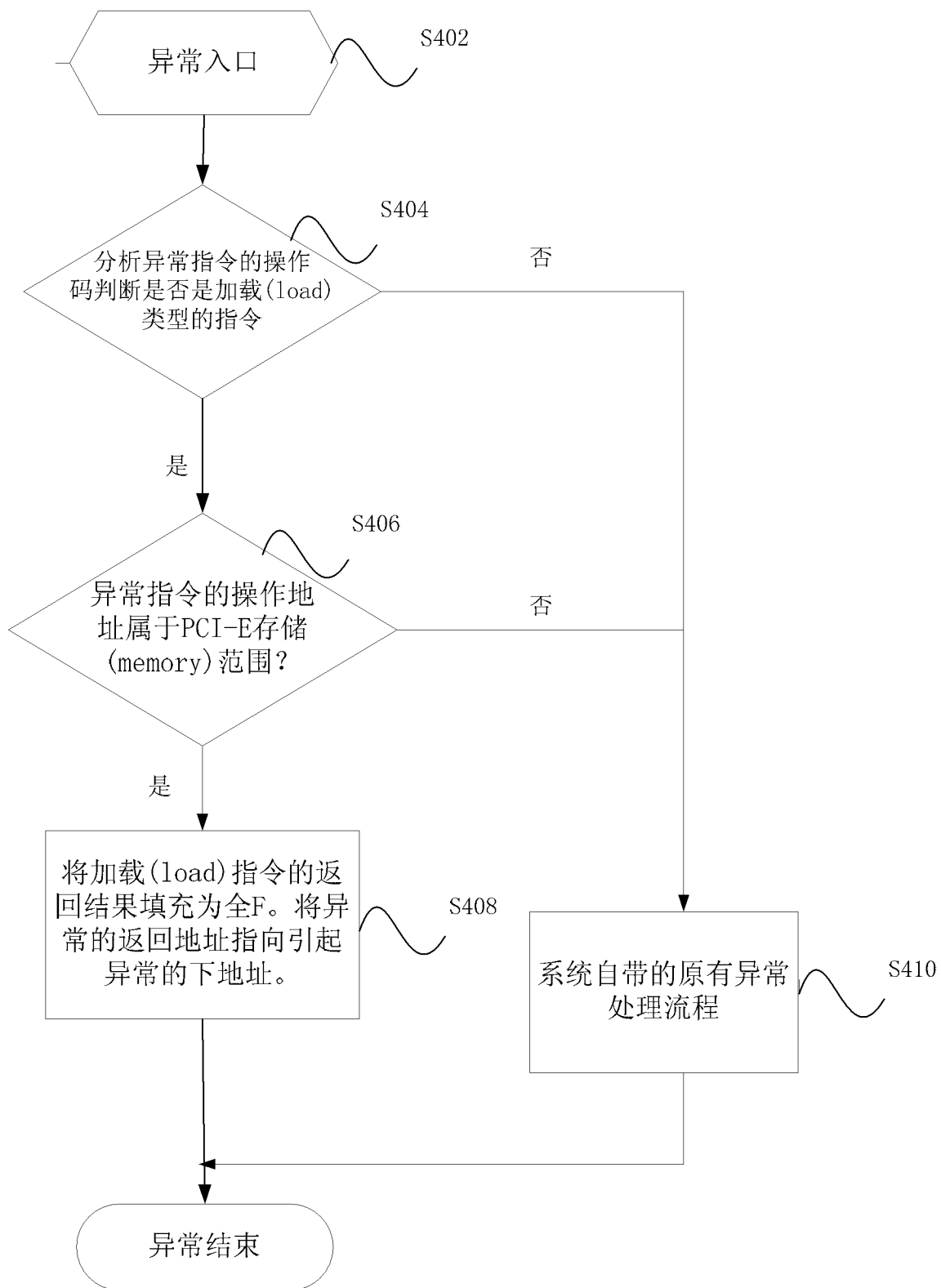


图 4

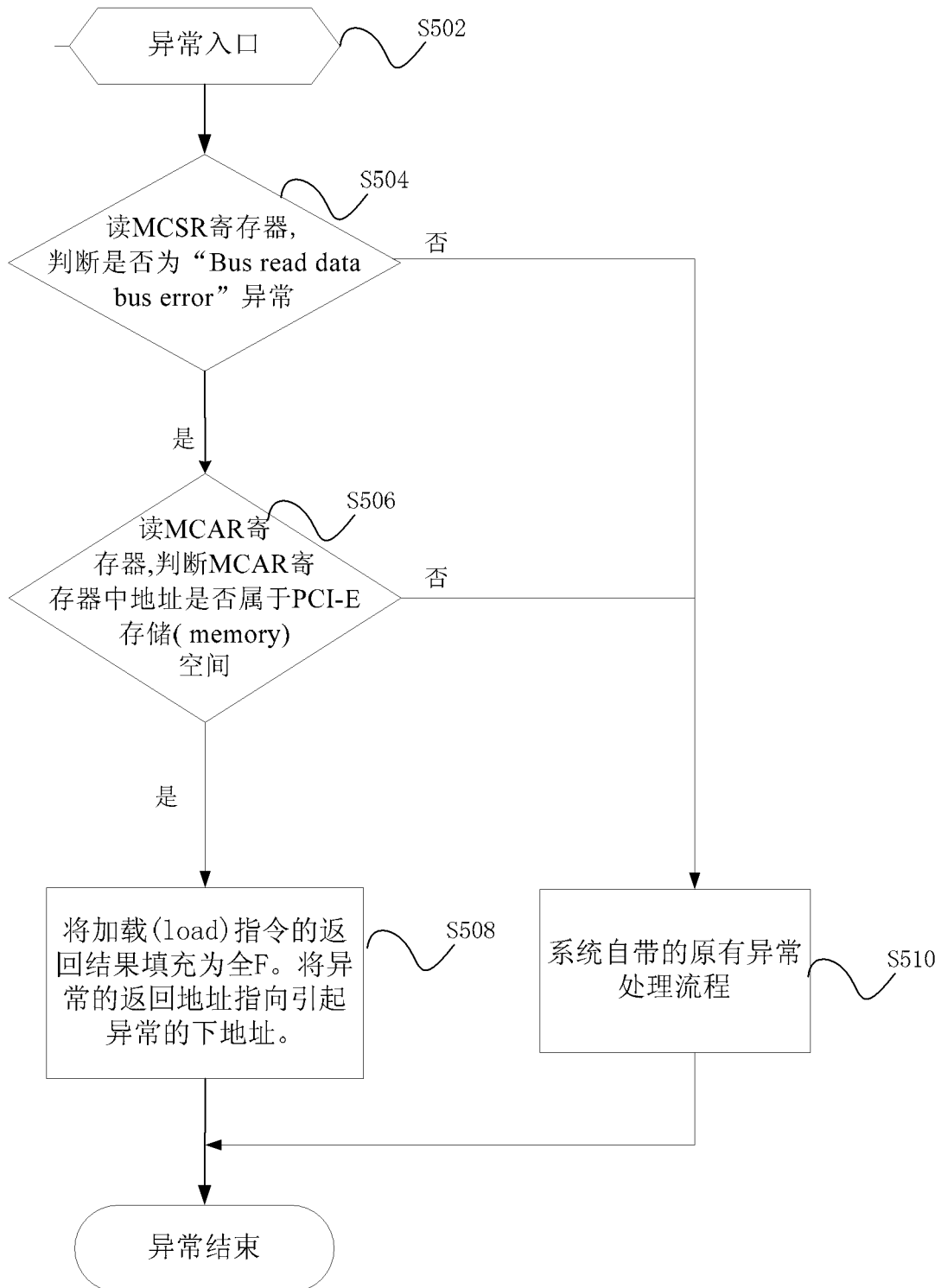


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/086164

A. CLASSIFICATION OF SUBJECT MATTER

G06F 11/07 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE, GOOGLE: PCI, PCI-E, PCI Express, dead, loop, dead loop, illegal, address, return, abnormal,
error

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103309762 A (HANGZHOU H3C TECH CO., LTD.) 18 September 2013 (18.09.2013) description, paragraphs [0002], [0037] to [0046]	1-10
A	CN 101625656 A (H3C TECHNOLOGIES CO., LTD.) 13 January 2010 (13.01.2010) the whole document	1-10
A	US 2008148016 A1 (FUJITSU LIMITED) 19 June 2008 (19.06.2008) the whole document	1-10
A	US 2006041863 A1 (SAITO, KAZUNORI) 23 February 2006 (23.02.2006) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 October 2015	Date of mailing of the international search report 28 October 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer KONG, Xin Telephone No. (86-10) 62413668

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/086164

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103309762 A	18 September 2013	None	
CN 101625656 A	13 January 2010	None	
US 2008148016 A1	19 June 2008	EP 1967950 A2	10 September 2008
		JP 2008146542 A	26 June 2008
US 2006041863 A1	23 February 2006	TW 200402634 A	16 February 2004
		AU 2003252387 A1	23 February 2004
		WO 2004013755 A1	12 February 2004
		JP 2004070605 A	04 March 2004
		JP 2009037642 A	19 February 2009

国际检索报告

国际申请号

PCT/CN2015/086164

A. 主题的分类

G06F 11/07 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, WPI, EPODOC, CNKI, IEEE, GOOGLE: 异常, 错误, 返回, 地址, 非法, 死循环, 死机, PCI, PCI-E, PCI Express, dead, loop, illegal, address, return, abnormal, error

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103309762 A (杭州华三通信技术有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第[0002]段, [0037]-[0046]段	1-10
A	CN 101625656 A (杭州华三通信技术有限公司) 2010年 1月 13日 (2010 - 01 - 13) 全文	1-10
A	US 2008148016 A1 (FUJITSU LIMITED) 2008年 6月 19日 (2008 - 06 - 19) 全文	1-10
A	US 2006041863 A1 (SAITO, KAZUNORI) 2006年 2月 23日 (2006 - 02 - 23) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 10月 10日

国际检索报告邮寄日期

2015年 10月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10) 62019451

授权官员

孔昕

电话号码 (86-10) 62413668

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/086164

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103309762	A	2013年 9月 18日	无			
CN	101625656	A	2010年 1月 13日	无			
US	2008148016	A1	2008年 6月 19日	EP	1967950	A2	2008年 9月 10日
				JP	2008146542	A	2008年 6月 26日
US	2006041863	A1	2006年 2月 23日	TW	200402634	A	2004年 2月 16日
				AU	2003252387	A1	2004年 2月 23日
				WO	2004013755	A1	2004年 2月 12日
				JP	2004070605	A	2004年 3月 4日
				JP	2009037642	A	2009年 2月 19日

表 PCT/ISA/210 (同族专利附件) (2009年7月)