

(12) 发明专利

(10) 授权公告号 CN 101366116 B

(45) 授权公告日 2012. 09. 26

(21) 申请号 200780002151. 9

(22) 申请日 2007. 01. 19

(30) 优先权数据

11/275, 604 2006. 01. 19 US

(85) PCT申请进入国家阶段日

2008. 07. 09

(86) PCT申请的申请数据

PCT/US2007/060767 2007. 01. 19

(87) PCT申请的公布数据

W02007/084982 EN 2007. 07. 26

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 D·D·库尔鲍 K·E·唐斯

P·J·林德格伦 A·K·斯坦珀

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 杨晓光

(51) Int. Cl.

H01L 23/48 (2006. 01)

(56) 对比文件

US 2004/0256654 A1, 2004. 12. 23, 说明书第

0041 段 - 第 0049 段, 图 1-3.

CN 1405877 A, 2003. 03. 26, 说明书第 6 页第 26 行, 第 7 页第 12 行 - 第 17 行.

US 6794262 B2, 2004. 09. 21, 全文.

US 6204166 B1, 2001. 03. 20, 说明书全文, 图 1-7.

US 6597032 B1, 2003. 07. 22, 全文.

US 6949442 B2, 2005. 09. 27, 全文.

审查员 阎澄

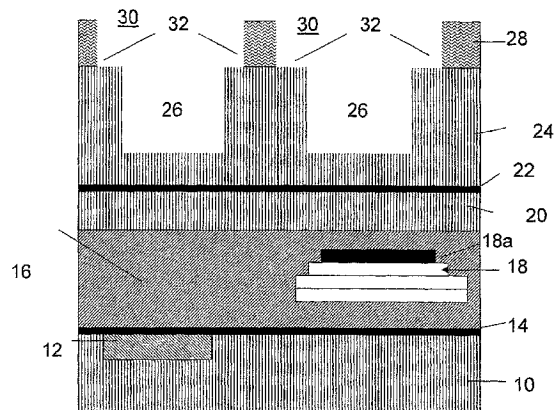
权利要求书 3 页 说明书 9 页 附图 9 页

(54) 发明名称

制造厚布线结构的双镶嵌工艺

(57) 摘要

一种方法和半导体器件。在所述方法中, 在叠层结构中蚀刻至少一个部分过孔 (26), 并在所述至少一个部分过孔 (26) 周围形成边界 (32)。所述方法还包括: 当继续过孔蚀刻到至少一个蚀刻停止层 (22) 时, 使用选择性蚀刻实施厚布线。



1. 一种半导体制造方法,包括以下步骤:
在叠层结构中蚀刻至少一个部分过孔;
在所述至少一个部分过孔周围形成边界;以及
当继续过孔蚀刻到至少一个蚀刻停止层时,使用选择性蚀刻实施厚布线。
2. 根据权利要求1的方法,其中所述实施步骤是双镶嵌工艺的一部分。
3. 根据权利要求1的方法,其中形成所述边界包括:在所述叠层结构上形成负光致抗蚀剂,并曝光在所述至少一个部分过孔之外的所述负光致抗蚀剂的部分。
4. 根据权利要求1的方法,其中所述至少一个蚀刻停止层包括在金属-绝缘体-金属电容器下方的金属层之上的第一蚀刻停止层和在所述金属-绝缘体-金属电容器之上的第二蚀刻停止层。
5. 根据权利要求4的方法,其中将所述金属-绝缘体-金属电容器之上的所述蚀刻停止层的厚度形成得比所述金属层之上的所述蚀刻停止层的厚度大。
6. 根据权利要求1的方法,还包括:将金属-绝缘体-金属电容器并入到所述叠层结构中,并且所述厚布线延伸到在所述金属-绝缘体-金属电容器之上的所述至少一个蚀刻停止层。
7. 根据权利要求1的方法,其中形成所述叠层结构包括以下步骤:
提供在第一低K介质材料中形成的镶嵌铜布线;
在所述第一低K介质材料上形成蚀刻停止层;
在所述蚀刻停止层上形成层间介质层和第二低K介质层;
在所述第二低K介质层上形成第二蚀刻停止层;以及
在所述蚀刻停止层上形成第三低K介质层。
8. 根据权利要求4的方法,其中所述金属-绝缘体-金属电容器包括难熔金属或合金,其包括W、WN、TiN、Ta、TaN以及TiSiN中的至少一种。
9. 根据权利要求7的方法,其中所述第一低K介质材料以及所述第二低K介质层中的至少一种是氟掺杂的硅酸盐玻璃。
10. 根据权利要求7的方法,其中所述蚀刻停止层和所述第二蚀刻停止层至少为氮化硅、硅碳氮化物、硅氧碳氮化物以及碳化硅中的一种或多种。
11. 根据权利要求7的方法,还包括在所述层间介质层中嵌入金属-绝缘体-金属电容器。
12. 根据权利要求11的方法,其中使用多个板形成所述金属-绝缘体-金属电容器,所述金属-绝缘体-金属电容器具有氮化硅、硅碳氮化物、硅氧碳氮化物以及碳化硅蚀刻停止层中的至少一种。
13. 根据权利要求1的方法,其中蚀刻所述至少一个部分过孔包括:对准下金属层和金属-绝缘体-金属电容器中的至少一个,部分地蚀刻所述叠层结构。
14. 根据权利要求1的方法,其中所述实施步骤包括:在形成所述至少一个部分过孔之后,在所述叠层结构上淀积负光致抗蚀剂,曝光在所述至少一个部分过孔之外的所述负光致抗蚀剂以形成边界,蚀刻所述至少一个部分过孔进一步深入所述叠层结构,并且选择性蚀刻以形成至少一个槽,所述选择性蚀刻对于淀积在下金属层和金属-绝缘体-金属电容器中的至少一个上的所述至少一个蚀刻停止层具有选择性。

15. 根据权利要求 1 的方法,还包括进行权利要求 1 的步骤用于制造集成电路芯片。

16. 根据权利要求 1 的方法,其中权利要求 1 的步骤是双镶嵌铜后段制程工艺,其中限定了布线和过孔高度的铜层具有 3.5 微米或者更大的厚度。

17. 根据权利要求 1 的方法,其中当继续过孔蚀刻到至少一个蚀刻停止层时使用选择性蚀刻来实施厚布线包括:槽蚀刻,所述槽蚀刻在所述过孔延伸到所述至少一个蚀刻停止层之前延伸到上嵌入蚀刻层。

18. 一种制造双镶嵌铜后段制程结构的方法,包括以下步骤:

对准至少下金属层形成部分高度过孔;

施加负光致抗蚀剂材料;

在邻近所述部分高度过孔的所述负光致抗蚀剂材料中形成边界;以及

蚀刻所述部分高度过孔到更深的深度并选择性蚀刻以形成槽;以及

将金属-绝缘体-金属电容器并入到所述后段制程结构中。

19. 根据权利要求 18 的方法,其中所述蚀刻步骤包括:至少蚀刻到在所述下金属层和所述金属-绝缘体-金属电容器之上的蚀刻停止层。

20. 根据权利要求 18 的方法,还包括:

提供在第一低 K 介质材料中形成的所述下金属;

在所述第一低 K 介质材料上形成蚀刻停止层;

在所述蚀刻停止层上形成氧化物层和层间介质层;

在所述层间介质层中嵌入所述金属-绝缘体-金属电容器;

在所述金属-绝缘体-金属电容器上形成帽层;

在所述层间介质层上形成第二蚀刻停止层;以及

在所述蚀刻停止层上形成第三低 K 介质层。

21. 根据权利要求 20 的方法,其中所述蚀刻停止层和所述第二蚀刻停止层是氮化硅、硅碳氮化物,硅氧碳氮化物以及碳化硅蚀刻停止层中的至少一种。

22. 根据权利要求 20 的方法,其中使用多个板形成所述金属-绝缘体-金属电容器,在所述金属-绝缘体-金属电容器上的所述帽层为氮化硅、硅碳氮化物、硅氧碳氮化物以及碳化硅蚀刻停止层中的至少一种。

23. 根据权利要求 18 的方法,其中蚀刻所述部分高度过孔到更深的深度并选择性蚀刻以形成槽包括:在所述过孔触及至少另一蚀刻停止层之前,蚀刻所述槽到上嵌入蚀刻层。

24. 根据权利要求 18 的方法,其中形成所述边界包括:曝光在所述部分高度过孔之外的所述负光致抗蚀剂的部分。

25. 根据权利要求 18 的方法,其中蚀刻所述槽包括:选择性蚀刻到所述金属-绝缘体-金属电容器之上的帽层和下金属层中的至少一个。

26. 根据权利要求 18 的方法,其中蚀刻所述部分高度过孔到更深的深度并选择性蚀刻以形成槽是对准所述下金属层和所述金属-绝缘体-金属电容器中的至少一个。

27. 一种用于制造厚布线结构的双镶嵌方法,包括以下步骤:

在叠层结构中形成部分过孔;

在形成所述部分过孔之后,在所述叠层结构上淀积负光致抗蚀剂;

曝光在所述部分过孔之外的所述负光致抗蚀剂,以在所述部分过孔之上形成边界;

蚀刻所述部分过孔进一步深入到所述叠层结构中；以及

选择性蚀刻经过所述部分过孔以形成槽，所述选择性蚀刻对淀积在下金属层和金属-绝缘体-金属中的至少一个上的至少一个蚀刻停止层具有选择性，所述金属-绝缘体-金属具有至少上板、金属-绝缘体-金属介质以及下板。

28. 根据权利要求 27 的方法，其中所述厚布线结构的厚度为 3.5 微米或更大。

29. 根据权利要求 27 的方法，还包括进行权利要求 1 的步骤用于制造集成电路芯片。

30. 根据权利要求 27 的方法，还包括：形成所述金属-绝缘体-金属电容器，其包括溅射清洁去除金属-绝缘体-金属上板的小于 10 纳米厚度的氧化物，所述溅射清洁去除等效于溅射去除，以便不会完全蚀刻所述过孔通过所述上板并且所述过孔不与所述金属-绝缘体-金属介质接触。

31. 根据权利要求 30 的方法，其中所述至少一个蚀刻停止层是第一蚀刻停止层和第二蚀刻停止层，所述第一蚀刻停止层被形成在所述下金属层之上，以及所述第二蚀刻停止层被形成在所述金属-绝缘体-金属电容器的表面上并具有大于所述第一蚀刻停止层的高度的高度。

32. 一种厚布线结构，包括：

下布线，其被形成在氟掺杂的硅酸盐玻璃介质材料中；

第一氮化物帽层，覆盖所述下布线；

层间层，形成在所述第一氮化物帽层上；

金属-绝缘体-金属电容器，嵌入在所述层间层的一部分中；

金属-绝缘体-金属蚀刻停止帽层，形成在所述金属-绝缘体-金属电容器上，所述金属-绝缘体-金属蚀刻停止帽层的厚度大于所述第一氮化物帽层的厚度；

第二氮化物帽层，形成在所述层间层上；

氟掺杂的硅酸盐玻璃介质层，形成在所述第二氮化物帽层上；

过孔，对准所述下布线和所述金属-绝缘体-金属电容器中的至少一个，延伸到接近所述金属-绝缘体-金属蚀刻停止帽层和所述第一氮化物帽层；以及

槽，基本上轴向对准所述过孔并具有大于所述过孔的宽度，并延伸到所述第二氮化物帽层。

33. 根据权利要求 32 的结构，其中所述金属-绝缘体-金属电容器包括难熔金属或者合金，其包括 W、WN、TiN、Ta、TaN 以及 TiSiN 中的至少一种。

制造厚布线结构的双镶嵌工艺

技术领域

[0001] 本发明通常涉及半导体器件及其制造方法,更具体而言,涉及具有模拟或超厚布线的半导体器件及其使用双镶嵌工艺的制造方法。

背景技术

[0002] 目前通过单镶嵌处理制造超厚镶嵌铜 (Cu) 布线 (例如,厚度 $> 2 \mu\text{m}$)。使用单镶嵌工艺主要是因为与双镶嵌处理相关的集成问题,包括在过孔和布线蚀刻工艺期间接触 MIM 电容器和下布线层的问题。

[0003] 在超厚双镶嵌 Cu 布线工艺中,使用常规的光刻步骤来限定过孔和槽。在这些常规工艺中,过孔的高度约 $5.5 \mu\text{m}$,宽度为约 $1.5 \mu\text{m}$ 。为了槽光刻步骤,在形成过孔之后,通过旋涂有机材料例如增透涂层 (ARC) 到下 Cu 布线层 Mx 来填充过孔。

[0004] 然而,发现第二双镶嵌光刻步骤难以在超厚镶嵌 Cu 布线工艺中发挥作用。通过实例,对于先过孔、最后槽的方法,发现 ARC 在过孔中形成沙漏 (hourglass) 结构,在过孔中造成大的空隙。更具体而言,发现没有工业标准的中间 UV (MUV) 或者深 UV (DUV) ARC 能获得多于 40% 的填充,其都会在过孔中留下大空隙,其中该过孔在槽蚀刻期间被打开。并且,由于这些空隙,蚀刻剂蚀刻会穿过空隙,因此随后的蚀刻会导致下金属层的腐蚀。

[0005] 如果例如使 ARC 变得较厚,那么在过孔中会得到更好的填充特性;然而,在随后的蚀刻工艺期间会出现其他的问题。例如,使用 $0.8 \mu\text{m}$ 层可以得到可接受的过孔填充,但由于需要非常长的 ARC 打开步骤以及由于在槽 RIE 期间围绕过孔生成的围栏 (fence) 或轨道 (rail),因此会使槽 RIE 复杂化。更具体而言,在使用较厚的 ARC 填充的 RIE 工艺期间,在槽 RIE 工艺早期,在过孔的旁边形成围栏。这导致沿着过孔边缘向下到下金属 (Mx) 层的优先蚀刻。因而,发现当 ARC 为约 $0.8 \mu\text{m}$ 时,存在抗蚀剂腐蚀、大量围栏以及槽 RIE (反应离子蚀刻) 问题。

[0006] 本发明旨在克服上述的一个或多个的问题。

发明内容

[0007] 在本发明的第一方面中,一种方法包括:在叠层结构中蚀刻至少一个部分过孔,以及在所述至少一个部分过孔周围形成边界。所述方法还包括:当连续过孔蚀刻到至少一个蚀刻停止层时,使用选择性蚀刻实施厚布线。

[0008] 在实施例中,所述实施步骤是双镶嵌工艺的一部分。形成所述边界包括:在所述叠层结构上形成负光致抗蚀剂,并且曝光所述至少一个部分过孔之外的所述负光致抗蚀剂的部分。所述至少一个蚀刻停止层包括在 Mx-1 金属层之上的第一蚀刻停止层以及在金属-绝缘体-金属 (MIM) 电容器之上的第二蚀刻停止层。形成在所述 MIM 电容器之上的所述蚀刻停止层比在所述 Mx-1 金属层之上的所述蚀刻停止层的厚度大。

[0009] 所述方法还包括:将金属-绝缘体-金属 (MIM) 电容器并入到所述叠层结构中,并且所述厚布线延伸到在所述 MIM 电容器之上的所述至少一个蚀刻停止层。形成所述叠层结

构包括：提供在第一低 K 介质材料中形成的镶嵌铜布线，并且在所述第一低 K 介质材料上形成蚀刻停止层。在所述蚀刻停止层上形成层间 (interlevel) 介质层和第二介质层。在所述第二低 K 介质层上形成第二蚀刻停止层，并在所述蚀刻停止层上形成第三低 K 介质层。

[0010] 所述 MIM 电容器包括难熔金属或合金，其包括至少一种 W、WN、TiN、Ta、TaN 以及 TiSiN。所述第一和第二低 K 介质材料以及所述第二介质层中的至少一个是氟掺杂的硅酸盐玻璃 (FSG)。所述蚀刻停止层以及所述第二蚀刻停止层至少是氮化硅、硅碳氮化物、硅氧碳氮化物以及碳化硅。所述 MIM 电容器被嵌入到所述层间介质层中。所述 MIM 电容器是多个板，其具有氮化硅、硅碳氮化物、硅氧碳氮化物以及碳化硅蚀刻停止层中的至少一种。

[0011] 蚀刻所述至少一个部分过孔包括：对准下金属层和 MIM 电容器中的至少一个，部分地蚀刻所述叠层结构。所述实施步骤包括：在形成所述至少一个部分过孔之后，在所述叠层结构上淀积负光致抗蚀剂，曝光在所述至少一个部分过孔之外的所述负光致抗蚀剂以形成边界，蚀刻所述至少一个部分过孔进一步深入所述叠层结构，并且选择性蚀刻以形成至少一个槽。所述选择性蚀刻对于淀积在下金属层和 MIM 电容器中的至少一个上的所述至少一个蚀刻停止层具有选择性。

[0012] 在实施例中，本发明的步骤用于集成电路芯片的制造。本发明的步骤是双镶嵌铜线后段制程 (BEOL) 工艺，其中限定了布线和过孔高度的铜层具有约 3.5 微米或者更大的厚度。当继续过孔蚀刻到至少一个蚀刻停止层时使用选择性蚀刻以实施厚布线包括：槽蚀刻，所述槽蚀刻在所述过孔延伸到所述至少一个蚀刻停止层之前，延伸到上嵌入蚀刻层。

[0013] 在本发明的另一方面中，所述方法旨在制造双镶嵌铜 BEOL 结构。所述方法包括：对准至少下金属层形成部分高度过孔，并且施加负光致抗蚀剂材料。所述方法还包括：在邻近所述部分高度过孔的所述负光致抗蚀剂材料中形成边界，以及蚀刻所述部分高度过孔到更深的深度并选择性蚀刻以形成槽。所述方法还包括：将 MIM 电容器并入到所述 BEOL 结构中。

[0014] 在实施例中，所述蚀刻步骤包括：蚀刻到在金属层和所述 MIM 电容器之上的至少一个蚀刻停止层。所述方法还包括：提供在第一低 K 介质材料中形成的所述下金属，在所述第一低 K 介质材料上形成蚀刻停止层，在所述蚀刻停止层上形成氧化物层和层间介质层，将所述 MIM 电容器嵌入到所述二氧化硅层中，在所述 MIM 电容器上形成帽层，在所述层间介质层上形成第二蚀刻停止层，以及在所述蚀刻停止层上形成第三低 K 介质层。

[0015] 所述蚀刻停止层和所述第二蚀刻停止层是氮化硅、硅碳氮化物、硅氧碳氮化物以及碳化硅蚀刻停止层中的至少一种。使用多个板形成所述 MIM 电容器，所述 MIM 电容器具有氮化硅、硅碳氮化物、硅氧碳氮化物以及碳化硅蚀刻停止层中的至少一种。蚀刻所述部分高度过孔到更深的深度并选择性蚀刻以形成槽包括：在所述过孔触及至少另一蚀刻停止层之前，蚀刻所述槽到上嵌入蚀刻层。形成所述边界包括：曝光在所述部分高度过孔之外的所述负光致抗蚀剂的部分。蚀刻所述槽包括：选择性蚀刻到所述 MIM 电容器之上的帽层和下金属层中的至少一个。蚀刻所述部分高度过孔到更深的深度并选择性蚀刻以形成槽是对准所述下金属层和所述 MIM 电容器中的至少一个。

[0016] 在本发明的另一方面中，一种用于制造厚布线结构的双镶嵌方法包括：在叠层结构中形成部分过孔，在形成所述部分过孔之后，在所述叠层结构上淀积负光致抗蚀剂。所述方法还包括：曝光在所述部分过孔之外的所述负光致抗蚀剂，以在所述部分过孔之上形成

边界。蚀刻所述部分过孔进一步深入所述叠层结构。所述方法还包括选择性蚀刻经过所述部分过孔以形成槽。所述选择性蚀刻对淀积在下金属层中的至少一个上的至少一个蚀刻停止层具有选择性。MIM 至少具有上板 MIM 介质以及下板。

[0017] 在实施例中,所述厚布线结构的厚度为约 3.5 微米或更大。设计所述步骤用于制造集成电路芯片。通过等效于溅射去除的小于 10 纳米氧化物的 MIM 顶板的溅射清洁去除来形成所述 MIM 电容器,以便不会完全蚀刻所述过孔穿过所述上板并且所述过孔不接触所述 MIM 介质。所述至少一个蚀刻停止层是第一蚀刻停止层和第二蚀刻停止层。所述第一蚀刻停止层形成在所述下金属层之上,以及所述第二蚀刻停止层形成在所述 MIM 电容器的表面上并且高度大于所述第一蚀刻停止层的高度。

[0018] 在本发明的另一个方面,一种厚布线结构包括:镶嵌铜布线,形成在第一介质层中;以及蚀刻停止层,其覆盖所述镶嵌铜布线。第二介质层被形成在所述蚀刻停止层上。第二蚀刻停止层被形成在所述第二介质层上,以及第三介质层被形成在所述蚀刻停止层上。高度约 1.5 微米或者更大的过孔穿过所述第一、第二以及第三介质层并且接触所述镶嵌铜布线。邻近所述第二蚀刻停止层并且基本上轴向对准所述过孔形成高度约 2 微米或者更大并且其宽度大于所述过孔的槽。MIM 电容器被嵌入在所述氧化物层中,并且蚀刻停止层被形成在所述 MIM 电容器之上。所述过孔对准并延伸到形成在所述 MIM 电容器之上的所述蚀刻停止层,所述槽轴向对准在所述 MIM 电容器之上形成的所述过孔并且停止在所述第二蚀刻停止层附近。介质叠层高度约 $5.5\ \mu\text{m}$,具有高度约 $3.5\ \mu\text{m}$ 的布线,并且所述过孔具有约 $1.2\ \mu\text{m}$ 的最小宽度。

[0019] 在本发明的一个方面中,一种厚布线结构包括:形成在 FSG(氟掺杂的硅酸盐玻璃)介质材料中的下布线。第一氮化物帽层覆盖所述下布线。层间层形成在所述第一氮化物帽层上。MIM 电容器被嵌入在所述层间层的一部分中。MIM 蚀刻停止帽层被形成在所述 MIM 电容器上,其中所述 MIM 帽层的厚度大于所述第一氮化物帽的厚度。第二氮化物帽层被形成在所述层间层上。FSG 介质层被形成在所述第二氮化物帽上。过孔对准所述下布线和所述 MIM 电容器中的至少一个,延伸到接近所述 MIM 氮化物帽层和所述第一氮化物帽层。槽基本上轴向对准所述过孔并且宽度大于所述过孔,并延伸到所述第二氮化物帽层。在实施例中,所述 MIM 电容器包括难熔金属或者合金,包括 W、WN、TiN、Ta、TaN 以及 TiSiN 中的至少一种。

附图说明

[0020] 图 1 示出了根据本发明的初始结构;

[0021] 图 2 示出了根据本发明实施的处理步骤;

[0022] 图 3 示出了根据本发明实施的处理步骤;

[0023] 图 4 示出了根据本发明实施的处理步骤;

[0024] 图 5 示出了根据本发明实施的处理步骤;

[0025] 图 6 示出了根据本发明实施的处理步骤;

[0026] 图 7 示出了用于 $1.5\ \mu\text{m}$ 的部分过孔深度的蚀刻时间与层间深度目标的关系图;

[0027] 图 8A-8D 示出了根据本发明处理的中间结构(具有边界)与无边界结构的比较;以及

[0028] 图 9 示出了本发明实现的 MIM 电容器的实例。

具体实施方式

[0029] 本发明通常涉及半导体器件及其制造方法,更具体而言,涉及使用双镶嵌工艺制造具有厚布线的器件的方法。通过使用本发明的双镶嵌工艺,消除了一些问题例如在过孔边缘、蚀刻的过孔、蚀刻的槽处的贯通或过蚀刻。本发明的方法还消除了对下金属层和/或 MIM(金属-绝缘体-金属)电容器的腐蚀效应。在一个实施例中,例如,本发明的双镶嵌工艺包括,形成部分深度过孔,施加负光致抗蚀剂材料,然后蚀刻槽并完成过孔蚀刻。方法可选地包括:将 MIM 电容器或者例如薄膜电阻器的其他无源元件并入到 BEOL(后段制程)结构中。

[0030] 在实施例中,产生的结构是双镶嵌铜 BEOL 结构,其中包括布线和过孔的铜层具有至少 3.5 微米的厚度。在本发明的方法所形成的至少一个结构中,使用的介质叠层的高度约 5.5 μm ,具有高度约 3.5 μm 的布线。在实施例中,布线和过孔分别具有约 3 μm 和约 2 μm 的最终高度,并且过孔和布线都具有约 1.2 μm 的最小宽度。

[0031] 图 1 示出了根据本发明的开始结构。开始结构包括镶嵌铜布线 12,其被形成在用于绝缘邻近的金属线路的低 K 介质材料 10 中。低 K 介质材料 10 减小了不希望的容性耦合,从而降低了金属线路之间的“串扰”。在实施例中,介质材料 10 可以为例如 SiO_2 、氟掺杂的 SiO_2 (FSG)、 SiCOH 、聚芳撑 (polyarylene)(醚)、多孔介质、部分气隙、或者全气隙。在实施例中,正如本领域所公知的,在没有铜布线的区域中提供虚填充形状以确保均匀的尺寸;但是,应当理解的是实践本发明并不需要虚填充形状。

[0032] 在介质材料 10 上形成过孔蚀刻停止层 14,例如一个或多个高密度等离子体(HDP)、等离子体增强 CVD、或旋涂层,例如氮化硅、硅碳氮化物、硅氧碳氮化物、或碳化硅帽中的一个或多个。在实施例中,蚀刻停止层 14 可以在 M_x-1 层之上被最小化并且在一个实施例中范围约 25-75nm。

[0033] 仍然参考图 1,在蚀刻停止层 14 上淀积层间介质层 16,例如上述用于层 10 的基于氧化物的材料。在一个实施例中,使用常规方法在层间介质层 16 中嵌入 MIM 电容器 18。MIM 电容器 18 可以是本领域的技术人员所公知的任何的常规叠层结构。在一个实施例中,虽然, MIM 电容器 18 包括 TiN/W/TiN 底板以及 TiN 顶板。在其他的实施例中, MIM 电容器 18 使用 TaN/Ta、TaN/Ta/TaN、或者 TaN/Ta/TiN 底板。如果包括 MIM 电容器 18,那么将以两个步骤淀积介质层 16,第一淀积到 MIM 制造以及在 MIM 制造之后的第二淀积。如本领域所公知,可以使用标准厚度范围 25-75nm 的任何 MIM 介质,例如二氧化硅、氮化硅、氧化铝、五氧化二钽中的一种或多种。

[0034] 在第二介质淀积之后,可以进行平坦化步骤例如化学机械抛光(CMP)以去除厚度等于 MIM 高度的约 1.5 到 3 倍的介质,之后进行本领域所公知的标准晶片清洁以平坦化晶片。还可以在最终的介质层淀积(层 24a)之后进行 CMP 步骤。如果实施后者,那么在 MIM 之上的介质层将具有 MIM 的轮廓(未示出)。

[0035] 在一个实施例中,其包括 MIM 电容器 18,在 MIM 电容器 18 上形成蚀刻停止层 18a 例如上氮化硅帽层、硅碳氮化物、硅氧碳氮化物、或碳化硅蚀刻停止层或与层 14 具有相似组成的膜。在一个实施例中,上氮化物层 18a 的厚度约为蚀刻停止层 14 的两倍并且由氮化

硅形成。作为示例性的实例,氮化物层 18a 的厚度约为 150nm。正如下面所详细讨论的,这确保了随后的蚀刻工艺在蚀刻到蚀刻停止层 14 之前不会暴露 MIM 电容器 18。如本领域的技术人员所公知,在实施例, MIM 电容器 18 具有约 0.4 μm 的总高度;难熔金属导电上板和下板,例如 TiN、TaN、Ta、W、WN、TiSiN、TaSiN、WSiN 中的一个或者多个;以及 MIM 介质例如 SiO_2 、 Si_3N_4 、 Al_2O_3 、 Ta_2O_5 、 $\text{Al}_2\text{O}_3/\text{Ta}_2\text{O}_5/\text{Al}_2\text{O}_3$ 多层膜中的一个或多个。在一个实施例中,顶 MIM 板包括 TiN, TiN RIE 相对于 MIM 介质选择性地蚀刻以避免蚀刻穿过 MIM 介质并暴露底 MIM 板。MIM 介质是 $\text{Al}_2\text{O}_3/\text{Ta}_2\text{O}_5/\text{Al}_2\text{O}_3$ 多层膜,并且 MIM 底板是低电阻难熔金属例如可选地在其上或其下覆盖有 TiN 或者 TaN 的 W 或 Ta。

[0036] 在二氧化硅层 18 上形成低介电材料 20 例如 FSG。虽然本发明还考虑了其他厚度,但是在在一个实施例中,低介电材料 20 和氧化物层 18 的厚度近似为 0.3 μm 。以约 100nm 的范围在低介电材料 20 上形成蚀刻停止层 22。在实施例中,蚀刻停止层 22 是氮化硅帽层。可以在蚀刻停止层 22 上形成可选的氧化物层 22a 以改善随后的介质层 24 的粘附。例如,层 22 包括 200nm 的 SiO_2 并且层 24 包括 3 μm 的 FSG。已经示出了在 FSG 下存在未掺杂的氧化物可以改善在氮化硅之上的 FSG 薄膜的粘附或其他特性。

[0037] 以任何的常规方法,在氮化物层 22 上形成例如 FSG 的低介电材料 24。在实施例中,低介电材料 24 的厚度约为 3 μm 。在可选的步骤中,在低介电材料 24 上形成二氧化硅层 24a。在该可选的步骤中,二氧化硅层 24a 的厚度近似为 0.3 μm 到 0.5 μm ,并且低介电材料 24 的厚度约为 2.5 μm 。应当理解的是,在铜 CMP(化学机械抛光)工艺期间二氧化硅层 24a 提供了较小的可变性和腐蚀性;并且在随后的蚀刻和 CMP 处理期间可以将其全部或部分地去除。

[0038] 图 2 表示为了在图 1 的结构中形成部分过孔的蚀刻工艺。在实施例中,在结构中形成一个或多个部分过孔 26。在实施例中,由常规光致抗蚀剂、构图以及蚀刻的方法形成部分过孔 26。例如,可以在低介电材料 24 或者可选地二氧化硅层 24a 上形成光致抗蚀剂。将光致抗蚀剂暴露到光中以形成图形。例如,然后使用常规的 RIE 工艺蚀刻图形,以形成部分过孔 26。优选地,剥离或者去除光致抗蚀剂。

[0039] 在实施例中,在低介电材料 24 中形成部分过孔 26,部分过孔 26 名义对准金属层 12 和/或 MIM 电容器 18 用于随后的蚀刻和布线形成。依赖于介质材料 24(以及,在可选的实施例中,二氧化硅层 24a)的厚度,可以蚀刻部分过孔 26 至这样的深度,该深度约为层 24 和 24a 的组合厚度的 2/3,以及宽度为约 1.2 μm 。在实施例中,如本领域的技术人员所公知的,使用常规的平行板 RIE 反应器,蚀刻剂化学是标准的基于 RIE 的化学,例如 $\text{CF}_4/\text{Ar}/\text{CO}$,以便在 RIE 蚀刻完成之后抗蚀剂仍保留在晶片中。可选地,如本领域所公知的,在光刻构图之前可以使用任何的标准硬掩模或涂敷有低温介质的 ARC。

[0040] 图 3 示出了形成槽的开始工艺。在该实施例中,除了在部分过孔 26 之内,负光致抗蚀剂 28 还形成在低介电材料 24 上或可选地在二氧化硅层 24a 上。已经发现,使用光致抗蚀剂 28,可以在部分过孔 26 中得到良好的填充特性。具体而言,在显影工艺期间,去除未曝光的负光致抗蚀剂。这意味着将没有布线槽的区域暴露到光,而不将具有布线槽的区域暴露到光。由于未曝光的负光致抗蚀剂是在部分蚀刻的过孔 26 中,在抗蚀剂显影工艺期间可以轻易地将其去除。该方法消除了 ARC 层的使用,因而消除了与过孔中的 ARC 填充和在布线槽 RIE 蚀刻期间的蚀刻相关的问题。

[0041] 如图 4 所示,通过曝光在部分过孔 26 的边缘之外的部分负光致抗蚀剂,形成布线槽开口 30。开口 30 是基本上轴向对准部分过孔 26。通过曝光部分过孔 26 之外的负性抗蚀剂以形成开口 30,在部分过孔 26 的旁边形成过孔边界 32。过孔边界 32 约为 0.6 微米或更小,但是大于零。在实施例中,如图 8 所示,需要过孔边界 32 以避免在负光致抗蚀剂曝光期间曝光泄露到未印刷的部分过孔 26 的边缘。

[0042] 图 5 示出了根据本发明的附加的处理步骤。在以布线槽开口 30 构图抗蚀剂层 28 之后,工艺自蚀刻剂工艺继续以蚀刻部分过孔 26 并将槽 34 蚀刻到介质层 24 中,以便蚀刻过孔 26 穿过蚀刻停止层 22,而蚀刻槽 34 不穿过蚀刻停止层 22。在工艺的此刻,过孔 26 未到达蚀刻停止层 18a。如图 5 所示,蚀刻工艺将部分过孔 26 蚀刻到层间介质层 16(已示出)中或者介质层 20 中。在一个实施例中,最优化过孔高度(例如,依赖于层 16 的厚度,过孔在约 2 微米的范围内)以防止在槽 RIE 蚀刻触及氮化物停止层 14 之前过孔触及 MIM 蚀刻停止层 18a。

[0043] 在该蚀刻步骤中,蚀刻剂化学对蚀刻停止层是非选择性的,即,层 24、20 以及 16 的 RIE 蚀刻速率与蚀刻停止层 22 的 RIE 蚀刻速率近似相同。定时非选择性蚀刻工艺以便仅仅蚀刻部分的介质层 16 或 20。将不会蚀刻在金属层 12 和 MIM 电容器 18 之上的部分介质层,因此蚀刻剂将不会蚀刻到蚀刻停止层 14 和 18a,例如蚀刻将停止在氮化物层 14(保护金属层 12)和氮化物层 18a(保护 MIM 电容器 18)之上。

[0044] 下面的表 1 示出了在工业标准平行板 RIE 腔中施行的用于槽的 RIE 蚀刻条件(第二双镶嵌步骤)。注意,只要满足上述整体要求,可以采用其他化学和其他 RIE 反应器。

[0045]

蚀刻工艺	工艺条件	注释
非选择性 RIE	Ar/CF ₄ /CHF ₃ /O ₂	使部分过孔的底部穿过掩埋的氮化物,但停止在 MIM 之上。在实施例中,应该具有最小的过孔的拐角倒角(rounding),因为其导致掩埋的氮化物层的侵蚀。
选择性槽 RIE	Ar/O ₂ /C ₄ F ₈ /CO	在部分过孔的底部触及 MIM 氮化物之前,清除槽氧化物以及终点(endpoint)。在实施例中,应该对掩埋的氮化物层具有非常小的侵蚀。
选择性过孔 RIE	Ar/O ₂ /C ₄ F ₈ /CO	标准超选择性过孔蚀刻化学。在实施例中,应该具有足够的过蚀刻以确保层间良好的连接性。
无晶片偏置的抗蚀剂剥离	O ₂	用于氮化物保存的标准抗蚀剂剥离
有晶片偏置的抗蚀剂剥离	O ₂	用于氮化物保存的标准抗蚀剂剥离

氮化硅 RIE	Ar/CF ₄ /CHF ₃ /O ₂	标准氮化物蚀刻
去氟 (Deflourination) 清洁	N ₂ /H ₂	用于残留的蚀刻聚合物的标准 DF 清洁

[0046] 图 6 表示根据本发明的选择性 RIE 蚀刻工艺。在该处理步骤中,采用对氮化硅具有选择性的 RIE 蚀刻方法以形成槽 34。在该 RIE 蚀刻步骤中,应当理解的是,蚀刻化学将进一步蚀刻过孔,优选地稍微高于蚀刻停止层 14 和 18a(例如氮化硅层)。然而,在实施例中,在该蚀刻工艺期间,RIE 工艺将在蚀刻到蚀刻停止层 14 之前先蚀刻到蚀刻停止层 18a。以该方式,在一些实施例中,会轻微地蚀刻掉蚀刻停止层 18a,但是如此慢的速率将不会暴露 MIM 电容器 18 的顶层。出于该原因,蚀刻停止层 18a 可以比蚀刻停止层 14 厚,以确保在蚀刻工艺期间将不会暴露 MIM 电容器 18。

[0047] 保持 RIE 对蚀刻停止层 18a 的选择性的一个方面是通过仅仅蚀刻过孔来限制在 RIE 腔体中可得到的氧。归因于源自在槽开口中蚀刻的介质的氧释放,如果在完全蚀刻过孔之前蚀刻槽 34 图形通过蚀刻停止层 22,那么就降低了或者消除了 RIE 对蚀刻停止层 18a 的选择性,导致 RIE 蚀刻到 MIM 电容器的顶板中,从而导致成品率降低或 MIM 的介质可靠性的降低。可以基于确定的时间、使用已知的蚀刻速率、或者通过使用发射光谱(或者任何其他公知的方法)进行蚀刻的该部分和其他部分到蚀刻终点。

[0048] 在实施例中,槽 34 的宽度的范围为约 1 微米到 100 微米,高度的范围约为 3 微米到 3.5 微米。另一方面,在处理之后,过孔高度为约 2 微米。应当理解的是,虽然,提供上述尺寸作为非限制性的示例性实例,但还可以在实施本发明时同等地获得其他尺寸。

[0049] 继续参考图 6,在上述蚀刻剂工艺中,在一个实施例中,可以加入 2sccm 的 C₄F₈ 槽 RIE(反应离子蚀刻)以增加选择性。该蚀刻剂工艺消除了槽边缘处的氮化硅穿通,较好地提供了对 MIM 电容器的选择性,并且避免了聚合物 RIE 停止和过孔棒(via bar)RIE 问题(例如,公知过孔棒对蚀刻剂化学具有较低的耐受性)。同样,在该选择性蚀刻步骤中,在选择性蚀刻剂工艺期间,蚀刻停止层 14 和 18a 还将作为蚀刻停止层,从而确保不会暴露下金属层 12(例如,铜)或者 MIM 电容器 18,例如蚀刻停止层具有足够的厚度以停止 RIE。作为附加的工艺步骤,一旦形成槽 32,剥离光致抗蚀剂 28,蚀刻氮化硅层 14(以及任何其他暴露的介质)以暴露下布线 12,进行可选的去氟等离子体清洁,施行晶片清洁,例如 30 秒 100 : 1DHF 清洁,以及通过淀积难熔金属衬里、铜种(seed)、电镀敷铜以金属化晶片,并且使用 CMP 以去除多余的金属,如本领域的技术人员所公知的。

[0050] 可以建模蚀刻时间与布线和过孔高度的关系,来最优化工艺并避免蚀刻穿过蚀刻停止层 18a。图 7 是示出了用于 1.5 μm 的部分过孔深度的蚀刻时间与层间深度目标的关系的图。如图所示,水平线表示直到蚀刻触及蚀刻停止层 14 为止的时间,斜线表示直到过孔触及 MIM 电容器 18 的蚀刻停止层 18a 为止的时间。在过孔触及 MIM 电容器 18 的蚀刻停止层 18a 之前,选择性氧化物槽蚀刻具有在蚀刻停止层(例如,帽)22 上的终点。在图 7 中,在处理之后,最优化的过孔高度为 1.9 μm。

[0051] 图 8A-8D 示出了根据本发明处理的中间结构(具有围绕过孔的 600nm 的槽边界)与无边界结构的比较。在该图示中,图 8A 和 8B 分别示出了根据本发明制造的结构

图和顶视图。根据本发明的制造,显然没有残余的抗蚀剂保留在具有边界的部分过孔中。然而,如图 8C 和 8D 所示,使用没有边界的过孔导致残余的抗蚀剂保留在过孔中。也就是,在过孔中存在残渣。该残渣是由于光泄露到过孔中并且之后不能被显影出所导致的,从而不利于随后的用于形成过孔和槽的蚀刻工艺。

[0052] 典型的 MIM 电容器如图 9 所示,表 2 描述了其每一层。MIM 顶板 52 和底板 50 是导体并可以包括多个层。对于使用镶嵌铜布线制造的 MIM 电容器,板典型地包括难熔金属或者合金,例如上述的 W、WN、TiN、Ta、Ta₂N、TiSiN 等等。对于使用一层或多层的 PECVD 氧化硅或氮化硅;或者 CVD 氧化铝覆盖的五氧化二钽的 MIM 电容器,当 TiN、Ta₂N 或者 Ta 直接接触 MIM 介质 51 时,可以得到优良的 MIM 可靠性。附加的底板要求为其具有低表面电阻,以改善 MIM 的品质因子。

[0053] MIM 底板 50 向上与过孔接触,使得其只能在无顶板的区域中接触。这意味着,为了最小化有效底板电阻并最大化 MIM 品质因子,MIM 底板 50 需要相对较厚,即 100-400nm。由于 MIM 顶板 52 可以接触上面的过孔并且与上方的布线接在一起,其表面电阻相对而言并不重要的,而重要的参数是在制造 MIM 上的过孔时 MIM 顶板 52 对进行的 RIE 蚀刻、湿法蚀刻以及清洁的蚀刻耐受性。

[0054] 如果过孔接触 MIM 顶板(即在槽蚀刻期间,蚀刻穿过蚀刻停止层 18a),由于电荷损伤,会降低 MIM 介质完整性。如果过孔蚀刻完全地穿过 MIM 顶板并接触 MIM 介质,那么 MIM 顶板 52 和底板 50 将被短接或者将具有较差的介质漏电特性。最终,硬掩模或者蚀刻停止层 53 和 54 需要足够厚以使过孔不会蚀刻到 MIM 板中。由于 MIM 必须适合过孔的高度,这意味着在之前的布线层之上的 MIM 高度是受限的并在 MIM 板电阻、MIM 硬掩模或蚀刻停止层厚度等等之间进行折衷。当在过孔和槽 RIE 之后金属化晶片时,进行湿法清洁,例如 30 秒的 100 : 1 的 DHF,然后进行氩溅射清洁。如上所述,应该最小化氩溅射清洁对 MIM 顶板的去除,以避免 MIM 顶板 52 与底板 50 短路。例如,MIM 电容器形成包括等效于溅射去除的小于 10 纳米氧化物的 MIM 顶板的溅射清洁去除,以避免 MIM 顶板与底板短路。

[0055] 表 2

[0056]

层	厚度	注释
50	150nm	MIM 底板
51	30nm	MIM 介质
52	50nm	MIM 顶板
53	50nm	MIM 顶板蚀刻硬掩模
54	50nm	MIM 底板蚀刻硬掩模

[0057] 与未掺杂的氧化硅相比,FSG 介质往往具有更高的压缩应力。出于该原因,可选地使用未掺杂的二氧化硅用于过孔介质叠层的部分,其中其对布线电容影响最小,以减小总的晶片弯曲。晶片具有由于高应力膜导致的过度弯曲,这使得难以将晶片卡在处理工具例

如光刻对准器、RIE 等等中。然而,应当理解,对于这些层,可以采用任何介质,而不仅仅是 FSG 和未掺杂的二氧化硅。还可以可选地在图 1 中的层 24 之上采用未掺杂的二氧化硅,其厚度为约 100-500nm,例如 300nm。与 FSG 相比,未掺杂的氧化硅在空气中或者在湿法清洁期间很少与水气反应,这可以减少光致抗蚀剂中毒 (poison);并且如果未掺杂的氧化硅部分留在晶片上或者在层 14 蚀刻以及随后的 Cu CMP 工艺期间被全部去除,其对最终的布线电容具有最小的影响,甚至没有影响。

[0058] 由于在槽 RIE 期间完成过孔蚀刻,所以应该优化槽 RIE 化学以蚀刻过孔和过孔棒。在槽 RIE 期间,过孔棒和过孔将象槽一样蚀刻。一旦选择性槽蚀刻终止在掩埋的蚀刻停止层上,化学将切换到最优化的用于过孔和过孔棒的超选择性过孔蚀刻。

[0059] 上述方法用于制造集成电路芯片,例如 CMOS、SiGe、SRAM、DRAM 晶体管等等。制造者可以以原料晶片(也就是,作为具有多个未封装芯片的单个晶片)的形式分配产生的集成电路芯片作为裸芯片,或者以封装的形式分配。在后一种情况中,以单芯片封装(例如具有附着到主板的引线的塑料载体,或其他更高级别的载体)或者多芯片封装(例如陶瓷载体,其具有表面互连或者掩埋互连)的形式安装芯片。在任何情况下,然后将芯片与其他芯片、分立电路单元和/或其他信号处理装置集成,作为 (a) 中间产品,例如主板,或者 (b) 最终产品的一部分。最终产品可以是任何产品,其包括集成电路芯片,范围从玩具以及其他低端应用到具有显示器、键盘或者其他输入装置以及中央处理器的高端计算机产品。

[0060] 虽然根据示例性的实施例描述了本发明,但是本领域的技术人员将认识到可以在所附的权利要求的精神和范围之内修改地实践本发明。

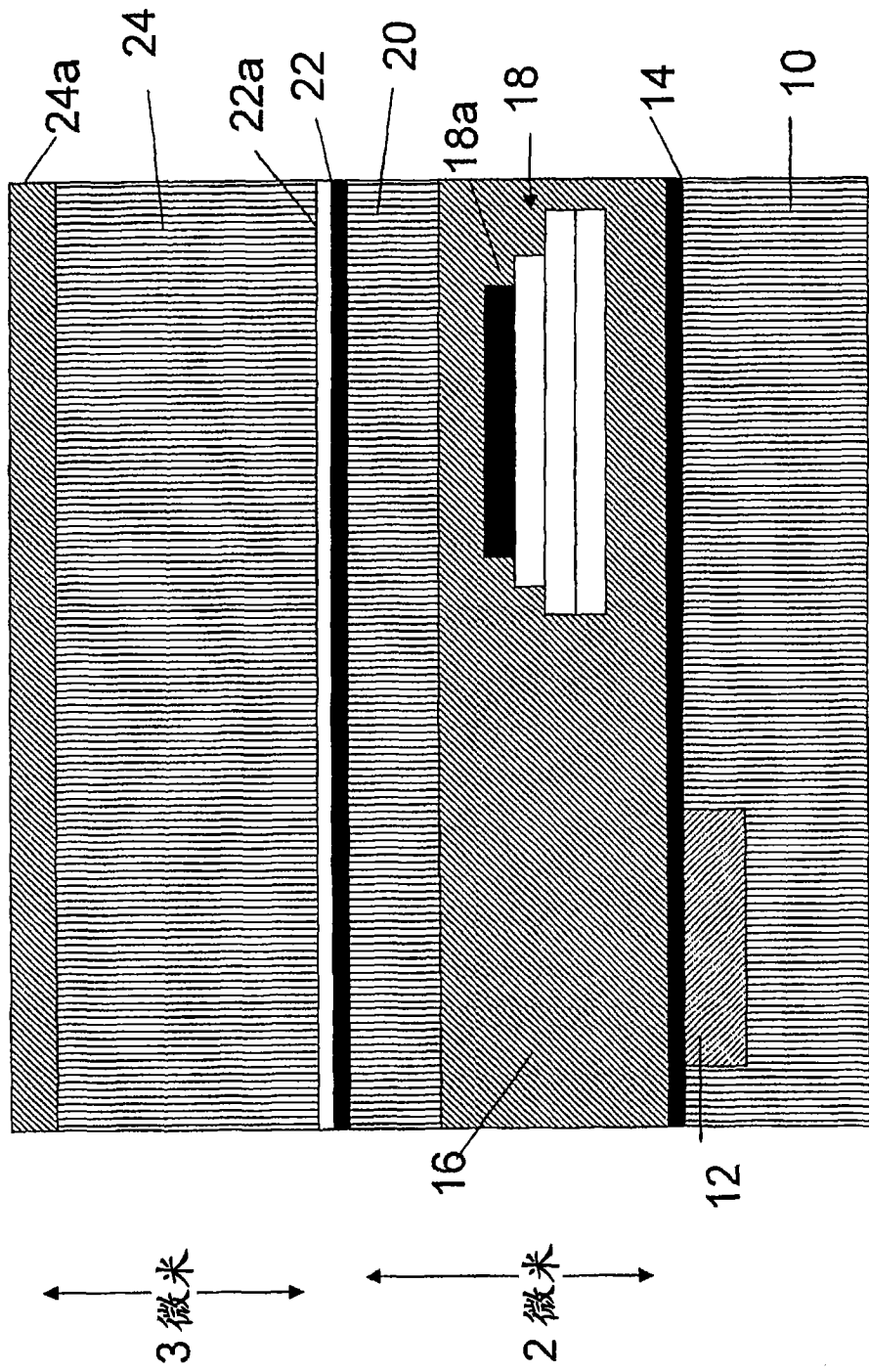


图 1

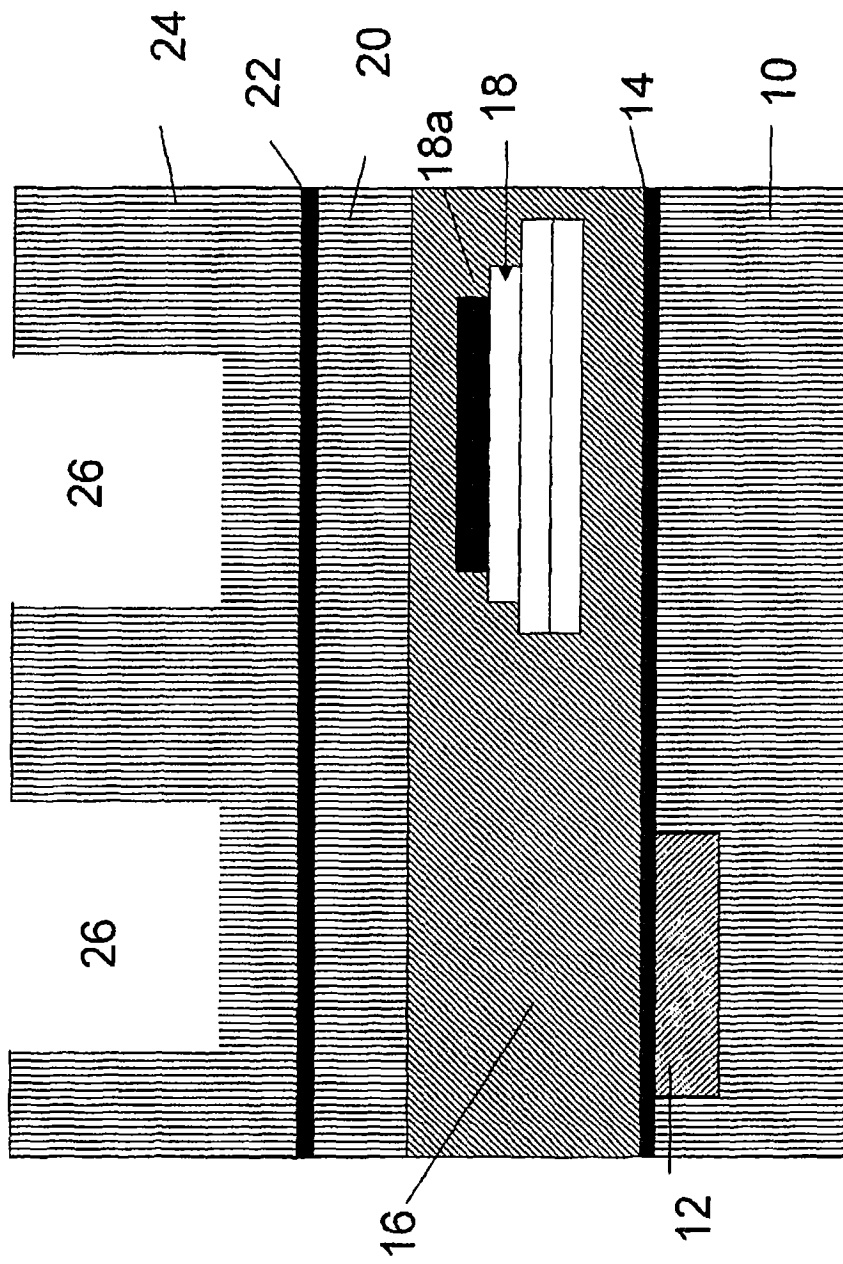


图 2

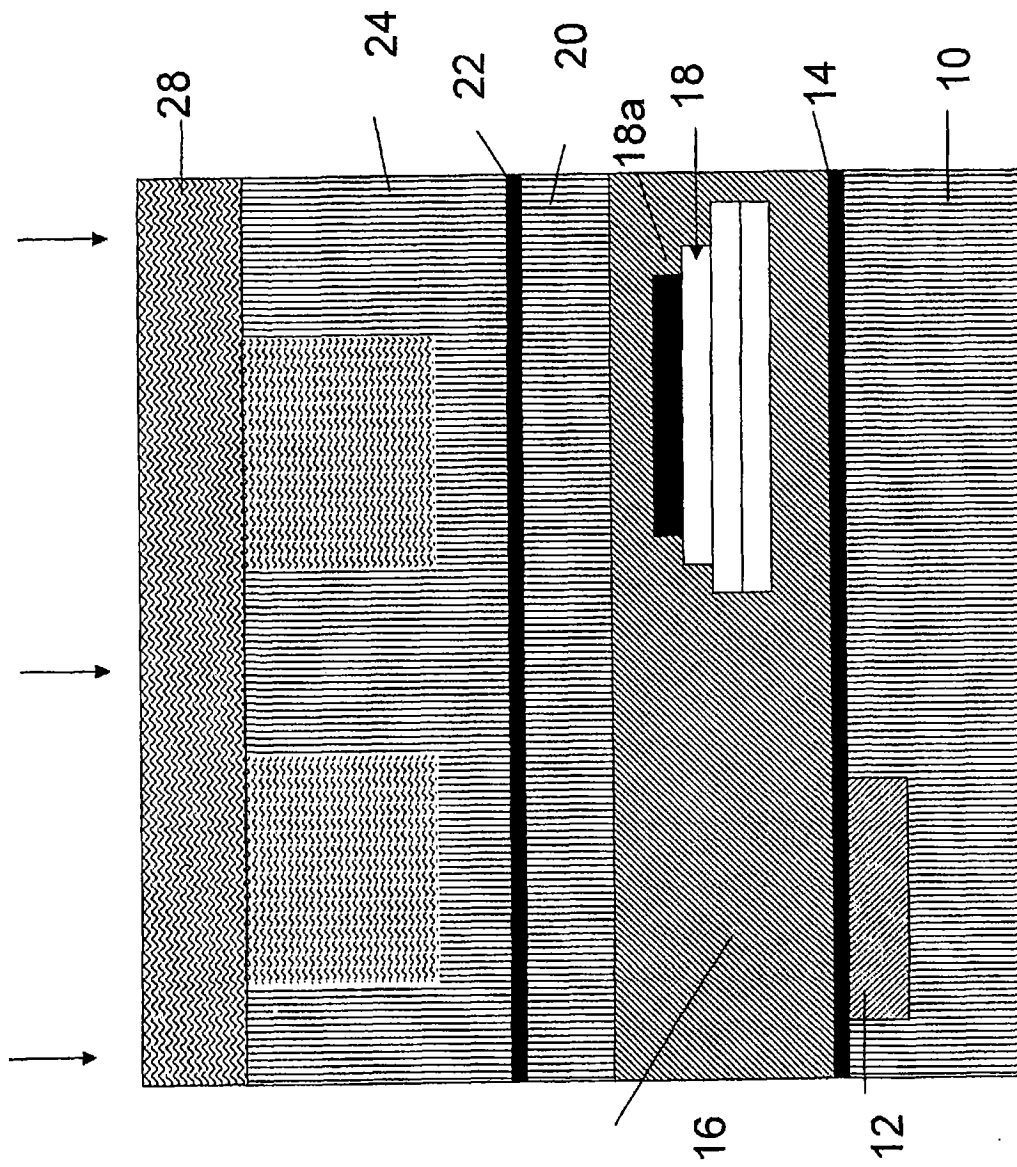


图 3

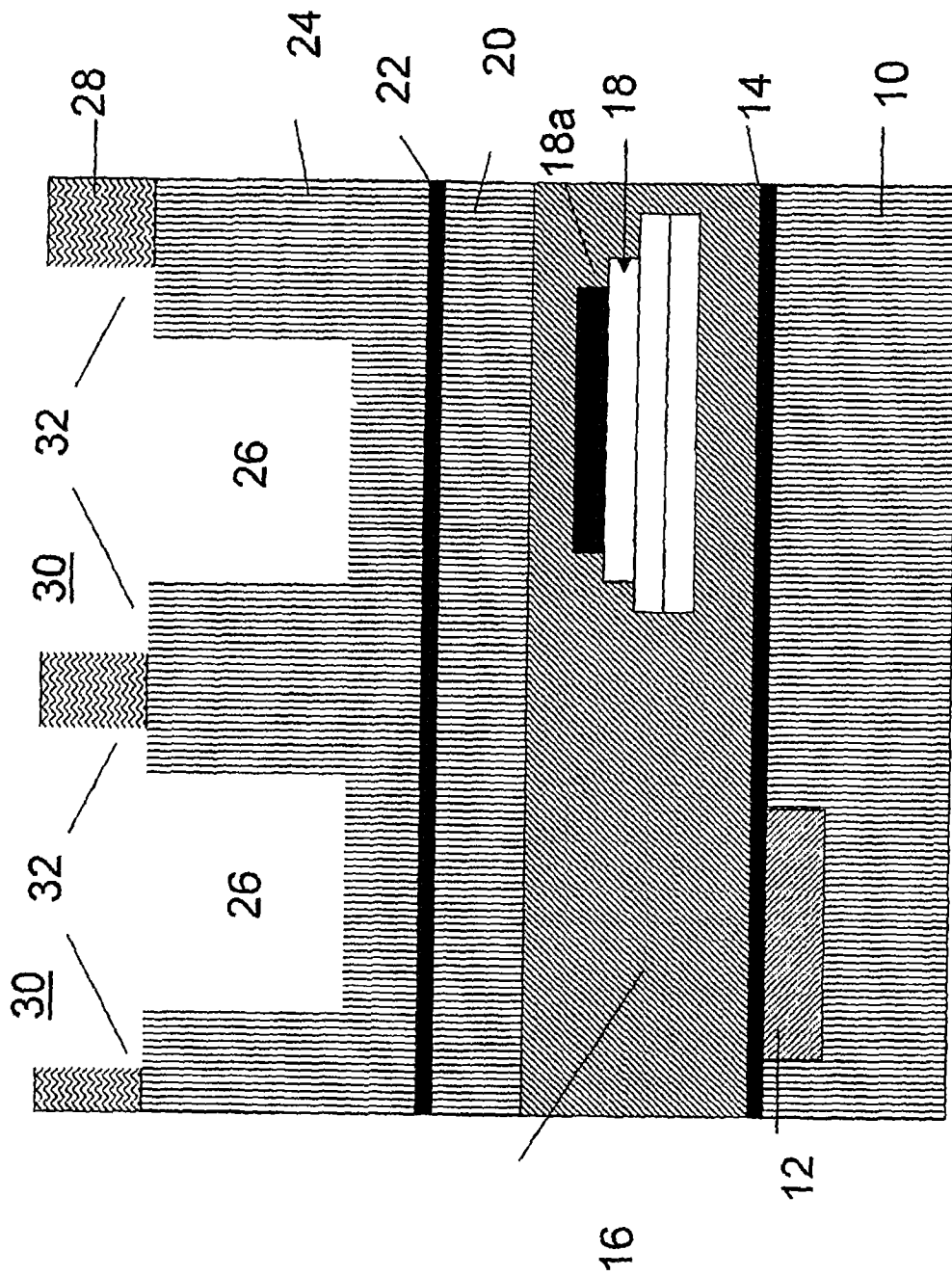


图 4

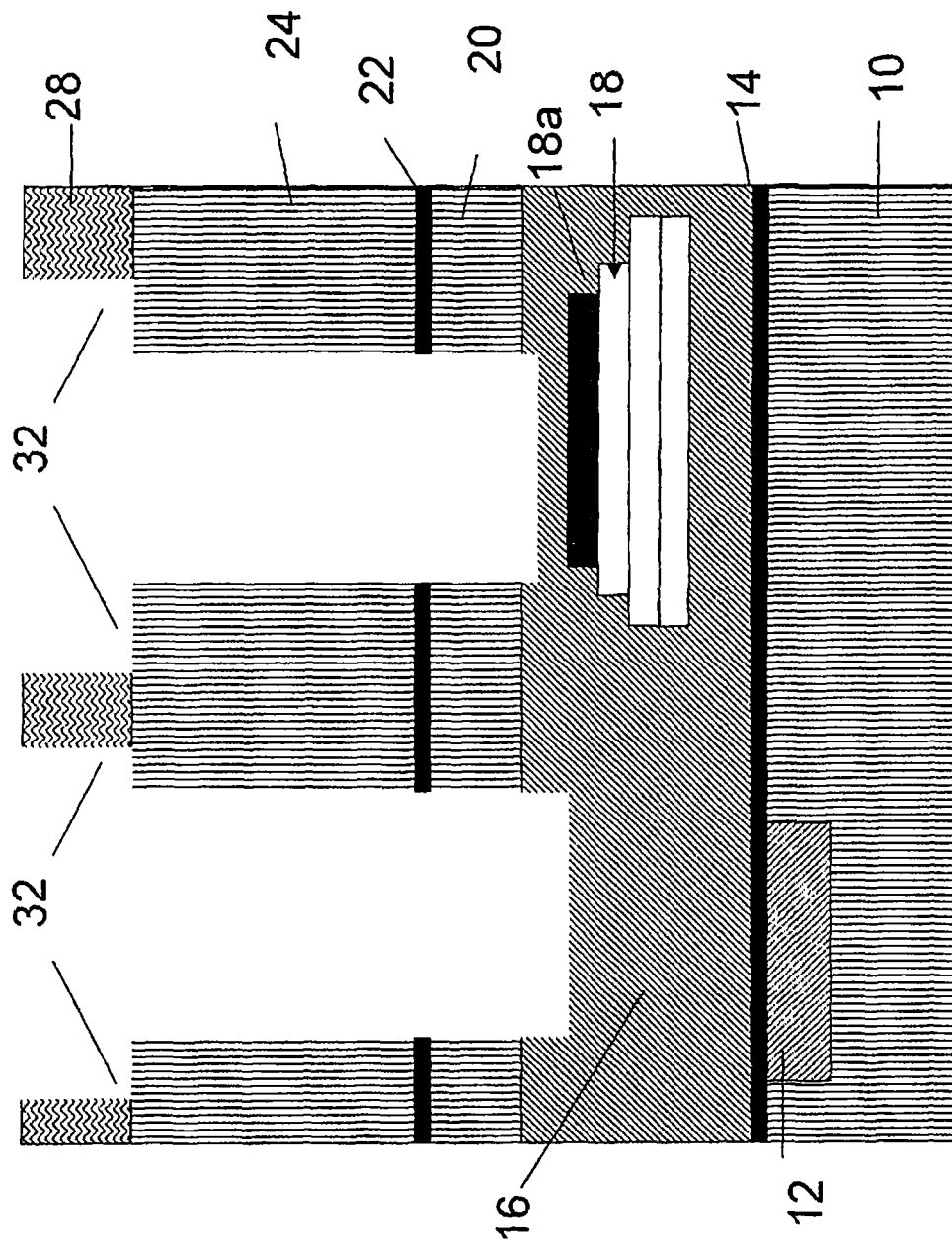


图 5

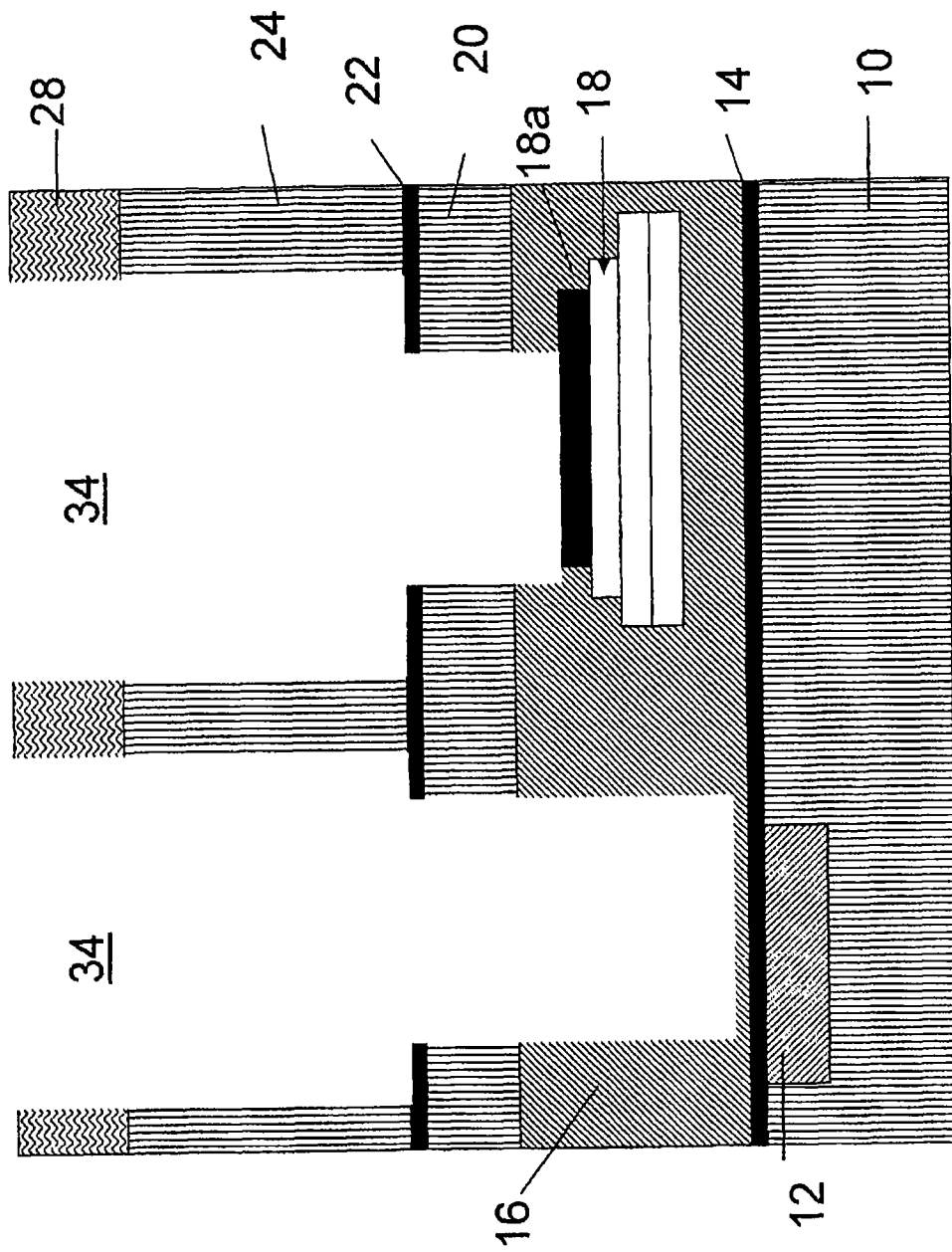


图 6

对于 1.5 μm 的部分过孔深度的关键蚀刻时间与
与 ILD 深度目标的关系

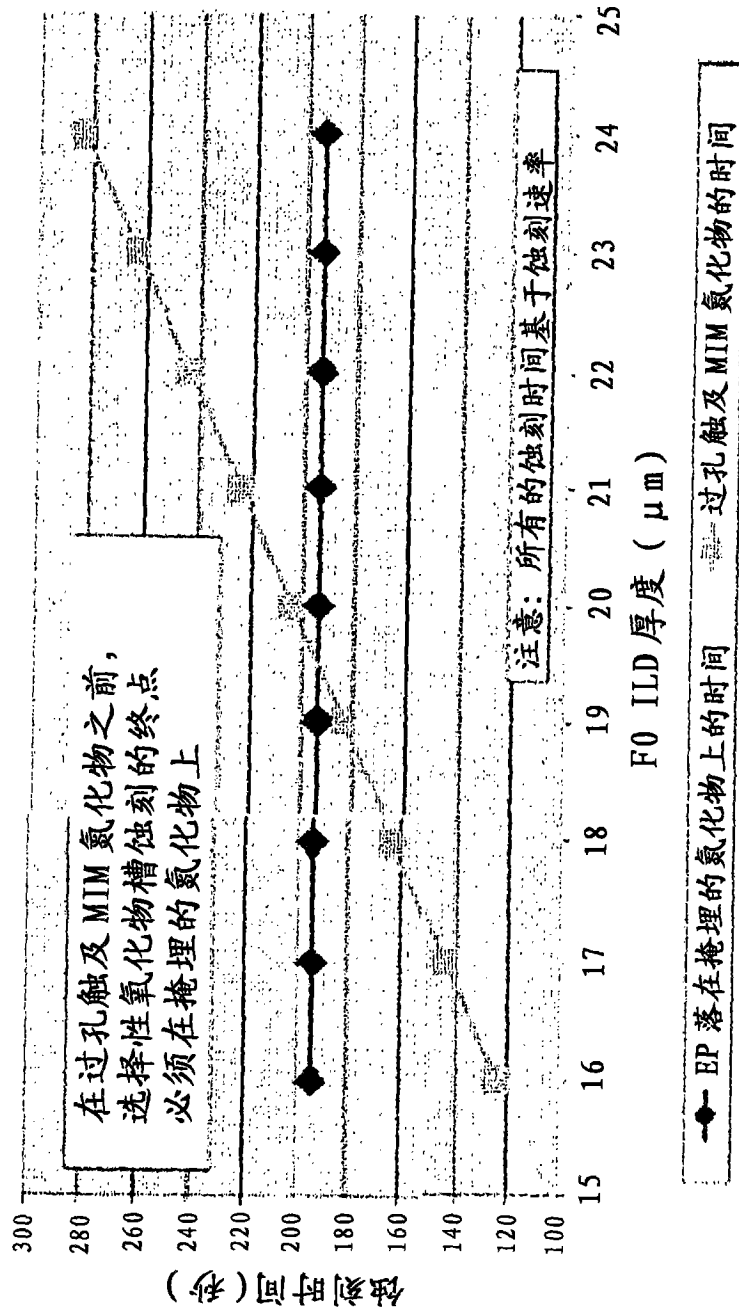


图 7

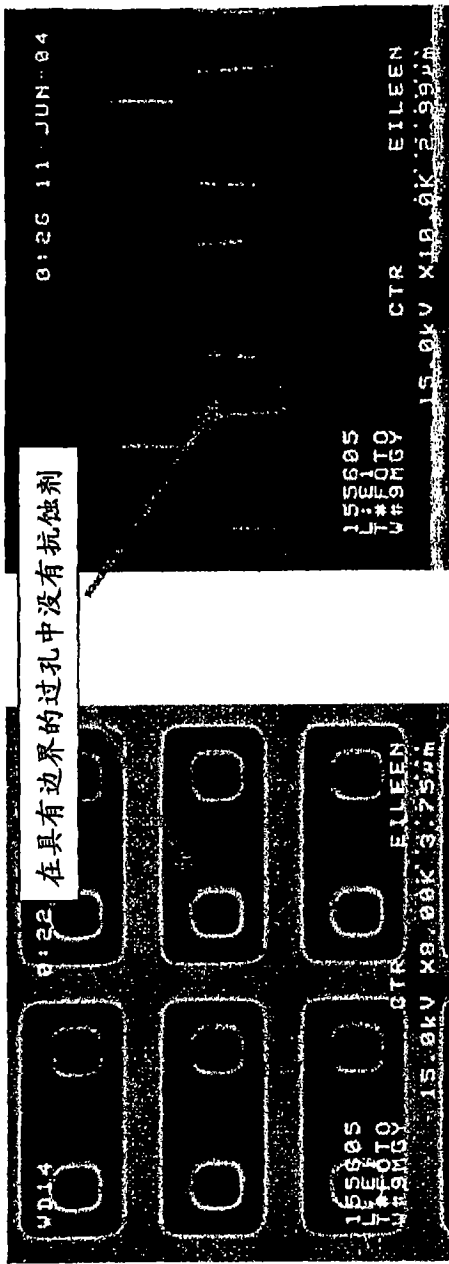


图 8A

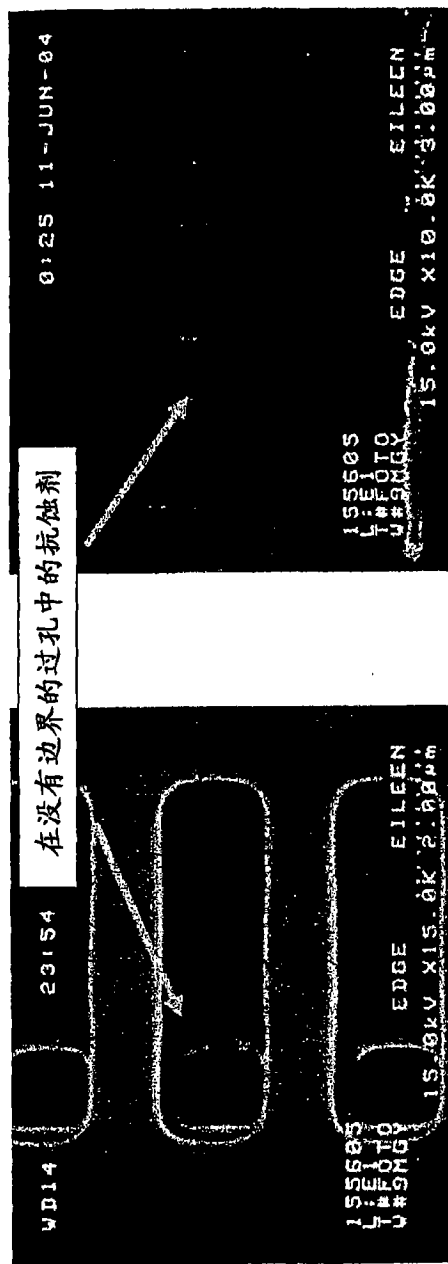


图 8C

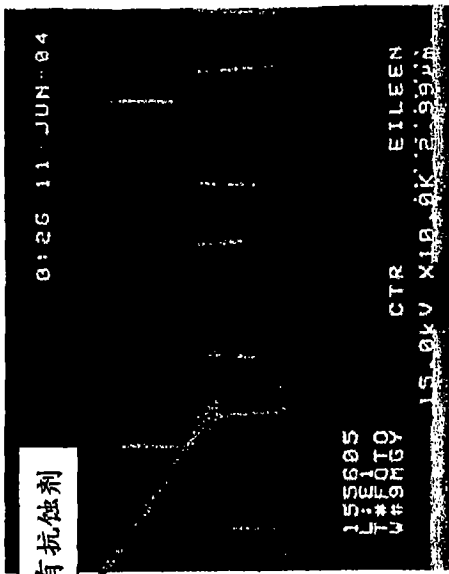


图 8B

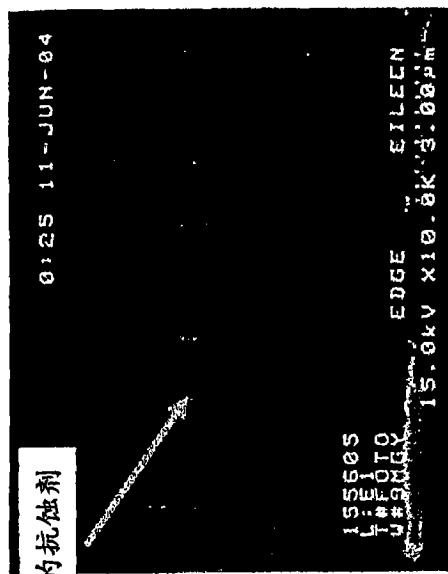
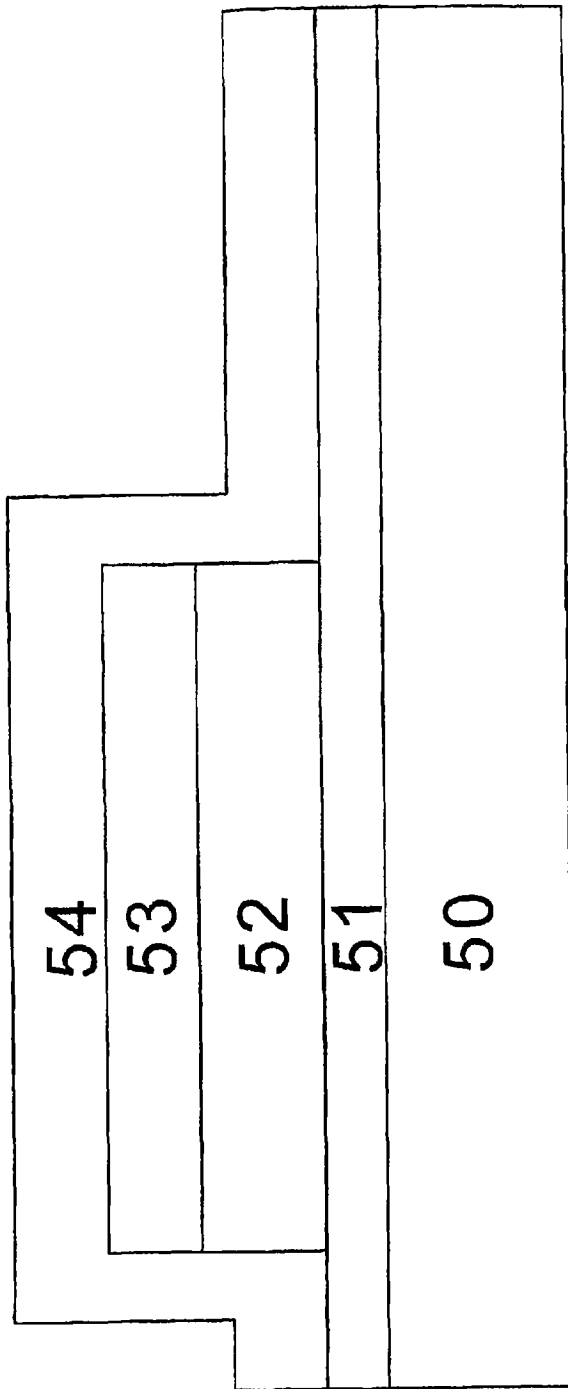


图 8D



层	厚度	注释
50	150nm	MIM 底板
51	30nm	MIM 介质
52	50nm	MIM 顶板
53	50nm	MIM 顶板蚀刻硬掩模
54	50nm	MIM 底板蚀刻硬掩模

图 9