



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

201416
(11) (B1)

(51) Int. Cl.³
G 06 F 11/22

(22) Přihlášeno 11 10 78
(21) (PV 6603-78)

(40) Zveřejněno 29 02 80

(45) Vydáno 31 05 82

(75)

Autor vynálezu

KRISTEN JIRÍ, PRAHA

(54) Zapojení simulátoru pevných programovatelných pamětí

Vynález se týká zapojení simulátoru pevných programovatelných pamětí, který umožňuje simulovat činnost programovatelné pevné paměti v režimech čtení, nahrávání (programování) bez chyby v systému a nahrávání i čtení s chybou v systému.

Až dosud nebylo možné prověřit činnost programovače pevných programovatelných pamětí ve zmíněných režimech bez destrukce vybraného obvodu programovatelné paměti. Zejména nebylo možné prověřovat činnost programovače při náhodně se vyskytujících vadách struktur paměťových integrovaných obvodů.

Tento nedostatek odstraňuje zapojení simulátoru podle vynálezu, jehož podstatou je zapojení adresových vstupů operační paměti přes binární čítač s paralelními vstupy a zapojení ovládacích vstupů přes generátor hodin a převodník programovacích impulsů a přes přepínač simulovaných závad a dále zapojení výstupů operační paměti přes přepínač simulovaných závad na výstupní špičky simulátoru, přičemž vstupy přepínače a generátoru hodin jsou ovládány logickými úrovněmi.

Podstata zapojení simulátoru pevných programovatelných pamětí, sestávající z operační paměti, binárního čítače s paralelními vstupy, generátoru hodin, převodníku programovacího impulsu a přepínače simulova-

ných závad podle vynálezu spočívá v tom, že jeho první až pátá vstupní špička jsou spojeny s prvním až pátým paralelním vstupem binárního čítače, jehož první až pátý výstup je připojen na první až pátý adresový vstup operační paměti, jejíž první až osmý výstup je spojen s prvním až osmým vstupem přepínače, jehož první až osmý výstup je spojen s první až osmou výstupní špičkou simulátoru a devátý až šestnáctý výstup přepínače je spojen s prvním až osmým hradlovacím vstupem operační paměti, přičemž alespoň dvě vstupní špičky simulátoru jsou spojeny s chybovými vstupy přepínače a šestá vstupní špička simulátoru je spojena se vstupem generátoru hodin, jehož první výstup je spojen s hodinovým vstupem binárního čítače a druhý výstup je spojen se společným vstupem informačních dat operační paměti, zatímco další společný vstup pro zápis do operační paměti je spojen s výstupem převodníku úrovně programovacího impulsu, jehož vstup je spojen se sedmou vstupní špičkou simulátoru a třetí společný hradlovací vstup operační paměti je spojen s osmou vstupní špičkou simulátoru.

Toto zapojení umožňuje nahrávání obsahu do operační paměti, podmíněné splněními parametry programovacího cyklu (při simulaci programování) a pomocí povelů, přivedených na vstup přepínače simulovaných závad

umožňuje simulaci chybových stavů, tj. stavů, při kterých je na výstupu operační paměti jiný obsah, než nahrávaný. Spuštěním generátoru hodin je možné operační paměť přehrát do dvou základních stavů, tj. obsah samé „1“, nebo samé „0“.

Příkladné zapojení simulátoru pevných programovatelných pamětí pro kapacitu 256 bitů s organizací 32×8 je znázorněno na výkresu.

Simulátor sestává z binárního čítače 051, operační paměti 052, přepínače 053 simulovaných závad, generátoru 054 hodin a převodníku 055 úrovně programovacího impulsu. Adresové signály se přivádí na první až pátou vstupní špičku 1, 2, 3, 4, 5 simulátoru, které jsou spojeny s prvním až pátým vstupem 01, 02, 03, 04, 05 binárního čítače 051, jehož první až pátý výstup 010, 020, 030, 040, 050 je spojen s prvním až pátým adresovým vstupem 11, 12, 13, 14, 15 operační paměti 052, jejíž první až osmý výstup 011, 012, 013, 014, 015, 016, 017, 018 je spojen s prvním až osmým vstupem 31, 32, 33, 34, 35, 36, 37, 38 přepínače 053, jehož první až osmý výstup 021, 022, 023, 024, 025, 026, 027, 028 je spojen s první až osmou výstupní špičkou 041, 042, 043, 044, 045, 046, 047, 048 simulátoru a devátý až šestnáctý výstup 031, 032, 033, 034, 035, 036, 037, 038 přepínače 053 je spojen s prvním až osmým hradlovacím vstupem 21, 22, 23, 24, 25, 26, 27, 28 operační paměti 052, přičemž alespoň dvě vstupní špičky 9, 10 simulátoru jsou spojeny s chybovými vstupy 29, 30 přepínače 053 a šestá vstupní špička 6 simulátoru je spojena se vstupem 06 generátoru 054 hodin, jehož první výstup 060 je spojen s hodinovým vstupem 08 binárního čítače 051 a druhý výstup 080 je spojen se společným vstupem 16 informačních dat operační paměti 052, zatímco další společný vstup 17 pro zápis do operační paměti je spojen s výstupem 070 převodníku 055 úrovně

programovacího impulsu, jehož vstup 07 je spojen se sedmou vstupní špičkou 7 simulátoru a třetí společný hradlovací vstup 18 operační paměti 052 je spojen s osmou vstupní špičkou 8 simulátoru. Binární čítač 051 umožňuje svými paralelními vstupy nastavení prvního až pátého adresového vstupu 11, 12, 13, 14, 15 operační paměti 052 pomocí logických úrovní, přivedených na první až pátou vstupní špičku 1, 2, 3, 4, 5 simulátoru nebo sekvenční adresování operační paměti 052 pomocí povelu, přivedeného na vstupní špičku simulátoru 6, ovládajícího generátor 054 hodin. Generátor 054 hodin jednak generuje hodinové impulsy, přivedené na vstup 08 binárního čítače 051, jednak impuls požadované polarity pro záznam informace samé „1“ nebo samé „0“, přivedený na vstup 16 operační paměti 052. Převodník 055 zhodnocuje šířkově i amplitudově parametry programovacího impulsu, přivedeného na vstup 07, přičemž na jeho výstupu se jen při kladném zhodnocení objevuje povel pro záznam do operační paměti 052, podmíněný otevřením vstupů paměti hradlovacím impulsem, přivedeným na vstupní špičku 8 simulátoru, spojenou se vstupem 18 operační paměti 052. Přepínač 053 umožňuje pomocí povelů na jeho vstupech 9, 10 simulaci závad zásahem do úrovně vstupů operační paměti 052.

Uvedený příklad zapojení simulátoru pevných programovatelných pamětí může být aplikován u pamětí s libovolnou kapacitou a různou organizací. Kromě výhod, uvedených na začátku tohoto popisu může být simulátor podle vynálezu s výhodou využit při ručním programování pevných programovatelných pamětí jako zásobní paměť programovaného obsahu s možností změny (opravy) obsahu ještě před vlastním programováním, tj. před destrukcí pevné programovatelné paměti.

PŘEDMĚT VYNÁLEZU

Zapojení simulátoru pevných programovatelných pamětí, sestávající z operační paměti, binárního čítače s paralelními vstupy, generátoru hodin, převodníku programovacího impulsu a přepínače simulovaných závad, vyznačující se tím, že jeho první až pátá vstupní špička (1, 2, 3, 4, 5) jsou spojeny s prvním až pátým paralelním vstupem (01, 02, 03, 04, 05) binárního čítače (051), jehož první až pátý výstup (010, 020, 030, 040, 050) je spojen s prvním až pátým adresovým vstupem (11, 12, 13, 14, 15) operační paměti (052), jejíž první až osmý výstup (011, 012, 013, 014, 015, 016, 017, 018) je spojen s prvním až osmým vstupem (31, 32, 33, 34, 35, 36, 37, 38) přepínače (053), jehož první až osmý výstup (021, 022, 023, 024, 025, 026, 027, 028) je spojen s první až osmou výstupní špičkou (041, 042, 043, 044, 045, 046, 047, 048) simulátoru a devátý až šestnáctý výstup (031, 032, 033, 034,

035, 036, 037, 038) přepínače (053) je spojen s prvním až osmým vstupem (21, 22, 23, 24, 25, 26, 27, 28) operační paměti (052), přičemž alespoň dvě vstupní špičky (9, 10) simulátoru jsou spojeny s chybovými vstupy (29, 30) přepínače (053) a šestá vstupní špička (6) simulátoru je spojena se vstupem (06) generátoru (054) hodin, jehož první výstup (060) je spojen s hodinovým vstupem (08) binárního čítače (051) a druhý výstup (080) je spojen se společným vstupem (16) informačních dat operační paměti (052), zatímco další společný vstup (17) pro zápis do operační paměti je spojen s výstupem (070) převodníku (055) úrovně programovacího impulsu, jehož vstup (07) je spojen se sedmou vstupní špičkou (07) a třetí společný hradlovací vstup (18) operační paměti (052) je spojen s osmou vstupní špičkou (8) simulátoru.

