

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5310172号
(P5310172)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl. F I
HO2M 3/155 (2006.01)
 HO2M 3/155 W
 HO2M 3/155 F
 HO2M 3/155 P

請求項の数 5 (全 22 頁)

(21) 出願番号	特願2009-72446 (P2009-72446)	(73) 特許権者	000106276
(22) 出願日	平成21年3月24日 (2009.3.24)		サンケン電気株式会社
(65) 公開番号	特開2010-226888 (P2010-226888A)		埼玉県新座市北野3丁目6番3号
(43) 公開日	平成22年10月7日 (2010.10.7)	(74) 代理人	100083806
審査請求日	平成24年2月9日 (2012.2.9)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100098327
			弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 インターリーブコンバータ

(57) 【特許請求の範囲】

【請求項1】

リアクトルとスイッチング手段と整流器とを有する複数のコンバータを並列に接続した並列コンバータと、前記並列コンバータに電力を供給する入力電源と、前記並列コンバータの出力を平滑する平滑コンデンサと、前記並列コンバータの入力電圧を検出し入力電圧信号を出力する入力電圧検出手段と、前記並列コンバータの出力電圧を検出し出力電圧信号を出力する出力電圧検出手段と、前記並列コンバータを制御する制御手段とを有し、

前記制御手段は、前記出力電圧信号と基準電圧とを比較して誤差増幅信号を出力する誤差増幅器と、

前記入力電圧信号と前記出力電圧信号と前記誤差増幅信号とに基づき演算処理を行いオン時間信号とオフ時間信号を生成する演算手段と、

前記オン時間信号と前記オフ時間信号と前記誤差増幅信号とに基づき互いに位相が異なる複数の位相信号を生成する位相信号生成手段と、

前記オン時間信号と前記誤差増幅信号と前記複数の位相信号とに基づき前記複数の位相信号に同期した複数のパルス列信号を生成するパルス生成手段と、

前記複数のパルス列信号により前記各スイッチング手段を駆動する駆動手段と、を有することを特徴とするインターリーブコンバータ。

【請求項2】

リアクトルとスイッチング手段と整流器とを有する複数のコンバータを並列に接続した並列コンバータと、前記並列コンバータに電力を供給する入力電源と、前記並列コンバー

10

20

タの出力を平滑する平滑コンデンサと、前記並列コンバータの入力電圧を検出し入力電圧信号を出力する入力電圧検出手段と、前記並列コンバータの出力電圧を検出し出力電圧信号を出力する出力電圧検出手段と、前記並列コンバータを制御する制御手段とを有し、

前記制御手段は、前記出力電圧信号と基準電圧とを比較して誤差増幅信号を出力する誤差増幅器と、

前記入力電圧信号と前記出力電圧信号と前記誤差増幅信号とに基づき演算処理を行いオン時間信号とオフ時間信号を生成する演算手段と、

前記オン時間信号と前記オフ時間信号とに基づき互いに位相が異なる複数の位相信号を生成する位相信号生成手段と、

前記オン時間信号と前記複数の位相信号とに基づき前記複数の位相信号に同期した複数のパルス列信号を生成するパルス生成手段と、

前記複数のパルス列信号により前記各スイッチング手段を駆動する駆動手段と、を有することを特徴とするインターリーブコンバータ。

【請求項 3】

前記位相信号生成手段は、前記オン時間信号と前記オフ時間信号と前記誤差増幅信号とに基づき生成される周波数信号の n 倍の周波数信号を生成する信号生成手段と、前記信号生成手段の出力信号を n 分周するとともに互いに位相が異なる n 個の位相信号を出力する分周手段とを有することを特徴とする請求項 1 記載のインターリーブコンバータ。

【請求項 4】

前記位相信号生成手段は、前記オン時間信号と前記オフ時間信号とに基づき生成される周波数信号の n 倍の周波数信号を生成する信号生成手段と、前記信号生成手段の出力信号を n 分周するとともに互いに位相が異なる n 個の位相信号を出力する分周手段とを有することを特徴とする請求項 2 記載のインターリーブコンバータ。

【請求項 5】

前記演算手段は、前記誤差増幅信号に基づき前記オン時間信号を生成し、前記入力電圧信号と前記出力電圧信号と前記オン時間信号とに基づき前記オフ時間信号を生成することを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項記載のインターリーブコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インターリーブコンバータに関し、特にそのコンバータの制御手段の技術に関する。

【背景技術】

【0002】

インターリーブコンバータは、例えば特許文献 1～3 に開示されている。このインターリーブコンバータは、複数のコンバータを並列に接続し、各コンバータの位相をそれぞれずらすことでコンバータに入力される電流及び出力される電流の電流リップルを軽減させる電力変換装置である。また、特許文献 3, 4 には、インターリーブコンバータの位相制御手段が開示されている。

【0003】

図 16 は昇圧型コンバータを 2 回路使用して構成した従来のインターリーブコンバータの回路構成図である。

【0004】

図 16 において、直流電源からなる入力電源 V_{in} の両端には昇圧リアクトル L_1 と MOS FET からなるスイッチング素子 Q_1 とスイッチング電流検出器 CT_1 との第 1 直列回路が接続されている。リアクトル L_1 とスイッチング素子 Q_1 との接続点には整流器 D_1 のアノードが接続され、整流器 D_1 のカソードは平滑コンデンサ C_o を介して接地されている。

【0005】

入力電源 V_{in} の両端には、昇圧リアクトル L_2 と MOS FET からなるスイッチング素

10

20

30

40

50

子Q2とスイッチング電流検出器CT2との第2直列回路が接続されている。リアクトルL2とスイッチング素子Q2との接続点には整流器D2のアノードが接続され、整流器D2のカソードは平滑コンデンサCoを介して接地されている。

【0006】

電圧検出器20は、平滑コンデンサCoの両端から出力される出力電圧Voを入力して出力電圧信号VFBを出力する。第1制御回路21は、スイッチング電流検出器CT1からの出力と出力電圧信号VFBとに基づき出力信号Vdr1を生成してこの出力信号Vdr1によりスイッチング素子Q1のゲートをオン/オフ制御する。充放電器23は、第1制御回路21から出力信号Vdr1を入力するとともに、一方の出力端に位相制御コンデンサC21が接続され他方の出力端に位相制御コンデンサC22が接続されている。

10

【0007】

第2制御回路22は、スイッチング電流検出器CT2からの出力と出力電圧信号VFBと位相制御コンデンサC21、C22の出力とに基づき出力信号Vdr2を生成してこの出力信号Vdr2によりスイッチング素子Q2のゲートをオン/オフ制御する。

【0008】

昇圧リアクトルL1とスイッチング素子Q1と第1スイッチング電流検出器CT1と整流器D1と第1制御回路21とは第1コンバータを構成している。昇圧リアクトルL2とスイッチング素子Q2とスイッチング電流検出器CT2と整流器D2と第2制御回路22とは第2コンバータを構成している。第1コンバータと第2コンバータの入力端と出力端とのそれぞれは、互いに接続され、昇圧型インターリーブコンバータを構成している。

20

【0009】

昇圧コンバータはスイッチング素子Q1、Q2のオンオフによって、入力電圧Vinよりも高い出力電圧Voを出力する。スイッチング素子Q1（又はQ2）のオン期間に、Vin、L1（又はL2）、Q1（又はQ2）、Vinの経路で電流が流れ、昇圧リアクトルL1（又はL2）に磁束エネルギーを蓄積する。スイッチング素子Q1（又はQ2）のオフ期間に、Vin、L1（又はL2）、D1（又はD2）、Co、Vinの経路で電流が流れ、スイッチング素子Q1（又はQ2）のオン期間に昇圧リアクトルL1（又はL2）に蓄積された磁束エネルギーを放出する。この動作は以下の式で表すことができる。

【数1】

$$\Delta I_L = \left| \frac{V_{in}}{L} \cdot T_{on} \right| \leq \left| \frac{V_o + V_F - V_{in}}{L} \cdot T_{off} \right| \quad \dots(1)$$

30

【0010】

ここで、ILは昇圧リアクトルL1（又はL2）に流れる電流の変化量、Vinは入力電源Vinの両端電圧、Voは平滑コンデンサCoの両端電圧、VFは整流器D1（又はD2）の順方向降下電圧、Lは昇圧リアクトルL1（又はL2）のインダクタンス値、Tonはスイッチング素子Q1（又はQ2）のオン時間、Toffはスイッチング素子Q1（又はQ2）のオフ時間を示す。式（1）よりスイッチング素子Q1（又はQ2）のオフ期間Toffの最小値は、入力電圧Vinと出力電圧Vo及びオン期間Tonによって求められる。

【数2】

$$T_{off} \geq \frac{V_{in}}{V_o + V_F - V_{in}} \cdot T_{on} \quad \dots(2)$$

40

【0011】

図17は従来のインターリーブコンバータの各部の動作波形を示す図である。図17において、Vdr1はスイッチング素子Q1の駆動信号、Vc21、Vc22は位相制御コンデンサC21、C22の両端電圧、Vdr2はスイッチング素子Q2の駆動信号、Vi1はスイッチング電流検出器CT1の出力信号、Vi2はスイッチング電流検出器CT2の出力信号、Ii1はリアクトルL1に流れる電流、Ii2はリアクトルL2に流れる電流、Iiはインターリーブコンバータの入力電流、Id1は整流器D1に流れる電流、Id2は整流

50

器 D 2 に流れる電流、 I_o はインターリーブコンバータの出力電流である。

【 0 0 1 2 】

第 1 コンバータは、電圧検出器 2 0 の出力信号 V_{FB} とスイッチング電流検出器 C T 1 の出力信号 V_{i1} とに基づきスイッチング素子 Q 1 を駆動する駆動信号 V_{dr1} を出力し、入力電源 V_{in} から出力電圧 V_o に電圧を変換する。スイッチング素子 Q 1 がオンすると、入力電圧 V_{in} が昇圧リアクトル L 1 に印加され磁束エネルギーが昇圧リアクトル L 1 に蓄積される。スイッチング素子 Q 1 がオンすると、昇圧リアクトル L 1 に蓄積された磁束エネルギーは第 1 整流器 D 1 を介して平滑コンデンサ C_o に充電される。

【 0 0 1 3 】

このようにスイッチング素子 Q 1 のオンオフ動作によって、第 1 コンバータは入力電源 V_{in} から平滑コンデンサ C_o への電力変換を行っている。同様にスイッチング素子 Q 2 のオンオフ動作によって、第 2 コンバータは入力電源 V_{in} から平滑コンデンサ C_o への電力変換を行っている。第 1 コンバータと第 2 コンバータとは互いに位相差をもって動作させることで入力電源 V_{in} 、平滑コンデンサ C_o に流れる電流リップルを抑えることができる。この効果は互いに均一な位相差を持って並列に接続されるコンバータの数に比例する。

【 0 0 1 4 】

図 1 6 に示す従来例では、各コンバータの位相を適切に制御するために充放電器 2 3 が設けられている。充放電器 2 3 はスイッチング素子 Q 1 の駆動信号 V_{dr1} に同期して、位相制御コンデンサ C_{21} 、 C_{22} の充放電を行う。位相制御コンデンサ C_{21} が充電されている期間には位相制御コンデンサ C_{22} は放電され、位相制御コンデンサ C_{21} が放電されている期間には位相制御コンデンサ C_{22} は充電される。位相制御コンデンサ C_{21} 、 C_{22} の両端電圧 V_{c21} 、 V_{c22} は互いに位相が 180 度ずれた三角波をなす。この位相のずれた 2 つの三角波信号を比較すると、スイッチング素子 Q 1 の駆動信号 V_{dr1} の周期の半分の時点で電圧値が交互に入れ代わる。第 2 制御回路 2 2 は入力される位相制御コンデンサ C_{21} 、 C_{22} の両端電圧 V_{c21} と V_{c22} とを互いに比較し、その電圧が入れ代わる時点を検出し、スイッチング素子 Q 2 へ駆動信号 V_{dr2} を出力する。このように構成することで、第 1 コンバータに対して 180 度の位相差を第 2 コンバータに付与している。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 5 】

【 特許文献 1 】 特開昭 6 2 - 5 8 8 7 1 号公報

【 特許文献 2 】 特開昭 6 3 - 1 8 6 5 5 5 号公報

【 特許文献 3 】 特許第 3 5 7 0 1 1 3 号公報

【 特許文献 4 】 特許第 3 4 8 0 2 0 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

しかしながら、このように構成されたインターリーブコンバータは、位相制御コンデンサ C_{21} 、 C_{22} の容量差によって第 1 及び第 2 コンバータの位相差が変化してしまう。また、接続される並列コンバータ数はそれ以上の位相制御コンデンサを必要とし、コンバータ数が増えた場合には回路が複雑化してしまう。

【 0 0 1 7 】

本発明の課題は、回路を簡素化して安価なインターリーブコンバータを提供することにある。

【 課題を解決するための手段 】

【 0 0 1 8 】

上記課題を解決するために、本発明は、リアクトルとスイッチング手段と整流器とを有する複数のコンバータを並列に接続した並列コンバータと、前記並列コンバータに電力を供給する入力電源と、前記並列コンバータの出力を平滑する平滑コンデンサと、前記並列

コンバータの入力電圧を検出し入力電圧信号を出力する入力電圧検出手段と、前記並列コンバータの出力電圧を検出し出力電圧信号を出力する出力電圧検出手段と、前記並列コンバータを制御する制御手段とを有し、

前記制御手段は、前記出力電圧信号と基準電圧とを比較して誤差増幅信号を出力する誤差増幅器と、前記入力電圧信号と前記出力電圧信号と前記誤差増幅信号とに基づき演算処理を行いオン時間信号とオフ時間信号を生成する演算手段と、

前記オン時間信号とオフ時間信号と前記誤差増幅信号とに基づき互いに位相が異なる複数の位相信号を生成する位相信号生成手段と、前記オン時間信号と前記誤差増幅信号と前記複数の位相信号とに基づき前記複数の位相信号に同期した複数のパルス列信号を生成するパルス生成手段と、前記複数のパルス列信号により前記各スイッチング手段を駆動する駆動手段とを有することを特徴とする。

10

【0019】

また、本発明は、リアクトルとスイッチング手段と整流器とを有する複数のコンバータを並列に接続した並列コンバータと、前記並列コンバータに電力を供給する入力電源と、前記並列コンバータの出力を平滑する平滑コンデンサと、前記並列コンバータの入力電圧を検出し入力電圧信号を出力する入力電圧検出手段と、前記並列コンバータの出力電圧を検出し出力電圧信号を出力する出力電圧検出手段と、前記並列コンバータを制御する制御手段とを有し、前記制御手段は、前記出力電圧信号と基準電圧とを比較して誤差増幅信号を出力する誤差増幅器と、前記入力電圧信号と前記出力電圧信号と前記誤差増幅信号とに基づき演算処理を行いオン時間信号とオフ時間信号を生成する演算手段と、前記オン時間信号とオフ時間信号とに基づき互いに位相が異なる複数の位相信号を生成する位相信号生成手段と、前記オン時間信号と前記複数の位相信号とに基づき前記複数の位相信号に同期した複数のパルス列信号を生成するパルス生成手段と、前記複数のパルス列信号により前記各スイッチング手段を駆動する駆動手段とを有することを特徴とする。

20

【発明の効果】

【0020】

本発明によれば、位相信号を入力電圧と出力電圧と誤差増幅信号との演算結果から求めるので、動作開始直後から良好な位相信号を生成でき、また、リアクトルに流れる電流を検出することなく、ゼロ電流状態を検出することができる。このため、補助巻線などの周辺部品が増えることなく、並列に接続されるコンバータ数の増加による回路の複雑化を極力押さえることができ、安価なインターリーブコンバータを提供することができる。

30

【図面の簡単な説明】

【0021】

【図1】本発明の実施例1のインターリーブコンバータを示す回路構成図である。

【図2】実施例1のインターリーブコンバータ内に設けられた演算器を示す回路構成図である。

【図3】実施例1のインターリーブコンバータ内に設けられた乗除算回路を示す回路構成図である。

【図4】実施例1のインターリーブコンバータ内に設けられた演算器の入出力特性を示す波形例を示す図である。

40

【図5】実施例1のインターリーブコンバータ内に設けられた位相信号生成器を示す回路構成図である。

【図6】図5に示す位相信号生成器内の分周回路を示す回路構成図である。

【図7】図5に示す位相信号生成器の各部の動作波形を示す図である。

【図8】実施例1のインターリーブコンバータ内に設けられたパルス生成器を示す回路構成図である。

【図9】図8に示すパルス生成器の各部の動作波形を示す図である。

【図10】本発明の実施例2のインターリーブコンバータを示す回路構成図である。

【図11】実施例2のインターリーブコンバータ内に設けられた演算器を示す回路構成図である。

50

【図 1 2】実施例 2 のインターリーブコンバータ内に設けられた位相信号生成器を示す回路構成図である。

【図 1 3】図 1 2 に示す位相信号生成器内の分周回路を示す回路構成図である。

【図 1 4】図 1 2 に示す位相信号生成器の各部の動作波形を示す図である。

【図 1 5】実施例 2 のインターリーブコンバータ内に設けられたパルス生成器を示す回路構成図である。

【図 1 6】従来のインターリーブコンバータの一例を示す回路構成図である。

【図 1 7】従来のインターリーブコンバータの各部の動作波形を示す図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施の形態のインターリーブコンバータを図面を参照しながら詳細に説明する。このインターリーブコンバータは、入力電源から入力される電力の力率を改善する。

【実施例 1】

【0023】

図 1 は本発明の実施例 1 のインターリーブコンバータを示す回路構成図である。

【0024】

図 1 において、全波整流器 R C 1 は、交流電源 V a c から交流電圧を入力し入力された交流電圧を全波整流して直流電圧 V i n を出力する。全波整流器 R C 1 の出力端には、昇圧リアクトル L 1 と M O S F E T からなるスイッチング素子 Q 1 との第 1 直列回路が接続されている。昇圧リアクトル L 1 とスイッチング素子 Q 1 との接続点には整流器 D 1 のアノードが接続され、整流器 D 1 のカソードは平滑コンデンサ C o を介して接地されている。

【0025】

全波整流器 R C 1 の出力端には、リアクトル L 2 と M O S F E T からなるスイッチング素子 Q 2 との第 2 直列回路が接続されている。昇圧リアクトル L 2 とスイッチング素子 Q 2 との接続点には整流器 D 2 のアノードが接続され、整流器 D 2 のカソードは平滑コンデンサ C o を介して接地されている。

【0026】

全波整流器 R C 1 の出力端には、抵抗 R 1 と抵抗 R 2 とからなる第 1 分圧抵抗が接続され、平滑コンデンサ C o の両端には、抵抗 R 3 と抵抗 R 4 とからなる第 2 分圧抵抗が接続されている。

【0027】

制御回路 1 0 は、第 1 分圧抵抗の midpoint 電圧と第 2 分圧抵抗の midpoint 電圧とを入力し、スイッチング素子 Q 1 , Q 2 のゲートに駆動信号を出力する。制御回路 1 0 は、誤差増幅器 1 1、演算器 1 2、位相信号生成器 1 3、パルス生成器 1 4、駆動回路 1 5 を備える。

【0028】

誤差増幅器 1 1 は、第 2 分圧抵抗の midpoint 電圧 V F B と基準電圧 V r e f との誤差を増幅して誤差増幅信号 V C O M P を出力する。演算器 1 2 は、第 1 分圧抵抗の midpoint 電圧 V I N と第 2 分圧抵抗の midpoint 電圧 V F B と誤差増幅信号 V C O M P とを入力し、これらの電圧を演算して演算出力として、スイッチング素子 Q 1 (又は Q 2) のオン時間に比例した信号であるオン時間信号 I o n とスイッチング素子 Q 1 (又は Q 2) のオフ時間に比例した信号であるオフ時間信号 I o f f とを出力する。

【0029】

位相信号生成器 1 3 は、オン時間信号 I o n とオフ時間信号 I o f f と誤差増幅信号 V C O M P とに基づき、それぞれ位相の異なる位相信号 P h 1 と位相信号 P h 2 とを生成して出力する。パルス生成器 1 4 は、位相信号 P h 1 と位相信号 P h 2 とオン時間信号 I o n と誤差増幅信号 V C O M P とに基づき、デューティ比が同じで且つ位相が異なるパルス列信号 P W M 1 , P W M 2 とを生成して出力する。駆動回路 1 5 は、パルス列信号 P W M 1 , P W M 2 とに基づき、スイッチング素子 Q 1 を駆動する第 1 駆動信号 V d r 1 とスイッチング素子 Q 2 を駆動する第 2 駆動信号 V d r 2 を生成して、対応するスイッチング素子に出力する。

10

20

30

40

50

【0030】

昇圧リアクトルL1とスイッチング素子Q1と整流器D1とは、第1コンバータを構成している。昇圧リアクトルL2とスイッチング素子Q2と整流器D2とは、第2コンバータを構成している。第1コンバータと第2コンバータの入力端と出力端のそれぞれは、互いに接続され、インターリーブコンバータを構成している。

【0031】

実施例1のインターリーブコンバータは、交流入力電源Vacから入力される交流入力電流Iacの力率を改善する力率改善動作する。力率を改善するためには入力電流は入力電圧に比例して変化する必要がある。力率改善を行った場合の入力電流(I_L・V_{in})の状態式を式(1)を変形して示すと

【数3】

$$I_L \cdot V_{in} = \frac{V_{in}}{L} \cdot T_{on} = \frac{V_o + VF - V_{in}}{L} \cdot T_{off} \quad \dots (3)$$

$$I_L = \frac{I}{L} \cdot T_{on} = \frac{V_o + VF - V_{in}}{V_{in}} \cdot \frac{I}{L} \cdot T_{off} \quad \dots (4)$$

【0032】

となり、スイッチング素子のオン期間は入力電圧の位相に関係なく電力に合わせて変化し、スイッチング素子のオフ期間は入力電圧と出力電圧とスイッチング素子のオン期間によって求められる。

【0033】

スイッチング素子のオン時間T_{on}とオフ時間T_{off}とをコンデンサの定電流充電(又は放電)で作成した場合以下の式が得られる。

【数4】

$$T_{on} = \frac{C_{osc} \cdot V_{COMP}}{I_{on}} \quad \dots (5)$$

$$T_{off} = \frac{C_{osc} \cdot V_{COMP}}{I_{off}} \quad \dots (6)$$

【0034】

ここで、C_{osc}は発振用コンデンサ、V_{COMP}は誤差増幅信号、I_{on}はオン時間信号、I_{off}はオフ時間信号をそれぞれ示す。スイッチング素子のオン時間T_{on}は、誤差増幅信号V_{COMP}によって変化するため、オン時間信号I_{on}は定数又は誤差増幅信号の関数となる。式(2)に式(5)、式(6)を代入しオフ時間信号I_{off}について解くと以下のようになる。

【数5】

$$I_{off} = I_{on} \frac{V_o + VF - V_{in}}{V_{in}} \quad \dots (7)$$

【0035】

つまり、オフ時間信号I_{off}はオン時間信号I_{on}に出力電圧V_oと入力電圧V_{in}の差を入力電圧V_{in}で割った値を乗じたものとなる。

【0036】

図2は本発明の実施例1のインターリーブコンバータ内の演算器12の回路構成図である。図2において、オペアンプAP1は、非反転入力端子が誤差増幅信号V_{COMP}に接続され、出力端子がMOSFETQ10のゲートに接続され、反転入力端子が抵抗R10を介して接地され且つMOSFETQ10のソースに接続されている。MOSFETQ10のドレインから誤差増幅信号V_{COMP}に比例した電流信号I_{vcomp}が第1カレントミ

10

20

30

40

50

ラー回路121を介して乗除算回路122に出力される。オペアンプAP1とMOSFETQ10とは第1電圧電流変換回路を構成する。

【0037】

オペアンプAP2は、非反転入力端子が第1分圧抵抗の midpoint 電圧VINに接続され、出力端子がMOSFETQ11のゲートに接続され、反転入力端子が抵抗R11を介して接地され且つMOSFETQ11のソースに接続されている。MOSFETQ11のドレインから第1分圧抵抗の midpoint 電圧VINに比例した電流信号Ivinが乗除算回路123に出力される。オペアンプAP2とMOSFETQ11とは第2電圧電流変換回路を構成する。

【0038】

オペアンプAP3は、非反転入力端子が第2分圧抵抗の midpoint 電圧VFBに接続され、出力端子がMOSFETQ12のゲートに接続され、反転入力端子が抵抗R12を介して接地され且つMOSFETQ12のソースに接続されている。MOSFETQ12のドレインから第2分圧抵抗の midpoint 電圧VFBに比例した電流信号Ivfbが乗除算回路123に出力される。オペアンプAP3とMOSFETQ12とは第3電圧電流変換回路を構成する。

【0039】

第1カレントミラー回路121において、トランジスタQ13のコレクターベース及びトランジスタQ14のベースが接続されて入力端をなし、トランジスタQ13、Q14のエミッタは電源Regに接続され、トランジスタQ14のコレクタが出力端を構成する。乗除算回路122は、第1カレントミラー回路121を介して差動増幅信号VCOMPに比例した電流信号Ivcompと定電流I10とに基づき乗除算処理を行い、乗除算出力としてオン時間信号Ionを出力する。

【0040】

乗除算回路123は、乗除算回路122のオン時間信号Ionと第1分圧抵抗の midpoint 電圧VINに比例した電流信号Ivinと第2分圧抵抗の midpoint 電圧VFBに比例した電流信号Ivfbとに基づき乗除算処理を行い、乗除算出力としてオフ時間信号Ioffを出力する。

【0041】

図3は実施例1のインターリーブコンバータ内に設けられた乗除算回路122, 123を示す回路構成図である。図3において、トランジスタQ30のベースとコレクタは電源Regに接続され、トランジスタQ30のエミッタは、Ia入力端子とトランジスタQ32のベースに接続されている。トランジスタQ32のコレクタは電源Regに接続され、エミッタはIb入力端子とトランジスタQ34のベースに接続されている。トランジスタQ34のエミッタはトランジスタQ35のエミッタと電流源Itailの一端とに接続されている。

【0042】

トランジスタQ34のコレクタはトランジスタQ33のベースとトランジスタQ31のエミッタとに接続されている。トランジスタQ35のベースはIc入力端子とトランジスタQ33のエミッタとに接続され、トランジスタQ35のコレクタはIout出力端子に接続されている。トランジスタQ33のコレクタは電源Regに接続され、トランジスタQ31のベースとコレクタは電源Regに接続されている。トランジスタQ30~Q35は、NPN型のトランジスタであり、乗除算回路を構成している。

【0043】

Iout出力端子には、Ia入力端子の入力電流とIb入力端子入力電流との乗算結果をIc入力端子の入力電流で割った値が電流信号として出力される。また、Iout出力端子の最大出力は電流源Itail未滿に制限される。

【0044】

図4は実施例1のインターリーブコンバータ内に設けられた演算器12の入出力特性を示す波形例を示す図である。図4(a)は誤差増幅信号VCOMPを変化させた時のオン時間信号Ionの変化を示す。乗除算回路122のIa入力端子とIb入力端子には定電流

10

20

30

40

50

I 1 0 が入力され、I c 入力端子には電流信号 I vcomp が入力される。乗除算回路 1 2 2 の構成式は、電流源 I 1 0 × 電流源 I 1 0 / 電流信号 I vcomp となり、オン時間信号 I on は誤差増幅信号 V C O M P に対して反比例の特性となる。

【 0 0 4 5 】

図 4 (b) は第 2 分圧抵抗の midpoint 電圧 V F B を一定値に保ち、第 1 分圧抵抗の midpoint 電圧 V I N を変化させたときのオフ時間信号 I off の変化を示す。乗除算回路 1 2 3 の I a 入力端子と I b 入力端子にはオン時間信号 I on と第 2 分圧抵抗の midpoint 電圧 V F B に比例した電流信号 I vfb から第 1 分圧抵抗の midpoint 電圧 V I N に比例した電流信号 I vin を引いた入出力差信号 I vfb - I vin が入力される。I c 入力端子には第 1 分圧抵抗の midpoint 電圧 V I N に比例した電流信号 I vin がそれぞれ入力されている。

10

【 0 0 4 6 】

乗除算回路 1 2 3 の構成式は、オン時間信号 I on × 入出力差信号 (I vfb - I vin) / (第 1 分圧抵抗の midpoint 電圧 V I N に比例した電流信号 I vin) となる。これは式 (7) で示したものと同等となり、乗除算回路 1 2 3 の出力はオフ時間信号 I off となる。

【 0 0 4 7 】

図 5 は実施例 1 のインターリーブコンバータ内に設けられた位相信号生成器 1 3 を示す回路構成図である。図 5 において、I on 入力端子はトランジスタ Q 4 0 のベースとコレクタ及びトランジスタ Q 4 1 のベースに接続され、トランジスタ Q 4 0 , 4 1 のエミッタは電源 Reg に接続されている。トランジスタ Q 4 1 のコレクタは MOS F E T Q 4 4 のソースに接続され、MOS F E T Q 4 4 のドレインは MOS F E T Q 4 6 のドレイン及び発振用コンデンサ C 1 の一端とコンパレータ C P 1 の非反転入力端子とコンパレータ C P 2 の反転入力端子に接続されている。MOS F E T Q 4 4 のゲートは MOS F E T Q 4 6 のゲートと RS フリップフロップ F F 1 の反転出力 Q b に接続されている。

20

【 0 0 4 8 】

MOS F E T Q 4 6 のソースはトランジスタ Q 4 3 のコレクタに接続され、トランジスタ Q 4 3 のベースはトランジスタ Q 4 2 のベースとコレクタと I off 入力端子に接続されている。トランジスタ Q 4 2 , Q 4 3 のエミッタは接地され、発振用コンデンサ C 1 の他端は接地されている。

【 0 0 4 9 】

コンパレータ C P 1 の反転入力端子は誤差増幅信号 V comp 端子に接続され、コンパレータ C P 1 の出力端子は RS フリップフロップ F F 1 のリセット端子に接続されている。コンパレータ C P 2 の非反転入力端子は、基準電源 V ref の一端に接続され、コンパレータ C P 2 の出力端子は RS フリップフロップ F F 1 のセット端子に接続されている。

30

【 0 0 5 0 】

RS フリップフロップ F F 1 の出力 Q は分周回路 1 3 2 の入力端に接続され、分周回路 1 3 2 の出力端から位相信号 Ph 1 と位相信号 Ph 2 とが出力されている。トランジスタ Q 4 0 とトランジスタ Q 4 1 とは第 2 カレントミラー回路 1 3 1 を構成する。トランジスタ Q 4 2 とトランジスタ Q 4 3 とは第 3 カレントミラー回路を構成する。MOS F E T Q 4 4 と MOS F E T Q 4 5 とはスイッチ回路を構成する。

【 0 0 5 1 】

図 6 は図 5 に示す位相信号生成器 1 3 内の分周回路 1 3 2 を示す回路構成図である。図 6 において、入力端子 I N 1 は T フリップフロップ F F 2 の T 入力に接続され、T フリップフロップ F F 2 の出力 Q はインバータ I N V 1 の入力端とアンド回路 A N D 2 の一方の入力端と遅延回路 D L 1 の入力と排他的論理和回路 E O R 1 の一方の入力端に接続されている。インバータ I N V 1 の出力はアンド回路 A N D 1 の一方の入力に接続され、遅延回路 D L 1 の出力は排他的論理和回路 E O R 1 の他方の入力に接続され、排他的論理和回路 E O R 1 の出力はアンド回路 A N D 2 の他方の入力とアンド回路 A N D 1 の他方の入力に接続されている。アンド回路 A N D 1 の出力は第 1 位相信号 Ph 1 を出力し、アンド回路 A N D 2 の出力は第 2 位相信号 Ph 2 を出力する。

40

【 0 0 5 2 】

50

TフリップフロップFF2と、インバータINV1と、排他的論理和回路EOR1と、遅延回路DL1と、アンド回路AND1, AND2とは分周回路を構成している。

【0053】

図7は図5に示す位相信号生成器13の各部の動作波形を示す図である。図7において、VCOMPは誤差増幅器11の出力電圧、Vc1は発振用コンデンサC1の両端電圧、Vrefは基準電源Vrefの出力電圧、CP1はコンパレータCP1の出力信号、CP2はコンパレータCP2の出力信号、FF1QはRSフリップフロップFF1の出力Q、FF2QはTフリップフロップFF2の出力Q、EOR1は排他的論理和EOR1の出力、Ph1はアンド回路AND1の出力である第1位相信号Ph1、Ph2はアンド回路AND2の出力である第2位相信号Ph2である。

10

【0054】

まず、位相信号生成器13には演算器12により生成されたオン時間信号Ionとオフ時間信号Ioffとがそれぞれ入力され、第2カレントミラー回路Q40, Q41及び第3カレントミラー回路Q42, Q43とスイッチ回路Q44, Q46を介して発振用コンデンサC1に送られる。

【0055】

スイッチ回路Q44, Q46は、RSフリップフロップFF1の状態に合わせてオン時間信号Ionで発振用コンデンサC1を充電するか、オフ時間信号Ioffで発振用コンデンサC1を放電するかを切替える。

【0056】

RSフリップフロップFF1がセット状態のとき、RSフリップフロップFF1の反転出力Qbは“L”である。このとき、スイッチ回路のMOSFETQ44はオン状態で、MOSFETQ46はオフ状態である。このため、トランジスタQ40, Q41を介して、オン時間信号Ionにより発振用コンデンサC1が充電されて発振用コンデンサC1の両端電圧は上昇する。発振用コンデンサC1の両端電圧が誤差増幅信号VCOMP以上に充電されると、コンパレータCP1の出力は“L”から“H”に切り換わり、RSフリップフロップFF1がリセットされる。

20

【0057】

RSフリップフロップFF1がリセットされると、RSフリップフロップFF1の反転出力Qbは“H”となる。このとき、スイッチ回路のMOSFETQ44はオフ状態で、MOSFETQ46はオン状態となる。このため、発振用コンデンサC1に充電された電荷は、トランジスタQ42, Q43を介して、オフ時間信号Ioffにより放電され、発振用コンデンサC1の両端電圧は低下する。

30

【0058】

発振用コンデンサC1の両端電圧Vc1が基準電源Vref以下に放電されると、コンパレータCP2の出力は“L”から“H”に切り換わり、RSフリップフロップFF1が再びセットされる。以上の動作を繰り返し、生成されたパルス列は分周回路132に入力される。

【0059】

分周回路132に入力されたパルス列は、TフリップフロップFF2によって2分周される。TフリップフロップFF2によって分周された信号は、入力されるパルス列の周波数が大きく変化しなければ、デューティ比が約50%のパルス列となる。このデューティ比50%のパルス列に基づき、立上りエッジと立下りエッジとにそれぞれ同期した信号を遅延回路DL1、インバータINV1、排他的論理和回路EOR1、アンド回路AND1, AND2を用いて生成し、第1位相信号Ph1、第2位相信号Ph2として出力する。

40

【0060】

図5に示した位相信号生成器13は、2つのコンバータを制御するための位相信号を生成する。このため、発振用コンデンサC1の充放電の周波数を本来の発振周波数の2倍となるようにオン時間信号Ionとオフ時間信号Ioffを2倍とするか、発振用コンデンサC1を1/2の値に調整している。

50

【 0 0 6 1 】

図 8 は実施例 1 のインターリーブコンバータ内に設けられたパルス生成器 1 4 を示す回路構成図である。図 8 において、オン時間信号 I_{on} 入力端子はトランジスタ Q_{50} のベースとコレクタとトランジスタ Q_{51} のベースとトランジスタ Q_{52} のベースに接続されている。トランジスタ Q_{50} , Q_{51} , Q_{52} のエミッタは電源 Reg に接続され、トランジスタ Q_{51} のコレクタは第 1 オン時間生成用コンデンサ C_2 の一端と MOSFET Q_{54} のドレインとコンパレータ CP_4 の非反転入力端子に接続されている。

【 0 0 6 2 】

トランジスタ Q_{52} のコレクタは第 2 オン時間生成用コンデンサ C_3 の一端と MOSFET Q_{53} のドレインとコンパレータ CP_3 の非反転入力端子に接続されている。

10

【 0 0 6 3 】

誤差増幅信号 V_{COMP} 入力端子はコンパレータ CP_3 の反転入力端子とコンパレータ CP_4 の反転入力端子に接続され、第 1 オン時間生成用コンデンサ C_2 の他端は接地されている。コンパレータ CP_4 の出力は RS フリップフロップ FF_4 のリセット端子に接続され、第 1 位相信号 Ph_1 入力端子は MOSFET Q_{54} のゲートと RS フリップフロップ FF_4 のセット端子に接続されている。MOSFET Q_{54} のソースは接地され、RS フリップフロップ FF_4 の出力 Q は PWM 1 出力端に接続されている。

【 0 0 6 4 】

第 2 オン時間生成用コンデンサ C_3 の他端は接地され、コンパレータ CP_3 の出力は RS フリップフロップ FF_3 のリセット端子に接続されている。第 2 位相信号 Ph_2 入力端子は MOSFET Q_{53} のゲートと RS フリップフロップ FF_3 のセット端子に接続されている。MOSFET Q_{53} のソースは接地され、RS フリップフロップ FF_3 の出力 Q は PWM 2 出力端に接続されている。

20

【 0 0 6 5 】

コンパレータ CP_4 と、第 1 オン時間生成用コンデンサ C_2 と、MOSFET Q_{54} と、RS フリップフロップ FF_4 とは第 1 オン時間生成回路を構成している。コンパレータ CP_3 と、第 2 オン時間生成用コンデンサ C_3 と、MOSFET Q_{53} と、RS フリップフロップ FF_3 とは第 2 オン時間生成回路を構成している。

【 0 0 6 6 】

図 9 は図 8 に示すパルス生成器 1 4 の各部の動作波形を示す図である。図 9 において、 V_{COMP} は誤差増幅信号 V_{COMP} 、 V_{c1} は発振用コンデンサ C_1 の両端電圧、 V_{ref} は基準電源 V_{ref} の両端電圧、 Ph_1 は第 1 位相信号 Ph_1 、 Ph_2 は第 2 位相信号 Ph_2 、 V_{c2} は第 1 オン時間生成用コンデンサ C_2 の両端電圧、 V_{c3} は第 2 オン時間生成用コンデンサ C_3 の両端電圧、PWM 1 は第 1 パルス列信号、PWM 2 は第 2 パルス列信号である。

30

【 0 0 6 7 】

第 1 オン時間生成回路（又は第 2 オン時間生成回路）に入力されたオン時間信号 I_{on} は、トランジスタ Q_{50} , Q_{51} , Q_{52} で構成されたカレントミラー回路を介して第 1 オン時間生成用コンデンサ C_2 （又は第 2 オン時間生成用コンデンサ C_3 ）を充電する。第 1 オン時間生成回路（又は第 2 オン時間生成回路）に第 1 位相信号 Ph_1 （又は第 2 位相信号 Ph_2 ）が入力されると、MOSFET Q_{54} （又は MOSFET Q_{53} ）がオンして、第 1 オン時間生成用コンデンサ C_2 （又は第 2 オン時間生成用コンデンサ C_3 ）に蓄積された電荷を放電すると同時に RS フリップフロップ FF_4 （又は RS フリップフロップ FF_3 ）をセットする。

40

【 0 0 6 8 】

第 1 オン時間生成用コンデンサ C_2 （又は第 2 オン時間生成用コンデンサ C_3 ）はオン時間信号 I_{on} によって充電され、両端電圧 V_{c1} 、 V_{c2} が誤差増幅信号 V_{COMP} 以上となると、コンパレータ CP_4 （又はコンパレータ CP_3 ）の出力は“H”になる。コンパレータ CP_4 （又はコンパレータ CP_3 ）の出力が“H”になると、RS フリップフロップ FF_3 はリセットされる。

50

【0069】

RSフリップフロップFF4（又はRSフリップフロップFF3）がリセットされた後も第1オン時間生成用コンデンサC2（又は第2オン時間生成用コンデンサC3）は、オン時間信号Ionにより充電されて上昇する。第1位相信号Ph1（又は第2位相信号Ph2）が入力されると、MOSFETQ54（又はMOSFETQ53）がオンして、第1オン時間生成用コンデンサC2（又は第2オン時間生成用コンデンサC3）に蓄積された電荷を放電すると同時にRSフリップフロップFF4（又はRSフリップフロップFF3）を再セットする。以上の動作を繰り返してパルス生成器14はパルス列を生成する。

【0070】

駆動回路15は、パルス生成器14によって生成された位相の異なるパルス列信号に基づき、スイッチング素子Q1、Q2を駆動する駆動信号を生成してスイッチング素子Q1、Q2を駆動する。

10

【0071】

このように、位相信号を入力電圧と出力電圧と誤差増幅信号との演算結果から求めるので、動作開始直後から良好な位相信号を生成でき、また、リアクトルL1、L2に流れる電流を検出することなく、ゼロ電流状態を検出することができる。このため、補助巻線などの周辺部品が増えることなく、並列に接続されるコンバータ数の増加による回路の複雑化を極力押さえることができ、安価なインターリーブコンバータを提供することができる。

【実施例2】

20

【0072】

図10は本発明の実施例2のインターリーブコンバータを示す回路構成図である。図10において、直流電源からなる入力電源Vinの両端には、MOSFETからなるスイッチング素子Q1と還流ダイオードからなる整流器D3との第1直列回路が接続されている。降圧リアクトルL3は、整流器D3のカソードに一端が接続され他端が平滑コンデンサCoを介して接地されている。

【0073】

入力電源Vinの両端には、MOSFETからなるスイッチング素子Q2と還流ダイオードからなる整流器D4との第2直列回路が接続されている。降圧リアクトルL4は、整流器D4のカソードに一端が接続され他端が平滑コンデンサCoを介して接地されている。

30

【0074】

入力電源Vinの両端には、MOSFETからなるスイッチング素子Q3と還流ダイオードからなる整流器D5との第3直列回路が接続されている。降圧リアクトルL5は、整流器D5のカソードに一端が接続され他端が平滑コンデンサCoを介して接地されている。

【0075】

入力電源Vinの両端には抵抗R1と抵抗R2とからなる第1分圧抵抗が接続され、平滑コンデンサCoの両端には抵抗R3と抵抗R4とからなる第2分圧抵抗が接続されている。制御回路10aは、第1分圧抵抗の midpoint 電圧VINと第2分圧抵抗の midpoint 電圧VFBとに基づき、スイッチング素子Q1、Q2、Q3のゲート駆動信号を生成して出力する。

【0076】

40

制御回路10aは、誤差増幅器11、演算器12a、位相信号生成器13a、パルス生成器14a、駆動回路15aを備える。演算器12aは、第1分圧抵抗の midpoint 電圧VINと第2分圧抵抗の midpoint 電圧VFBと誤差増幅器11からの誤差増幅信号VCOMPとを入力して、これらの電圧を演算して演算出力として、スイッチング素子Q1、Q2、Q3のオン時間に比例した信号であるオン時間信号Ionとスイッチング素子Q1、Q2、Q3のオフ時間に比例した信号であるオフ時間信号Ioffとを生成して出力する。位相信号生成器13aは、オン時間信号Ionとオフ時間信号Ioffとに基づき位相の異なる第1位相信号Ph1と第2位相信号Ph2と第3位相信号Ph3とを生成して出力する。

【0077】

パルス生成器14aは、第1位相信号Ph1と第2位相信号Ph2と第3位相信号Ph3

50

とオン時間信号 I_{on} とに基づき、デューティ比が同等で位相が異なる第 1 パルス列信号 $PWM1$ と第 2 パルス列信号 $PWM2$ と第 3 パルス列信号 $PWM3$ とを生成して出力する。駆動回路 15a は、第 1 パルス列信号 $PWM1$ と第 2 パルス列信号 $PWM2$ と第 3 パルス列信号 $PWM3$ とに基づき、スイッチング素子 $Q1$ を駆動する第 1 駆動信号 V_{dr1} とスイッチング素子 $Q2$ を駆動する第 2 駆動信号 V_{dr2} とスイッチング素子 $Q3$ を駆動する第 3 駆動信号 V_{dr3} を生成して出力する。

【0078】

スイッチング素子 $Q1$ と整流器 $D3$ と降圧リアクトル $L3$ とは第 1 コンバータを構成している。スイッチング素子 $Q2$ と整流器 $D4$ と降圧リアクトル $L4$ とは第 2 コンバータを構成している。スイッチング素子 $Q3$ と整流器 $D5$ と降圧リアクトル $L5$ とは第 3 コンバータを構成している。第 1 コンバータと第 2 コンバータと第 3 コンバータの入出力端のそれぞれは互いに接続され、降圧型インターリーブコンバータを構成している。

10

【0079】

降圧コンバータは、スイッチング素子のオンオフによって、入力電圧 V_{in} よりも低い出力電圧 V_o を出力する。スイッチング素子 $Q1$ (又は $Q2$, $Q3$) のオン期間に、 V_{in} 、 $Q1$ (又は $Q2$, $Q3$)、 $L3$ (又は $L4$, $L5$)、 C_o 、 V_{in} の経路で電流が流れ、降圧リアクトル $L3$ (又は $L4$, $L5$) に磁束エネルギーを蓄積すると同時に平滑コンデンサ C_o に電荷を蓄積する。

【0080】

スイッチング素子 $Q1$ (又は $Q2$, $Q3$) のオフ期間に、 $L3$ (又は $L4$, $L5$)、 C_o 、 $D3$ (又は $D4$, $D5$)、 $L3$ (又は $L4$, $L5$) の経路で電流が流れ、降圧リアクトル $L3$ (又は $L4$, $L5$) に蓄積された磁束エネルギーを放出する。この動作は以下の式で表すことができる。

20

【数 6】

$$\Delta I_L = \left| \frac{V_{in} - V_o}{L} \cdot T_{on} \right| \leq \left| \frac{V_o + V_F}{L} \cdot T_{off} \right| \quad \dots (8)$$

【0081】

ここで、 I_L は降圧リアクトル $L3$ (又は $L4$, $L5$) に流れる電流の変化量、 V_{in} は入力電源 V_{in} の両端電圧、 V_o は平滑コンデンサ C_o の両端電圧、 V_F は整流器 $D3$ (又は $D4$, $D5$) の順方向降下電圧、 L は降圧リアクトル $L3$ (又は $L4$, $L5$) のインダクタンス値、 T_{on} はスイッチング素子 $Q1$ (又は $Q2$, $Q3$) のオン時間、 T_{off} はスイッチング素子 $Q1$ (又は $Q2$, $Q3$) のオフ時間を示す。

30

【0082】

式 (8) をオフ時間 T_{off} について求めると、

【数 7】

$$T_{off} = \frac{V_{in} - V_o}{V_o + V_F} \cdot T_{on} \quad \dots (9)$$

【0083】

となる。

40

【0084】

従って、実施例 1 と同様に演算器 12a によりスイッチング素子 $Q1 \sim Q3$ のオン期間 T_{on} 及びオフ時間 T_{off} 、もしくはオン期間に比例したオン期間信号 I_{on} 、オフ期間に比例したオフ期間信号 I_{off} を求めることができる。

【0085】

図 11 は実施例 2 のインターリーブコンバータ内に設けられた演算器 12a を示す回路構成図である。図 11 に示す演算器 12a は、図 2 に示す演算器 12 に対して、オン時間信号 I_{on} の出力端子に一端が接続され他端が接地された抵抗 R_{on} と、オフ時間信号 I_{off} の出力端子に一端が接続され他端が接地された抵抗 R_{off} とが追加されている。

50

【 0 0 8 6 】

抵抗 R_{on} と抵抗 R_{off} のそれぞれは、演算器 1 2 a によって演算されたオン時間信号 I_{on} とオフ時間信号 I_{off} とを電流信号から電圧信号へと変換する。

【 0 0 8 7 】

図 1 2 は実施例 2 のインターリーブコンバータ内に設けられた位相信号生成器 1 3 a を示す回路構成図である。図 1 2 に示す位相信号生成器 1 3 a において、定電流源 I_{61} は、電源 R_{reg} に一端が接続され、他端が発振用コンデンサ C_5 を介して接地されている。コンパレータ CP_1 は、反転入力端子にオン時間信号 I_{on} が接続され、非反転入力端子に定電流源 I_{61} と発振用コンデンサ C_5 との接続点が接続されている。

【 0 0 8 8 】

定電流源 I_{60} は、電源 R_{reg} に一端が接続され、発振用コンデンサ C_4 を介して接地されている。コンパレータ CP_2 は、反転入力端子にオフ時間信号 I_{off} が接続され、非反転入力端子に定電流源 I_{60} と発振用コンデンサ C_4 との接続点が接続されている。RS フリップフロップ FF_1 は、セット端子にコンパレータ CP_2 の出力が接続され、リセット端子にコンパレータ CP_1 の出力が接続されている。

【 0 0 8 9 】

MOSFET Q_{60} は、定電流源 I_{61} と発振用コンデンサ C_5 との接続点にドレインが接続され、ソースが接地され、ゲートが RS フリップフロップ FF_1 の反転出力 Q_b に接続されている。MOSFET Q_{61} は、定電流源 I_{60} と発振用コンデンサ C_4 との接続点にドレインが接続され、ソースが接地され、ゲートが RS フリップフロップ FF_1 の出力 Q に接続されている。分周回路 1 3 2 a は、RS フリップフロップ FF_1 の出力 Q を入力し、位相信号 Ph_1 、 Ph_2 、 Ph_3 を出力する。

【 0 0 9 0 】

図 1 3 は図 1 2 に示す位相信号生成器内の分周回路 1 3 2 a を示す回路構成図である。図 1 3 に示す分周回路 1 3 2 a において、入力端 IN_1 に接続された T フリップフロップ FF_2 と T フリップフロップ $FF_2 a$ とアンド回路 AND_4 とは、3 進カウンタを構成している。3 進カウンタの下位ビット出力に当たる T フリップフロップ FF_2 の出力 Q_0 は、アンド回路 AND_4 の入力端とアンド回路 AND_3 の入力端に接続されている。

【 0 0 9 1 】

3 進カウンタの上位ビット出力である T フリップフロップの出力 $Q_1 a$ は、アンド回路 AND_4 の他方の入力と遅延回路 DL_1 とアンド回路 AND_5 の入力端と排他的論理和回路 EOR_1 の入力端に接続されている。遅延回路 DL_1 の出力は排他的論理和回路 EOR_1 の他方の入力端に接続され、排他的論理和回路 EOR_1 の出力はアンド回路 AND_5 の他方の入力に接続されている。アンド回路 AND_5 の出力は第 3 位相信号 Ph_3 を出力する。

【 0 0 9 2 】

アンド回路 AND_3 の出力は、遅延回路 DL_2 の入力とアンド回路 AND_6 の入力と排他的論理和回路 EOR_2 の入力端に接続されている。遅延回路 DL_2 の出力は排他的論理和回路 EOR_2 の他方の入力端に接続され、排他的論理和回路 EOR_2 の出力はアンド回路 AND_6 の他方の入力端に接続されている。アンド回路 AND_6 の出力は第 2 位相信号 Ph_2 を出力する。

【 0 0 9 3 】

3 進カウンタの上位ビットの反転信号である T フリップフロップ $FF_2 a$ の反転出力 Q_b は遅延回路 DL_3 の入力とアンド回路 AND_7 の入力と排他的論理和回路 EOR_3 の入力端に接続されている。遅延回路 DL_3 の出力は排他的論理和回路 EOR_3 の他方の入力端に接続され、排他的論理和回路 EOR_3 の出力はアンド回路 AND_7 の他方の入力端に接続されている。アンド回路 AND_7 の出力は第 1 位相信号 Ph_1 を出力する。

【 0 0 9 4 】

図 1 5 は実施例 2 のインターリーブコンバータ内に設けられたパルス生成器 1 4 a を示す回路構成図である。図 1 5 において、オン時間信号 I_{on} 入力端子はコンパレータ CP_3

10

20

30

40

50

、C P 4、C P 5の反転入力端子に接続されている。定電流源I 2 0、I 2 1、I 2 2の一端は電源R_{eg}に接続されている。

【0095】

定電流源I 2 2の他端は第1オン時間生成用コンデンサC 1 1の一端とM O S F E T Q 5 3のドレインとコンパレータC P 3の非反転入力端子に接続され、第1オン時間生成用コンデンサC 1 1の他端及びM O S F E T Q 5 3のソースは接地されている。定電流源I 2 1の他端は第2オン時間生成用コンデンサC 1 2の一端とM O S F E T Q 5 4のドレインとコンパレータC P 4の非反転入力端子に接続され、第2オン時間生成用コンデンサC 1 2の他端及びM O S F E T Q 5 4のソースは接地されている。定電流源I 2 0の他端は第3オン時間生成用コンデンサC 1 3の一端とM O S F E T Q 5 5のドレインとコンパレータC P 5の非反転入力端子に接続され、第3オン時間生成用コンデンサC 1 3の他端及びM O S F E T Q 5 5のソースは接地されている。

10

【0096】

コンパレータC P 3の出力はR SフリップフロップF F 3のリセット端子に接続され、第1位相信号Ph1入力端子はR SフリップフロップF F 3のセット端子に接続され、R SフリップフロップF F 3の出力QはP W M 1出力端に接続されている。R SフリップフロップF F 3の反転出力Q_bはM O S F E T Q 5 3のゲートに接続されている。

【0097】

コンパレータC P 4の出力はR SフリップフロップF F 4のリセット端子に接続され、第2位相信号Ph2入力端子はR SフリップフロップF F 4のセット端子に接続され、R SフリップフロップF F 4の出力QはP W M 2出力端に接続されている。R SフリップフロップF F 4の反転出力Q_bはM O S F E T Q 5 4のゲートに接続されている。

20

【0098】

コンパレータC P 5の出力はR SフリップフロップF F 5のリセット端子に接続され、第3位相信号Ph3入力端子はR SフリップフロップF F 5のセット端子に接続され、R SフリップフロップF F 5の出力QはP W M 3出力端に接続されている。R SフリップフロップF F 5の反転出力Q_bはM O S F E T Q 5 5のゲートに接続されている。

【0099】

コンパレータC P 3と、第1オン時間生成用コンデンサC 1 1と、M O S F E T Q 5 3と、R SフリップフロップF F 3とは第1オン時間生成回路を構成している。コンパレータC P 4と、第2オン時間生成用コンデンサC 1 2と、M O S F E T Q 5 4と、R SフリップフロップF F 4とは第2オン時間生成回路を構成している。コンパレータC P 5と、第3オン時間生成用コンデンサC 1 3と、M O S F E T Q 5 5と、R SフリップフロップF F 5とは第3オン時間生成回路を構成している。位相信号生成器1 3 aは、3つのコンパレータを制御するための位相信号を生成する。このため、発振用コンデンサC 4、C 5の充放電の周波数を本来の発振周波数の3倍となるように、定電流源I 6 0、I 6 1の電流値を調整するか、発振用コンデンサC 4、C 5を1/3の値に調整している。

30

【0100】

図1 4は図1 2に示す位相信号生成器1 3 aの各部の動作波形を示す図である。図1 4に示すI_{on}はオン時間信号I_{on}、V_{c4}は発振用コンデンサC 4の両端電圧、I_{off}はオフ時間信号I_{off}、V_{c5}は発振用コンデンサC 5の両端電圧、C P 1はコンパレータC P 1の出力信号、C P 2はコンパレータC P 2の出力信号、F F 2 QはR SフリップフロップF F 2の出力信号、Q 0は3進カウンタの下位ビット出力、Q 1 aは3進カウンタの上位ビット出力、Ph1は第1位相信号、Ph2は第2位相信号、Ph3は第3位相信号、V_{c11}はオン時間生成用コンデンサC 1 1の両端電圧、V_{c12}はオン時間生成用コンデンサC 1 2の両端電圧、V_{c13}はオン時間生成用コンデンサC 1 3の両端電圧、P W M 1は第1パルス列信号、P W M 2は第2パルス列信号、P W M 3は第3パルス列信号である。

40

【0101】

次に、位相信号生成器1 3 aの動作を図1 4を参照しながら説明する。まず、R SフリップフロップF F 1がセット状態のときM O S F E T Q 6 1はオン状態で、M O S F E T

50

Q60はオフ状態である。MOSFETQ61がオン状態であるため、発振用コンデンサC4は放電され、MOSFETQ60がオフ状態であるため、発振用コンデンサC5は、定電流源I61によって充電され、両端電圧が上昇する。

【0102】

発振用コンデンサC5の両端電圧がオン時間信号Ionの電位以上に充電されると、コンパレータCP1の出力が“L”から“H”に切り替わり、RSフリップフロップFF1をリセットする。RSフリップフロップFF1がリセットされると、MOSFETQ60がオン状態となり、発振用コンデンサC5を放電させると同時に、MOSFETQ61がオフ状態となる。

【0103】

MOSFETQ61がオフ状態となると、発振用コンデンサC4が定電流源I60によって充電される。発振用コンデンサC4がオフ時間信号Ioffの電位まで充電されると、コンパレータCP2が“L”から“H”に変化し、RSフリップフロップFF1をセットする。以上の動作を繰り返し、RSフリップフロップFF1の出力はパルス列信号を出力する。このパルス列信号は、オン時間信号Ionとオフ時間信号Ioffによってそれぞれ“H”レベルと“L”レベルの比率および周波数が変化する。

【0104】

RSフリップフロップFF1の出力信号は分周回路132aに入力されると、3進カウンタによって3分周され、上位ビットQ1aと下位ビットQ0のデジタル信号に変換される。変換されたパルス列信号は、アンド回路AND3～AND7と排他的論理和回路EOR1～EOR3と遅延回路DL1～DL3とで構成されたパルス生成器によって、それぞれに約120度位相がずれたパルス列信号Ph1, Ph2, Ph3に変換される。

【0105】

パルス列信号Ph1, Ph2, Ph3は図15に示すパルス生成器14aにそれぞれ入力されて、位相の異なるパルス列信号PWM1, PWM2, PWM3が生成される。各パルス列信号PWM1, PWM2, PWM3は、駆動回路15aによってスイッチング素子Q1～Q3を駆動する駆動信号Vdr1, Vdr2, Vdr3となり、インターリーブコンバータを動作させることができる。

【0106】

このように、実施例2のインターリーブコンバータによれば、実施例1のインターリーブコンバータと同様な効果が得られる。

なお、本発明は、上述した実施例1及び2に限定されるものではない。実施例において、演算器12, 12aにアナログ演算器を用いたが、デジタル演算器を用いてもよい。また、コンバータ回路も昇圧コンバータ、降圧コンバータ以外に昇降圧コンバータであっても良い。あるいは、フォワードコンバータ、フライバックコンバータ、共振型コンバータであっても良い。また、演算器12, 12aにおいて整流器D1～D5の順方向降下電圧を省略したが、考慮して補正信号を付加しても良い。

【0107】

また、並列に接続されるコンバータ数が増加した場合にも、発振用コンデンサの発振周波数をコンバータ数に合わせて高周波化し分周回路の分周数を増やすことで対応することができる。

【産業上の利用可能性】

【0108】

本発明は、複数のコンバータを並列に接続し、位相をずらして制御する場合の制御方式として使用可能である。

【符号の説明】

【0109】

- 10, 10a 制御回路
- 11 誤差増幅器
- 12, 12a 演算器

10

20

30

40

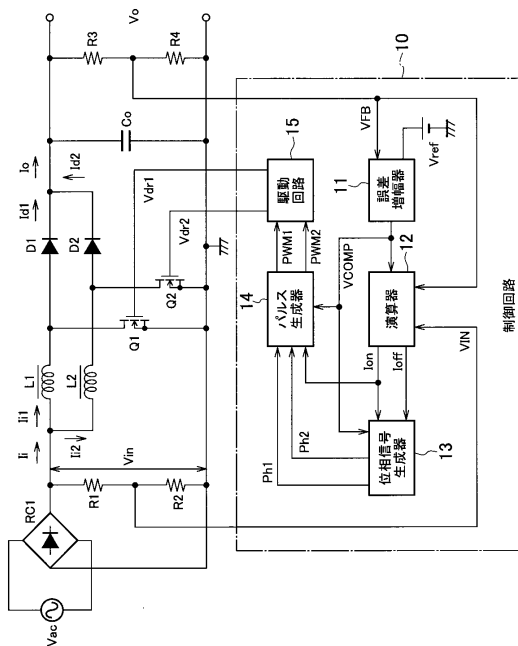
50

- 1 3 , 1 3 a 位相信号生成器
- 1 4 , 1 4 a パルス生成器
- 1 5 , 1 5 a 駆動回路
- 1 2 1 第1カレントミラー回路
- 1 2 2 , 1 2 2 a , 1 2 3 , 1 2 3 a 乗除算回路
- 1 3 2 , 1 3 2 a 分周回路
- Vac 交流電源
- Vin 入力電源
- L 1 , L 2 昇圧リアクトル
- L 3 , L 4 , L 5 降圧リアクトル
- Q 1 , Q 2 , Q 3 スイッチング素子
- D 1 ~ D 5 整流器
- C o 平滑コンデンサ
- R 1 , R 2 , R 3 , R 4 抵抗
- A P 1 ~ A P 3 オペアンプ
- C P 1 ~ C P 5 コンパレータ
- E O R 1 , E O R 2 , E O R 3 排他的論理和回路
- I N V 1 インバータ
- D L 1 , D L 2 , D L 3 遅延回路
- F F 1 , F F 3 , F F 4 , F F 5 R Sフリップフロップ
- F F 2 , F F 2 a Tフリップフロップ
- A N D 1 ~ A N D 7 アンド回路
- C 1 ~ C 5 コンデンサ

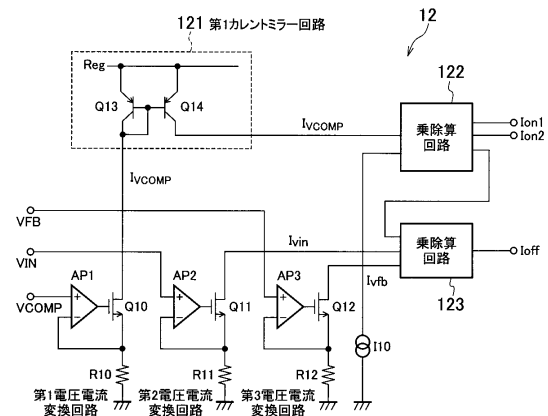
10

20

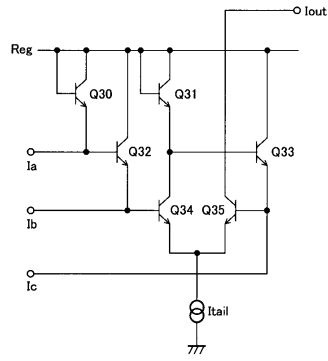
【図1】



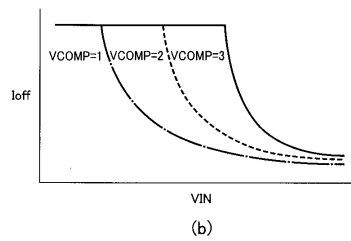
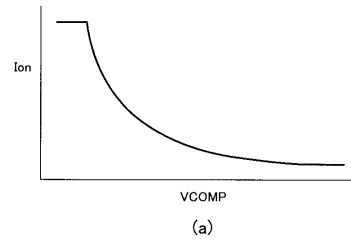
【図2】



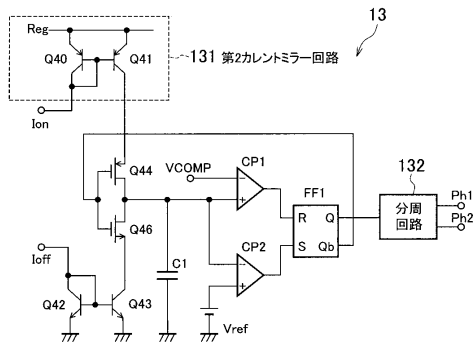
【図3】



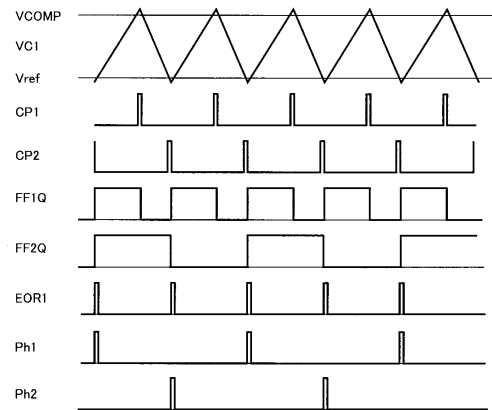
【図4】



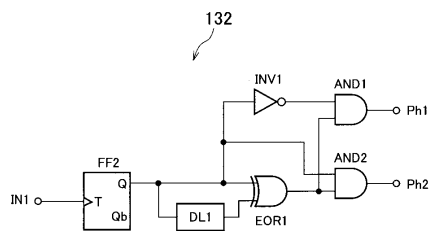
【図5】



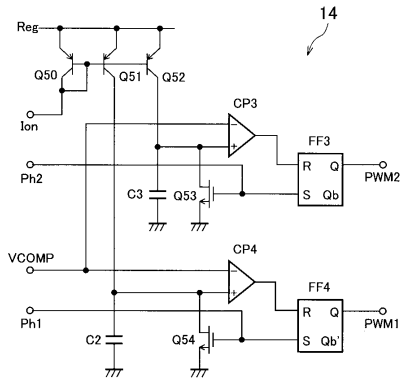
【図7】



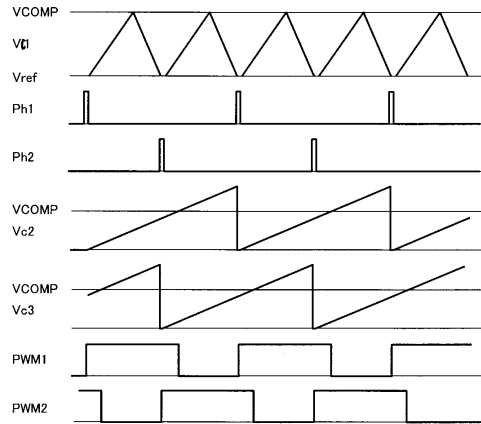
【図6】



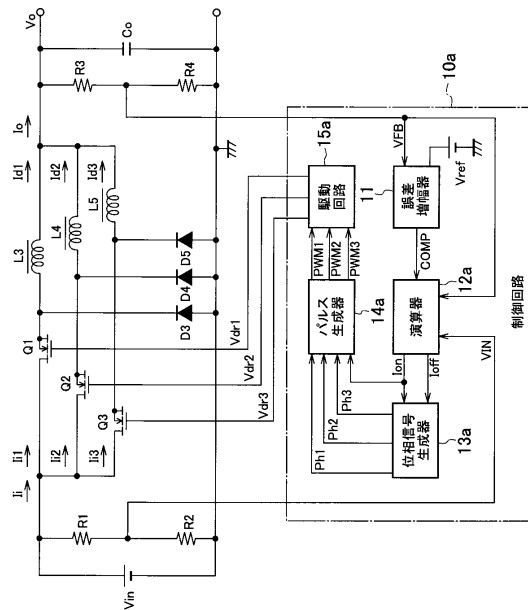
【 図 8 】



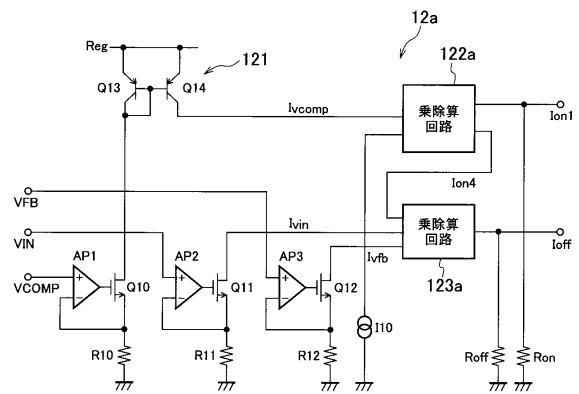
【 図 9 】



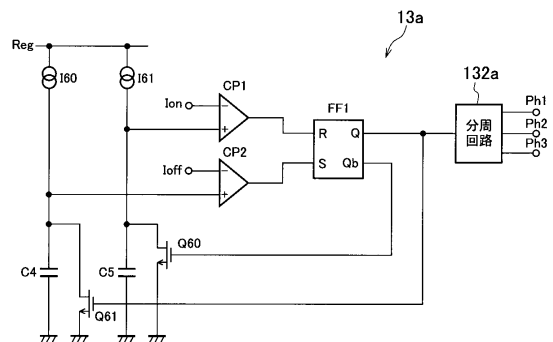
【 図 10 】



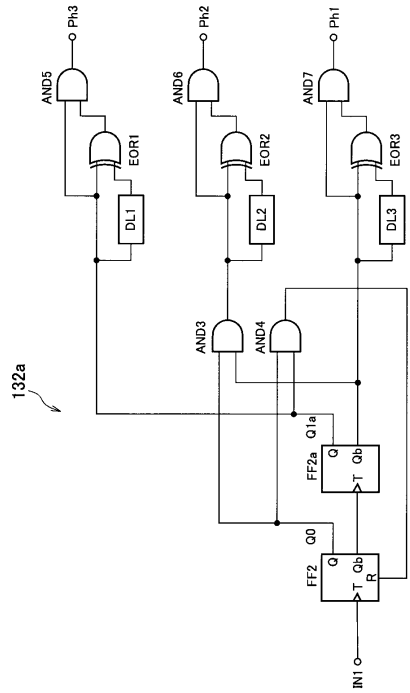
【 図 11 】



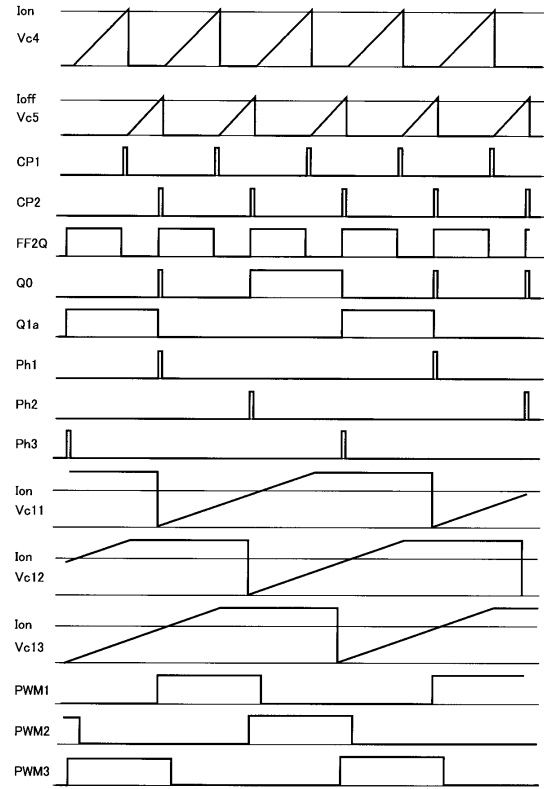
【 図 12 】



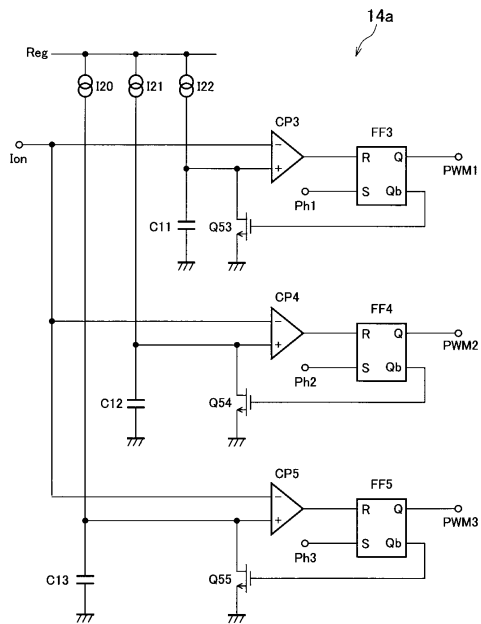
【 図 1 3 】



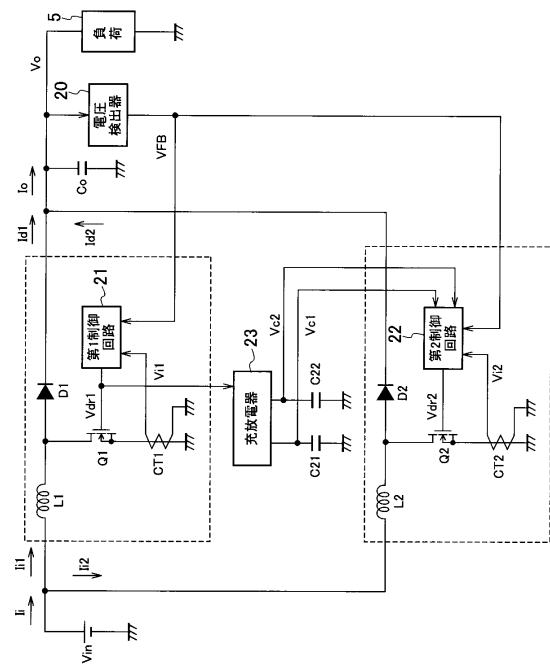
【 図 1 4 】



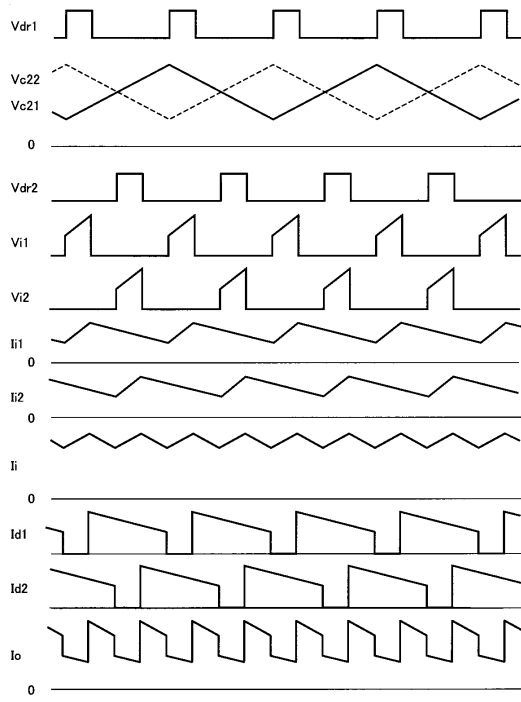
【 図 1 5 】



【 図 1 6 】



【 図 17 】



フロントページの続き

(72)発明者 大坂 昇平
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

審査官 槻木澤 昌司

(56)参考文献 特開2006-136046(JP,A)
特開2007-202342(JP,A)
大坂 昇平, 8ピン2相DCMインターリーブPFCコントロールIC SSC2101, サンケン技報(2009年版), 日本, サンケン電気株式会社, 2009年, 2009年版, p.27-p.30, http://www.sanken-ele.co.jp/prod/gihou/pdf/gihou_05.pdf

(58)調査した分野(Int.Cl., DB名)
H02M 3/155