

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 23/28

(45) 공고일자 1991년06월04일  
(11) 공고번호 특1991-0003542

(21) 출원번호	특1988-0010738	(65) 공개번호	특1989-0004428
(22) 출원일자	1988년08월24일	(43) 공개일자	1989년04월22일
(30) 우선권 주장	62-214319 1987년08월28일 일본(JP)		
(71) 출원인	가부시기가이샤 도시바 아오이 조이치		
	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		
(72) 발명자	사코 시게키		
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부		
	시기가이샤 도시바 다마가와공장내		
(74) 대리인	김윤배		

심사관 : 유환열 (책자공보 제2313호)

(54) 수지밀폐형소자 및 그 제조방법

### 요약

내용 없음.

### 대표도

### 도1

### 명세서

[발명의 명칭]

수지밀폐형소자 및 그 제조방법

[도면의 간단한 설명]

제 1 도는 발포체가 칩소자위에 도포된 상태의 종래 수지밀폐형소자 단면도.

제 2 도는 칩소자를 둘러싸는 중공부를 갖는 종래 수지밀폐형소자의 단면도.

제 3 도는 본 발명의 실시예.

제 4 도는 본 발명에 따른 아일랜드부의 제1실시예.

제 5 도는 본 발명에 따른 칩소자위에 발포체가 도포된 상태를 보여주는 단면도.

제 6 도는 본 발명에 따른 아일랜드부의 제2실시예.

제 7 도는 본 발명에 따른 아일랜드부의 제3실시예.

제 8 도는 본발명에 따른 아일랜드부의 제4실시예.

제 9a 도 및 제 9b 도는 본 발명에 따른 다른 실시예의 평면도 및 단면도.

제 10a 도 및 제 10b 도는 본 발명에 따른 또 다른 실시예의 평면도 및 단면도이다.

\* 도면의 주요부분에 대한 부호의 설명

10,30,60,70,80,90,110,120,130 : 칩소자

11,31,41,51,61,71,111 : 아일랜드부

12,35,36,65,66,115,116 : 내부리드

13,33,34,63,73,151,152,154 : 본딩와이어

14,40 : 발포체 27,37,67,77,117 : 중공부

21,38,68,100,150 : 수지패키지 32,42,52,62,72,112 : 측벽부

31A,41A,51A,75,85,95 : 리드부 32A : 측부

39,43,53 : 요홈부 55 :접속부

69 : 오목부

113, 123, 133 : 구멍

112 : PCB

140, 141 : 프린트배선

## [발명의 상세한 설명]

본 발명은 수지밀폐형소자 및 그 제조방법에 관한 것으로, 특히 반도체칩이라던가 표면탄성파소자와 같은 칩소자의 밀봉상태를 유지토록 하기 위한 중공부를 갖춘수지밀폐형소자 및 그 제조 방법에 관한 것이다.

일반적으로 표면탄성파소자를 수지물로 밀폐시키는 경우에는 표면탄성파소자의 진동을 허용하는 중공부를 칩소자위쪽에다 형성시켜 놓는 것이 필요하게 되고, 이에 대해 종래에도 일본국 특허공개 제 60-53058호에 중공부를 갖춘 수지밀폐형소자의 구조 및 그 제조방법이 소개되고 있다. 즉, 이는 제 1 도 및 제 2 도에 도시된 바와 같이, 먼저 리드프레임의 아일랜드(11)상에 설치된 보딩와이어(13)와 내부리드(12)에 접속된 칩소자(10)표면에 에탄올에 희석시킨 발포체(14)를 도포한 다음 에탄올을 휘발시켜 수지밀폐공정을 실행하도록 되어 있는데, 이 밀폐공정에서 발포체(14)를 발포시켜 제2도와 같이 중공부(27)를 칩(10)표면에다 형성시키도록 되어 있다.

그리고, 이와 같은 종래의 수지밀폐형소자는 아일랜드부(11)가 평판형으로 되어 있어 동형중공부를 형성 시키기 위해서는 발포체(14)를 그 표면장력을 이용해서 동형으로 도포시키고나서 밀폐공정에서 특수온도로 발포체를 팽창시킴으로써, 제2도에 도시된 바와 같이 동형중공부(27)를 형성시켜 주도록 되어 있다.

그런데 상기 아일랜드부(11)에서 칩소자(10)의 면적 비율이 클 경우에는 칩소자(10)위에 충분한 두께의 발포체를 도포시키기가 어렵고, 특히 칩소자(10)의 가장자리 부위에서 중공부(27)가 너무 좁아지게 되는 것이 문제로 되고 있어서, 발포체를 충분한 두께로 유지시켜지도록 하기 위해 발포체의 점도를 증가시켜 주고 있었다.

그러나 이와 같은 경우에는 본딩와이어가 큰 스트레스를 받게 되어, 스트레스에 의해 본딩와이어의 루프가 손상되게 될 뿐만아니라 때때로 칩소자와 본딩와이어가 접촉되게 되며, 더구나 높은 점성 때문에 칩소자 위에 균일한 두께로 발포체를 도포시키는 것이 곤란해서 원하는 중공부를 형성시키기가 어려웠다. 또 중공부가 불완전해서 내부벽이 칩소자에 접촉하게 되면 신뢰도를 테스트하는 동안 칩소자에 열싸이클이 작용해서 수축되기 때문에 스트레스가 발생하게 되고, 그 때문에 칩소자의 열화가 초래되게 되는바, 이런 문제들을 표면탄성파소자 뿐만 아니라 반도체소자와 같은 다른 칩소자들에게도 발생하고 있다.

이에 본 발명은 상기과 같은 문제점을 해결하기 위한발명된 것으로, 칩소자에 열스트레스가 가해지지 않도록 칩소자 위쪽에다 큰 중공부를 갖는 수지밀폐형소자 및 그 제조방법을 제공함을 그 목적으로 한다. 이와같은 목적을 달성하기 위한 본 발명 수지밀폐소자는 칩소자와, 이 칩소자를 지지하기 위한 아일랜드부, 상기 칩소자를 부분적으로 둘러싸는 측벽부 및, 상기 칩소자를 밀폐하면서 이 칩소자가 수지패키지와 접촉되지 않도록 분리시켜 주기 위해 상기 측벽부 이내로 중공(中空)을 부분적으로 한정해 주는패키지로 구성된다. 그리고 이상과 같은 수지밀폐형소자를 제조함에는, 측벽부를 갖는 아일랜드부를 준비하는 단계와 상기 측벽부에 의해 부분적으로 칩소자를 둘러싸도록 상기 아일랜드부상에 칩소자를 본딩해 주는 단계, 상자를 둘러싸는 중공부를 형성시키기 위해 임시도포물질을 제거시키는 단계로 이루어지게 된다.

이하 본 발명을 도면을 참조해서 상세히 설명한다.

제 3 도는 본 발명의 일실시예가 도시된 단면도로써, 밀폐형소자가 아일랜드부(31)위에 결합된 칩소자(30)인 예컨대 표면탄성파소자로 구성되고, 아일랜드부(31)에는 상기 칩소자(30)를 둘러싸도록 그 주변부에 측벽부(32)가 형성됨과 더불어 중공부(37)가 상기 칩소자(30)를 둘러싸도록 되어 있으며, 이 칩소자(30)는 본딩와이어(33,34)를 매개로 내부리드(35,36)와 연결되고, 상기 측벽부(32)는 중공부(37)의 양측부를 이루면서 상기 중공부(37)의 가장자리 부위높이가 아일랜드(31)의표면보다 상대적으로 높도록 되어 수지패키지(38)로부터 칩소자(30)를 분리시키기 위한 충분한 공간이 확보되도록 되어 있다.

한편 제 4 도를 참조해서 본 발명 수지밀폐형소자를 제조하는 과정을 설명하면, 먼저 리드프레임을 준비해서 예컨대 프레스공정으로 측부(32A)를 절곡시켜 측벽부(32)와 아일랜드부(31) 및 패키지(도시되지 않음)안에 아일랜드부(31)를 지지하기 위한 리드부(31A)를 형성하는 바, 이때 리드부(31A)가 형성됨에 따라 요홈부(39)가 형성되게 된다.

여기서 측벽부(32)의 높이는 아일랜드부(31)에 결합하는 칩소자(30)의 높이보다 거의 같거나 보다 조금 높아지게 되는데, 칩소자(30)와 내부리드 사이를 와이어본딩 해 주기 위해서는 내부리드(35,36)표면과 칩소자(30)표면이 일치시켜지도록 리드프레임의 아일랜드부(31)를 낮추어 주는 것이 좋다. 제5도에는 아일랜드부(31)가 낮춰진 실시예가 도시되어져 있다.

이어 칩소자(30)를 아일랜드부(31)위에 접촉시키고나서 와이어본딩을 실시해서 칩소자(30)와 내부리드(35,36)를 접속시킨다. 그리고 적당량의 임시도포물질을 칩소자(30)표면에다 도포하게 되는바, 이 경우에 예를들어 에탄올 또는 왁스, 즉 파라핀과 같은 승화성물질과 함께 희석시킨 발포체(40)가 임시도포물질로 사용된다. 이렇게 에탄올에 희석시킨 발포체를 사용하는 경우에는 다음과 같이 되는바, 즉 요홈부(39)의 폭이 약0.3mm 보다 좁게 되면 표면장력 때문에 요홈부(29)를 통해 발포체(40)의 누출이 방지되고, 발포체(40)의 중앙부가 표면장력에 따라 동형이 형성되도록 팽창시켜지게 된다. 따라서 발포체가 칩소자(30)의 마운트부에서 충분한 두께로 형성되고, 측벽부(32)의 부근에서는 적어도 이 측벽부(32)높이보다 두꺼운 충분한 두께의 발포체가 형성되게 된다.

다음 예컨대 이동성형공정을 이용하는 밀폐단계가 약175℃에서 이루어지는데, 이 단계에서는 발포체의 발포시점이 성형온도 이하이기 때문에 발포체의 발포가 동시에 이루어지게 되는바, 여기서

에조비스.이소.브티로.니트ريد(AIBN:azobis.iso.butryro.nitride)가 발포체로 사용될 때는 발포체의 발포시작온도가 106℃로 된다.

이와 같은 제조방법에서, 임시로 충분한 두께로 칩소자를 도포시켜 놓은 발포체를 제거하게 되면 중공부로 되는 충분한 공간이 얻어지게 됨으로써 표면탄성파소자가 적당히 진동될 수 있게 되고, 더욱이 충분한 두께로 형성되게 됨으로써 점성이 높은 발포체를 사용할 필요가 없게 됨으로, 본딩와이어의 스트레스가 감소되어 본딩와이어의 루프가 양호해지게 된다.

한편 파라핀과 같은 왁스류의 승화성물질이 임시도포물질로 사용되는 경우에는, 승화시작온도가 약 60℃가 되므로 중공부가 성형공정에서 형성되게 된다.

제 6 도는 본 발명에서의 아일랜드부에 대한 제2실시예로서, 측벽부(42)에 다수의 요홈부(43)가 간간히 형성되어져 있는데, 이측벽부(42)는 프레스 공정에서 아일랜드부(41)의 측부를 절곡시켜 형성시킨다. 여기서 프레스로 측벽부(42)를 절곡시키는 단계는 비교적 쉽게 이루어지게 되고, 또 발포체는 중공부가 형성되는 동안 다수의 요홈부(43)를 통해 쉽게 발포되게 된다.

제 7 도는 본 발명에서의 다른 아일랜드부에 대한 제3실시예로서, 요홈부(53)가 측벽부(52)에 형성되면서 이측벽부(52)가 접속부(55)에 접속된 구조로 되어 있는바, 이러한 구조는 측벽부(52)가 제 6 도에 도시된 실시예에 비해 더욱 견고해 지게 되고, 상기 요홈부(53)를 통하여 칩소자(도시되지 않음)와 내부리드선사이의 와이어본딩이 이루어지게 된다.

제 8 도는 본 발명에서의 아일랜드부에 대한 제4실시예로서, 오목부(69)가 형성된 오목부(69)가 프레스공정으로 형성시켜짐과 더불어, 측벽부(62)와 칩소자(60)상에 임시도포물질이 충분한 두께로 도포시켜질 수 있도록 되어 있다.

따라서 중공부(67)의 충분한 공간이 형성되고, 칩소자(60)는 본딩와이어(63,64)를 매개로 내부리드(65,66)에 각각 접속시켜진 다음 수지패키지(68)로 밀폐시켜지게 된다.

또한 본 실시예는 멀티 칩(multi-chip)형 수지밀폐형소자에도 적용시킬 수가 있는바, 이때는 적어도 칩소자의 하나가 중공부로 둘러싸여지도록 하는 것이 필요하게 된다.

제9a 및 9b 도는 멀티칩형수지밀폐형소자의 실시예가 도시된 것으로, 여기서는 칩소자(70,80,90)들이 밀폐된 구조로 되어 있다.

제 9a 도는 수지밀폐형소자의 평면도로서, 각 칩소자(70,80,90)가 각 아일랜드부의 리드부(75,85,95)상에 결합되어 본딩와이어와 대응되는 내부리드에 접속되게 된다.

제 9b 도는 제 9a 도의 II-II선 단면도로서, 칩소자(70)를 지지하게 되는 아일랜드부(71)에 측벽부(72)가 구비되고, 중공부(77)는 칩소자(70)를 둘러싸도록 형성되어져 있다.

제 10a 도 및 제 10b 도는 본 발명의 또다른 실시예로서 싱글(single) 아일랜드부(111)위에 다수의 칩소자(110,120,130)가 결합된 것인데, 제 10a 도는 수지밀폐형소자의 평면도이고, 제 10b 도는 제 10a 도의 III-III선 단면도인바, 여기서 다수의 구멍(113,123,133)을 갖는 PCB(112)가 아일랜드부(111)상에 고정되면서 칩소자(110)가 상기 구멍(113)내에 결합되도록 되어 있다. 도면에서 본딩와이어의 도시는 생략하였다. 그리고, 상기 칩소자(110)는 구멍(113) 중심부의 아일랜드부(111)상에 결합되면서 충분한 공간으로 칩소자를 둘러싸는 중공부(117)와 함께 수지패키지(150)로 밀폐시켜져 있다. 또 제 10b 도에 도시된 바와 같이 PCB(112)구멍의 벽부 또는 측벽부는 칩소자를 덮어주게 되고, PCB(112)는 약 0.5mm 두께의 세라믹과 같은 절연재질로 만들어져, 칩소자(110)가 본딩와이어(152,153)와 함께 프린트 배선(140,141)에 접속됨과 더불어 프린트 배선(140,141)과 본딩와이어(151,154)를 매개로 내부리드(115,116)로 연결되어져 있다.

상기와 같이 본 발명은, 칩소자를 연속적 또는 간간히 둘러싸는 측벽부가 형성시켜짐에 따라 수지밀폐형 소자마운트부상에 승화성물질 등이 안전하고 충분히 도포될 수가 있어서, 수지밀폐형 소자와 수지가 접촉되지 않는 중공구조가 확실하게 형성시켜지게 됨으로써 소자의 특성 및 신뢰성이 향상되게 되고, 또 가령 듀얼 인 라인 패키지(DIP : Dual In-Line Packages)라던가 플랫 패키지(FD : Flat packages) 쿼즈 플랫 패키지(QFP : Quad Flat packages) 플라스틱 리드 칩 캐리어스(PLC : Plastic Leaded Chip Carriers) 및 싱글 인 라인 패키지 소자(Single In-Line package Devices)와 같은 여러 가지 형태의 수지밀폐형소자에 적용할 수 있게 되는 장점이 있다.

## (57) 청구의 범위

### 청구항 1

칩소자와, 이 칩소자를 지지해 주는 아일랜드부, 상기 칩소자를 부분적으로 둘러싸는 측벽부, 칩소자를 둘러싸면서 이 칩소자를 수지패키지와 접촉하지 못하도록 분리시키기 위해 측벽부내에 부분적으로 중공부를 한정시켜 주는 패키지로 구성된 수지밀폐형소자.

### 청구항 2

제 1 항에 있어서, 상기 측벽부에 다수의 요홈부가 형성된 것을 특징으로 하는 수지밀폐형소자.

### 청구항 3

제 1 항에 있어서, 상기 칩소자에 소정횟수의 측면이 형성되고, 상기 측벽부는 상기 칩소자의 측면과 대체로 같은 길이만큼 상기 아일랜드부로부터 연장 형성된 것을 특징으로 하는 수지밀폐형소자.

### 청구항 4

제 1 항에 있어서, 칩소자가 표면탄성파소자로 된 것을 특징으로 하는 수지밀폐형소자.

#### 청구항 5

제 1 항에 있어서, 상기 아일랜드부에 밀폐소자의 외부면의 일부를 한정해 주기 위한 평면이 형성된 것을 특징으로 하는 수지밀폐형소자.

#### 청구항 6

제 1 항에 있어서, 상기 측벽부가 절연물질로 된 것을 특징으로 하는 수지밀폐형소자.

#### 청구항 7

제 6 항에 있어서, 상기 절연물질이 칩소자에 전기적으로 연결되는 와이어리드를 갖는 회로기판을 둘러싸도록 된 것을 특징으로 하는 수지밀폐형소자.

#### 청구항 8

중공부와 함께 소자내에 밀폐된 아일랜드부위에 칩소자가 설치되는 밀폐형소자에 있어서, 상기 아일랜드부에 부분적으로 칩소자를 둘러싸면서 부분적으로 중공부를 한정해 주는 측벽부가 형성된 것을 특징으로 하는 수지밀폐형소자.

#### 청구항 9

제 8 항에 있어서, 상기 측벽부에 다수의 요홈부가 형성된 것을 특징으로 하는 수지밀폐형소자.

#### 청구항 10

제 9 항에 있어서, 상기 요홈부를 통해 와이어가 칩소자에 연결되도록 된 것을 특징으로 하는 수지밀폐형소자.

#### 청구항 11

측벽부가 형성된 아일랜드부를 준비해서, 상기 측벽부가 칩소자를 부분적으로 둘러싸도록 상기 아일랜드부 위에 칩소자를 본딩한 다음, 칩소자표면에다 임시도포물질을 도포하고나서 밀폐물질로 칩소자를 밀폐하고, 이어 칩소자를 덮는 중공부가 형성되도록 상기 임시도포물질을 제거해 주도록 된 수지밀폐형소자의 제조방법.

#### 청구항 12

제 11 항에 있어서, 상기 아일랜드부를 준비하는 단계에서 리드프레임의 아일랜드주변부를 절곡시켜 주도록 된 것을 특징으로 하는 수지밀폐형소자의 제조방법.

#### 청구항 13

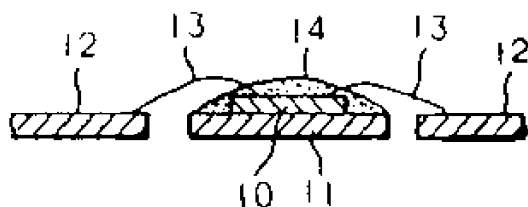
제 11 항에 있어서, 상기 임시도포물질로서 발포체를 쓰도록 된 것을 특징으로 하는 수지밀폐형소자의 제조방법.

#### 청구항 14

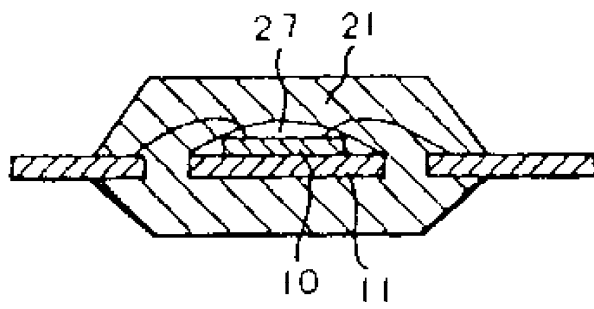
제 11 항에 있어서, 임시도포물질의 제거가 임시도포물질을 승화시킴으로서 이루어지도록 된 것을 특징으로 하는 수지밀폐형소자의 제조방법.

### 도면

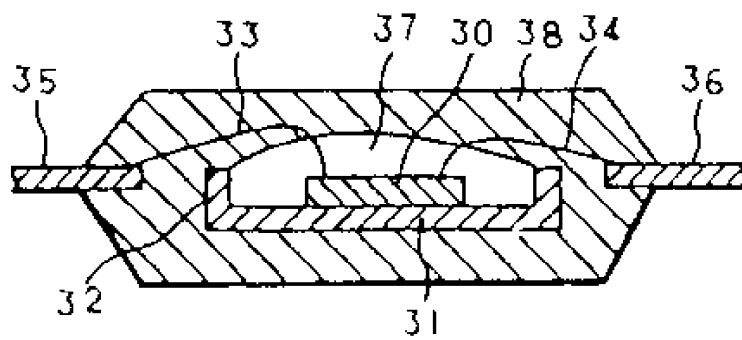
#### 도면1



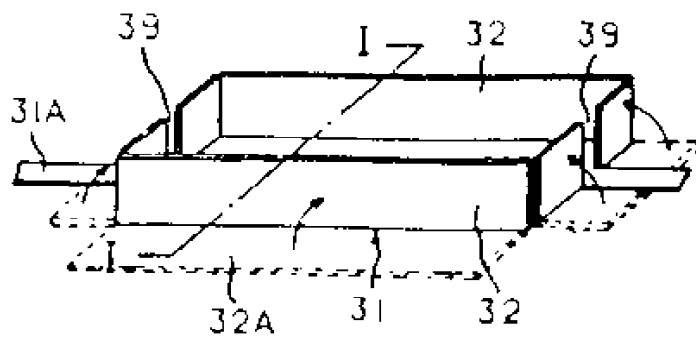
도면2



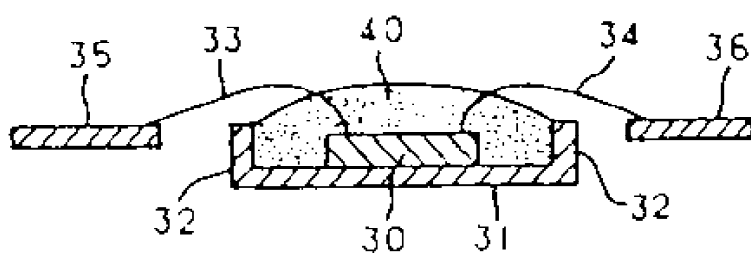
도면3



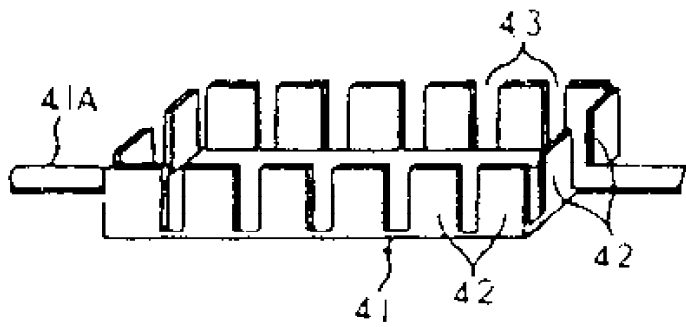
도면4



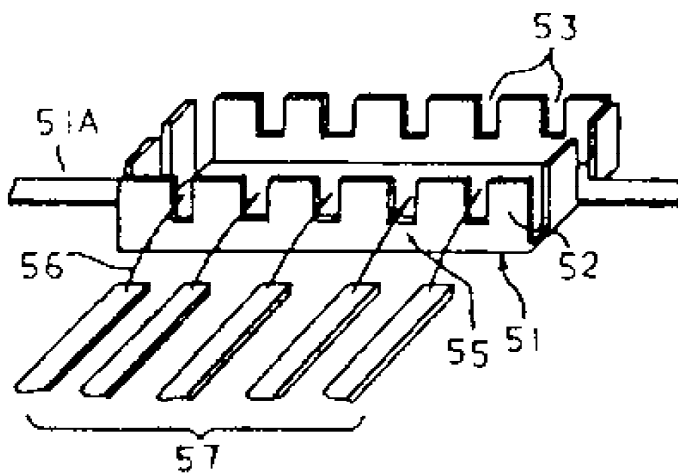
도면5



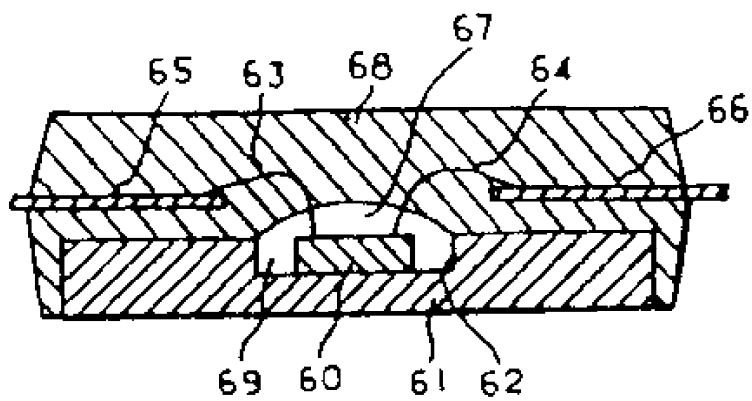
도면6



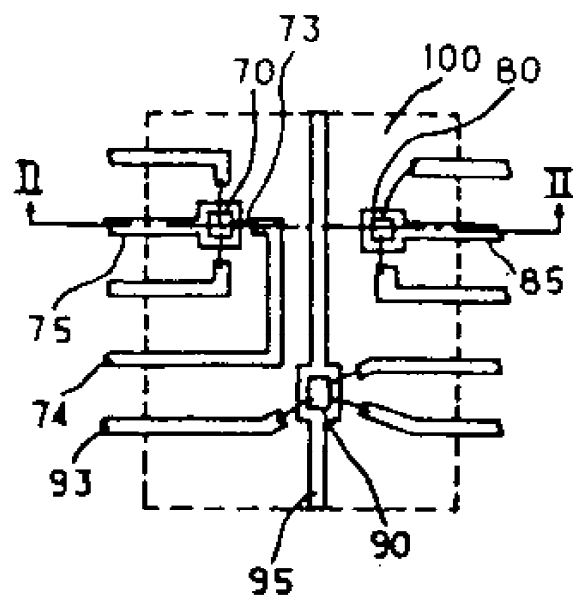
도면7



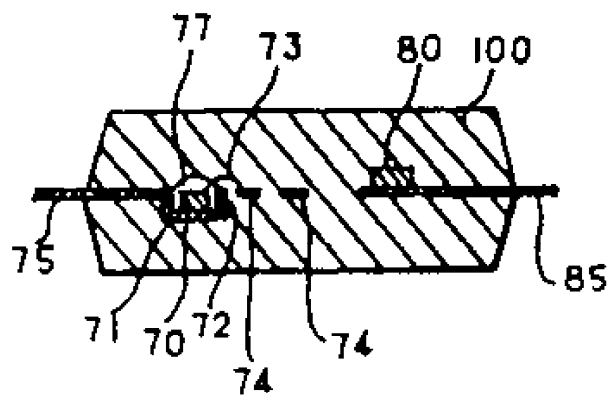
도면8



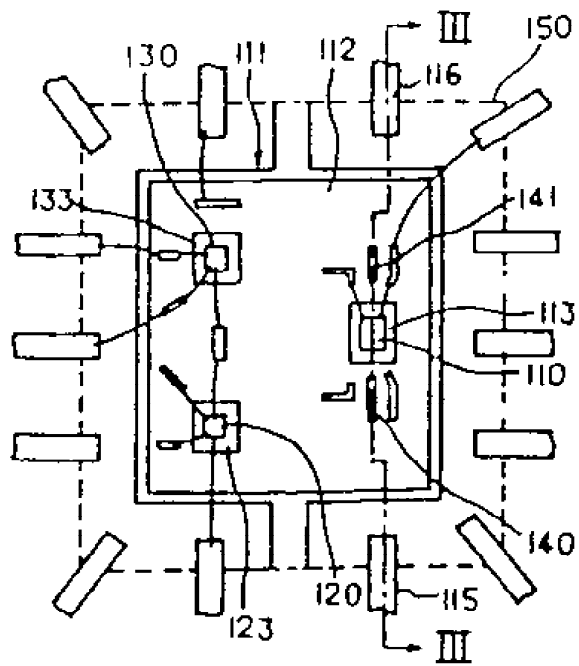
도면9-A



도면9-B



도면 10-A



도면 10-B

