



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0065249
(43) 공개일자 2012년06월20일

(51) 국제특허분류(Int. C1.)

G02F 1/1368 (2006.01)

(21) 출원번호 10-2011-0130968

(22) 출원일자 2011년12월08일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-275919 2010년12월10일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

구와바라 히데아키

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

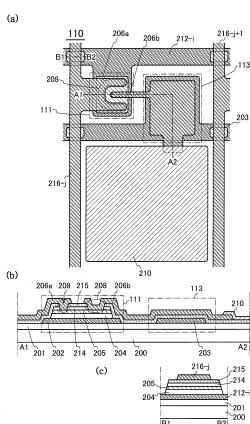
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치, 및 그 제작 방법

(57) 요약

트랜지스터의 게이트 전극이 되는 도전층, 게이트 절연층이 되는 절연층, 반도체층 및 채널 보호층이 되는 절연층을 연속적으로 형성한다. 게이트 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)과 섬 형상 반도체층의 형성을, 1회의 포토리소그래피 공정으로 행한다. 상기 포토리소그래피 공정과, 콘택트 홀을 형성하는 포토리소그래피 공정과, 소스 전극 및 드레인 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)을 형성하는 포토리소그래피 공정과, 화소 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)을 형성하는 포토리소그래피 공정의, 4개의 포토리소그래피 공정으로 표시 장치를 제작한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

게이트 전극;

게이트 절연층;

반도체층;

채널 보호층;

소스 전극; 및

드레인 전극을 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 채널 보호층의 콘택트 홀들을 통해 상기 반도체층에 전기적으로 접속되고,

상기 드레인 전극은 화소 전극에 전기적으로 접속되고,

일 측면 상의 상기 게이트 절연층, 상기 반도체층, 및 상기 채널 보호층의 측면들은 대체로 서로 나란히 정렬되는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 게이트 전극은 상기 반도체층과 중첩하고,

상기 게이트 전극의 단부는 상기 반도체층의 단부 외측으로 돌출되는, 표시 장치.

청구항 3

제 1 항에 있어서,

상기 반도체층은 산화물 반도체층인, 표시 장치.

청구항 4

제 1 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극은 구리를 함유하는 재료를 포함하는, 표시 장치.

청구항 5

제 1 항에 있어서,

상기 게이트 전극 아래에 기저층이 형성되는, 표시 장치.

청구항 6

트랜지스터; 및

용량 소자를 포함하는, 표시 장치로서,

상기 트랜지스터는,

게이트 전극 위에 형성된 게이트 절연층;

상기 게이트 절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 제 1 채널 보호층;

상기 제 1 채널 보호층 위에 형성된 제 2 채널 보호층; 및

상기 제 2 채널 보호층 위에 형성되고, 상기 제 1 채널 보호층 및 상기 제 2 채널 보호층의 콘택트홀을 통하여 상기 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하고,

상기 드레인 전극은 화소 전극에 전기적으로 접속되고,

일 측면 상의 상기 트랜지스터의 상기 게이트 절연층, 상기 반도체층, 및 상기 제 1 채널 보호층의 측면들은 대체로 서로 나란히 정렬되고,

상기 용량 소자는 용량 배선, 상기 드레인 전극, 및 상기 용량 배선과 상기 드레인 전극 사이에 개재된 상기 제 2 채널 보호층을 포함하는, 표시 장치.

청구항 7

제 6 항에 있어서,

상기 게이트 전극은 상기 반도체층과 중첩하고,

상기 게이트 전극의 단부는 상기 반도체층의 단부 외측으로 돌출되는, 표시 장치.

청구항 8

제 6 항에 있어서,

상기 반도체층은 산화물 반도체층인, 표시 장치.

청구항 9

제 6 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극은 구리를 함유하는 재료를 포함하는, 표시 장치.

청구항 10

제 6 항에 있어서,

상기 게이트 전극 아래에 기저층이 형성되는, 표시 장치.

청구항 11

도전층, 제 1 절연층, 반도체층, 및 제 2 절연층을 형성하는 단계;

제 1 포토리소그래피 공정을 통해 상기 도전층, 상기 제 1 절연층, 상기 반도체층, 및 상기 제 2 절연층을 선택적으로 제거함으로써 게이트 전극 및 섬 형상 반도체층을 형성하는 단계;

제 2 포토리소그래피 공정을 통해 상기 제 2 절연층의 일부를 선택적으로 제거함으로써 상기 섬 형상 반도체층의 일부를 노출하는 단계;

제 3 포토리소그래피 공정을 통해 소스 전극 및 드레인 전극을 형성하는 단계; 및

제 4 포토리소그래피 공정을 통해 화소 전극을 형성하는 단계를 포함하는, 표시 장치 제작 방법.

청구항 12

제 11 항에 있어서,

상기 도전층, 상기 제 1 절연층, 상기 반도체층, 및 상기 제 2 절연층은 대기애 노출되지 않고 형성되는, 표시 장치 제작 방법.

청구항 13

제 11 항에 있어서,

산화물 반도체가 상기 반도체층으로 사용되는, 표시 장치 제작 방법.

청구항 14

제 11 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 및 상기 드레인 전극은 구리를 함유하는 재료를 포함하는, 표시 장치 제작 방법.

청구항 15

제 11 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극이 형성된 후의 최고 프로세스 온도는 450°C 이하인, 표시 장치 제작 방법.

청구항 16

도전층, 제 1 절연층, 반도체층, 및 제 2 절연층을 형성하는 단계;

제 1 포토리소그래피 공정을 통해 상기 도전층, 상기 제 1 절연층, 상기 반도체층, 및 상기 제 2 절연층을 선택적으로 제거함으로써 게이트 전극, 용량 배선, 및 섬 형상 반도체층을 형성하는 단계;

상기 게이트 전극, 상기 용량 배선, 및 상기 섬 형상 반도체층을 덮는 제 3 절연층을 형성하는 단계;

제 2 포토리소그래피 공정을 통해 상기 제 2 절연층 및 상기 제 3 절연층의 일부를 선택적으로 제거함으로써 상기 섬 형상 반도체층의 일부를 노출하는 단계;

제 3 포토리소그래피 공정을 통해 소스 전극 및 드레인 전극을 형성하는 단계; 및

제 4 포토리소그래피 공정을 통해 화소 전극을 형성하는 단계를 포함하고,

상기 드레인 전극의 일부는 상기 제 3 절연층 및 상기 용량 배선과 중첩하는, 표시 장치 제작 방법.

청구항 17

제 16 항에 있어서,

상기 도전층, 상기 제 1 절연층, 상기 반도체층, 및 상기 제 2 절연층은 대기애 노출되지 않고 형성되는, 표시 장치 제작 방법.

청구항 18

제 16 항에 있어서,

산화물 반도체가 상기 반도체층으로 사용되는, 표시 장치 제작 방법.

청구항 19

제 16 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 및 상기 드레인 전극은 구리를 함유하는 재료를 포함하는, 표시 장치 제작 방법.

청구항 20

제 16 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극이 형성된 후의 최고 프로세스 온도는 450°C 이하인, 표시 장치 제작 방법.

명세서

기술 분야

[0001] 본 발명은, 반도체 장치 및 그 제작 방법, 및, 표시 장치 및 그 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 반도체 회로, 기억 장치, 활성 장치, 표시 장치, 전기 광학 장치 및 전자 기기 등은 모두 반도체 장치

이다.

배경기술

- [0003] 최근, 유리 기판 등의 절연성 표면을 갖는 기판 위에 형성된, 두께 수nm 내지 수백nm 정도의 반도체 박막에 의해 구성되는 트랜지스터가 주목받고 있다. 트랜지스터는, IC(Integrated Circuit) 및 전기 광학 장치를 비롯한 전자 디바이스에 널리 응용되고 있다. 트랜지스터는, 특히 액정 표시 장치 등으로 대표되는, 표시 장치의 스위칭 소자로서 개발을 서두르고 있다. 액티브 매트릭스형 액정 표시 장치에서는, 선택된 스위칭 소자에 접속된 화소 전극과, 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조가 이루어지고, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다. 여기에서, 액티브 매트릭스형 액정 표시 장치란, 매트릭스상으로 배치된 화소 전극을 스위칭 소자에 의해 구동함으로써, 화면 위에 표시 패턴이 형성되는 방식을 채용한 액정 표시 장치를 말한다.
- [0004] 상기와 같은 액티브 매트릭스형 액정 표시 장치의 용도는 확대되고 있으며, 화면 사이즈의 대면적화, 고정밀화 및 고개구울화에 대한 요구가 높아지고 있다. 또한, 액티브 매트릭스형 액정 표시 장치에는 높은 신뢰성이 요구되고, 그 생산 방법에는 높은 생산성 및 생산 비용의 저감이 요구된다. 생산성을 높이고, 생산 비용을 저감하는 방법의 하나로, 공정의 간략화를 들 수 있다.
- [0005] 액티브 매트릭스형 액정 표시 장치에서는, 스위칭 소자로서 주로 트랜지스터가 사용되고 있다. 트랜지스터의 제작에 있어서, 포토리소그래피 공정을 삽감 또는 간략화하는 것은, 공정 전체의 간략화를 위해 중요하다. 예를 들면 포토리소그래피 공정이 하나 증가하면, 레지스트 도포, 프리베이크, 노광, 현상, 포스트 베이크 등의 공정과, 그 전후의 공정에 있어서, 피막의 형성 및 에칭 공정, 또한 레지스트 박리, 세정 및 건조 공정 등이 필요하게 된다. 이로 인해, 제작 공정에 있어서의 포토리소그래피 공정이 하나 증가하는 것만으로, 공정 수가 대폭 증가된다. 이로 인해, 제작 공정에 있어서의 포토리소그래피 공정을 삽감 또는 간략화하기 위해서, 수많은 기술 개발이 이루어지고 있다.
- [0006] 트랜지스터는, 채널 형성 영역이 게이트 전극보다 하층에 형성되는 톱 게이트형과, 채널 형성 영역이 게이트 전극보다 상층에 형성되는 보텀 게이트형으로 대별된다. 이러한 트랜지스터는 적어도 5장의 포토마스크에 의해 제작되는 것이 일반적이다.
- [0007] 포토리소그래피 공정을 간략화시키는 종래의 기술로서는, 이면 노광(예를 들면, 특허문현 1), 레지스트 리풀로우 또는 리프트 오프법과 같은 복잡한 기술을 사용하는 것이 많으며, 특수한 장치를 필요로 하는 것이 많다. 이러한 복잡한 기술을 사용함으로써, 이것에 기인하는 여러 가지 문제가 생기고, 제조 수율 저하의 한 가지 원인이 되고 있다. 또한, 트랜지스터의 전기적 특성을 저하시켜 버리는 경우도 많다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본 공개특허공보 제(평)05-203987호

발명의 내용

해결하려는 과제

- [0009] 트랜지스터의 제작에 사용하는 포토리소그래피 공정을 종래보다도 적게 하는 것을 과제의 하나로 한다.
- [0010] 트랜지스터를 갖는 표시 장치의 제작에 사용하는 포토마스크의 매수를 종래보다도 적게 하는 것을 과제의 하나로 한다.
- [0011] 생산성이 양호한 트랜지스터를 제공하는 것을 과제의 하나로 한다.
- [0012] 생산성이 양호한 표시 장치를 제공하는 것을 과제의 하나로 한다.
- [0013] 소비 전력이 저감된 표시 장치를 제공하는 것을 과제의 하나로 한다.
- [0014] 신뢰성이 높은 표시 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0015]

게이트 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)을 형성하는 공정과, 섬 형상 반도체층을 형성하기 위한 공정을, 1회의 포토리소그래피 공정으로 행함으로써, 종래보다도 적은 포토마스크 매수 및 포토리소그래피 공정으로 반도체 장치를 제작할 수 있다.

[0016]

트랜지스터의 게이트 전극이 되는 도전층, 게이트 절연층이 되는 절연층, 반도체층 및 채널 보호층이 되는 절연층을, 대기에 노출시키지 않고 연속적으로 형성함으로써, 각 층 및 각 층 계면의 오염을 방지하여 반도체 장치의 특성 및 신뢰성을 높일 수 있다.

[0017]

게이트 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)을 형성하는 공정과, 섬 형상 반도체층을 형성하기 위한 공정을, 1회의 포토리소그래피 공정으로 행하고, 콘택트 홀을 형성하는 공정, 소스 전극 및 드레인 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)을 형성하는 공정, 화소 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)을 형성하는 공정의, 4개의 포토리소그래피 공정으로 반도체 장치를 제작한다.

[0018]

트랜지스터의, 게이트 전극이 되는 도전층, 게이트 절연층이 되는 절연층, 반도체층 및 채널 보호층이 되는 절연층을 연속으로 형성하고, 다계조 마스크인 제 1 포토마스크에 의해 노광하여 현상한, 두께가 두꺼운 영역과 얇은 영역을 갖는 레지스트 마스크를 형성한다.

[0019]

레지스트 마스크를 마스크로 하여 게이트 전극이 되는 도전층, 게이트 절연층이 되는 절연층, 반도체층 및 채널 보호층이 되는 절연층을 에칭한다. 계속해서, 레지스트 마스크의 두께가 얇은 영역을 제거하고, 잔존한 게이트 전극이 되는 도전층, 게이트 절연층이 되는 절연층, 반도체층 및 채널 보호층이 되는 절연층을 노출시킨다. 계속해서 잔존한 레지스트 마스크를 마스크로 하여 게이트 절연층이 되는 절연층, 반도체층 및 채널 보호층이 되는 절연층을 에칭하고, 게이트 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함), 섬 형상의 게이트 절연층, 섬 형상의 반도체층, 섬 형상의 채널 보호층을 형성한다. 그 후, 레지스트 마스크를 제거한다.

[0020]

이와 같이 하여, 게이트 전극(동일층에서 형성되는 다른 전극 또는 배선을 포함)과 섬 형상의 반도체층의 형성을, 1회의 포토리소그래피 공정으로 행할 수 있다. 이 때, 섬 형상의 게이트 절연층, 섬 형상의 반도체층, 섬 형상의 채널 보호층은, 각각의 측면이 개략 일치하고, 상면에서 볼 때 각 층이 개략 같은 형상이 된다.

[0021]

또한, 본 명세서에 있어서, 「측면이 개략 일치하는 층」이란, 각 층의 상단부와 하단부가 일치하는 경우, 한 층의 측면이, 다른 층의 측면에 대해 내측으로 푸 패여져 있는 경우, 및 각 층의 측면의 테이퍼 형상이 각각 상이한 경우를 포함하여 상면에서 본 각 층의 측면의 윤곽이 개략 일치하는 것을 가리킨다.

[0022]

또한, 게이트 전극의 단부를, 섬 형상의 게이트 절연층, 섬 형상의 반도체층, 섬 형상의 채널 보호층의 단부로부터 돌출된 형상으로 함으로써, 단차가 완화되어 나중에 형성되는 절연층 또는 도전층의 피복성을 향상시킬 수 있다.

[0023]

본 발명의 일 형태는, 게이트 전극, 게이트 절연층, 반도체층, 채널 보호층, 소스 전극 및 드레인 전극을 가지며, 소스 전극 및 드레인 전극은 채널 보호층에 형성된 콘택트 홀을 통하여 반도체층에 전기적으로 접속되고, 드레인 전극은 화소 전극과 전기적으로 접속되어 게이트 절연층, 반도체층, 및 채널 보호층의 측면이 개략 일치하고 있는 것을 특징으로 하는 표시 장치이다.

[0024]

또한, 본 발명의 일 형태는, 트랜지스터와 용량 소자를 가지며, 트랜지스터는 게이트 전극 위에 형성된 게이트 절연층과, 게이트 절연층 위에 형성된 반도체층과, 반도체층 위에 형성된 제 1 채널 보호층과, 제 1 채널 보호층 위에 형성된 제 2 채널 보호층과, 제 2 채널 보호층 위에 형성되고, 제 1 및 제 2 채널 보호층에 형성된 콘택트 홀을 통하여 반도체층에 전기적으로 접속하는 소스 전극 및 드레인 전극을 가지며, 드레인 전극은 화소 전극과 전기적으로 접속되고, 트랜지스터가 갖는 게이트 절연층, 반도체층, 및 제 1 채널 보호층의 측면은 개략 일치하며, 용량 소자는 용량 배선과 드레인 전극 사이에, 제 2 채널 보호층을 사이에 개재하여 형성되는 것을 특징으로 하는 표시 장치이다.

[0025]

또한, 본 발명의 일 형태는, 도전층, 제 1 절연층, 반도체층 및 제 2 절연층을 형성하고, 제 1 포토리소그래피 공정에 의해, 도전층, 제 1 절연층, 반도체층 및 제 2 절연층을 선택적으로 제거하고, 게이트 전극과, 섬 형상의 반도체층을 형성하고, 제 2 포토리소그래피 공정에 의해, 제 2 절연층의 일부를 선택적으로 제거하여 섬 형상의 반도체층의 일부를 노출시키고, 제 3 포토리소그래피 공정에 의해, 소스 전극 및 드레인 전극을 형성하고, 제 4 포토리소그래피 공정에 의해, 화소 전극을 형성하는 것을 특징으로 하는 표시 장치의 제작 방법

이다.

[0026] 또한, 본 발명의 일 형태는, 도전층, 제 1 절연층, 반도체층 및 제 2 절연층을 형성하고, 제 1 포토리소그래피 공정에 의해, 도전층, 제 1 절연층, 반도체층 및 제 2 절연층을 선택적으로 제거하고, 게이트 전극, 용량 배선 및 섬 형상의 반도체층을 형성하고, 게이트 전극, 용량 배선 및 섬 형상의 반도체층을 덮고 제 3 절연층을 형성하고, 제 2 포토리소그래피 공정에 의해, 제 2 절연층 및 제 3 절연층의 일부를 선택적으로 제거하여 섬 형상의 반도체층의 일부를 노출시키고, 제 3 포토리소그래피 공정에 의해, 소스 전극 및 드레인 전극을 형성하고, 드레인 전극의 일부는 상기 제 3 절연층 및 용량 배선과 중첩되고, 제 4 포토리소그래피 공정에 의해, 화소 전극을 형성하는 것을 특징으로 하는 표시 장치의 제작 방법이다.

[0027] 도전층, 제 1 절연층, 반도체층, 제 2 절연층 및 제 3 절연층의 제거는, 드라이 에칭법 또는 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합하여 행할 수 있다.

[0028] 게이트 전극, 소스 전극, 드레인 전극, 또는 이들 전극에 접속하는 배선을, 구리 또는 알루미늄을 함유하는 재료로 형성함으로써, 배선 저항을 저감시켜 신호의 지연을 방지할 수 있다.

[0029] 반도체층에는, 단결정 반도체, 다결정 반도체, 미결정 반도체, 비정질 반도체 등을 사용할 수 있다. 반도체 재료로서는, 예를 들면, 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 들 수 있다.

[0030] 또한, 반도체층에 산화물 반도체를 사용할 수도 있다. 산화물 반도체의 전자 친화력은, 실리콘이나 게르마늄과 비교하여 크고, 반도체층과, 소스 전극 또는 드레인 전극 사이에 오믹 콘택트층을 형성하지 않더라도, 반도체층과 상기 전극의 오믹 접속을 실현하는 것이 가능해진다. 반도체층에 산화물 반도체를 사용함으로써, 반도체 장치의 제작 공정을 간략화하는 것이 가능해져 반도체 장치의 생산성을 향상시킬 수 있다.

[0031] 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는, 그 후, 산화물 반도체에 산소를 공급하여 산화물 반도체 내의 산소 결손을 저감시킴으로써 i형(진성) 또는 i형에 매우 가까운(실질적으로 i형화된) 산화물 반도체로 할 수 있다. 이로 인해, 채널이 형성되는 반도체층에 i형 또는 실질적으로 i형화된 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 현저하게 낮다고 하는 특성을 가진다. 구체적으로, 고순도화된 산화물 반도체는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이, $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하로 한다. 또한, 흘 효과 측정에 의해 측정할 수 있는 산화물 반도체층의 캐리어 밀도는, $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만으로 한다. 또한 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 반도체층에, 수분 또는 수소 등의 불순물이 저감되어 고순도화되고, 또한 산소 결손이 저감된 산화물 반도체를 사용함으로써 오프 전류를 낮출 수 있다.

[0032] 여기에서, 산화물 반도체 중의 수소 농도의 SIMS 분석에 관해서 언급해 둔다. SIMS 분석은, 그 원리상, 시료 표면 근방이나, 재질이 상이한 막과의 적층 계면 근방의 데이터를 정확하게 얻는 것이 곤란한 것이 알려져 있다. 그래서, 막 중에 있어서의 수소 농도의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에 있어서, 값에 극단적인 변동이 없고, 거의 일정한 값이 얻어지는 영역에 있어서의 평균치를, 수소 농도로서 채용한다. 또한, 측정의 대상이 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정한 값이 얻어지는 영역을 찾아낼 수 없는 경우가 있다. 이 경우, 상기 막이 존재하는 영역에 있어서의, 수소 농도의 최대값 또는 최소값을, 상기 막 중의 수소 농도로서 채용한다. 또한, 상기 막이 존재하는 영역에 있어서, 최대값을 갖는 산형의 피크, 최소값을 갖는 계곡형의 피크가 존재하지 않는 경우, 변곡점의 값을 수소 농도로서 채용한다.

발명의 효과

[0033] 본 발명의 일 형태에 의하면, 표시 장치의 제작 공정을 단순화할 수 있기 때문에, 저비용으로 생산성이 양호한 트랜지스터를 제공할 수 있다.

[0034] 본 발명의 일 형태에 의하면, 표시 장치의 제작 공정을 단순화할 수 있기 때문에, 저비용으로 생산성이 양호한 표시 장치를 제공할 수 있다.

[0035] 본 발명의 일 형태에 의하면, 소비 전력이 저감된 표시 장치를 제공할 수 있다.

[0036] 본 발명의 일 형태에 의하면, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0037] 본 발명의 일 형태는, 적어도 상기 과제의 하나를 해결한다.

도면의 간단한 설명

[0038] 도 1은 본 발명의 일 형태를 설명하는 상면도 및 단면도.

도 2는 본 발명의 일 형태를 설명하는 상면도 및 단면도.

도 3은 본 발명의 일 형태를 설명하는 상면도 및 단면도.

도 4는 본 발명의 일 형태를 설명하는 회로도.

도 5는 본 발명의 일 형태를 설명하는 상면도 및 단면도.

도 6은 본 발명의 일 형태를 설명하는 단면도.

도 7은 본 발명의 일 형태를 설명하는 단면도.

도 8은 본 발명의 일 형태를 설명하는 단면도.

도 9는 본 발명의 일 형태를 설명하는 단면도.

도 10은 본 발명의 일 형태를 설명하는 단면도.

도 11은 본 발명의 일 형태를 설명하는 도면.

도 12는 전자 기기의 일례를 설명하는 도면.

도 13은 다계조 마스크의 일례를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0039] 실시 형태에 관해서, 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시 형태의 기재 내용으로 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0040] 또한, 본 명세서 등에 있어서의 「제 1」, 「제 2」, 「제 3」 등의 서수는, 구성 요소의 혼동을 피하기 위해서 붙이는 것이며, 수적으로 한정하는 것이 아니다.

[0041] 또한, 도면 등에 있어서 나타내는 각 구성의, 위치, 크기, 범위 등을, 이해를 간단히 하기 위해, 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 이로 인해, 개시하는 발명은, 반드시, 도면 등에 개시된 위치, 크기, 범위 등으로 한정되지는 않는다.

[0042] 트랜지스터는 반도체 소자의 일종이며, 전류나 전압의 증폭이나, 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에 있어서의 트랜지스터는, IGFET(Insulated Gate Field Effect Transistor)이나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.

[0043] 또한, 트랜지스터의 「소스」나 「드레인」의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 교체되는 경우가 있다. 이로 인해, 본 명세서에 있어서는, 「소스」나 「드레인」이라는 용어는, 교체하여 사용할 수 있는 것으로 한다.

[0044] 또한, 본 명세서 등에 있어서 「전극」이나 「배선」이라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들면, 「전극」은 「배선」의 일부로서 사용되는 경우가 있으며, 그 반대도 또한 같다. 또한, 「전극」이나 「배선」이라는 용어는, 복수의 「전극」이나 「배선」이 일체가 되어서 형성되어 있는 경우 등도 포함한다.

[0045] (실시 형태 1)

[0046] 본 실시 형태에서는, 포토마스크수 및 포토리소그래피 공정수를 삭감한 표시 장치의 화소 구성 및 제작 방법의 일례에 관해서, 도 1 내지 도 9를 사용하여 설명한다.

[0047] 도 4a에, 표시 장치에 사용하는 반도체 장치(100)의 구성의 일례를 설명한다. 반도체 장치(100)는, 기판(101) 위에 화소 영역(102)과, m 개(m 은 1 이상의 정수)의 단자(105)(105-1에서부터 105- m) 및 단자(107)를 갖는 단자부(103)와, n 개(n 은 1 이상의 정수)의 단자(106)(106-1에서부터 106- n)을 갖는 단자부(104)를 가지고 있다. 또한, 반도체 장치(100)는, 단자부(103)에 전기적으로 접속하는 m 개의 배선(212)과, 단자부(104)에 전기적으로 접속하는 n 개의 배선(216)과, 배선(203)을 가지고 있다. 또한, 화소 영역(102)은, 세로 m 개(행) \times 가로 n 개(열)의 매트릭스상으로 배치된 복수의 화소(110)를 가지고 있다. i 행 j 열의 화소(110)(i, j 는 1 이상 m 이하의 정수, j 는 1 이상 n 이하의 정수)는, 배선(212- i), 배선(216- j)에 각각 전기적으로 접속되어 있다. 또한, 각 화소는 용량 전극 또는 용량 배선으로서 기능하는 배선(203)과 접속되고, 배선(203)은 단자(107)와 전기적으로 접속되어 있다. 또한, 배선(212- i)은 단자(105- i)와 전기적으로 접속되고, 배선(216- j)은 단자(106- j)와 전기적으로 접속되어 있다.

[0048] 단자부(103) 및 단자부(104)는 외부 입력 단자이며, 외부에 형성된 제어 회로와 FPC(Flexible Printed Circuit) 등을 사용하여 접속된다. 외부에 형성된 제어 회로로부터 공급되는 신호는, 단자부(103) 및 단자부(104)를 통하여 반도체 장치(100)로 입력된다. 도 4a에서는, 단자부(103)를 화소 영역(102)의 좌우 외측에 형성하고, 2개소로부터 신호를 입력하는 구성을 도시하고 있다. 또한, 단자부(104)를 화소 영역(102)의 상하 외측에 형성하고, 2개소로부터 신호를 입력하는 구성을 도시하고 있다. 2개소로부터 신호를 입력함으로써, 신호의 공급 능력이 높아지기 때문에, 반도체 장치(100)의 고속 동작이 용이하게 된다. 또한, 반도체 장치(100)의 대형화나 고정밀화에 수반되는 배선 저항의 증대에 의한 신호 지연의 영향을 경감시킬 수 있다. 또한, 반도체 장치(100)에 중복성(redundancy)을 갖게 하는 것이 가능해지기 때문에, 반도체 장치(100)의 신뢰성을 향상시킬 수 있다. 또한, 도 4a에서는 단자부(103) 및 단자부(104)를 각각 2개소 형성하는 구성으로 하고 있지만, 각각 1개소 형성하는 구성으로 해도 상관없다.

[0049] 도 4b는 화소(110)의 회로 구성을 도시하고 있다. 화소(110)는 트랜지스터(111), 액정 소자(112) 및 용량 소자(113)를 가지고 있다. 트랜지스터(111)의 게이트 전극은 배선(212- i)에 전기적으로 접속되고, 트랜지스터(111)의 소스 전극 또는 드레인 전극의 한쪽은 배선(216- j)에 전기적으로 접속되어 있다. 또한, 트랜지스터(111)의 소스 전극 또는 드레인 전극의 다른쪽은, 액정 소자(112)의 한쪽 전극과, 용량 소자(113)의 한쪽 전극에 전기적으로 접속되어 있다. 액정 소자(112)의 다른쪽 전극은, 전극(114)에 전기적으로 접속되어 있다. 전극(114)의 전위는 0V나, GND나, 공통 전위 등의 고정 전위로 해 두면 좋다. 또한, 용량 소자(113)의 다른쪽 전극은, 배선(203)에 전기적으로 접속되어 있다.

[0050] 트랜지스터(111)는 액정 소자(112)에 배선(216- j)으로부터 공급되는 화상 신호를 입력시킬지 여부를 선택하는 기능을 가진다. 배선(212- i)에 트랜지스터(111)를 온 상태로 하는 신호가 공급되면, 트랜지스터(111)를 통하여 배선(216- j)의 화상 신호가 액정 소자(112)로 공급된다. 액정 소자(112)는 공급되는 화상 신호(전위)에 따라 광의 투과율이 제어된다. 용량 소자(113)는 액정 소자(112)에 공급된 전위를 유지하기 위한 유지 용량(Cs 용량이라고도 한다)으로서의 기능을 가진다. 용량 소자(113)는 반드시 형성할 필요는 없지만, 용량 소자(113)를 형성함으로써, 트랜지스터(111)가 오프 상태일 때에 소스 전극과 드레인 전극간에 흐르는 전류(오프 전류)에 기인하는, 액정 소자(112)에 주어진 전위의 변동을 억제할 수 있다.

[0051] 트랜지스터(111)의 채널이 형성되는 반도체층에는, 단결정 반도체, 다결정 반도체, 미결정 반도체, 비정질 반도체 등을 사용할 수 있다. 반도체 재료로서는, 예를 들면, 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 들 수 있다. 또한, 트랜지스터(111)의 채널이 형성되는 반도체층에 산화물 반도체를 사용할 수도 있다.

[0052] 또한, 일반적으로, 실리콘이나 게르마늄 등의 전자 친화력은, 금속의 일함수보다도 작다. 이로 인해, 실리콘이나 게르마늄을 사용한 반도체층과, 소스 전극 또는 드레인 전극의 오믹 접촉을 실현할 필요가 있는 경우는, 반도체층과, 소스 전극 또는 드레인 전극 사이에 오믹 콘택트층을 형성할 필요가 있다.

[0053] 그러나, 산화물 반도체의 전자 친화력은, 실리콘이나 게르마늄과 비교하여 크기 때문에, 소스 전극 또는 드레인 전극과 산화물 반도체를 사용한 반도체층 사이에 오믹 콘택트층을 형성하지 않아도, 오믹 접촉을 실현하는 것이 가능해진다. 예를 들면, In-Ga-Zn-O계의 산화물 반도체의 전자 친화력은 4.3eV 정도이기 때문에, 반도체층에 In-Ga-Zn-O계의 산화물 반도체를 사용하고, 상기 반도체층에 접속하는 소스 전극 또는 드레인 전극에 일함수가 4.1eV 정도인 티타늄이나, 일함수가 4.0eV 정도인 질화티타늄 등을 사용함으로써, 오믹 콘택트층을 형성하지 않고, 반도체층과 소스 전극 또는 드레인 전극의 오믹 접촉을 실현하는 것이 가능해진다. 반도체층에 산화물 반도체를 사용함으로써, 반도체 장치의 제작 공정을 간략화하는 것이 가능해지고, 반도체 장치의

생산성을 향상시킬 수 있다.

[0054] 다음에, 도 4에 도시한 화소(110)의 구성예에 관해서, 도 1 내지 도 3을 사용하여 설명한다. 도 1a는 화소(110)의 평면 구성을 도시하는 상면도이며, 도 1b는 도 1a에 있어서의 A1-A2의 쇄선으로 나타내는 부위의 적층 구성을 도시하는 단면도이다. 또한, 도 1c는, 도 1a에 있어서의 B1-B2의 쇄선으로 나타내는 부위의 적층 구성을 도시하는 단면도이다.

[0055] 본 실시 형태에 나타내는 트랜지스터(111)는, U자형(C자형, 그자형, 또는 말굽형)의 소스 전극(206a)으로, 드레인 전극(206b)을 둘러싸는 형상으로 하고 있다. 이러한 형상으로 함으로써, 트랜지스터(111)의 점유 면적 이 작아도, 충분한 채널 폭을 확보하는 것이 가능해지고, 트랜지스터의 도통시에 흐르는 전류(온 전류라고도 한다)의 양을 증가시키는 것이 가능해진다.

[0056] 또한, 화소 전극(210)과 전기적으로 접속하는 드레인 전극(206b)과, 게이트 전극(220) 사이에 발생하는 기생 용량이 크면, 피드 스루의 영향을 받기 쉬워지기 때문에, 액정 소자(112)에 공급된 전위를 정확하게 유지할 수 없어 표시 품위가 저하되는 요인이 된다. 본 실시 형태에 나타내는 바와 같이, 소스 전극(206a)을 U자형 으로 하여 드레인 전극(206b)을 둘러싸는 형상으로 함으로써, 충분한 채널 폭을 확보하면서, 드레인 전극(206b)과 게이트 전극(220) 사이에 발생하는 기생 용량을 작게 할 수 있기 때문에, 표시 장치의 표시 품위를 향상시킬 수 있다.

[0057] 또한, 소스 전극(206a)과 드레인 전극(206b) 중 어느 한쪽, 또는 양쪽을 트랜지스터(111)의 채널 형성 영역을 가능한 덮도록 형성함으로써, 차광층으로서 기능시킬 수도 있다. 반도체층의 채널 형성 영역과 중첩되도록 차광층을 형성함으로써, 광 조사에 의한 트랜지스터 특성의 열화를 방지할 수 있다.

[0058] 배선(203)은 용량 전극 또는 용량 배선으로서 기능한다. 본 실시 형태에서는, 배선(203)과, 절연층(215)과, 드레인 전극(206b)을 중첩시켜 용량 소자(113)를 형성하고 있다.

[0059] 단면 A1-A2는, 트랜지스터(111) 및 용량 소자(113)의 적층 구조를 나타내고 있다. 본 실시 형태에 있어서의 트랜지스터(111)는, 보텀 게이트 구조의 트랜지스터이다. 단면 B1-B2는, 배선(216-j)과 배선(212-i)의 교차 부에 있어서의 적층 구조를 나타내고 있다.

[0060] 도 1b에 도시하는 단면 A1-A2에 있어서, 기판(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 게이트 전극(220) 및 배선(203)이 형성되어 있다. 절연층(201)은 하지층으로서 기능한다. 또한, 게이트 전극(220) 위에, 게이트 절연층으로서 기능하는 절연층(204), 반도체층(205), 채널 보호층으로서 기능하는 절연층(214) 및 절연층(215)이 형성되어 있다. 또한, 절연층(215)은 반도체층(205)의 측면을 덮고 형성되어 있으며, 반도체층(205)의 측면으로부터의 불순물 침입을 방지하는 역할도 가진다.

[0061] 또한, 절연층(215) 위에 소스 전극(206a) 및 드레인 전극(206b)이 형성되고, 절연층(214), 및 절연층(215)에 형성된 콘택트 홀(208)을 통하여 반도체층(205)에 전기적으로 접속되어 있다. 또한, 절연층(215) 위에 화소 전극(210)이 형성되고, 드레인 전극(206b)과 전기적으로 접속되어 있다.

[0062] 배선(203)과 드레인 전극(206b)이 절연층(215)을 사이에 개재하여 중첩되어 있는 부분이 용량 소자(113)로서 기능한다. 절연층(215)은 용량 소자(113)의 유전체층으로서 기능한다.

[0063] 도 1c에 도시하는 단면 B1-B2에 있어서, 기판(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 배선(212-i)이 형성되어 있다. 또한, 배선(212-i) 위에, 절연층(204)과 반도체층(205)이 형성되어 있다. 또한, 반도체층(205) 위에 절연층(214), 및 절연층(215)이 형성되고, 절연층(215) 위에 배선(216-j)이 형성되어 있다.

[0064] 배선(216-j)과 배선(212-i) 사이에, 상기 절연층 및 반도체층을 형성함으로써, 양 배선간의 막 두께 방향의 간격을 넓힐 수 있기 때문에, 배선(216-j)과 배선(212-i)의 교차부에 있어서의 기생 용량을 저감시킬 수 있다. 교차부에 있어서의 기생 용량을 저감시킴으로써, 배선(216-j) 및 배선(212-i)에 공급되는 신호의 지연이나 파형의 왜곡이 경감되어 표시 품위가 양호한 표시 장치를 실현할 수 있다.

[0065] 다음에, 도 1에서 도시한 화소(110)와 치환 가능하고, 화소(110)와는 상이한 구성을 갖는 화소(120)에 관해서, 도 2를 사용하여 설명한다. 도 2a는, 화소(120)의 평면 구성을 도시하는 상면도이다. 도 2b에 도시하는 단면 C1-C2는, 도 2a에 있어서의 C1-C2의 쇄선으로 나타내는 부위의 단면에 상당한다. 도 2에 도시하는 화소(120)는, 화소(110)와 용량 소자의 구성이 상이하다.

[0066] 화소(120)가 갖는 용량 소자(123)는, 배선(203)과 절연층(215)과 화소 전극(210)을 중첩시켜 형성한다. 용량

소자의 한쪽 전극에 화소 전극을 사용함으로써, 화소(120)의 개구율을 향상시킬 수 있고, 또한, 고정밀화가 용이해지기 때문에, 표시 장치의 표시 품위를 향상시킬 수 있다. 또한, 백 라이트로부터의 광을 효율적으로 사용할 수 있기 때문에, 표시 장치의 소비 전력을 저감시킬 수 있다.

[0067] 이어서, 도 1 및 도 2에서 도시한 화소(110) 및 화소(120)와 치환 가능하고, 화소(110) 및 화소(120)와는 상이한 구성을 갖는 화소(130)에 관해서, 도 3을 사용하여 설명한다. 도 3a는, 화소(130)의 평면 구성을 도시하는 상면도이다. 도 3b에 도시하는 단면 D1-D2는, 도 3a에 있어서의 D1-D2의 쇄선으로 나타내는 부위의 단면에 상당한다. 도 3에 도시하는 화소(130)는, 화소(110) 및 화소(120)와 용량 소자의 구성이 상이하다.

[0068] 화소(130)에서는 배선(203)을 생략하고, 용량 소자(133)를, 화소(130)에 인접하는 화소가 갖는 배선(212-i+1)과, 절연층(215)과, 화소 전극(210)을 중첩시켜 형성한다. 배선(203)을 생략함으로써, 화소(130)의 개구율을 향상시킬 수 있고, 또한, 고정밀화가 용이해지기 때문에, 표시 장치의 표시 품위를 향상시킬 수 있다. 또한, 백 라이트로부터의 광을 효율적으로 사용할 수 있기 때문에, 표시 장치의 소비 전력을 저감시킬 수 있다. 또한, 화소(130)에서는 배선(203)을 생략하기 때문에, 반도체 장치(100)의 단자(107)도 생략할 수 있다.

[0069] 다음에, 단자(105)(m 개의 단자(105) 중 하나) 및 단자(106)(n 개의 단자(106)중 하나)의 구성예에 관해서, 도 5를 사용하여 설명한다. 또한, 단자(107)도, 단자(105) 또는 단자(106)와 같은 구성으로 할 수 있다. 도 5a1, 도 5a2는 단자(105)의 상면도 및 단면도를 각각 도시하고 있다. 도 5a1에 있어서의 J1-J2의 쇄선은, 도 5a2에 있어서의 단면 J1-J2에 상당한다. 또한, 도 5b1, 도 5b2는, 단자(106)의 상면도 및 단면도를 각각 도시하고 있다. 도 5b1에 있어서의 K1-K2의 쇄선은, 도 5b2에 있어서의 단면 K1-K2에 상당한다. 또한, 단면 J1-J2 및 단면 K1-K2에 있어서, J2 및 K2는, 기판 단부측에 상당한다.

[0070] 단면 J1-J2에 있어서, 기판(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 배선(212)이 형성되어 있다. 또한, 배선(212) 위에 절연층(215)이 형성되어 있다. 절연층(215) 위에 전극(221)이 형성되고, 전극(221)은 절연층(215)에 형성된 콘택트 홀(219)을 통하여 배선(212)에 전기적으로 접속되어 있다. 또한, 전극(221) 위에 전극(222)이 형성되어 있다.

[0071] 단면 K1-K2에 있어서, 기판(200) 위에, 절연층(201), 절연층(215)이 형성되어 있다. 절연층(215) 위에 배선(216)이 형성되고, 배선(216) 위에 전극(223)이 형성되어 있다.

[0072] 계속해서, 도 1을 사용하여 설명한 표시 장치의 화소(110)와, 도 5를 사용하여 설명한 단자(105) 및 단자(106)의 제작 방법에 관해서, 도 6 내지 도 9를 사용하여 설명한다. 또한, 도 6 내지 도 9에 있어서의 단면 A1-A2, 단면 J1-J2, 및 단면 K1-K2는, 도 1 및 도 5에 있어서의 A1-A2, J1-J2, 및 K1-K2의 쇄선으로 나타낸 부위의 단면도이다.

[0073] 우선, 기판(200) 위에, 절연층(201), 도전층(231), 절연층(232), 반도체층(233), 및 절연층(234)을 형성한다. 이 때, 절연층(201), 도전층(231), 절연층(232), 반도체층(233), 및 절연층(234)을 대기에 노출시키지 않고 연속적으로 형성함으로써, 각 층 및 각 층 계면의 오염을 방지하여 반도체 장치의 특성 및 신뢰성을 높일 수 있다(도 6a 참조).

[0074] 기판(200)은 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도를 견딜 수 있을 정도의 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 기판에 투광성을 요하지 않는 경우에는, 스테인레스 합금 등의 금속 기판의 표면에 절연층을 형성한 것을 사용해도 좋다. 유리 기판으로서는, 예를 들면, 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리 또는 알루미노실리케이트 유리 등의 무알칼리 유리 기판을 사용하면 좋다. 이외에, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 산화붕소(B_2O_3)와 비교하여 산화바륨(BaO)을 많이 함유시킴으로써, 보다 실용적인 내열 유리가 얻어진다. 이로 인해, B_2O_3 보다 BaO 를 많이 함유하는 유리 기판을 사용하는 것이 바람직하다.

[0075] 절연층(201)은 산화알루미늄, 질화알루미늄, 산화질화알루미늄, 산화실리콘, 질화실리콘, 질화산화실리콘 또는 산화질화실리콘으로부터 선택된 하나 또는 복수의 절연층에 의한 적층 구조에 의해 형성할 수 있고, 기판(200)으로부터의 불순물 원소의 확산을 방지하는 기능이 있다. 또한, 본 명세서 중에 있어서, 질화산화실리콘이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것으로서, 바람직하게는, RBS 및 HFS를 사용하여 측정한 경우에, 조성 범위로서 산소가 5 내지 30원자%, 질소가 20 내지 55원자%, 실리콘이 25 내지 35원자%, 수소가 10 내지 30원자%의 범위로 함유되는 것을 말한다. 절연층(201)은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펠스레이저 퇴적법, ALD(Atomic Layer Deposition)법, 도포법, 인쇄법 등을 적절히 사용

할 수 있다. 또한, 절연층(201)은 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하의 두께로 형성한다.

[0076] 또한, 하지층으로서 기능하는 절연층(201)에, 염소, 불소 등의 할로겐 원소를 함유시킴으로써, 기판(200)으로부터의 불순물 원소의 확산을 방지하는 기능을 더욱 향상시킬 수 있다. 절연층(201)에 함유시키는 할로겐 원소의 농도는, SIMS(2차 이온 질량 분석계)를 사용한 분석에 의해 얻어지는 농도 피크에 있어서, $1 \times 10^{15} / \text{cm}^3$ 이상 $1 \times 10^{20} / \text{cm}^3$ 이하로 하면 좋다.

[0077] 다음에, 절연층(201) 위에 스퍼터링법, 진공 증착법, 도금법 등을 사용하여 100nm 이상 500nm 이하, 바람직하게는 200nm 이상 300nm 이하의 두께로 도전층(231)을 형성한다.

[0078] 도전층(231)은, 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc), 마그네슘(Mg) 등의 금속 재료, 또는 이들을 주성분으로 하는 재료를 사용하여 단층 또는 적층하여 형성할 수 있다. 예를 들면, 도전층(231)을, Cu-Mg-Al 합금과, Cu 또는 Al의 적층으로 해도 좋다. 절연층(201)과 접하여 Cu-Mg-Al 합금 재료를 제공함으로써, 도전층(231)의 밀착성을 향상시킬 수 있다.

[0079] 도전층(231)은, 나중의 포토리소그래피 공정에 의해 전극 또는 배선으로서 형성되기 때문에, 저저항 재료인 Al이나 Cu를 사용하는 것이 바람직하다. Al이나 Cu를 사용함으로써, 신호의 지연이나 과정의 왜곡이 경감되어 표시 품위가 양호한 표시 장치를 실현할 수 있다. 또한, Al은 내열성이 낮아 힐록(hilllock), 위스커(wisker), 또는 마이그레이션(migration)에 의한 불량이 발생하기 쉽다. Al의 마이그레이션을 방지하기 위해서, Mo, Ti, W 등의, Al보다도 용점이 높은 금속 재료, 또는 이들을 주성분으로 하는 재료를 Al과 적층하는 것이 바람직하다. 또한, 절연물이 아니면, 상기 재료의 산화물 또는 질화물을 적층해도 좋다. 또한, 도전층(231)에 Al을 함유하는 재료를 사용하는 경우에는, 이후의 공정에 있어서의 프로세스 최고 온도를 380°C 이하로 하는 것이 바람직하고, 350°C 이하로 하면 더욱 바람직하다.

[0080] 또한, 도전층(231)에 Cu를 사용하는 경우도, 마이그레이션에 의한 불량이나 Cu 원소의 확산을 방지하기 위해서, Mo, Ti, W 등의, Cu보다도 용점이 높은 금속 재료, 또는 이들을 주성분으로 하는 재료를 적층하는 것이 바람직하다. 또한, 절연물이 아니면, 상기 재료의 산화물 또는 질화물을 적층해도 좋다. 예를 들면, 도전층(231)을 질화티타늄과 Cu의 적층으로 해도 좋다. 또한, 도전층(231)에 Cu를 함유하는 재료를 사용하는 경우에는, 이후의 공정에 있어서의 프로세스 최고 온도를 450°C 이하로 하는 것이 바람직하다.

[0081] 본 실시 형태에서는, 도전층(231)으로서, 절연층(201) 위에 두께 5nm의 질화티타늄을 형성하고, 질화티타늄 위에 두께 250nm의 Cu를 형성한다.

[0082] 다음에, 도전층(231) 위에, 케이트 절연층으로서 기능하는 절연층(232)을 형성한다. 절연층(232)에는, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 질화알루미늄, 산화질화알루미늄, 질화산화알루미늄, 산화탄탈, 산화이트륨, 산화란탄, 산화하프늄, 하프늄실리케이트(HfSi_xO_y ($x > 0$, $y > 0$)) 등을 사용할 수 있고, 절연층(201)과 같은 방법으로 형성할 수 있다. 또한, 절연층(232)은 단층으로 한정되지 않으며 상이한 층의 적층이라도 좋다. 예를 들면, 절연층 A로서 플라즈마 CVD법에 의해 질화실리콘층(SiN_y ($y > 0$))을 형성하고, 절연층 A 위에 절연층 B로서 산화실리콘층(SiO_x ($x > 0$))을 적층하여 절연층(232)으로 해도 좋다.

[0083] 또한, 절연층(232)의 형성은, 스퍼터링법이나 플라즈마 CVD법 등 이외에, μ 파(예를 들면 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD법 등의 성막 방법을 적용할 수 있다.

[0084] 본 실시 형태에서는, 절연층(232)으로서, 질화실리콘과 산화실리콘의 적층을 사용한다. 구체적으로는, 도전층(231) 위에 질화실리콘을 50nm의 두께로 형성하고, 상기 질화실리콘 위에 산화실리콘을 100nm의 두께로 형성한다.

[0085] 또한, 이후 형성하는 반도체층에 산화물 반도체를 사용하는 경우에는, 상기 산화물 반도체와 동종의 성분을 함유하는 절연 재료를 절연층(232)에 사용해도 좋다. 절연층(232)을 상이한 층의 적층으로 하는 경우에는, 산화물 반도체에 접하는 층을 산화물 반도체와 동종의 성분을 함유하는 절연 재료로 하면 좋다. 이러한 재료는 산화물 반도체와의 상성(compatible)이 양호하며, 이것을 절연층(232)에 사용함으로써, 산화물 반도체와의 계면 상태를 양호하게 유지할 수 있기 때문이다. 여기에서, 「산화물 반도체와 동종의 성분」이란, 산화물 반도체의 구성 원소로부터 선택되는 하나 또는 복수의 원소를 의미한다. 예를 들면, 산화물 반도체가 In-Ga-Zn계의 산화물 반도체 재료에 의해 구성되는 경우, 동종의 성분을 함유하는 절연 재료로서는 산화갈륨 등이

있다.

[0086] 또한, 절연층(232)을 적층 구조로 하는 경우에는, 산화물 반도체와 동종의 성분을 함유하는 절연 재료로 이루어지는 막과, 상기 막의 성분 재료와는 상이한 재료를 함유하는 막의 적층 구조로 해도 좋다.

[0087] 이어서, 절연층(232) 위에 반도체층(233)을 형성한다. 여기에서는, 반도체층(233)에 산화물 반도체를 사용하는 예에 관해서 설명한다. 산화물 반도체는, 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 사용하여 형성할 수 있다.

[0088] 산화물 반도체는, 바람직하게는 스퍼터링법에 의해, 기판 가열 온도를 100°C 이상 600°C 이하, 바람직하게는 150°C 이상 550°C 이하, 더욱 바람직하게는 200°C 이상 500°C 이하로 하고, 스퍼터링 가스로서 산소 가스를 사용하여 성막한다. 산화물 반도체의 두께는, 1nm 이상 40nm 이하, 바람직하게는 3nm 이상 20nm 이하로 한다. 성막시의 기판 가열 온도가 높을수록, 얻어지는 산화물 반도체 중의 불순물 농도는 낮아진다.

[0089] 또한, 산화물 반도체를 트랜지스터의 채널 형성 영역으로서 사용하는 경우는, 산화물 반도체가 얇을 수록 트랜지스터의 단채널 효과가 저감된다. 단, 지나치게 얇게 하면 계면 산란의 영향이 강해져 전계 효과 이동도의 저하가 일어나는 경우가 있다.

[0090] 반도체층(233)에 사용하는 산화물 반도체로서는, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물, In-Sn-Zn계 산화물, In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물, In계 산화물, Sn계 산화물, Zn계 산화물 등을 사용할 수 있다. 또한, 상기 산화물 반도체에 산화실리콘을 함유시켜도 좋다.

[0091] 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 In과 Zn을 함유하는 것이 바람직하다. 산화물 반도체를 i형(진성)으로 하기 위해서, 이후 행하는 탈수화 또는 탈수소화, 및 산소의 공급은 유효하다.

[0092] 또한, 산화물 반도체를 트랜지스터의 채널 형성 영역으로서 사용하는 경우는, 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 이를 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0093] 또한, 다른 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오븀(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 호르븀(Ho), 에르븀(Er), 틀륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.

[0094] 예를 들면, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물(「IGZO」라고도 한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물(「ITZO」라고도 한다), Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0095] 또한, 예를 들면, In-Ga-Zn계 산화물이란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라는 의미이며, 그 화학량론비는 상관없다. 또한 In과 Ga와 Zn 이외의 원소를 함유해도 좋다.

[0096] 또한, 산화물 반도체로서, 화학식 $InM_0_3(ZnO)_m$ ($m > 0$)으로 표기되는 박막을 사용할 수 있다. 여기서 M은 Sn, Zn, Fe, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_2Sn_0_5(ZnO)_n$ ($n > 0$)으로 표기되는 재료를 사용해도 좋다.

[0097] 산화물 반도체는 단결정이라도, 비단결정이라도 좋다. 후자의 경우, 비정질이라도, 다결정이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도, 비비정질이라도 좋다.

[0098] 비정질 상태의 산화물 반도체는, 비교적 용이하게 평坦한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜

지스터를 제작했을 때의 계면 산란을 저감할 수 있어 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.

[0099] 또한, 결정성을 갖는 산화물 반도체에서는, 별크내 결함을 더 저감시킬 수 있어 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는, 평균면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하인 표면 위에 형성하면 좋다.

[0100] 본 실시 형태에서는, 산화물 반도체층으로서 In-Ga-Zn계 산화물 타깃을 사용하여 스퍼터링법에 의해 30nm의 두께로 산화물 반도체를 형성한다. 또한, 산화물 반도체층은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기 하에 있어서 스퍼터링법에 의해 형성할 수 있다. 스퍼터링 가스를 희가스와 산소의 혼합 분위기로 하는 경우는, 산소 가스의 비율을 30체적% 이상, 바람직하게는 50체적% 이상, 더욱 바람직하게는 80체적% 이상으로 한다.

[0101] 산화물 반도체층으로서 In-Ga-Zn계 산화물을 스퍼터링법으로 형성하기 위한 타깃으로서는, 예를 들면, 조성비로서, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수 비]의 금속 산화물 타깃을 사용하여 In-Ga-Zn-O층을 성막한다. 또한, 이 타깃 재료 및 조성에 한정되지 않으며, 예를 들면, $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수 비], $In_2O_3:Ga_2O_3:ZnO=2:2:1$ [mol수 비], 또는 $In_2O_3:Ga_2O_3:ZnO=1:1:4$ [mol수 비]의 금속 산화물 타깃을 사용해도 좋다. 또한, $In_2O_3:Ga_2O_3:ZnO=2:0:1$ [mol수 비]의 조성비를 갖는 타깃을 사용할 수도 있다. 또한, 원자수비로 $In:Ga:Zn=1:1:1$, $4:2:3$, $3:1:2$, $1:1:2$, $2:1:3$, 또는 $3:1:4$ 로 표시된 In-Ga-Zn계 금속 산화물 타깃을 사용해도 좋다.

[0102] 또한, 산화물 반도체층으로서 In-Sn-Zn계 산화물 재료를 스퍼터링법으로 형성하는 경우는, 원자수비가 $In:Sn:Zn=1:1:1$, $2:1:3$, $1:2:2$, 또는 $20:45:35$ 로 표시된 In-Sn-Zn계 금속 산화물 타깃을 사용하는 것이 바람직하다.

[0103] 또한, 금속 산화물 타깃의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 성막한 산화물 반도체를 치밀한 막으로 할 수 있다.

[0104] 산화물 반도체층을 성막할 때에 사용하는 스퍼터링 가스는 수소, 물, 하이드록실기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다. 예를 들면, 스퍼터링 가스로서 아르곤을 사용하는 경우는, 순도 9N, 노점 -121°C , 함유 H_2O 량 0.1ppb 이하, 함유 H_2 량 0.5ppb 이하가 바람직하고, 산소를 사용하는 경우에는, 순도 8N, 노점 -112°C , 함유 H_2O 량 1ppb 이하, 함유 H_2 량 1ppb 이하가 바람직하다.

[0105] 산화물 반도체층의 성막은, 감압 상태로 유지된 성막실 내에 기판을 유지하고, 기판 온도를 100°C 이상 600°C 이하, 바람직하게는 300°C 이상 500°C 이하로 하여 행한다. 또한, 도전층(231)에 Al이 사용되고 있는 경우는, 기판 온도를 380°C 이하, 바람직하게는 350°C 이하로 하고, 또한, 도전층(231)에 Cu가 사용되고 있는 경우는, 기판 온도를 450°C 이하로 한다.

[0106] 기판을 가열하면서 성막함으로써, 성막한 산화물 반도체층에 함유되는 수소, 수분, 수소화물, 또는 수산화물 등의 불순물 농도를 저감시킬 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 산화물 반도체층을 성막한다.

[0107] 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는, 터보 분자 펌프에 콜드 트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은, 예를 들면, 물(H_2O) 등 수소 원자를 함유하는 화합물(보다 바람직하게는 탄소 원자를 함유하는 화합물도) 등이 배기되기 때문에, 상기 성막실에서 성막한 산화물 반도체층에 함유되는 불순물의 농도를 저감시킬 수 있다.

[0108] 성막 조건의 일례로서는, 기판과 타깃간의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 전력 0.5kW, 스퍼터링 가스로서 산소(산소 유량 비율 100%)를 사용하는 조건이 적용된다. 또한, 펄스 직류 전원을 사용하면, 성막 시에 발생하는 분상물질(파티클, 먼지라고도 한다)을 경감시킬 수 있고, 막 두께 분포도 균일해지기 때문에 바람직하다.

[0109] 이어서, 필요하면, 제 1 가열 처리를 행하여도 좋다. 제 1 가열 처리에 의해 산화물 반도체층 중의 과잉 수소(물이나 하이드록실기를 함유)를 제거(탈수화 또는 탈수소화)하여 산화물 반도체층의 구조를 조정하여 산화

물 반도체층 중의 불순물 농도를 저감할 수 있다.

[0110] 제 1 가열 처리는, 감압 분위기하, 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기하에서, 250°C 이상 750°C 이하, 또는 400°C 이상 기판의 변형점 미만의 온도로 행한다. 단, 제 1 포토리소그래피 공정에 의해 형성된 배선층에 Al이 사용되고 있는 경우는, 가열 처리의 온도를 380°C 이하, 바람직하게는 350°C 이하로 하고, 또한, 제 1 포토리소그래피 공정에 의해 형성된 배선층에 Cu가 사용되고 있는 경우는, 가열 처리의 온도를 450°C 이하로 한다. 본 실시 형태에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기하에서 450°C, 1시간의 가열 처리를 행한다.

[0111] 또한, 가열 처리 장치는 전기로에 한정되지 않으며, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 고온의 가스에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0112] 예를 들면, 제 1 가열 처리로서, 고온으로 가열한 불활성 가스 중으로 기판을 이동시켜 넣고, 몇분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중으로부터 추출하는 GRTA를 행하여도 좋다.

[0113] 제 1 가열 처리를, 질소 또는 희가스 등의 불활성 가스, 산소, 초건조 에어의 가스 분위기하에서 행하는 경우는, 이들 분위기에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 산소, 또는 희가스의 순도를, 6N(99.9999%) 이상 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 한다.

[0114] 제 1 가열 처리는, 감압 분위기 또는 불활성 분위기에서 가열 처리를 행한 후, 온도를 유지하면서 산화성 분위기로 전환하고 다시 가열 처리를 행하면 바람직하다. 이것은, 감압 분위기 또는 불활성 분위기에서 가열 처리를 행하면, 산화물 반도체층 중의 불순물 농도를 저감시킬 수 있지만, 동시에 산소 결손도 발생하기 때문에, 이 때 발생한 산소 결손을, 산화성 분위기에서의 가열 처리에 의해 저감시킬 수 있다.

[0115] 또한, 제 1 열처리는 산화물 반도체층 형성후이면, 언제 행해도 상관없다.

[0116] 이어서, 반도체층(233) 위에 절연층(234)을 형성한다. 절연층(234)은 절연층(201) 또는 절연층(232)과 같은 재료 및 방법으로 형성할 수 있다.

[0117] 또한, 반도체층(233)에 산화물 반도체를 사용하는 경우, 절연층(234)으로서, 산소를 함유하는 절연물을 사용하는 것이 바람직하다. 또한, 반도체층(233)에 산화물 반도체를 사용하는 경우, 산화물 반도체와 동종의 성분을 함유하는 금속 산화물을 형성해도 좋다.

[0118] 본 실시 형태에서는, 절연층(234)으로서 막 두께 200nm의 산화실리콘을 스퍼터링법을 사용하여 성막한다. 성막시의 기판 온도는, 실온 이상 300°C 이하로 하면 좋고, 본 실시 형태에서는 100°C로 한다. 산화실리콘의 스퍼터링법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 행할 수 있다. 또한, 타깃으로는 산화실리콘 또는 실리콘을 사용할 수 있다. 예를 들면, 실리콘을 타깃으로 사용하여 산소를 함유하는 분위기하에서 스퍼터를 행하면 산화실리콘을 형성할 수 있다.

[0119] 절연층(234)의 성막시에 있어서의 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프(크라이오 펌프 등)를 사용하는 것이 바람직하다. 크라이오 펌프를 사용하여 배기한, 성막실에서 성막한 절연층(234)은, 절연층(234) 중에 함유되는 불순물의 농도를 저감시킬 수 있다. 또한, 절연층(234)의 성막실 내의 잔류 수분을 제거하기 위한 배기 수단으로서는, 터보 분자 펌프에 콜드 트랩을 가한 것이라도 좋다.

[0120] 절연층(234)을 성막할 때에 사용하는 스퍼터링 가스는 수소, 물, 하이드록실기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.

[0121] 이어서, 필요하면, 감압 분위기하, 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 에어 분위기하에서 제 2 가열 처리(바람직하게는 200°C 이상 600°C 이하, 예를 들면 250°C 이상 550°C 이하)를 행하여도 좋다. 단, 도전층(231)에 Al이 사용되고 있는 경우는, 가열 처리의 온도를 380°C 이하, 바람직하게는 350°C

이하로 하고, 또한, 도전층(231)에 Cu가 사용되고 있는 경우는, 가열 처리의 온도를 450°C 이하로 한다. 예를 들면, 질소 분위기하에서 450°C, 1시간의 제 2 가열 처리를 행하여도 좋다. 제 2 가열 처리를 행하면, 산화물 반도체층이 절연층(234)과 접한 상태에서 승온되고, 산소를 함유하는 절연층(234)으로부터 산소를 반도체층(233)으로 공급할 수 있다. 또한, 절연층(234) 형성후에, 제 2 가열 처리를 겸하여 제 1 가열 처리를 행해도 좋다. 또한, 반도체층(233)으로의 산소의 공급은, 이온 주입법 또는 이온 도핑법 등을 사용하여 행하여도 좋다.

[0122] 이어서, 제 1 포토리소그래피 공정을 행한다. 우선, 절연층(234) 위에 제 1 포토마스크로서 다계조 마스크를 사용하여 레지스트 마스크(235)를 형성한다(도 6b 참조).

[0123] 여기서, 도 13을 사용하여, 다계조 마스크에 관해서 설명해 둔다. 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분으로 3개의 노광 레벨을 행하는 것이 가능한 마스크이며, 투과한 광이 복수의 강도가 되는 노광 마스크이다. 한번의 노광 및 현상 공정에 의해, 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 형성하는 것이 가능하다. 이로 인해, 다계조 마스크를 사용함으로써, 노광 마스크(포토마스크)의 매수를 삭감하는 것이 가능하다.

[0124] 다계조 마스크의 대표예로서는, 도 13a에 도시하는 그레이톤 마스크(801a), 도 13c에 도시하는 하프톤 마스크(801b)가 있다.

[0125] 도 13a에 도시하는 바와 같이, 그레이톤 마스크(801a)는, 투광성 기판(802) 및 그 위에 형성되는 차광부(803) 및 회절 격자(804)로 구성된다. 차광부(803)에 있어서는, 광의 투과율이 0%이다. 한편, 회절 격자(804)는 슬릿, 도트, 메쉬 등의 광투과부의 간격을, 노광에 사용하는 광의 해상도 한계 이하의 간격으로 함으로써, 광의 투과율을 제어할 수 있다. 또한, 회절 격자(804)는, 주기적인 슬릿, 도트, 메쉬, 또는 비주기적인 슬릿, 도트, 메쉬 중 어느 것도 사용할 수 있다.

[0126] 투광성 기판(802)으로서는, 석영 등의 투광성 기판을 사용할 수 있다. 차광부(803) 및 회절 격자(804)는, 크롬이나 산화크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0127] 그레이톤 마스크(801a)에 노광 광을 조사한 경우, 도 13b에 도시하는 바와 같이, 차광부(803)에 있어서는, 광 투과율(805)은 0%이며, 차광부(803) 및 회절 격자(804)가 형성되지 않은 영역에서는 광투과율(805)은 100%이다. 또한, 회절 격자(804)에 있어서는, 10 내지 70%의 범위에서 조정 가능하다. 회절 격자(804)에 있어서의 광의 투과율 조정은, 회절 격자의 슬릿, 도트, 또는 메쉬의 간격 및 편치의 조정에 의해 가능하다.

[0128] 도 13c에 도시하는 바와 같이, 하프톤 마스크(801b)는 투광성 기판(802) 및 그 위에 형성되는 반투과부(807) 및 차광부(806)로 구성된다. 반투과부(807)는 MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용할 수 있다. 차광부(806)는 크롬이나 산화크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0129] 하프톤 마스크(801b)에 노광 광을 조사한 경우, 도 13d에 도시하는 바와 같이, 차광부(806)에 있어서는, 광 투과율(808)은 0%이며, 차광부(806) 및 반투과부(807)가 형성되지 않은 영역에서는 광투과율(808)은 100%이다. 또한, 반투과부(807)에 있어서는, 10 내지 70%의 범위에서 조정 가능하다. 반투과부(807)에 있어서의 광의 투과율의 조정은, 반투과부(807)의 재료에 의해 조정 가능하다.

[0130] 다계조 마스크를 사용하여 형성된 레지스트 마스크(235)는 두께가 상이한 복수의 영역(여기서는, 2개의 영역)으로 이루어지는 레지스트 마스크이며, 두께가 두꺼운 영역과, 얇은 영역을 가진다. 레지스트 마스크(235)에 있어서, 두꺼운 영역을 레지스트 마스크(235)의 볼록부라고 부르고, 얇은 영역을 레지스트 마스크(235)의 오목부라고 부르는 경우가 있다.

[0131] 레지스트 마스크(235)를 마스크로 하여, 도전층(231), 절연층(232), 반도체층(233), 및 절연층(234)을 선택적으로 에칭하고, 게이트 전극(220), 배선(203), 배선(212), 섬 형상의 절연층(204), 섬 형상의 반도체층(205), 섬 형상의 절연층(214)을 형성한다(도 7a 참조).

[0132] 도전층(231), 절연층(232), 반도체층(233), 및 절연층(234)의 에칭은, 드라이 에칭이라도 웨트 에칭이라도 좋고, 양자를 사용해도 좋다. 드라이 에칭에 사용하는 에칭 가스로서는, 염소를 함유하는 가스(염소계 가스, 예를 들면 염소(Cl₂), 삼염화붕소(BCl₃), 사염화규소(SiCl₄), 사염화탄소(CCl₄) 등)를 사용할 수 있다.

[0133] 드라이 에칭으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 또한, 절연층(201)은 기판(200)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖기 때문에, 상기 에칭시에, 절연층(201)이 가능한 에칭되지 않도록, 에칭 조건을 조정

하는 것이 바람직하다. 또한, 절연층(201)의 재료에, 상기 예칭시에 예칭되기 어려운 재료를 사용하면 적합하다.

[0134] 이어서, 산소 플라즈마에 의한 애싱 등에 의해, 레지스트 마스크(235)를 축소시킨다. 이 때, 레지스트 마스크(235)의 두께가 얇은 영역의 레지스트는 제거되어 섬 형상의 절연층(214)이 노출된다(도 7b 참조).

[0135] 이어서, 잔존한 레지스트 마스크(235)를 마스크로 하여 섬 형상의 절연층(204), 섬 형상의 반도체층(205), 섬 형상의 절연층(214)을 선택적으로 제거하여 게이트 전극(220)의 일부, 배선(203)의 일부, 배선(212)의 일부를 노출시킨다. 이 때, 섬 형상의 절연층(204), 섬 형상의 반도체층(205), 및 섬 형상의 절연층(214)은, 각각의 측면이 개략 일치하여 상면에서 볼 때 각 층이 개략 같은 형상이 된다.

[0136] 또한, 게이트 전극(220)의 단부를, 섬 형상의 절연층(204), 섬 형상의 반도체층(205), 섬 형상의 절연층(214)의 단부보다 외측으로 돌출된 형상으로 함으로써, 단차가 완화되어 나중에 형성되는 절연층 또는 도전층의 피복성을 향상시킬 수 있다(도 8a 참조).

[0137] 또한, 섬 형상의 반도체층(205)을 게이트 전극(220)과 중첩시키고, 또한 게이트 전극(220)보다도 섬 형상의 반도체층(205)을 작게 형성함으로써, 게이트 전극(220)측으로부터의 광 조사에 의한 트랜지스터 특성의 열화를 방지할 수 있다.

[0138] 또한, 도시하고 있지 않지만, 나중에 형성되는 배선(216)과, 배선(203) 및 배선(212)의 교차부에 있어서의 기생 용량을 저감시키기 위해서, 교차부에 상당하는 부위의 배선(203) 및 배선(212) 위에, 섬 형상의 절연층(204), 섬 형상의 반도체층(205), 섬 형상의 절연층(214)을 잔존시킨다.

[0139] 이어서, 레지스트 마스크(235)를 제거한다. 다계조 마스크를 사용하면, 복수회의 포토리소그래피 공정을 1회의 포토리소그래피 공정으로 치환하는 것이 가능해지기 때문에, 반도체 장치의 생산성을 향상시킬 수 있다.

[0140] 또한, 특별한 설명이 없는 한, 본 명세서에서 말하는 포토리소그래피 공정에는, 레지스트 마스크의 형성 공정과, 도전층 또는 절연층의 예칭 공정과, 레지스트 마스크의 박리 공정이 포함되어 있는 것으로 한다.

[0141] 이어서, 섬 형상의 절연층(214), 배선(203), 배선(212) 위에 절연층(215)을 형성한다. 절연층(215)은, 절연층(201), 절연층(232)(섬 형상의 절연층(204)), 절연층(234)(섬 형상의 절연층(214))과 같은 재료 및 방법으로 형성할 수 있다. 또한, 절연층(215)은 용량 소자(113)의 유전체층으로서 기능하기 때문에, 비유전율이 큰 재료를 사용하는 것이 바람직하다. 본 실시 형태에서는, 절연층(215)으로서 막 두께 200nm의 질화실리콘을 스퍼터링법을 사용하여 성막한다. 질화실리콘은 산화실리콘보다도 비유전율이 크고, 또한, 외부로부터의 불순물의 침입을 방지하는 보호층으로서 기능할 수 있기 때문에 바람직하다(도 8b 참조).

[0142] 이어서, 제 2 포토마스크를 사용한 제 2 포토리소그래피 공정에 의해, 절연층(215) 및 절연층(214)을 선택적으로 제거하고, 콘택트 홀(208) 및 콘택트 홀(219)을 형성한다. 콘택트 홀(208)에 있어서, 반도체층(205)의 일부가 노출되고, 콘택트 홀(219)에 있어서, 배선(212)의 일부가 노출된다(도 9a 참조). 또한, 접촉 저항을 저감시키기 위해서, 콘택트 홀은 가능한 큰 면적 또는, 콘택트 홀의 수를 많게 하는 것이 바람직하다.

[0143] 이어서, 절연층(215) 위에 도전층을 형성하고, 제 3 포토마스크를 사용한 제 3 포토리소그래피 공정에 의해, 소스 전극(206a), 드레인 전극(206b), 전극(221), 배선(216)을 형성한다(도 9b 참조). 소스 전극(206a), 드레인 전극(206b), 전극(221), 배선(216)을 형성하기 위한 도전층은, 도전층(231)과 같은 재료 및 방법으로 형성할 수 있다. 본 실시 형태에서는, 도전층으로서, 스퍼터링법에 의해 절연층(215) 위에 두께 5nm의 질화티타늄을 형성하고, 질화티타늄 위에 두께 250nm의 Cu를 형성한다.

[0144] 이어서, 소스 전극(206a), 드레인 전극(206b), 전극(221), 배선(216) 위에 투광성을 갖는 도전층을 형성하고, 제 4 포토마스크를 사용한 제 4 포토리소그래피 공정에 의해, 화소 전극(210), 전극(222), 전극(223)을 형성한다(도 9c 참조).

[0145] 투광성을 갖는 도전층은, 산화텅스텐을 함유하는 인듐 산화물, 산화텅스텐을 함유하는 인듐아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐주석 산화물, 인듐주석 산화물(이하, IT0로 나타낸다.), 인듐아연 산화물, 산화규소를 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0146] 또한, 소스 전극(206a), 드레인 전극(206b), 배선(216) 등의 산화를 방지하기 위해서, 이들 전극 또는 배선의 일부 또는 전부를, 화소 전극(210)을 형성하기 위한 도전층으로 덮을 수도 있다.

- [0147] 또한, 본 실시 형태에서는 투과형 표시 장치의 화소부의 제작 방법에 관해서 예시했지만, 투과형에 한정되지 않으며, 반사형 표시 장치의 화소부에도 적용할 수 있다. 반사형 표시 장치의 화소부를 얻는 경우에는, 화소 전극으로서 광반사율이 높은 도전층(반사 도전층이라고도 한다), 예를 들면, 알루미늄, 티타늄, 은, 로듐, 니켈 등의 가시광의 반사율이 높은 금속, 또는, 이들 금속의 적어도 1개를 함유하는 합금, 또는 이들의 적층을 사용하면 좋다.
- [0148] 또한, 필요에 따라서, 화소 전극과 동일한 재료를, 반도체층의 채널 형성 영역과 겹치도록 배치할 수도 있다.
- [0149] 본 실시 형태에서는, 투광성을 갖는 도전층으로서 두께 80nm의 ITO를 사용한다. 또한, ITO의 예칭은, 간토가 가쿠 가부시키가이샤 제조의 투명 도전막 예칭액ITO-07N을 사용할 수 있다.
- [0150] 또한, 단자부(103) 및 단자부(104)에 있어서, 배선(212) 및 배선(216)을 노출된 상태 그대로 하지 않고, ITO 등의 산화물 도전성 재료로 덮는 것은 중요하다. 배선(212) 및 배선(216)은 금속층이기 때문에, 배선(212) 및 배선(216)을 노출된 상태 그대로 하면, 노출 표면이 산화되어 FPC 등과의 접촉 저항이 증대된다. 접촉 저항의 증대는, 외부로부터 입력되는 신호의 지연이나 파형의 왜곡을 일으키기 때문에, 외부로부터의 신호가 정확하게 전달되지 않아 반도체 장치의 신뢰성을 저하시켜 버린다. 배선(212) 및 배선(216)의 노출 표면을, ITO 등의 산화물 도전성 재료로 덮음으로써, FPC 등과의 접촉 저항의 증대를 방지하여 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0151] 이상의 제작 방법에 의해, 트랜지스터(111) 및 용량 소자(113)를 갖는 화소(110)와, 단자(105) 및 단자(106)를 형성할 수 있다. 또한, 화소(120) 및 화소(130)도, 화소(110)와 같은 제작 방법에 의해 형성할 수 있다.
- [0152] 또한, 반도체층(205)은 상면 및 측면이 절연층(215)으로 덮이고, 하면이 금속층인 게이트 전극(220)에 의해 덮여 있기 때문에, 외부로부터 불순물이 침입하기 어려워 신뢰성이 높은 반도체 장치로 할 수 있다. 또한, 절연층(215)과 절연층(201)을 질화실리콘으로 형성하고, 반도체층(205)을 질화실리콘으로 덮는 구성으로 함으로써, 반도체 장치의 신뢰성을 더욱 향상시킬 수 있다.
- [0153] 본 실시 형태에 의하면, 종래보다도 적은 포토마스크 및 포토리소그래피 공정에 의해 반도체 장치를 제작하는 것이 가능해진다. 따라서, 저비용으로, 생산성이 양호한 표시 장치를 제작할 수 있다.
- [0154] 본 실시 형태는, 다른 실시 형태와 적절히 조합하여 사용할 수 있다.
- [0155] (실시 형태 2)
- [0156] 본 실시 형태에서는, 실시 형태 1과 일부 상이한 공정예를, 도 10을 사용하여 설명한다. 또한, 실시 형태 1과 동일한 개소에는 동일한 부호를 사용하고, 동일한 부호의 상세한 설명은 여기에서는 생략한다.
- [0157] 우선, 실시 형태 1과 같이, 기판(200) 위에 절연층(201)을 형성하고, 절연층(201) 위에 도전층(231)을 형성한다. 본 실시 형태에서는, 나중에 성막하는 반도체층의 성막 온도가 200°C 이상 450°C 이하, 반도체층의 성막 후의 가열 처리의 온도가 200°C 이상 450°C 이하이기 때문에, 도전층(231)으로서, 2층의 Mo 사이에 Cu를 개재한 3층의 적층을 사용한다.
- [0158] 이어서, 도전층(231) 위에 절연층(232)을 형성하고, 절연층(232) 위에 1nm 이상 10nm 이하의 제 1 산화물 반도체층을 형성한다. 본 실시 형태에서는, 산화물 반도체용 타깃(In-Ga-Zn계 산화물 반도체용 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수 비]))을 사용하고, 기판과 타깃간의 거리를 170mm, 기판 온도 250°C, 압력 0.4Pa, 직류(DC) 전원 전력 0.5kW로 하고, 스퍼터링 가스를 산소만, 아르곤만, 또는, 아르곤 및 산소로 하여 막 두께 5nm의 제 1 산화물 반도체층을 성막한다.
- [0159] 이어서, 기판을 배치하는 분위기를 질소, 또는 건조 공기로 하고, 제 1 가열 처리를 행한다. 제 1 가열 처리의 온도는, 200°C 이상 450°C 이하로 한다. 또한, 제 1 가열 처리의 가열 시간은 1시간 이상 24시간 이하로 한다. 제 1 가열 처리에 의해 제 1 산화물 반도체층이 결정화되고, 제 1 결정성 산화물 반도체층(148a)이 된다(도 10b 참조).
- [0160] 이어서, 제 1 결정성 산화물 반도체층(148a) 위에 10nm보다도 두꺼운 제 2 산화물 반도체층을 형성한다. 본 실시 형태에서는, 산화물 반도체용 타깃(In-Ga-Zn계 산화물 반도체용 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수 비]))을 사용하고, 기판과 타깃간의 거리를 170mm, 기판 온도 400°C, 압력 0.4Pa, 직류(DC) 전원 전력 0.5kW로 하고, 스퍼터링 가스로서 산소만, 아르곤만, 또는, 아르곤 및 산소로 하여 막 두께 25nm의 제 2 산화물 반도체

층을 성막한다.

[0161] 이어서, 기판을 배치하는 분위기를 질소, 또는 건조 공기로 하고, 제 2 가열 처리를 행한다. 제 2 가열 처리의 온도는, 200°C 이상 450°C 이하로 한다. 또한, 제 2 가열 처리의 가열 시간은 1시간 이상 24시간 이하로 한다. 제 2 가열 처리에 의해 제 2 산화물 반도체층이 결정화되어 제 2 결정성 산화물 반도체층(148b)이 된다(도 10c 참조).

[0162] 이어서, 제 2 결정성 산화물 반도체층(148b) 위에 절연층(234)을 형성한다. 이후의 공정은, 실시 형태 1에 따라서 행함으로써, 트랜지스터(111)를 얻을 수 있다. 단, 본 실시 형태를 사용한 경우, 트랜지스터(111)의 채널 형성 영역을 포함하는 반도체층은, 제 1 결정성 산화물 반도체층(148a), 및 제 2 결정성 산화물 반도체층(148b)의 적층이 된다. 제 1 결정성 산화물 반도체층(148a), 및 제 2 결정성 산화물 반도체층(148b)은, C축 배향을 가지고 있다.

[0163] 제 1 결정성 산화물 반도체층과 제 2 결정성 산화물 반도체층의 적층을 갖는 트랜지스터는, 트랜지스터에 광조사가 이루어지고, 또는 바이어스-열 스트레스(BT)시험 전후에 있어서도 트랜지스터의 임계값 전압의 변화량을 저감할 수 있어 안정된 전기적 특성을 가진다.

[0164] 본 실시 형태는, 다른 실시 형태와 자유롭게 조합할 수 있다.

[0165] (실시 형태 3)

[0166] 실시 형태 1 및 실시 형태 2에서 예시한 트랜지스터를 사용한 표시 장치의 일 형태를 도 11에 도시한다.

[0167] 도 11a는, 트랜지스터(4010), 및 액정 소자(4013)를, 제 1 기판(4001)과 제 2 기판(4006) 사이에 씰재(4005)에 의해 밀봉한 패널의 평면도이며, 도 11b는, 도 11a의 M-N에 있어서의 단면도에 상당한다.

[0168] 제 1 기판(4001) 위에 형성된 화소부(4002)를 둘러싸듯이 하여 씰재(4005)가 형성되고, 화소부(4002) 위에 제 2 기판(4006)이 형성되어 있다. 따라서 화소부(4002)는, 제 1 기판(4001)과 씰재(4005)와 제 2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉되어 있다.

[0169] 또한, 제 1 기판(4001) 위의 씰재(4005)에 의해 둘러싸여 있는 영역보다 외측 영역에 입력 단자(4020)를 가지며, FPC(Flexible printed circuit)(4018a), FPC(4018b)가 접속되어 있다. FPC(4018a)는 별도 상이한 기판에 제작된 신호선 구동 회로(4003)와 전기적으로 접속되고, FPC(4018b)는 별도 상이한 기판에 제작된 주사선 구동 회로(4004)와 전기적으로 접속되어 있다. 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018a) 및 FPC(4018b)를 통하여 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)로부터 공급된다.

[0170] 또한, 별도 상이한 기판에 제작된 구동 회로의 접속 방법은, 특별히 한정되는 것이 아니며, COG(Chip On Glass) 방법, 와이어 본딩 방법, TCP(Tape Carrier Package) 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 사용할 수 있다.

[0171] 또한, 도시하고 있지 않지만, 신호선 구동 회로(4003) 또는 주사선 구동 회로(4004)는, 본 명세서에서 개시하는 트랜지스터를 사용하여 기판(4001) 위에 형성해도 좋다.

[0172] 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다)를 사용할 수 있다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0173] 도 11에 도시하는 표시 장치는, 전극(4015) 및 배선(4016)을 가지고 있으며, 전극(4015) 및 배선(4016)은 FPC(4018a)가 갖는 단자와 이방성 도전층(4019)을 통하여 전기적으로 접속되어 있다.

[0174] 전극(4015)은 제 1 전극(4030)과 동일한 도전층으로 형성되고, 배선(4016)은 트랜지스터(4010)의 소스 전극 및 드레인 전극과 동일한 도전층으로 형성되어 있다.

[0175] 본 실시 형태에서는, 트랜지스터(4010)로서, 실시 형태 1 및 실시 형태 2에서 나타낸 트랜지스터를 적용할 수 있다. 화소부(4002)에 형성된 트랜지스터(4010)는 표시 소자와 전기적으로 접속하여 표시 패널을 구성한다. 표시 소자는 표시를 행할 수 있으면 특별히 한정되지 않으며, 여러 가지 표시 소자를 사용할 수 있다.

[0176] 도 11은, 표시 소자로서 액정 소자를 사용한 표시 장치의 예를 도시하고 있다. 도 11에 있어서, 표시 소자인 액정 소자(4013)는, 제 1 전극(4030), 제 2 전극(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 사이에 개재하도록 배향막으로서 기능하는 절연층(4032), 절연층(4033)이 형성되어 있다. 제 2 전극(4031)은 제 2 기판(4006)측에 형성되고, 제 1 전극(4030)과 제 2 전극(4031)은 액정층(4008)을 개재하여 적층하는 구

성으로 되어 있다.

[0177] 또한, 스페이서(4035)는 제 2 기판(4006) 위에 절연층으로 형성된 기둥상의 스페이서이며, 액정층(4008)의 막 두께(셀 캡)를 제어하기 위해서 형성되어 있다. 또한 구 형상의 스페이서를 사용해도 좋다.

[0178] 표시 소자로서 액정 소자를 사용하는 경우, 액정층(4008)에, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등의 액정 재료를 사용할 수 있다. 이들 액정 재료는, 조건에 따라, 콜레스테릭상, 스메틱상, 큐빅상, 키랄네마티상, 등방상 등을 나타낸다.

[0179] 또한, 배향막을 사용하지 않는 블루상을 나타내는 액정 재료를 사용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온시켜 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 온도 범위를 개선하기 위해서 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 사용하여 액정층에 사용한다. 블루상을 나타내는 액정 재료와 키랄제를 함유하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하며, 시야각의 존성이 작다. 또한 배향막을 설치하지 않아도 되기 때문에 러빙 처리도 불필요해져, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있어 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능해진다.

[0180] 또한, 액정 재료의 고유 저항율은, $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이며, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이며, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에 있어서의 고유 저항율의 값은, 20°C에서 측정한 값으로 한다.

[0181] 액정 표시 장치의 각 화소에 형성되는 용량 소자(4011)(유지 용량)의 용량은, 각 화소에 배치되는 트랜지스터(4010)의 리크 전류 등을 고려하여 소정 기간 동안 전하를 유지할 수 있도록 설정된다. 채널이 형성되는 반도체층에, i형 또는 실질적으로 i형화된 산화물 반도체를 사용한 트랜지스터(4010)를 사용함으로써, 각 화소에 있어서의 액정 용량에 대해 1/3 이하, 바람직하게는 1/5 이하의 용량 크기를 갖는 유지 용량을 형성하면 충분하다.

[0182] 또한, i형 또는 실질적으로 i형화된 산화물 반도체층을 사용한 트랜지스터는, 오프 상태에 있어서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있어 전원은 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리플래쉬 동작의 빈도를 적게 할 수 있기 때문에, 소비 전력을 억제하는 효과를 나타낸다. 또한, i형 또는 실질적으로 i형화된 산화물 반도체층을 사용한 트랜지스터는, 유지 용량을 제공하지 않아도, 액정 소자에 인가된 전위의 유지가 가능해진다.

[0183] 또한, 산화물 반도체층을 사용한 트랜지스터는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에, 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다. 또한, 상기 트랜지스터는, 동일 기판 위에 구동 회로부 또는 화소부로 분류하여 제작할 수도 있기 때문에, 액정 표시 장치 부품 점수를 삽감할 수 있다.

[0184] 또한, 액정 표시 장치로서는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등의 액정 소자를 사용할 수 있다.

[0185] 또한, 노멀리 블랙형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 좋다. 여기에서, 수직 배향 모드란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이며, 전압이 인가되지 않을 때에 패널면에 대해 액정 분자가 수직 방향을 향하는 방식이다. 수직 배향 모드로서는, 몇가지를 들 수 있지만, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super-View) 모드 등을 사용할 수 있다. 또한, 화소(픽셀)를 몇개의 영역(서브 픽셀)으로 나누고, 각각 다른 방향으로 분자를 쓰러뜨리도록 고안되어 있는 멀티 도메인화 또는 멀티 도메인 설계라고 불리는 방법을 사용할 수 있다.

[0186] 또한, 액정 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 형성한다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원평광을 사용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용해도 좋다.

[0187] 또한, 백 라이트로서 복수의 발광 다이오드(LED)를 사용하여 시간 분할 표시 방식(필드 시퀀셜 구동 방식)을

행하는 것도 가능하다. 필드 시퀀셜 구동 방식을 적용함으로써, 컬러 필터를 사용하지 않고 컬러 표시를 행할 수 있다.

[0188] 또한, 화소부에 있어서의 표시 방식은, 프로그래시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소로서는, RGB(R은 적색, G는 녹색, B는 청색을 나타낸다)의 3색으로 한정되지 않는다. 예를 들면, RGBW(W는 흰색을 나타낸다), 또는 RGB에, 옐로우, 시안, 마젠타 등을 1색 이상 추가한 것이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이해도 좋다. 단, 본 발명은 컬러 표시의 액정 표시 장치에 한정되는 것이 아니며, 모노크롬 표시의 액정 표시 장치에 적용할 수도 있다.

[0189] 또한, 도 11에 있어서, 제 1 기판(4001), 제 2 기판(4006)으로서는, 유리 기판 외에, 가요성을 갖는 기판도 사용할 수 있고, 예를 들면 투광성을 갖는 플라스틱 기판 등을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 사이에 개재한 구조의 시트를 사용할 수도 있다.

[0190] 표시 소자에 전압을 인가하는 제 1 전극 및 제 2 전극(화소 전극, 공통 전극, 대향 전극 등이라고도 한다)은, 추출광의 방향, 전극이 형성되는 장소, 및 전극의 패턴 구조에 의해 투광성, 반사성을 선택하면 좋다.

[0191] 제 1 전극(4030), 제 2 전극(4031)은 산화텅스텐을 함유하는 인듐 산화물, 산화텅스텐을 함유하는 인듐아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐주석 산화물, 인듐주석 산화물, 인듐아연 산화물, 산화규소를 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0192] 또한, 제 1 전극(4030), 제 2 전극(4031) 중 어느 한쪽은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 질화물로부터 하나, 또는 복수종을 사용하여 형성할 수 있다.

[0193] 또한, 제 1 전극(4030), 제 2 전극(4031)으로서, 도전성 고분자(도전성 폴리머라고도 한다)를 함유하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리페롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤 및 티오펜의 2종 이상으로 이루어지는 공중합체 또는 그 유도체 등을 들 수 있다.

[0194] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 보호 회로를 형성하는 것이 바람직하다. 보호 회로는, 비선형 소자를 사용하여 구성하는 것이 바람직하다.

[0195] 본 실시 형태는, 다른 실시 형태와 자유롭게 조합할 수 있다.

[0196] (실시 형태 4)

[0197] 본 실시 형태에 있어서는, 상기 실시 형태에서 설명한 표시 장치를 구비하는 전자 기기의 예에 관해서 설명한다.

[0198] 도 12a는, 노트형의 퍼스널 컴퓨터이며, 본체(3001), 케이스(3002), 표시부(3003), 키보드(3004) 등에 의해 구성되어 있다. 상기 실시 형태에서 나타낸 표시 장치를 적용함으로써, 신뢰성이 높은 노트형의 퍼스널 컴퓨터로 할 수 있다.

[0199] 도 12b는, 휴대 정보 단말(PDA)이며, 본체(3021)에는 표시부(3023)와, 외부 인터페이스(3025)와, 조작 버튼(3024) 등이 형성되어 있다. 또한 조작용 부속품으로서 스타일러스(3022)가 있다. 상기 실시 형태에서 나타낸 표시 장치를 적용함으로써, 신뢰성이 높은 휴대 정보 단말(PDA)로 할 수 있다.

[0200] 도 12c는, 전자 서적의 일례를 도시하고 있다. 예를 들면, 전자 서적은, 케이스(2702) 및 케이스(2704)의 2개의 케이스로 구성되어 있다. 케이스(2702) 및 케이스(2704)는, 축부(2712)에 의해 일체화되어 있고, 상기 축부(2712)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이 서적과 같은 동작을 행하는 것이 가능해진다.

[0201] 케이스(2702)에는 표시부(2705)가 내장되고, 케이스(2704)에는 표시부(2707)가 내장되어 있다. 표시부(2705) 및 표시부(2707)는, 연속 화면을 표시하는 구성으로 해도 좋고, 상이한 화면을 표시하는 구성으로 해도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들면 오른쪽의 표시부(도 12c에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 12c에서는 표시부(2707))에 화상을 표시할 수 있다. 상기 실시 형태에서 나

타낸 표시 장치를 적용함으로써, 신뢰성이 높은 전자 서적으로 할 수 있다.

[0202] 또한, 도 12c에서는, 케이스(2702)에 조작부 등을 구비한 예를 도시하고 있다. 예를 들면, 케이스(2702)에 있어서, 전원 단자(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 케이스의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적은 전자 사전으로서의 기능을 갖게 한 구성으로 해도 좋다.

[0203] 또한, 전자 서적은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 하는 것도 가능하다.

[0204] 도 12d는 휴대 전화이며, 케이스(2800) 및 케이스(2801)의 두개의 케이스로 구성되어 있다. 케이스(2801)에는, 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비하고 있다. 또한, 케이스(2800)에는, 휴대 전화의 충전을 행하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등을 구비하고 있다. 또한, 안테나는 케이스(2801) 내부에 내장되어 있다.

[0205] 또한, 표시 패널(2802)은 터치 패널을 구비하고 있으며, 도 12d에는 영상 표시되어 있는 복수의 조작 키(2805)를 점선으로 나타내고 있다. 또한, 태양 전지 셀(2810)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압시키기 위한 승압 회로도 실장하고 있다.

[0206] 표시 패널(2802)은 사용 형태에 따라서 표시의 방향이 적절히 변화된다. 또한, 표시 패널(2802)과 동일면 위에 카메라용 렌즈(2807)를 구비하고 있기 때문에, 영상 전화가 가능하다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화에 한정되지 않고, 영상 전화, 녹음, 재생 등이 가능하다. 또한, 케이스(2800)와 케이스(2801)는 슬라이드하여 도 12d와 같이 전개되어 있는 상태로부터 접친 상태로 할 수 있어 휴대에 적합한 소형화가 가능하다.

[0207] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하여 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0208] 또한, 상기 기능 외에, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이라도 좋다. 상기 실시 형태에서 나타낸 표시 장치를 적용함으로써, 신뢰성이 높은 휴대 전화로 할 수 있다.

[0209] 도 12e는 디지털 비디오 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등에 의해 구성되어 있다. 상기 실시 형태에서 나타낸 표시 장치를 적용함으로써, 신뢰성이 높은 디지털 비디오 카메라로 할 수 있다.

[0210] 도 12f는 텔레비전 장치의 일례를 도시하고 있다. 텔레비전 장치는 케이스(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 케이스(9601)를 지지한 구성을 나타내고 있다. 상기 실시 형태에서 나타낸 표시 장치를 적용함으로써, 신뢰성이 높은 텔레비전 장치로 할 수 있다.

[0211] 텔레비전 장치의 조작은, 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러에 의해 행할 수 있다. 또한, 리모트 컨트롤러에, 상기 리모트 컨트롤러로부터 출력되는 정보를 표시하는 표시부를 설치하는 구성으로 해도 좋다.

[0212] 또한, 텔레비전 장치는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반적인 텔레비전 방송의 수신을 행할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 1방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보 통신을 행하는 것도 가능하다.

[0213] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

부호의 설명

[0214] 100 반도체 장치

101 기판

102 화소 영역

103 단자부

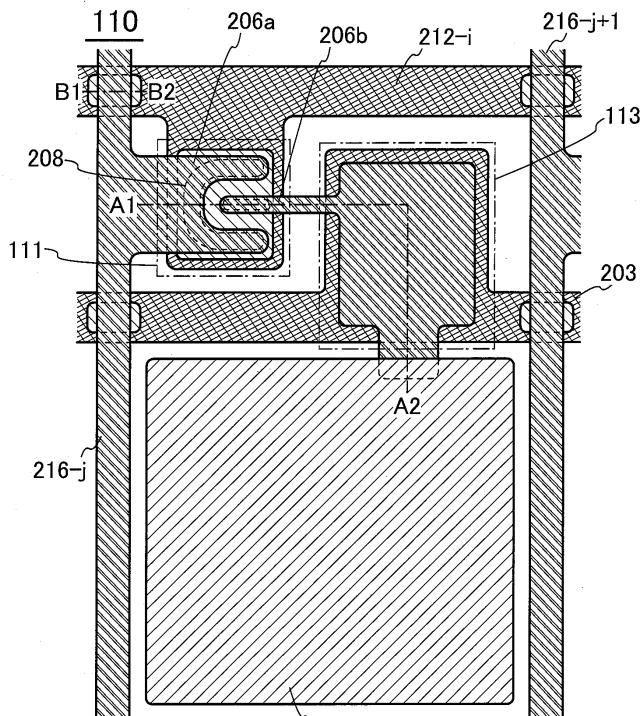
104 단자부	105 단자
106 단자	107 단자
110 화소	111 트랜지스터
112 액정 소자	113 용량 소자
114 전극	120 화소
123 용량 소자	130 화소
133 용량 소자	200 기판
201 절연층	202 게이트 전극
203 배선	204 절연층
205 반도체층	208 콘택트 홀
210 화소 전극	212 배선
214 절연층	215 절연층
216 배선	219 콘택트 홀
221 전극	222 전극
223 전극	231 도전층
232 절연층	233 반도체층
234 절연층	235 레지스트 마스크
802 투광성 기판	803 차광부
804 회절 격자	805 광투과율
806 차광부	807 반투과부
808 광투과율	2702 케이스
2704 케이스	2705 표시부
2707 표시부	2712 축부
2721 전원 단자	2723 조작 키
2725 스피커	2800 케이스
2801 케이스	2802 표시 패널
2803 스피커	2804 마이크로폰
2805 조작 키	2806 포인팅 디바이스
2807 카메라용 렌즈	2808 외부 접속 단자
2810 태양 전지 셀	2811 외부 메모리 슬롯
3001 본체	3002 케이스
3003 표시부	3004 키보드
3021 본체	3022 스타일러스
3023 표시부	3024 조작 버튼
3025 외부 인터페이스	3051 본체
3053 접안부	3054 조작 스위치

3055 표시부(B)	3056 배터리
3057 표시부(A)	4001 기판
4002 화소부	4003 신호선 구동 회로
4004 주사선 구동 회로	4005 셀재
4006 기판	4008 액정층
4010 트랜지스터	4011 용량 소자
4013 액정 소자	4015 전극
4016 배선	4018 FPC
4019 이방성 도전층	4020 입력 단자
4030 전극	4031 전극
4032 절연층	4033 절연층
4035 스페이서	9601 케이스
9603 표시부	9605 스탠드
148a 결정성 산화물 반도체층	148b 결정성 산화물 반도체층
206a 소스 전극	206b 드레인 전극
4018a FPC	4018b FPC
801a 그레이톤 마스크	801b 하프톤 마스크

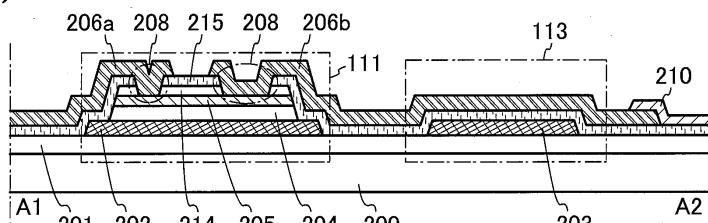
도면

도면1

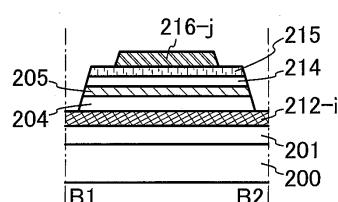
(a)



(b)

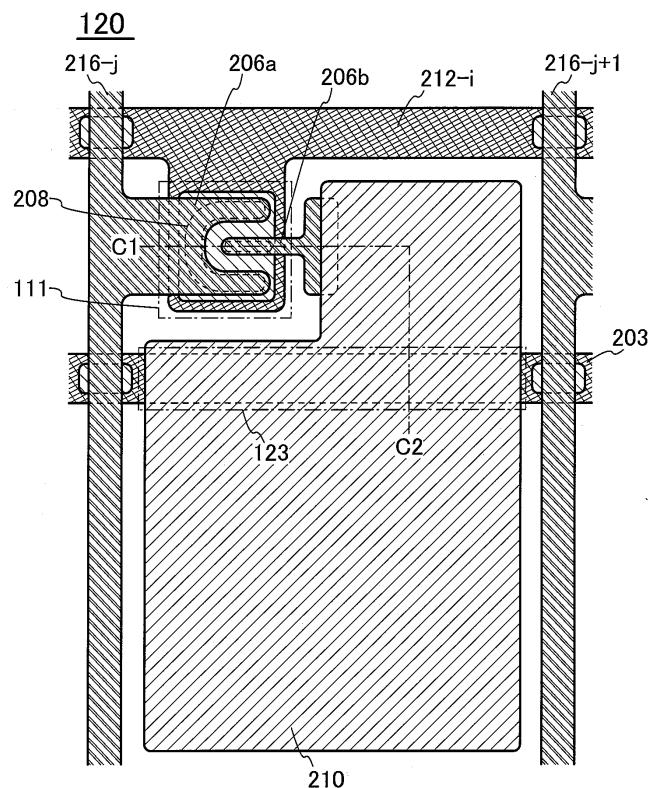


(c)

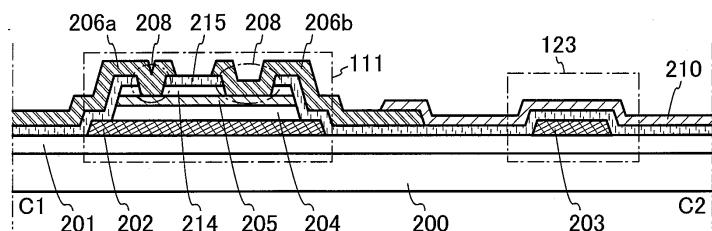


도면2

(a)

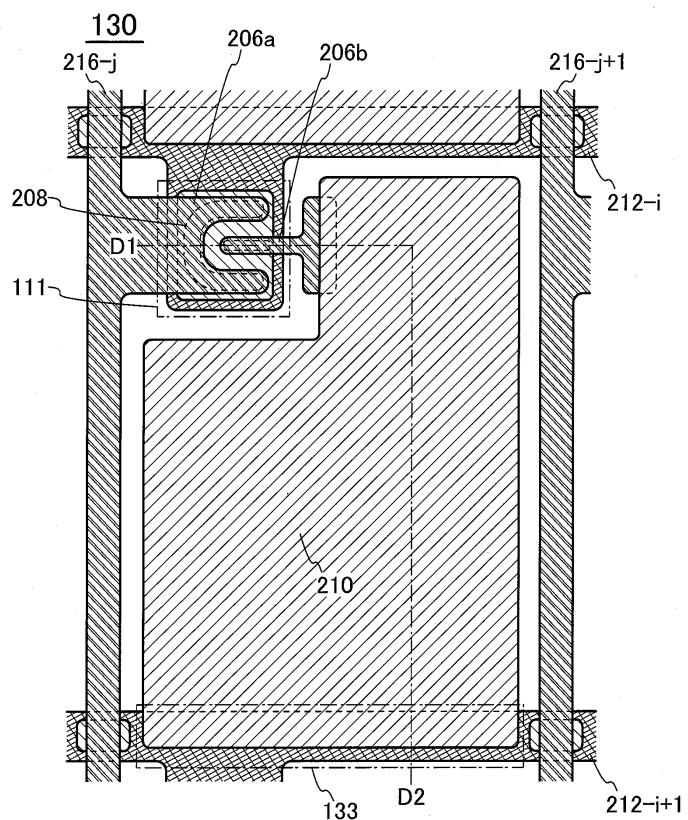


(b)

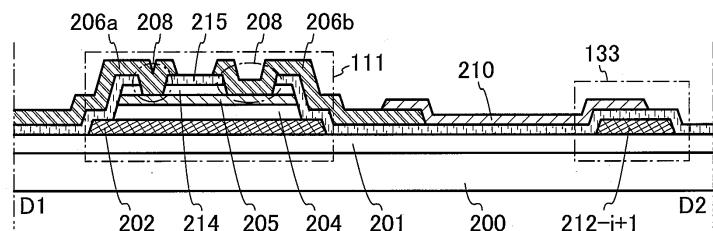


도면3

(a)

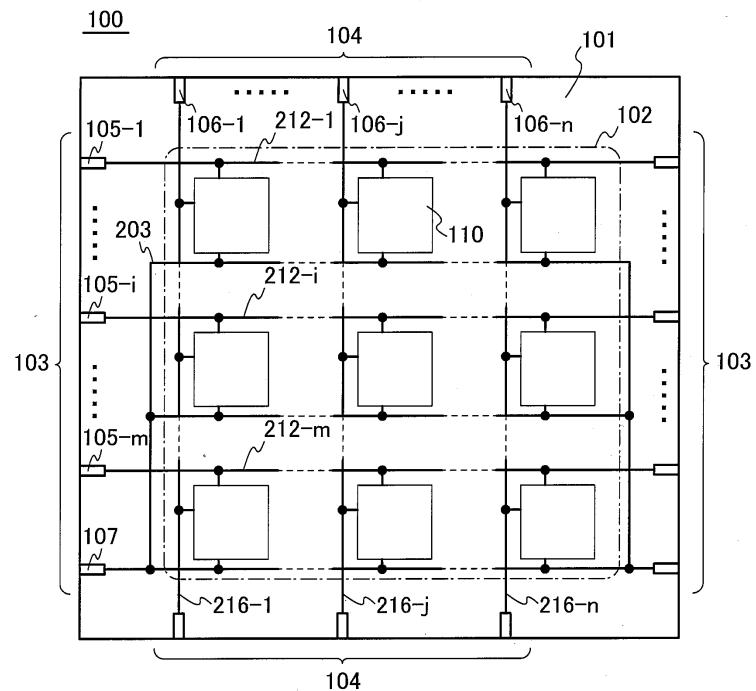


(b)

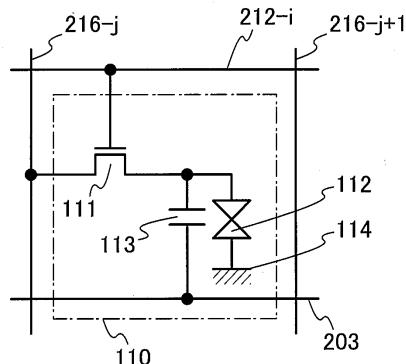


도면4

(a)

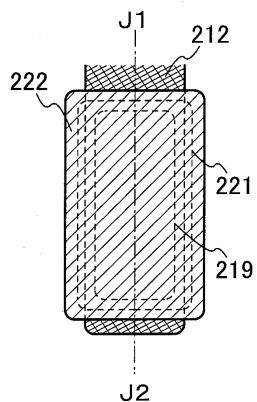


(b)

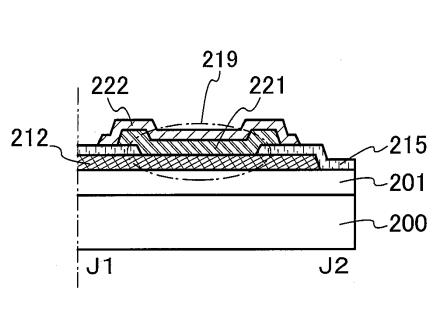


도면5

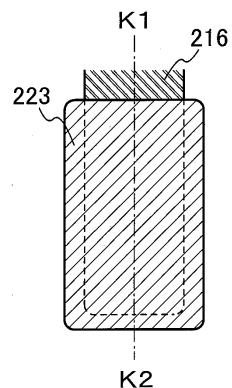
(a1)



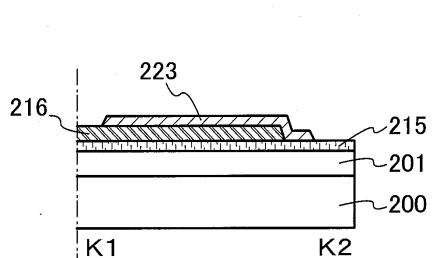
(a2)



(b1)

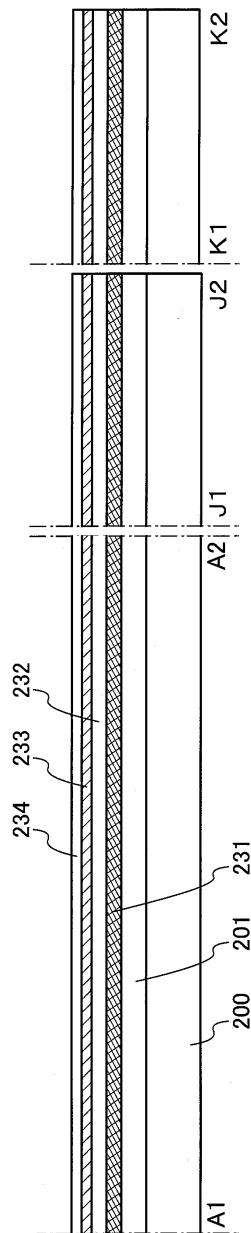


(b2)

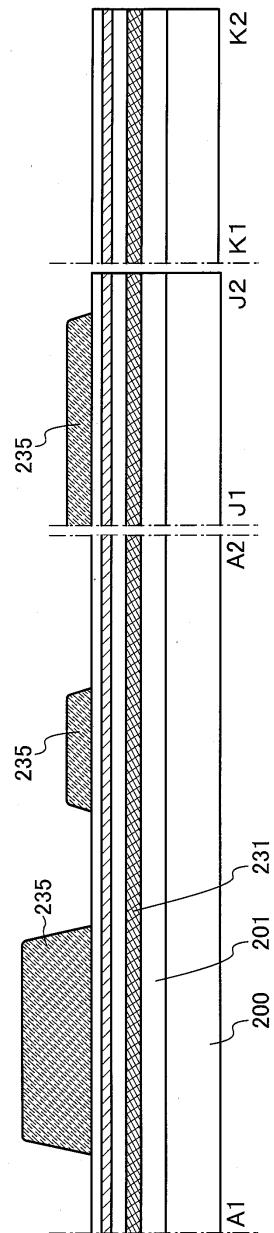


도면6

(a)

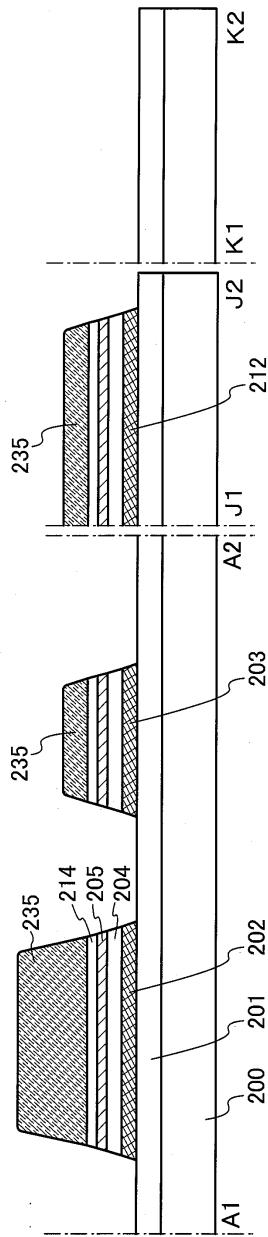


(b)

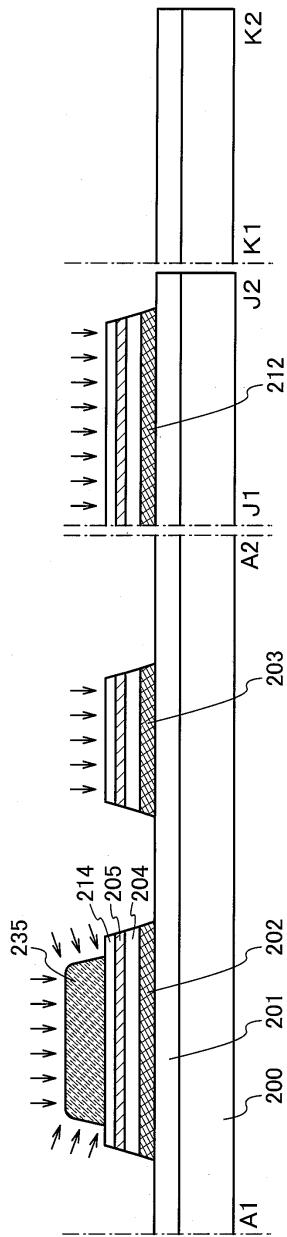


도면7

(a)

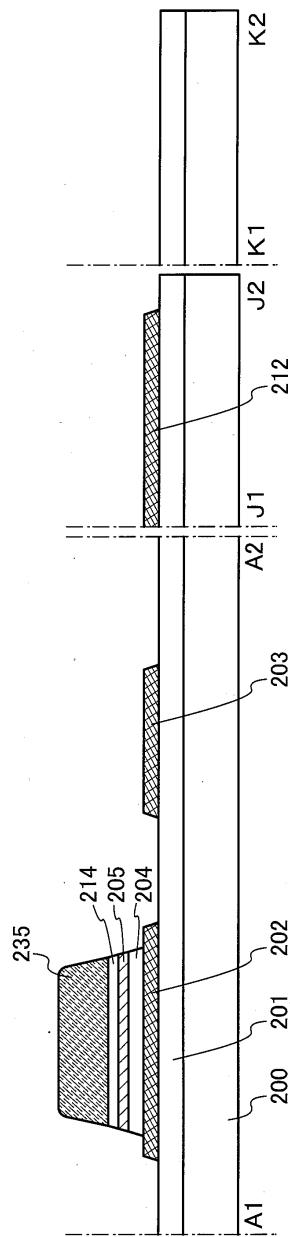


(b)

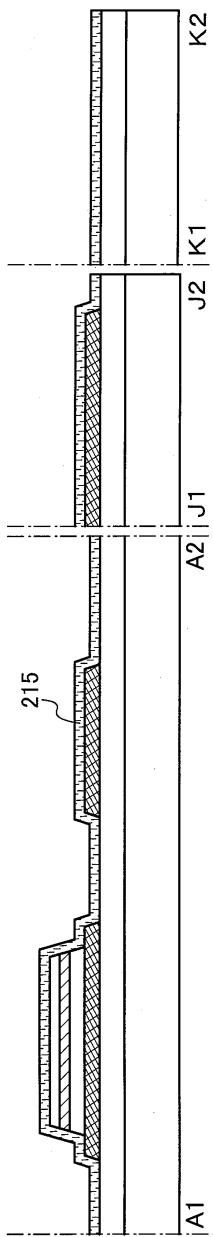


도면8

(a)

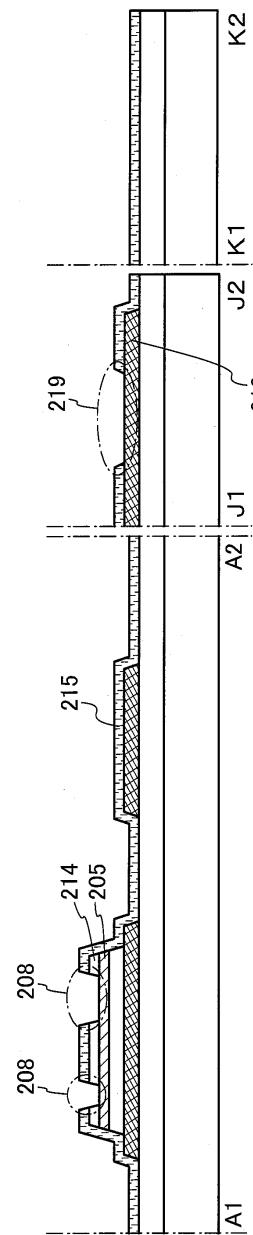


(b)

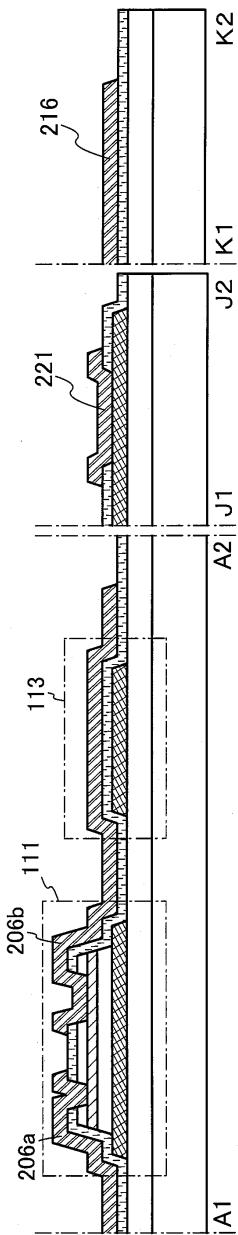


도면9

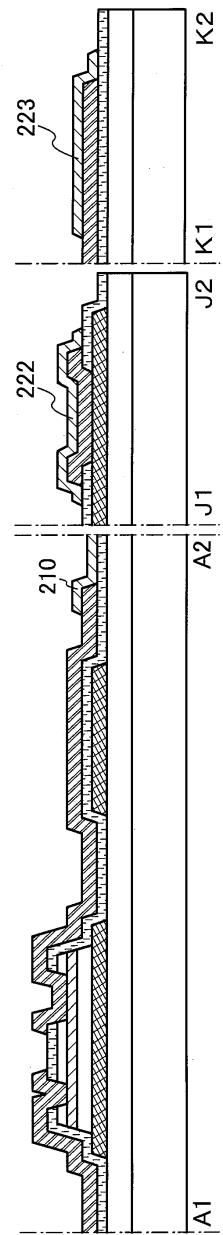
(a)



(b)

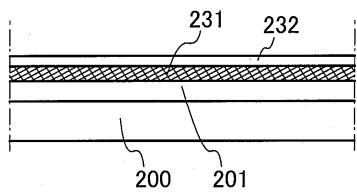


(c)

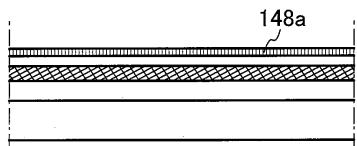


도면10

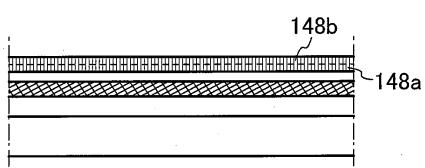
(a)



(b)

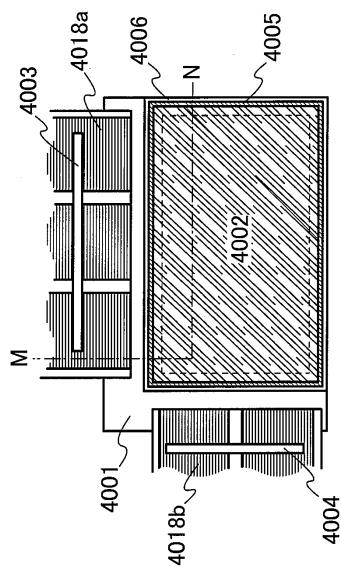


(c)

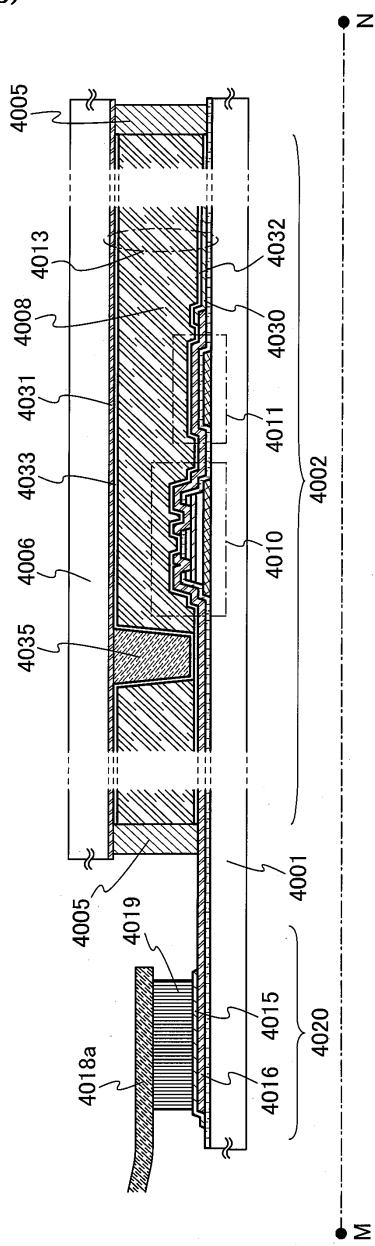


도면11

(a)

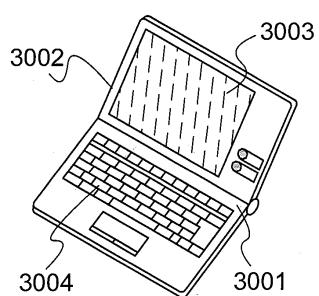


(b)

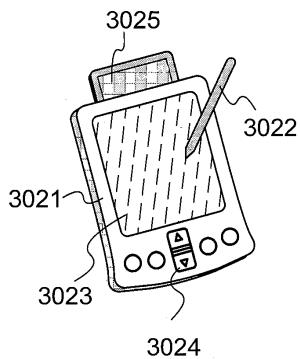


도면12

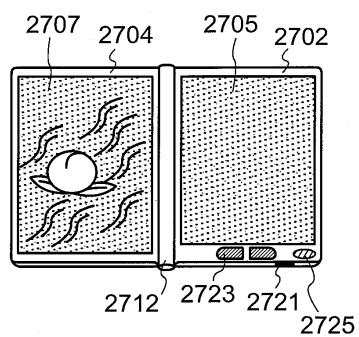
(a)



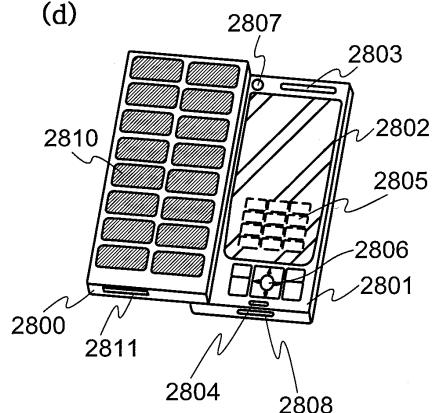
(b)



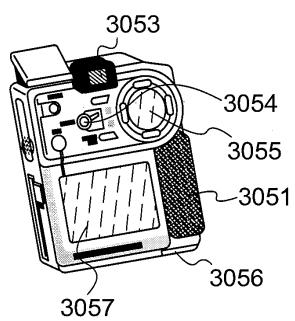
(c)



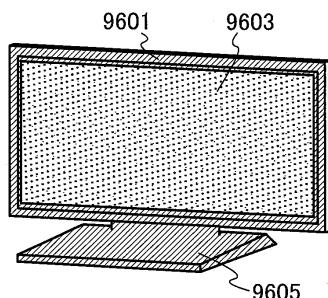
(d)



(e)

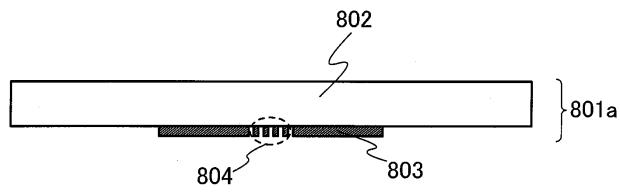


(f)

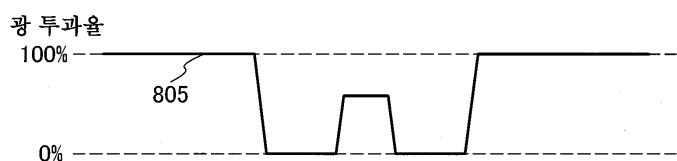


도면13

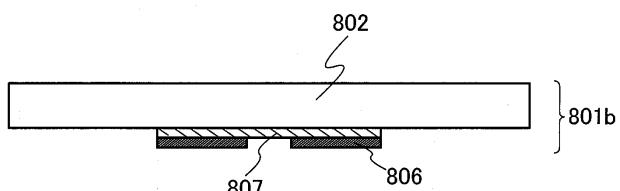
(a)



(b)



(c)



(d)

