

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年2月2日(02.02.2023)



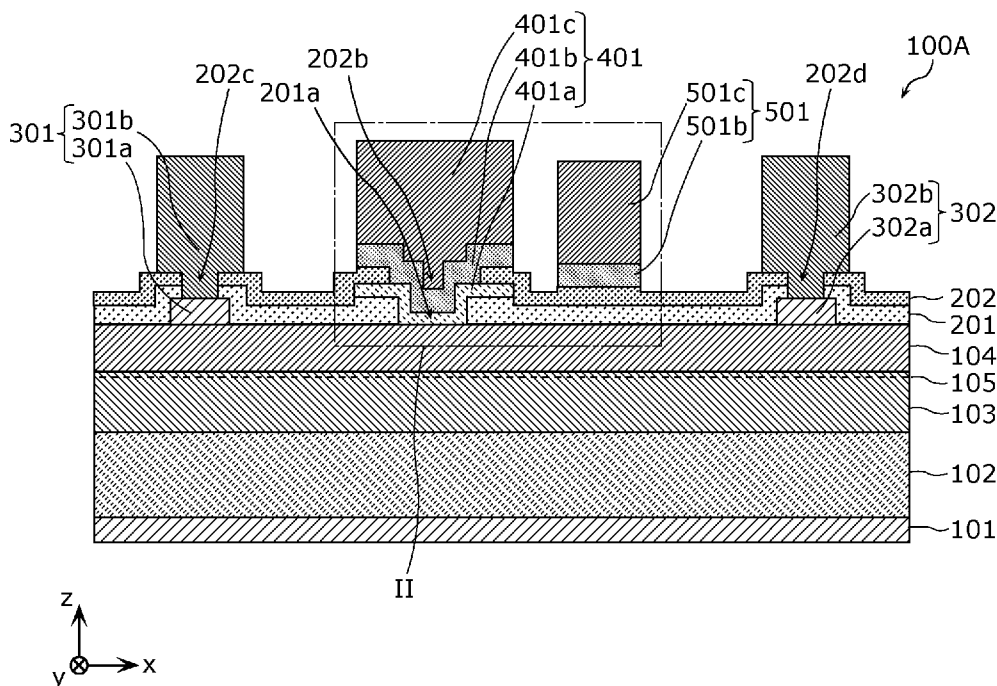
(10) 国際公開番号

WO 2023/008308 A1

- (51) 国際特許分類:
H01L 29/778 (2006.01) H01L 29/41 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/338 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2022/028359
- (22) 国際出願日: 2022年7月21日(21.07.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-122144 2021年7月27日(27.07.2021) JP
- (71) 出願人: ヌ ヴ オ ト ン テ ク ノ ロ ジ ー ジ ャ
パン株式会社 (NUVOTON TECHNOLOGY CORPORATION JAPAN) [JP/JP]; 〒6178520 京
都府長岡京市神足焼町1番地 Kyoto (JP).
- (72) 発明者: 神田 裕介(KANDA, Yusuke).
- (74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島5丁目
3番10号タナカ・イトーピア新大阪ビル6
階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device (100A) has a first nitride semiconductor layer (103), a second nitride semiconductor layer (104), a source electrode (301), a drain electrode (302), and a gate electrode (401) provided spaced apart from the source electrode (301) and the drain electrode (302) and abutting the second nitride semiconductor layer (104). The gate electrode (401) includes: a first barrier layer (401a) that comprises TaN, has a layer thickness of Z1, and forms a Schottky junction with the second nitride semiconductor layer (104); a second barrier layer (401b) that is provided upon,

WO 2023/008308 A1

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

and in contact with, the first barrier layer (401a), comprises TiN or WN, and has a layer thickness of Z2; and a wiring layer provided upon, and in contact with, the second barrier layer (401b). Z1 and Z2 fulfill $200 \text{ nm} \geq Z1 + Z2 \geq 50 \text{ nm}$, $Z1 < Z2$, and $50 \text{ nm} > Z1 > 3 \text{ nm}$.

(57) 要約 : 半導体装置 (100A) は、第1窒化物半導体層 (103) と、第2窒化物半導体層 (104) と、ソース電極 (301) およびドレイン電極 (302) と、ソース電極 (301) およびドレイン電極 (302) と間隔を空けて設けられ、第2窒化物半導体層 (104) に接触するゲート電極 (401) と、を有し、ゲート電極 (401) は、TiNからなり、層厚がZ1であり、第2窒化物半導体層 (104) にショットキー接合する第1バリア層 (401a) と、第1バリア層 (401a) の上に接触して設けられ、TiNまたはWNからなり、層厚がZ2である第2バリア層 (401b) と、第2バリア層 (401b) の上に接触して設けられた配線層と、を含み、Z1およびZ2は、 $200 \text{ nm} \geq Z1 + Z2 \geq 50 \text{ nm}$ 、 $Z1 < Z2$ 、および、 $50 \text{ nm} > Z1 > 3 \text{ nm}$ を満たす。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関し、特に、Ⅲ族窒化物半導体を用いたⅢ族窒化物半導体装置に関する。

背景技術

[0002] Ⅲ族窒化物半導体、特に、窒化ガリウム（GaN）または窒化アルミニウムガリウム（AlGaN）を用いたⅢ族窒化物半導体装置は、材料のバンドギャップの広さから、高い絶縁破壊電圧を有する。また、Ⅲ族窒化物半導体装置では、AlGaN/GaN等のヘテロ構造が容易に形成される。

[0003] AlGaN/GaNヘテロ構造では、材料間での格子定数差から発生するピエゾ分極とAlGaNおよびGaNの自発分極とにより、AlGaN/GaN界面のGaN層側に高濃度の電子（以下「二次元電子ガス層」と称する）によるチャンネルが形成される。この二次元電子ガス層のチャンネルを利用したⅢ族窒化物半導体装置は、電子飽和速度が比較的高く、かつ、耐絶縁性が比較的高く、熱伝導率も比較的高いことから、高周波パワーデバイスに應用されている。そして、AlGaNに対してショットキー接合した電極をゲート電極として用いることが必要となる。

[0004] これらのⅢ族窒化物半導体装置において特性を高めるため、ゲート電極においては、高温動作における電極の劣化の低減と逆方向リーク電流の低減とが必要である。そのため、ゲート電極に用いる材料には、高融点で仕事関数の高い材料が用いられるとよい。この材料が用いられることにより、ゲート電極の耐熱性とショットキー障壁の高さとが出来る限り高くされるとよい。このようにして、高温動作における電極の劣化と逆方向リーク電流とが低減されることで、信頼性を高くすることができる。

[0005] また、Ⅲ族窒化物半導体装置の特有の課題である電流コラプスと呼ば

れる現象の低減が必要である。電流コラプスは、大電流かつ高電圧のストレスが印加されることでオン抵抗が増大する現象である。この現象は、高電圧のストレスによって加速された電子が、III族窒化物半導体装置内部の結晶欠陥および膜界面に存在する準位に捕獲されることにより発生する。

[0006] 特許文献1には、+c面方向($\langle 0001 \rangle$ 方向)のn型Ga_{0.99}N層の上に、高融点であるスパッタ法により成膜したNaCl構造のN/Ta比=1.00の窒化タンタル(TaN)層を備え、n型Ga_{0.99}N層とTaN層とはショットキー接合している半導体装置が開示されている。この構成により、NaCl構造のN/Ta比=1.00のTaNは、材料としての仕事関数が5.4eVと高いだけでなく、n型Ga_{0.99}N層とのa軸方向の格子定数差が少ないため仕事関数が最大となり、すなわちショットキー障壁が最大となる。そのため、耐熱性を高くショットキー障壁を高くすることができ、信頼性の高いゲート電極を得ることができる。

[0007] 図29は、特許文献2に係る半導体装置(III族窒化物半導体装置)のゲート電極近傍の構成を示す断面図である。図29に示すように、特許文献2に係る半導体装置には、基板101の上に、バッファ層102と、Ga_{0.99}N層103aと、AlGa_{0.99}N層104aと、が順に設けられている。この半導体装置は、ヘテロ構造によりGa_{0.99}N層103a側に二次元電子ガス層105を備えている。また、AlGa_{0.99}N層104aの上に第1絶縁層211と、第1絶縁層211にはAlGa_{0.99}N層104aが露出するように第1絶縁層211が除去された第1開口部211aと、が設けられている。さらに、第1絶縁層211の上および第1開口部211aを覆うように設けられたゲート絶縁層204と、第1開口部211aを覆うようにゲート絶縁層204の上にTaN層411aと、が設けられている。ゲート絶縁層204の上とTaN層411aの上とを覆うように第2絶縁層212が設けられ、第2絶縁層212にはTaN層411aの一部が露出するように第2絶縁層212が除去された第2開口部212bが設けられている。第2開口部212bを覆うように窒化チタン層(TiN層411b)と、第1配線層411cと、が順に

積層され、つまりこの半導体装置は、TaN層411aと、TiN層411bと、第1配線層411cと、からなるゲート電極411を備えている。特許文献2に係る半導体装置は、ゲート絶縁層204を備えたMIS (Metal-Insulator-Semiconductor) 構造であるが、MES (Metal-Semiconductor) 構造として利用されてもよい。この場合は、特許文献2に係る半導体装置は、TaN層411aとAlGaIn層104aとがショットキー接合されても、特許文献1に記載されているように耐熱性が高くショットキー障壁を高くすることができ、信頼性の高いゲート電極を得ることができる。

先行技術文献

特許文献

[0008] 特許文献1：特開2006-190749号公報

特許文献2：特開2013-201370号公報

発明の概要

発明が解決しようとする課題

[0009] 上記特許文献2によれば、TaN層411aと、TiN層411bと、第1配線層411cと、からなるゲート電極411が示されている。特許文献2に記載された方法では、製造工程中の熱履歴により、AlGaIn層104aまたは第1絶縁層211の内部へ第1配線層411cの金属原子が拡散すると、準位が発生する。発生した準位によって、ショットキー障壁高さが低下したり、ソース電極とドレイン電極との間に高電圧が印加された時に電流コラプスにより電子がトラップされてオン抵抗が増大したりする。そのため、製造工程中の熱履歴により250℃～500℃程度の温度が与えられても、第1配線層411cの金属原子が第1配線層411cからAlGaIn層104aまたは第1絶縁層211へ拡散しないようにTaN層411aの層厚と、TiN層411bの層厚と、が考慮される必要がある。しかしながら、特許文献1および2においては、TaN層411aの層厚規定と、TiN層

4 1 1 b の層厚規定と、がなく、AlGaIn層104 a または第1絶縁層2 1 1 への第1配線層4 1 1 c の金属原子の拡散を抑制するバリア性が不明瞭である。

[0010] 本開示は、このような課題を鑑みてなされたものであり、信頼性が高く、低オン抵抗なゲート電極を有する半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するために、本開示に係る半導体装置の一態様は、基板と、基板の上に設けられた第1窒化物半導体層と、第1窒化物半導体層と比べてバンドギャップが大きく、第1窒化物半導体層の上に設けられた第2窒化物半導体層と、第2窒化物半導体層の上に設けられた第1絶縁層と、間隔を空けて設けられ、それぞれが第1絶縁層を貫通して第1窒化物半導体層に電気的に接続されたソース電極およびドレイン電極と、ソース電極とドレイン電極との間において、第2窒化物半導体層が露出するように第1絶縁層に設けられた開口部と、ソース電極およびドレイン電極と間隔を空けて設けられ、開口部で第2窒化物半導体層に接触するゲート電極と、を有し、ゲート電極は、Ta₂N₅からなり、層厚がZ₁であり、第2窒化物半導体層にショットキー接合する第1バリア層と、第1バリア層の上に接触して設けられ、TiNまたはWNからなり、層厚がZ₂である第2バリア層と、第2バリア層の上に接触して設けられた配線層と、を含み、Z₁およびZ₂は、200 nm ≥ Z₁ + Z₂ ≥ 50 nm、Z₁ < Z₂、および、50 nm > Z₁ > 3 nmを満たす。

発明の効果

[0012] 本開示に係る半導体装置によると、信頼性が高く、低オン抵抗なゲート電極を有する半導体装置を得ることができる。

図面の簡単な説明

[0013] [図1]図1は、実施の形態1に係る半導体装置の構成を示す断面図である。

[図2]図2は、図1の領域IIを拡大して示す断面図である。

[図3]図3は、実施の形態1の検討例に係る半導体装置が有するゲート電極近

傍を示す断面図である。

[図4]図4は、実施の形態1の検討例に係る半導体装置におけるゲート電極の逆方向リーク電流と高電圧時のオン抵抗／低電圧時のオン抵抗とのT i N層の層厚依存性結果を示す図である。

[図5]図5は、実施の形態1の検討例に係る半導体装置におけるゲート電極の逆方向リーク電流と高電圧時のオン抵抗／低電圧時のオン抵抗とのT i N層の層厚依存性結果を示す他の図である。

[図6]図6は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図7]図7は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図8]図8は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図9]図9は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図10]図10は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図11]図11は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図12]図12は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図13]図13は、実施の形態1に係る半導体装置の製造方法の工程を示す断面図である。

[図14]図14は、実施の形態2に係る半導体装置の断面図である。

[図15]図15は、実施の形態2に係る変形例1の半導体装置のゲート電極近傍の構成を示す断面図である。

[図16]図16は、実施の形態2に係る変形例2の半導体装置のゲート電極近傍の構成を示す断面図である。

[図17]図17は、実施の形態2に係る変形例3の半導体装置のゲート電極近傍の構成を示す断面図である。

[図18]図18は、図17の領域XVIIIを拡大して示す断面図である。

[図19]図19は、実施の形態2に係る変形例4の半導体装置のゲート電極近傍の構成を示す断面図である。

[図20]図20は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図21]図21は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図22]図22は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図23]図23は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図24]図24は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図25]図25は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図26]図26は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図27]図27は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図28]図28は、実施の形態2に係る半導体装置の製造方法の工程を示す断面図である。

[図29]図29は、特許文献2に係る半導体装置のゲート電極近傍の構成を示す断面図である。

発明を実施するための形態

[0014] 発明者らは、信頼性が高く、低オン抵抗なゲート電極を有する半導体装置を提供すべく、鋭意検討、実験を重ねた。その結果、発明者らは、下記半導

体装置等に想到した。

[0015] 以下、本開示の一態様に係る半導体装置等の具体例について、図面を参照しながら説明する。ここで示す実施の形態は、いずれも本開示の一具体例を示すものである。したがって、以下の実施の形態で示される数値、形状、構成要素、構成要素の配置および接続形態、並びに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。よって、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0016] また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

[0017] また、本明細書において、半導体装置の構成における「上」および「下」という用語は、絶対的な空間認識における上方向（鉛直上方）および下方向（鉛直下方）を指すものではなく、積層構造における積層順を基に相対的な位置関係により規定される用語である。また、「上」および「下」という用語は、2つの構成要素が互いに間隔を空けて配置されて2つの構成要素の間に別の構成要素が存在する場合のみならず、2つの構成要素が互いに密着して配置されて2つの構成要素が接する場合にも適用される。

[0018] また、本明細書および図面において、 x 軸、 y 軸および z 軸は、三次元直交座標系の三軸を示している。各実施の形態では、半導体装置が有する基板が含む上面に平行な二軸を x 軸および y 軸とし、この上面に直交する方向を z 軸方向としている。以下で説明する実施の形態において、 z 軸正方向を上と記載し、 z 軸負方向を下と記載する場合がある。

[0019] また、本明細書において「平面視」とは、半導体装置が有する基板を z 軸正方向から見たときのことをいう。

[0020] （実施の形態1）

まず、実施の形態1に係る半導体装置について、図1および図2を用いて説明する。図1は、実施の形態1に係る半導体装置100Aの構成を示す断

面図である。図2は、図1の領域IIを拡大して示す断面図である。本実施の形態では、半導体装置100Aがショットキー接合ゲート構造を備えた高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) である場合について説明する。

[0021] 図1に示すように、半導体装置100Aは、基板101と、バッファ層102と、第1窒化物半導体層103と、第2窒化物半導体層104と、二次元電子ガス層105と、第1絶縁層201と、開口部（ここでは第1開口部201a）と、第2絶縁層202と、第2開口部202bと、第3開口部202cと、第4開口部202dと、オーミック電極301aおよび第2配線層301bからなるソース電極301と、オーミック電極302aおよび第2配線層302bからなるドレイン電極302と、第1バリア層401a、第2バリア層401bおよび配線層（ここでは第1配線層401c）を含むゲート電極401と、第3バリア層501bおよび第3配線層501cからなるフィールドプレート電極501と、を備える。

[0022] 基板101は、本実施の形態において、例えば、Siからなる基板である。基板101は、Siからなる基板に限らず、サファイア (Sapphire)、SiC、GaN、または、AlN等からなる基板であってもよい。

[0023] バッファ層102は、基板101の上に設けられている。本実施の形態において、バッファ層102は、例えば、層厚が2 μ mのIII族窒化物半導体層であって、より具体的には、AlNおよびAlGaNで構成される複数の積層構造からなるIII族窒化物半導体層である。また、層厚とは、z軸方向の層の厚みである。バッファ層102は、その他に、GaN、AlGaN、AlN、InGaN、または、AlInGaN等のIII族窒化物半導体の単層もしくは複数層によって構成されていてもよい。

[0024] 第1窒化物半導体層103は、基板101の上に設けられており、より具体的には、バッファ層102の上に設けられている。本実施の形態において、第1窒化物半導体層103は、例えば、層厚が200nmのGaNによって構成される。なお、第1窒化物半導体層103は、GaNに限らず、In

GaN、AlGaN、または、AlInGaN等のIII族窒化物半導体によって構成されていてもよく、また、第1窒化物半導体層103には、n型の不純物が含まれていてもよい。

[0025] 第2窒化物半導体層104は、第1窒化物半導体層103と比べてバンドギャップが大きく第1窒化物半導体層103の上に設けられている。本実施の形態において、第2窒化物半導体層104は、例えば、層厚が20nmのAl組成比が25%のAlGaNによって構成される。なお、「Al組成比が25%」とは、 $Al_{0.25}Ga_{0.75}N$ であることを示す。第2窒化物半導体層104と第1窒化物半導体層103とのヘテロ界面の第1窒化物半導体層103側には、高濃度の二次元電子ガスが発生し、二次元電子ガス層105のチャンネルが形成される。

[0026] なお、第2窒化物半導体層104は、AlGaNに限らず、AlInGaN等のIII族窒化物半導体によって構成されていてもよく、また、第2窒化物半導体層104には、n型の不純物が含まれていてもよい。

[0027] なお、第2窒化物半導体層104の上にはキャップ層として、例えばGaNからなる層厚が約1nm以上2nm以下のキャップ層が設けられてもよい。つまり、第2窒化物半導体層104と第1絶縁層201の間には、このようなキャップ層が設けられてもよい。また、第1窒化物半導体層103と第2窒化物半導体層104との間にスペーサ層として、例えば、AlNからなる層厚が約1nmのスペーサ層が設けられてもよい。

[0028] オーミック電極301aおよび302aは、第2窒化物半導体層104の上に対向するように設けられている。本実施の形態において、オーミック電極301aおよび302aはそれぞれ、例えば、Ti膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。また、オーミック電極301aおよび302aはそれぞれ、二次元電子ガス層105と電氣的にオーミック接続されている。

[0029] なお、オーミック電極301aおよび302aの下には、第2窒化物半導体層104および第1窒化物半導体層103の一部を除去したリセス、並び

に、Siなどのドナーを含んだn型の不純物を含んだコンタクト層の少なくとも一方が設けてられもよい。また、n型の不純物を含んだコンタクト層は、プラズマ処理、イオン注入および再成長等により形成されてもよい。

[0030] 第1絶縁層201は、第2窒化物半導体層104の上に設けられている。本実施の形態においては、第1絶縁層201は、第2窒化物半導体層104の上と、オーミック電極301aの一部と、オーミック電極302aの一部と、を覆うように設けられている。本実施の形態において、第1絶縁層201は、例えば、層厚が100nmのSiNによって構成される。

[0031] 第1開口部201aは、ソース電極301とドレイン電極302との間において、第2窒化物半導体層104が露出するように第1絶縁層201に設けられた開口部の一例である。本実施の形態においては、第1開口部201aは、オーミック電極301aおよび302aの間にある第1絶縁層201を除去して形成されており、第2窒化物半導体層104が露出するように設けられている。

[0032] 第1バリア層401aは、第1開口部201aと第1絶縁層201の一部とを覆うように、第1開口部201aにより露出した第2窒化物半導体層104と第1絶縁層201の一部との上に設けられている。ここで、図2に示すように、第1バリア層401aの層厚 t_1 を Z_1 とする。本実施の形態において、第1バリア層401aは、例えば、第1バリア層401aの層厚 t_1 (Z_1) が30nmの(111)面のみに配向したNaCl型構造のN/Ta比=1.00のTa₂Nによって構成される。また、第1バリア層401aと第2窒化物半導体層104とは、ショットキー接合されている。層厚 t_1 を示す Z_1 は、 $50\text{nm} > Z_1 > 3\text{nm}$ を満たす。

[0033] なお、 Z_1 は、スパッタ法によってTa₂N (第1バリア層401a) が形成された場合は、Ta₂Nを(111)面のみに配向したNaCl構造とするため、 $Z_1 > 10\text{nm}$ であるとよい。なお、原子層堆積法によってTa₂N (第1バリア層401a) が形成された場合は、上記層厚の限りではないが、生産性が低いという課題がある。

- [0034] なお、第1バリア層401aは、(111)面のみに配向したNaCl型構造のN/Ta比=0.70~1.00のTa₂Nとしてもよい。このようにすることで、特許文献1に記載されているようにショットキー障壁高さを高くすることができる。
- [0035] また、NaCl型構造のN/Ta比=0.70~1.00であるTa₂Nの近接する金属原子間の距離（つまりは格子定数）は0.310nm以上0.315nm以下となる。AlGaNの格子定数は0.311nm以上0.319nm以下である。よって、Ta₂Nからなる第1バリア層401aとAlGaNからなる第2窒化物半導体層104との原子間の距離の差を小さくすることができる。そのため、第1バリア層401aに転位が形成されにくいので、第1配線層401cの金属原子が第1バリア層401aの転位を介して拡散することを低減できる。
- [0036] 第2絶縁層202は、第1絶縁層201の上と、第1バリア層401aと、を覆うように設けられている。より具体的には、第2絶縁層202は、第1絶縁層201の上と、第1バリア層401aの一部の上と、を覆うように設けられている。本実施の形態において、第2絶縁層202は、酸素含有率1%以下の材料で構成されているとよく、例えば、層厚が150nmのSiNによって構成される。なお、第2絶縁層202は、SiNに限らず、SiC、または、SiCNであってもよい。
- [0037] 第2開口部202bは、第2絶縁層202を除去して形成されており、平面視で第1開口部201aの範囲を覆うように、かつ、第1バリア層401aが露出するように設けられている。この場合、平面視で第1開口部201aは、より大きいサイズの第2開口部202bに包含されるように配置されている。
- [0038] なお、第2開口部202bは、平面視で第1開口部201aの範囲を覆うように設けられているが、これに限らず第2開口部202bのドレイン電極302側の端部が第1開口部201aの内側に位置していてもよい。つまりこの場合、平面視で、図1に示す半導体装置100Aに比べて第2開口部2

02bのサイズがより小さくなる。このように第1配線層401cの金属原子が拡散する経路となり得る第2開口部202bのサイズをより小さくすることで、ドレイン電極302側の第1絶縁層201と第2窒化物半導体層104との中への第1配線層401cの金属原子の拡散をさらに低減できる。

[0039] 第2バリア層401bと第1配線層401cとは、第2バリア層401b、および、第1配線層401cの順に積層されている。第2バリア層401bは、第2開口部202bを覆うように、第2開口部202bにより露出した第1バリア層401aと第2絶縁層202の一部との上に、第1バリア層401aに接触して設けられている。さらに、第1配線層401cは、第2バリア層401bの上に接触して設けられている。なお、第1配線層401cは、第2バリア層401bの上に接触して設けられた配線層の一例である。これにより、第1バリア層401a、第2バリア層401bおよび第1配線層401cを含むゲート電極401が形成される。

[0040] 本実施の形態において、第2バリア層401bは、例えば、第2バリア層401bの層厚 t_2 （図2参照）が50nmのTiNまたはWNからなる層である。なお、以下では、第2バリア層401bの層厚 t_2 を Z_2 とする。第1配線層401cは、例えば、層厚が450nmのAlによって構成される。

[0041] なお、第2バリア層401bは、TiNまたはWNの単層に限らず、TiNとWNとで構成される複数の積層構造としてもよい。なお、第1配線層401cは、Alに限らず、W、Au、または、Cuであってもよいし、これらの元素を含んだ化合物でもよいし、これらの元素によって構成される複数の積層構造からなる多層電極膜であってもよい。

[0042] なお、第2バリア層401bは、TiNによって構成される場合、NaCl型構造のN/Ti比=1.00~1.20のTiNとしてもよい。もしくは第2バリア層401bは、WNによって構成される場合、NaCl型構造のN/W比=0.10のWNとしてもよい。このようにすることで、第2バリア層401bは(111)面のみに配向したNaCl型構造のN/Ta比

= 1.00のTa₂Nからなる第1バリア層401aの上に設けられるため、第2バリア層401bが(111)面のみに配向した結晶構造となることができる。また、(111)面のみに配向したTiNまたはWNからなる第2バリア層401bの近接する金属原子間の距離(格子定数)はそれぞれ、0.302nmまたは0.298nm程度である。また、N/Ta比=1.00のTa₂Nからなる第1バリア層401aの近接する金属原子間の距離(格子定数)は0.315nmである。このように、第2バリア層401bと第1バリア層401aとの近接する金属原子間の距離の差が小さいため、第2バリア層401bに転位が形成されにくい。そのため、第1配線層401cの金属原子の第2バリア層401bの転位を介した金属拡散が低減される。

[0043] また、第2バリア層401bの結晶構造を(111)面のみに配向したNaCl型構造とすることで、第2バリア層401bの上に設ける第1配線層401cの結晶構造が(111)面のみに配向した結晶構造となることが容易となる。第1配線層401cが層厚が450nmのAlによって構成される場合、第1配線層401cの結晶構造が(111)面のみに配向したFCC型構造となり、近接する金属原子間の距離は0.286nmである。このようにすることで、第1配線層401cの抵抗の低減や信頼性を向上することができる。

[0044] また、Ta₂Nからなる第1バリア層401a、TiNまたはWNからなる第2バリア層401b、および、Alからなる第1配線層401cのように、下層から上層に向かって近接する金属原子間の距離が徐々に小さくなる構造となっているため、第1配線層401cに転位が形成されにくい。そのため、さらに第1配線層401cの抵抗の低減および信頼性を向上することができる。

[0045] 上記の通り、本実施の形態に係るゲート電極401は、第1バリア層401a、第2バリア層401bおよび第1配線層401cを含む電極である。また、図1が示すように、ゲート電極401は、ソース電極301およびドレイン電極302と間隔を空けて設けられ、第1開口部201aで第2窒化

物半導体層 104 に接触する電極である。換言すると、ゲート電極 401 は、第 1 絶縁層 201 および第 2 絶縁層 202 を貫通して、第 2 窒化物半導体層 104 に接触する電極である。

[0046] ここで、第 1 バリア層 401 a と、第 2 バリア層 401 b と、第 2 絶縁層 202 と、の位置関係について説明する。

[0047] 第 1 バリア層 401 a と第 2 バリア層 401 b とは第 1 開口部 201 a からドレイン電極 302 に向かう途中で分岐する。より具体的には、第 1 バリア層 401 a と第 2 バリア層 401 b とは、図 2 で破線の丸として記載されている分岐点 p2 で分岐する。第 1 開口部 201 a からドレイン電極 302 に向かう方向とは、x 軸正方向である。つまり、第 1 バリア層 401 a と第 2 バリア層 401 b とは、分岐点 p2 よりも x 軸負側では接しており、分岐点 p2 よりも x 軸正側では分岐して離れている。また、第 2 絶縁層 202 は、分岐点 p2 とドレイン電極 302 との間の、第 1 バリア層 401 a の上から第 1 絶縁層 201 の上に延伸して設けられている、と言える。つまり、分岐点 p2 よりも x 軸正側では、第 2 絶縁層 202 の一部は、第 1 バリア層 401 a と第 2 バリア層 401 b とで挟まれている。

[0048] フィールドプレート電極 501 は、開口部の一例である第 1 開口部 201 a とドレイン電極 302 との間の第 2 絶縁層 202 の上に設けられた電極である。フィールドプレート電極 501 を構成する第 3 バリア層 501 b と第 3 配線層 501 c とは、第 3 バリア層 501 b、および、第 3 配線層 501 c の順に積層されている。第 3 バリア層 501 b は、第 2 開口部 202 b とドレイン電極 302 との間の第 2 絶縁層 202 の上の一部に設けられている。これにより、第 3 バリア層 501 b および第 3 配線層 501 c からなるフィールドプレート電極 501 が形成される。また、フィールドプレート電極 501 は、ソース電極 301 の電位に接続されている。この場合、フィールドプレート電極 501 は、ソース電極 301 と同電位を示す。

[0049] 第 3 バリア層 501 b は、第 2 バリア層 401 b と同様の構成であるとよいが、これに限らない。また、第 3 配線層 501 c は、第 1 配線層 401 c

と同様の構成であるとよいが、これに限らない。

[0050] なお、図示されないが、基板101が含む上面（z軸正側の主面）の垂直方向（z軸方向）において、フィールドプレート電極501の最上面位置は、ドレイン電極302に最近接する第2バリア層401bの側面の下端位置p1より下方であってもよい。フィールドプレート電極501の最上面位置とは、図2が示すフィールドプレート電極501の最上面501tの位置である。また、第2バリア層401bの側面とは、ここでは、yz平面と平行な第2バリア層401bの面であり、ドレイン電極302に最近接する側面とは、最もドレイン電極302と距離が短い側面である。図2には、第2バリア層401bの側面の下端位置p1が破線の丸で示されている。この場合、図示されないが、最上面501tの位置は、第2バリア層401bの側面の下端位置p1より下側（z軸負側）に位置していてもよい。このようにすることで、フィールドプレート電極501とゲート電極401とが対向する面積を小さくできるため、フィールドプレート電極501とゲート電極401との静電容量を小さくすることができる。なお、本実施の形態においては、図2が示すように、フィールドプレート電極501の最上面位置は、下端位置p1より上側（z軸正側）に位置している。

[0051] なお、本実施の形態においては、基板101が含む上面の垂直方向において、フィールドプレート電極501の最下面位置は、ドレイン電極302に最近接する第2バリア層401bの側面の下端位置p1より下方に設けられている。フィールドプレート電極501の最下面位置とは、図2が示すフィールドプレート電極501の最下面501uの位置である。つまりこの場合、図2が示すように、最下面501uの位置は、第2バリア層401bの側面の下端位置p1より下側（z軸負側）に位置している。このようにすることで、ドレイン電極302に最近接する第1バリア層401a下端の電界をより緩和することができる。

[0052] なお、本実施の形態においては、フィールドプレート電極501の一部の材料は、第2バリア層401bの材料と同一である。より具体的には、第2

バリア層401bの材料と第3バリア層501bの材料とは同一であり、第1配線層401cの材料と第3配線層501cの材料とは同一である。このようにすることで、ゲート電極401とフィールドプレート電極501を同時に形成可能である。

[0053] なお、フィールドプレート電極501は、下層と上層とを含む複数層で構成されている。より具体的には、フィールドプレート電極501は、下層である第3バリア層501bと上層である第3配線層501cとで構成されている。上記の通り、フィールドプレート電極501を構成する第3バリア層501bおよび第3配線層501cはそれぞれ、ゲート電極401を構成する第2バリア層401bおよび第1配線層401cと同一材料である。本実施の形態においては、さらに、下層の抵抗率よりも上層の抵抗率が小さい。つまり、下層のTiNからなる第3バリア層501bよりも上層のAlからなる第3配線層501cは、抵抗率が小さい。このため、フィールドプレート電極501のインピーダンスが低くできる。

[0054] 第3開口部202cおよび第4開口部202dは、第1絶縁層201と第2絶縁層202とを除去して形成されており、オーミック電極301aおよびオーミック電極302aの一部が露出するように設けられている。

[0055] 第2配線層301bは、第3開口部202cを覆うように、第3開口部202cにより露出したオーミック電極301aと第2絶縁層202の一部との上に設けられている。同様に、第2配線層302bは、第4開口部202dを覆うように、第4開口部202dにより露出したオーミック電極302aと第2絶縁層202の一部との上に設けられている。本実施の形態において、第2配線層301bと第2配線層302bとはそれぞれ、例えば、層厚が200nmのTiNと層厚が3000nmのAlと層厚が50nmのTiNとを順に積層して構成される。なお、第2配線層301bと第2配線層302bとは、Alに限らず、Alに替えてAuまたはCuであってもよいし、これらの元素を含んだ化合物でもよいし、これらの元素によって構成される複数の積層構造からなる多層電極膜であってもよい。

[0056] オーミック電極301aと第2配線層301bとからなるソース電極301およびオーミック電極302aと第2配線層302bとからなるドレイン電極302は、上記の通りに構成されている。また、ソース電極301およびドレイン電極302は、間隔を空けて設けられている。ソース電極301およびドレイン電極302は、それぞれが第1絶縁層201および第2絶縁層202を貫通して、第1窒化物半導体層103に電氣的に接続されている。つまり、本実施の形態においては、ソース電極301およびドレイン電極302はそれぞれ、第3開口部202cおよび第4開口部202dで、第2窒化物半導体層104に接触し、第1窒化物半導体層103に電氣的に接続されている。

[0057] ここで、第1バリア層401aの層厚 t_1 を示す Z_1 と、第2バリア層401bの層厚 t_2 を示す Z_2 と、について説明する。この Z_1 および Z_2 は、 $200\text{nm} \geq Z_1 + Z_2 \geq 50\text{nm}$ 、 $Z_1 < Z_2$ 、および、 $50\text{nm} > Z_1 > 3\text{nm}$ を満たす。

[0058] このような構造の半導体装置100Aにすることで、特許文献2の従来の技術と比べて、以下の効果が期待される。まず、 $Z_1 + Z_2 \geq 50\text{nm}$ とすることで、第1バリア層401aと第2バリア層401bとにより第1絶縁層201と第2窒化物半導体層104との中への第1配線層401cの金属原子の拡散が抑制されて、第1絶縁層201と第2窒化物半導体層104との中の準位の発生を低減することができる。そのため、ゲート電極401の逆方向リーク電流を低減しつつ、電流コラプスを低減することができる。さらに、 $Z_1 + Z_2 \geq 70\text{nm}$ とすることでゲート電極401の逆方向リーク電流を低減しつつ、電流コラプスをさらに低減することができる。したがって、信頼性が高く低オン抵抗なゲート電極401を有する半導体装置100Aが得られる。

[0059] $Z_1 + Z_2 \geq 50\text{nm}$ とすることでゲート電極401の逆方向リーク電流を低減しつつ、電流コラプスを低減することができる理由を述べる。図3は、実施の形態1の検討例に係る半導体装置が有するゲート電極401×近傍

を示す断面図である。この検討例に係る半導体装置は、主に、第2絶縁層202を有しない点、および、ゲート電極401xがTiN層401bxとAl層401cxとの積層構造によって構成されている点を除いて、本実施の形態に係る半導体装置100Aと同じ構成を有する。図4は、実施の形態1の検討例に係る半導体装置におけるゲート電極401xの逆方向リーク電流と高電圧時のオン抵抗/低電圧時のオン抵抗とのTiN層401bxの層厚依存性結果を示す図である。より具体的には、図4のグラフの第1軸（左側軸）にゲート電極401xの逆方向リーク電流についてのTiN層401bxの層厚依存性の結果が示されている。次に、図4のグラフの第2軸（右側軸）に電流コラプスの指標となるソース電極301とドレイン電極302との間に電圧を印加してスイッチングさせたときの高電圧時（85V）のオン抵抗と低電圧時（30V）のオン抵抗との比についてのTiN層401bxの層厚依存性の結果が示されている。

[0060] 図5は、実施の形態1の検討例に係る半導体装置におけるゲート電極401xの逆方向リーク電流と高電圧時のオン抵抗/低電圧時のオン抵抗とのTiN層401bxの層厚依存性結果を示す他の図である。より具体的には、図5のグラフの横軸は、ゲート電極401xの逆方向リーク電流を示し、図5のグラフの縦軸は、上記の高電圧時（85V）のオン抵抗と低電圧時（30V）のオン抵抗との比を示す。また、TiN層401bxの層厚が枠外に記載されている。

[0061] 図4に示すように、ゲート電極401xの逆方向リーク電流についてのTiN層401bxの層厚依存性の結果では、TiN層401bxの層厚が30nm以上になるとゲート電極401xの逆方向リーク電流を低減できることがわかる。TiN層401bxの層厚が30nm以上100nm以下としたときのゲート電極401xの逆方向リーク電流の変動は、TiN層401bxの層厚が20nmから30nmまで変化したときの変動幅に比べて十分に小さいため製造バラツキであると考えられる。次に、スイッチングさせたときの高電圧時と低電圧時とのオン抵抗の比についてのTiN層401bxの

層厚依存性の結果では、TiN層401bxの層厚が50nm以上100nm以下になると、オン抵抗の比が小さくなり、電流コラプスを低減していることがわかる。さらに、TiN層401bxの層厚が70nm以上100nm以下ではオン抵抗の比がさらに小さくなり電流コラプスを低減している。

[0062] 一般的に、ゲート電極401xの逆方向リーク電流が多いと準位にトラップされた電子は放出されるため、ゲート電極401xの逆方向リーク電流の低減と電流コラプスの増大とはトレードオフの関係にある。しかしながら、本検討結果ではTiN層401bxの層厚を50nm以上とするとゲート電極401xの逆方向リーク電流は変わらずに電流コラプスを低減しており、トレードオフの関係を解消していることがわかる。TiN層401bxの層厚が70nm以上では、電流コラプスの低減が顕著である。図5には、右肩下がりの一点鎖線の直線が示されており、この一点鎖線の直線に近いほど、逆方向リーク電流の低減と電流コラプスの増大とがトレードオフの関係にあることが示されている。図5が示すように、TiN層401bxの層厚が50nm、70nmおよび100nmと増加するに従い、右肩下がりの一点鎖線の直線付近から離れて、トレードオフの関係が解消されている。

[0063] また、TiN層401bxの層厚が20nmのときは、Alの金属原子が拡散したことによりショットキー障壁の低下を引き起こし、ゲート電極401xの逆方向リーク電流が多くなっていると考えられる。そのため、TiN層401bxの層厚が50nmのときより電流コラプスが低減されていると考えられる。

[0064] ここで、本実施の形態に係る半導体装置100Aと、検討例に係る半導体装置と、を比較する。本実施の形態に係るゲート電極401は、第1バリア層401a(TaN)と第2バリア層401b(TiN)と第1配線層401c(Al)とによって構成されている。また、検討例に係るゲート電極401xは、TiN層401bxとAl層401cxとによって構成されている。つまり、検討例に係るTiN層401bxの一部が第1バリア層401aに置き換えられると、検討例に係るゲート電極401xと本実施の形態に

係るゲート電極401とは、同じ構成となる。

[0065] ここで、Ta₂Nについては、仕事関数が5.4 eV、格子定数が0.310 nm以上0.315 nm以下、融点が3090°Cである。TiNについては、仕事関数が4.7 eV、格子定数が0.302 nm、融点が2930°Cである。

[0066] このため、検討例に係るTiN層401b_xの一部が第1バリア層401a (Ta₂N) に置き換えられた構成であるゲート電極401においては、検討例に係るゲート電極401_xに比べて、仕事関数は増加し、格子定数および融点は同等程度となる。よって、TiN層401b_xの層厚とZ₁+Z₂ (第1バリア層401aの層厚および第2バリア層401bの層厚の合計) とが同等であれば、ゲート電極401においては、ゲート電極401_xよりも、逆方向リーク電流が抑制され、かつ、電流コラプスが低減されることが期待される。

[0067] つまりは、本実施の形態においても、Z₁+Z₂≥50 nmとすることで、逆方向リーク電流が抑制され、かつ、電流コラプスが低減されることが期待される。より具体的には、Z₁+Z₂≥50 nmとすることで、第1バリア層401aと第2バリア層401bとにより第1絶縁層201と第2窒化物半導体層104との中への第1配線層401cの金属原子の拡散を抑制して、第1絶縁層201と第2窒化物半導体層104との中の準位を低減することができると考えられる。そのため、ゲート電極401の逆方向リーク電流を低減しつつ、電流コラプスを低減することができる。さらに、Z₁+Z₂≥70 nmとすることでゲートの逆方向リーク電流を低減しつつ、電流コラプスをさらに低減することができる。そのため、信頼性が高く低オン抵抗なゲート電極401を有する半導体装置100Aが得られる。

[0068] また、WNについては、仕事関数が4.6 eV、格子定数が0.298 nmであり、TiNと同等の値である。また、WNについては融点が2000°C未満であり、十分に高い融点である。このため、ゲート電極401の第2バリア層401bが、TiNではなくWNで構成される場合も同様の効果が

期待される。

[0069] なお、第1バリア層401aと第2バリア層401bとの加工および結晶性の観点から $Z1 + Z2 \leq 200 \text{ nm}$ であることがよく、 $Z1 + Z2 \leq 150 \text{ nm}$ であればよりよく、 $Z1 + Z2 \leq 100 \text{ nm}$ であればさらによい。

[0070] また、TiNまたはWNからなる第2バリア層401bに加え、第1バリア層401aが更なる高融点材料であるTaNからなり、層厚 $t1$ が $Z1 > 3 \text{ nm}$ を満たすことで、ゲート電極401が第2バリア層401bのみからなる場合より、第1絶縁層201と第2窒化物半導体層104との中への金属拡散を抑制することができる。スパッタ法によってTaNが形成された場合は、成膜の初期過程では非連続膜なアイランド状に成長するため、 $Z1 > 3 \text{ nm}$ とすることで均一な膜形状となり易いため、 $Z1 > 3 \text{ nm}$ とするとよい。また、 $Z1 > 10 \text{ nm}$ とするとよく、 $Z1 > 15 \text{ nm}$ とするとさらによい。なお、原子層堆積法によってTaNが形成された場合は、その限りではないが、生産性が低いという課題がある。さらに、第1バリア層401aの層厚 $t1$ を示す $Z1$ は、 $50 \text{ nm} > Z1$ である。 $Z1$ は、 $40 \text{ nm} > Z1$ であるとよりよく、 $Z1$ は、 $30 \text{ nm} > Z1$ であるとさらによい。第1バリア層401aを構成するTaNは、高いバリア性を示すが、ドライエッチングによる加工性が低い。そのため、第1バリア層401aの層厚 $t1$ を薄く、例えば、 $50 \text{ nm} > Z1$ とすることで、第1バリア層401aの加工性を高めることができる。

[0071] また、TaNはドライエッチングで加工する必要がある。ドライエッチングでの加工の際に、TaNはハロゲン化合物の蒸気圧が高いため、TaNと第1絶縁層201との選択比が低くなり、第1絶縁層201の残膜ばらつきが増加する。そして、第1絶縁層201の残膜ばらつきが増加することで、フィールドプレート電極501とドレイン電極302との静電容量ばらつきが増加してしまう。それに対して、TiNまたはWNはTaNに比べてハロゲン化合物の蒸気圧が低いため、TiNまたはWNと第1絶縁層201との選択比が高くなる。そのため、本実施の形態のように $Z1 < Z2$ とすること

で、特許文献2の従来技術と比べて、第1絶縁層201と第2窒化物半導体層104との中への第1配線層401cの金属原子の拡散が抑制され、加工しやすくなり、このため第1絶縁層201の残膜ばらつきが低減される。したがって、フィールドプレート電極501とドレイン電極302との静電容量ばらつきを低減できる。

[0072] なお、本実施の形態のように、Ta₂N₅からなる第1バリア層401aは、Si₃N₄からなる第1絶縁層201および第2絶縁層202と、第2バリア層401bと、で覆われている。さらに、第2絶縁層202は、酸素含有率1%以下の材料で構成されている。このため、Ta₂N₅からなる第1バリア層401aの酸化が抑制される。また、図2には、ゲート電極401とフィールドプレート電極501との最近接距離d₁が示されている。最近接距離d₁は、ゲート電極401とフィールドプレート電極501との間隔のうち、最も短い距離を意味する。例えば、本実施の形態においては、最近接距離d₁は、図2が示す断面図におけるx軸方向の長さであって、ゲート電極401とフィールドプレート電極501との間隔である。最近接距離d₁は、100nm以上である。また、最近接距離d₁は、200nm以上であるとよく、300nm以上であるとさらによい。このようにすることで、ゲート電極401とフィールドプレート電極501のESD (Electrostatic Discharge: 静電気放電) 耐圧を十分に高めることができる。また、最近接距離d₁は、1000nm以下であればよく、900nm以下であるとよりよく、800nm以下であるとさらによい。これにより、半導体装置100Aのコンパクト化が容易になる。

[0073] 以下、図6～図13を参照しながら、本実施の形態における半導体装置100Aの製造方法を説明する。

[0074] 図6～図13は、それぞれ、実施の形態1に係る半導体装置100Aの製造方法の工程を示す断面図である。

[0075] まず、図6に示すように、Siからなる基板101の上に、有機金属気相成長法 (MOCVD: Metal Organic Chemical V

apor Deposition) を用いて、層厚が $2\ \mu\text{m}$ で AlN および AlGaIn の積層構造からなるバッファ層 102 と、層厚が $200\ \text{nm}$ で GaN からなる第 1 窒化物半導体層 103 と、層厚が $20\ \text{nm}$ で Al 組成比 25% の第 2 窒化物半導体層 104 と、が +c 面方向 ($\langle 0001 \rangle$ 方向) に順次エピタキシャル成長されて、形成される。この結果、第 2 窒化物半導体層 104 と第 1 窒化物半導体層 103 とのヘテロ界面の第 1 窒化物半導体層 103 側には、高濃度の二次元電子ガスが発生し、二次元電子ガス層 105 のチャンネルが形成される。

[0076] 次に、第 2 窒化物半導体層 104 の上に、塩酸による前洗浄が施される。さらに、ソース電極 301 およびドレイン電極 302 が形成される領域以外に、レジストが塗布された後にリソグラフィー法によりレジストがパターニングされてマスクが形成される。次に、蒸着により Ti 膜および Al 膜が順に堆積された後、図 7 に示すように、リフトオフ法によりオーミック電極 301a とオーミック電極 302a とが形成される。次に、熱処理が施されることで、二次元電子ガス層 105 と、オーミック電極 301a およびオーミック電極 302a と、が電氣的にオーミック接続される。なお、スパッタ法により Ti 膜および Al 膜が順に堆積された後に、リソグラフィー法およびドライエッチング法が順に適用されることにより、オーミック電極 301a とオーミック電極 302a とが形成されてもよい。

[0077] 次に、図 8 に示すように、層厚が $100\ \text{nm}$ の SiN からなる第 1 絶縁層 201 がプラズマ CVD (Chemical Vapor Deposition) 法により堆積される。その後、ゲート電極 401 が形成される領域以外に、レジストが塗布された後にリソグラフィー法が用いられてレジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられて、第 2 窒化物半導体層 104 が露出するように第 1 開口部 201a が形成される。なお、本実施の形態では、第 1 絶縁層 201 は、SiCN であってもよいし、減圧 CVD 法により堆積された SiN であってもよい。また、本実施の形態では、ドライエッチング法が用いられているが、ウェット

エッチング法が用いられて第1絶縁層201に第1開口部201aが設けられてもよい。

[0078] 次に、図9に示すように、スパッタ装置が用いられて、TaターゲットにN₂ガスを含んだスパッタ処理が行われることにより、層厚が30nmのTa₂Nからなる第1バリア層401aが堆積される。その後、ゲート電極401が形成される領域に、レジストが塗布された後にリソグラフィー法が用いられてレジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられて、第1バリア層401aがパターニングされる。このとき、オーバーエッチングにより第1絶縁層201の一部が除去されるが、Ta₂N（第1バリア層401a）の層厚が30nmと薄いため、第1絶縁層201が除去される量を最小限に留めることができ、第1絶縁層201の残膜ばらつきが低減される。

[0079] 次に、図10に示すように、層厚が150nmのSiNからなる第2絶縁層202がプラズマCVD法により堆積される。その後、ゲート電極401が形成される領域以外に、レジストが塗布された後にリソグラフィー法が用いられてレジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられて、第1バリア層401aが露出するように第2開口部202bが形成される。

[0080] 次に、層厚が50nmのTiNと、層厚が450nmのAlと、がスパッタ法により順に堆積される。図11に示すように、層厚が50nmのTiNが第2バリア層401bおよび第3バリア層501bに相当し、層厚が450nmのAlが第1配線層401cおよび第3配線層501cに相当する。その後、ゲート電極401とフィールドプレート電極501とが形成される領域に、レジストが塗布された後にリソグラフィー法が用いられてレジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられて、第2バリア層401bおよび第3バリア層501bと第1配線層401cおよび第3配線層501cとがパターニングされる。このようにして、ゲート電極401とフィールドプレート電極501とが形成される。

[0081] 次に、図12に示すように、ソース電極301とドレイン電極302とが形成される領域以外に、レジストが塗布された後にリソグラフィ法が用いられ、レジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられ、オーミック電極301aとオーミック電極302aとが露出するように第3開口部202cと第4開口部202dとが形成される。

[0082] 次に、図13に示すように、層厚が200nmのTiNと層厚が3000nmのAlと層厚が50nmのTiNとがスパッタ法により順に堆積される。その後、ソース電極301とドレイン電極302とが形成される領域に、レジストが塗布された後にリソグラフィ法が用いられ、レジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられ、第2配線層301bと第2配線層302bとがパターニングされる。このようにして、ソース電極301とドレイン電極302とが形成される。なお、第2配線層301bと第2配線層302bとは、ドライエッチング法に限らず、メッキ法またはダマシン法により形成されてもよく、この場合、Au、またはCuが用いられた配線であってもよい。

[0083] 以上の一連の工程を経ることで、図1に示した構造の半導体装置100Aが完成する。

[0084] 以上のように形成された半導体装置100Aは、 $200\text{nm} \geq Z1 + Z2 \geq 50\text{nm}$ とすることで、第1バリア層401aと第2バリア層401bとにより第1絶縁層201と第2窒化物半導体層104との中への第1配線層401cの金属原子の拡散が抑制されて、第1絶縁層201と第2窒化物半導体層104との中の準位の発生を低減することができる。そのため、ゲート電極401の逆方向リーク電流を低減しつつ、電流コラプスを低減することができる。さらに、 $Z1 + Z2 \geq 70\text{nm}$ とすることでゲートの逆方向リーク電流を低減しつつ、電流コラプスをさらに低減することができる。したがって、信頼性が高く低オン抵抗なゲート電極401を有する半導体装置100Aが得られる。

[0085] また、本実施の形態のように $Z1 < Z2$ とすることで、特許文献2の従来技術と比べて第1配線層401cの金属原子の拡散が抑制され、加工しやすくなり、また、第1絶縁層201の残膜ばらつきが低減される。したがって、フィールドプレート電極501とドレイン電極302との静電容量ばらつきを低減できる。

[0086] また、TiNまたはWNの第2バリア層401bに加え、第1バリア層401aが更なる高融点材料であるTaNからなり、層厚 $t1$ が $50\text{nm} > Z1 > 3\text{nm}$ を満たすことで、ゲート電極401が第2バリア層401bのみからなる場合より金属拡散を抑制することができる。

[0087] (実施の形態2)

ここで実施の形態2に係る半導体装置について、図14を用いて説明する。

[0088] 図14は、実施の形態2に係る半導体装置100Bの構成を示す断面図である。なお、本実施の形態では、実施の形態1と共通の構成要素については、その詳細な説明を省略する。

[0089] 本実施の形態では、半導体装置100Bがショットキー接合ゲート電極を備えたHEMTである場合について説明する。

[0090] 図14に示すように、半導体装置100Bは、基板101と、バッファ層102と、第1窒化物半導体層103と、第2窒化物半導体層104と、二次元電子ガス層105と、第1絶縁層201と、開口部（ここでは第1開口部201a）と、第2絶縁層202と、第3絶縁層203と、第2開口部203bと、第3開口部203cと、第4開口部203dと、オーミック電極301aおよび第2配線層301bからなるソース電極301と、オーミック電極302aおよび第2配線層302bからなるドレイン電極302と、第1バリア層401a、第2バリア層402bおよび配線層（ここでは第1配線層402c）を含むゲート電極402と、フィールドプレート電極502と、を備える。

[0091] フィールドプレート電極502は、ゲート電極402とドレイン電極30

2との間の第2絶縁層202の上に設けられている。より具体的には、フィールドプレート電極502は、開口部の一例である第1開口部201aとドレイン電極302との間の第2絶縁層202の上に設けられた電極である。また、フィールドプレート電極502は、ソース電極301の電位に接続されている。この場合、フィールドプレート電極502は、ソース電極301と同電位を示す。本実施の形態において、フィールドプレート電極502は、例えば、層厚が50nmのTiNによって構成される。なお、フィールドプレート電極502は、TiNに限らず、下層と上層とを含む複数層で構成されてもよい。この場合、下層の抵抗率よりも上層の抵抗率が小さくてもよい。フィールドプレート電極502は、Al、Au、Cu、W、Ti、Ta、TiN、Ta₂N₅、WN、Pt等でもよく、これらの元素を含んだ化合物が組み合わされてもよい。

[0092] 第3絶縁層203は、第2絶縁層202の上と、フィールドプレート電極502と、を覆うように設けられている。より具体的には、第3絶縁層203は、分岐点p2とドレイン電極302との間の、第2絶縁層202の上に、フィールドプレート電極502を覆うように設けられている。本実施の形態において、第3絶縁層203は、例えば、層厚が150nmのSiNによって構成される。

[0093] 第2開口部203bは、第2絶縁層202と第3絶縁層203とを除去して形成されており、平面視で第1開口部201aの範囲を覆うように、かつ、第1バリア層401aが露出するように設けられている。この場合、平面視で第1開口部201aは、より大きいサイズの第2開口部203bに包含されるように配置されている。

[0094] なお、第2開口部203bは、平面視で第1開口部201aの範囲を覆うように設けられているが、これに限らず第2開口部203bのドレイン電極302側の端部が第1開口部201aの内側に位置していてもよい。つまりこの場合、平面視で、図14に示す半導体装置100Bに比べて第2開口部203bのサイズがより小さくなる。このように第1配線層402cの金属

原子が拡散する経路となり得る第2開口部203bのサイズをより小さくすることで、ドレイン電極302側の第1絶縁層201と第2窒化物半導体層104との中への第1配線層402cの金属原子の拡散をさらに低減できる。

[0095] 第2バリア層402bと第1配線層402cとは、第2バリア層402b、および、第1配線層402cの順に積層されている。第2バリア層402bは、第2開口部203bを覆うように、第2開口部203bにより露出した第1バリア層401aと第3絶縁層203の一部との上に、第1バリア層401aに接触して設けられている。さらに、第1配線層402cは、第2バリア層402bの上に接触して設けられている。なお、第1配線層402cは、第2バリア層402bの上に接触して設けられた配線層の一例である。これにより、第1バリア層401a、第2バリア層402bおよび第1配線層402cを含むゲート電極402が形成される。

[0096] 本実施の形態において、第2バリア層402bは、例えば、層厚が50nmのTiNまたはWNで構成される。第1配線層402cは、例えば、層厚が450nmのAlによって構成される。

[0097] なお、第2バリア層402bは、TiNまたはWNの単層に限らず、TiNとWNとで構成される複数の積層構造としてもよい。また、第1配線層402cは、Alに限らず、W、Au、または、Cuであってもよいし、これらの元素を含んだ化合物でもよいし、これらの元素によって構成される複数の積層構造からなる多層電極膜であってもよい。

[0098] なお、第2バリア層402bは、TiNによって構成される場合、NaCl型構造のN/Ti比=1.00~1.20のTiNとしてもよい。もしくは第2バリア層402bは、WNによって構成される場合、NaCl型構造のN/W比=0.10のWNとしてもよい。このようにすることで、第2バリア層402bは(111)面のみに配向したNaCl型構造のN/Ta比=1.00のTa₂N₃からなる第1バリア層401aの上に設けられるため、第2バリア層402bが(111)面のみに配向した結晶構造となることが

できる。また、(111)面のみに配向したTiNまたはWNからなる第2バリア層402bの近接する金属原子間の距離(格子定数)はそれぞれ、0.302nmまたは0.298nm程度である。また、N/Ta比=1.00のTa₂Nからなる第1バリア層401aの近接する金属原子間の距離(格子定数)は0.315nmである。このように、第2バリア層402bと第1バリア層401aとの近接する金属原子間の距離の差が小さいため、第2バリア層402bに転位が形成されにくい。そのため、第1配線層402cの金属原子の第2バリア層402bの転位を介した金属拡散が低減される。

[0099] また、第2バリア層402bの結晶構造を(111)面のみに配向したNaCl型構造とすることで、第2バリア層402bの上に設ける第1配線層402cの結晶構造が(111)面のみに配向した結晶構造となるのが容易となる。第1配線層402cの層厚が450nmであり、かつ、第1配線層402cがAlによって構成される場合、第1配線層402cの結晶構造が(111)面のみに配向したFCC型構造となり、近接する金属原子間の距離は0.286nmである。このようにすることで、第1配線層402cの抵抗の低減や信頼性を向上することができる。

[0100] また、Ta₂Nからなる第1バリア層401a、TiNまたはWNからなる第2バリア層402b、および、Alからなる第1配線層402cのように、下層から上層に向かって近接する金属原子間の距離が徐々に小さくなる構造となっているため、第1配線層402cに転位が形成されにくい。そのため、さらに第1配線層402cの抵抗の低減および信頼性を向上することができる。

[0101] ここで、第1バリア層401aと、第2バリア層402bと、第2絶縁層202と、第3絶縁層203と、の位置関係について説明する。

[0102] 第1バリア層401aと第2バリア層402bとは第1開口部201aからドレイン電極302に向かう途中の分岐点p2から分岐する。このとき、分岐点p2よりもx軸正側では、第2絶縁層202と第3絶縁層203とは、第1バリア層401aと第2バリア層402bとで挟まれている。より具

体的には、第2絶縁層202と第3絶縁層203とで構成される積層体の一部が、第1バリア層401aと第2バリア層402bとで挟まれている。

[0103] また、基板101が含む上面の垂直方向において、フィールドプレート電極502の最上面位置は、ドレイン電極302に最近接する第2バリア層402bの側面の下端位置p1より下方に設けられている。フィールドプレート電極502の最上面位置とは、図14が示すフィールドプレート電極502の最上面502tの位置である。また、第2バリア層402bの側面とは、ここでは、yz平面と平行な第2バリア層402bの面であり、ドレイン電極302に最近接する側面とは、最もドレイン電極302と距離が短い側面である。図14には、第2バリア層402bの側面の下端位置p1が破線の丸で示されている。つまりこの場合、図14に示すように、最上面502tの位置は、第2バリア層402bの側面の下端位置p1より下側（z軸負側）に位置している。このようにすることで、フィールドプレート電極502とゲート電極402とが対向する面積を小さくできるため、フィールドプレート電極502とゲート電極402との静電容量を小さくすることができる。

[0104] また、Ta_xN_yからなる第1バリア層401aは、Si₃N₄からなる第1絶縁層201および第2絶縁層202と、第2バリア層402bと、で覆われている。さらに、第2絶縁層202は、酸素含有率1%以下の材料で構成されている。このため、Ta_xN_yからなる第1バリア層401aの酸化が抑制される。また、図14には、ゲート電極402とフィールドプレート電極502との最近接距離d1が示されている。最近接距離d1は、ゲート電極402とフィールドプレート電極502との間隔のうち、最も短い距離を意味する。例えば、本実施の形態においては、最近接距離d1は、図14が示す断面図におけるx軸方向の長さであって、ゲート電極402とフィールドプレート電極502との間隔である。最近接距離d1は、100nm以上である。また、最近接距離d1は、200nm以上であるとよく、300nm以上であるとさらによい。このようにすることで、ゲート電極402とフィールド

プレート電極502のESD耐圧を十分に高めることができる。また、最近接距離d1は、1000nm以下であればよく、900nm以下であるとよりよく、800nm以下であるとさらによい。これにより、半導体装置100Bのコンパクト化が容易になる。

[0105] なお、本実施の形態においては、基板101が含む上面の垂直方向において、フィールドプレート電極502の最下面位置は、ドレイン電極302に最近接する第2バリア層402bの側面の下端位置p1より下方に設けられている。フィールドプレート電極502の最下面位置とは、図14が示すフィールドプレート電極502の最下面502uの位置である。つまりこの場合、図14が示すように、最下面502uの位置は、第2バリア層402bの側面の下端位置p1より下側（z軸負側）に位置している。このようにすることで、ドレイン電極302に最近接する第1バリア層401a下端の電界をより緩和することができる。

[0106] 第3開口部203cおよび第4開口部203dは、第1絶縁層201と第2絶縁層202と第3絶縁層203とを除去して形成されており、オーミック電極301aおよびオーミック電極302aの一部が露出するように設けられている。

[0107] 第2配線層301bは、第3開口部203cを覆うように、第3開口部203cにより露出したオーミック電極301aと第3絶縁層203の一部との上に設けられている。同様に、第2配線層302bは、第4開口部203dを覆うように、第4開口部203dにより露出したオーミック電極302aと第3絶縁層203の一部との上に設けられている。本実施の形態において、第2配線層301bと第2配線層302bとはそれぞれ、例えば、層厚が200nmのTiNと層厚が3000nmのAlと層厚が50nmのTiNとにより構成される。なお、第2配線層301bと第2配線層302bとは、Alに限らず、Alに替えてW、AuまたはCuであってもよいし、これらの元素を含んだ化合物でもよいし、これらの元素によって構成される複数の積層構造からなる多層電極膜であってもよい。

- [0108] 上記の通り、本実施の形態に係る半導体装置100Bは、第3絶縁層203を有し、第2絶縁層202と第3絶縁層203とは、第1バリア層401aと第2バリア層402bとで挟まれている。このような構造の半導体装置100Bにすることで、第2絶縁層202と第3絶縁層203とが独立に設計されるため、ESD耐圧および電界設計の観点から、半導体装置100Bの構造設計の自由度が高い。さらに、第3絶縁層203が第1バリア層401aと第2バリア層402bとの間に挿入されるためフィールドプレート電極502とゲート電極402との静電容量が小さく、信頼性が高く低オン抵抗な特性を有するゲート電極402が得られる。
- [0109] なお、第3絶縁層203を構成する材料の誘電率は第2絶縁層202を構成する材料の誘電率より小さくてもよい。第3絶縁層203を構成する材料は、例えば、 SiO_2 、 SiON 、 SiC 、 SiCN であってもよく、第2絶縁層202を構成する材料の誘電率に応じて選択されるとよい。このようにすると、フィールドプレート電極502とゲート電極402との静電容量を小さくできる。
- [0110] なお、第2絶縁層202の層厚は第3絶縁層203の層厚より薄くてもよい。このようにすることで、ドレイン電極302側の第1バリア層401aの端部を電界緩和することができる。
- [0111] なお、第1バリア層401aと第2バリア層402bとの少なくとも一方は左右非対称であってもよい。つまり、第1バリア層401aの形状と第2バリア層402bの形状との少なくとも一方は、開口部（ここでは第1開口部201a）の中央を通りz軸と平行な対称線を軸として、線対称でなくてもよい。このようにすることで、フィールドプレート電極502の構造設計の自由度が向上する。
- [0112] このような形状について、図15～図19を用いて説明する。
- [0113] まずは、図15を用いて説明する。
- [0114] 図15は、実施の形態2に係る変形例1の半導体装置100Bのゲート電極402近傍の構成を示す断面図である。

[0115] 実施の形態2に係る変形例1の半導体装置100Bは、主に、フィールドプレート電極502が階段形状を有している点、および、第2バリア層402bの形状が左右非対称である点を除いて、実施の形態2に係る半導体装置100Bと同じ構成を有する。

[0116] 図15においては、上記の第1開口部201aの中央を通りz軸と平行な対称線L1が示されている。第2バリア層402bの形状は、この対称線L1を軸として、例えば図15が示す断面図において、線対称でない。この場合、第2バリア層402bでは、第1開口部201aの中央からソース電極301へ向かう方向への延伸長と、当該中央からドレイン電極302へ向かう方向への延伸長と、が異なる。なお、当該中央からソース電極301へ向かう方向とはx軸負方向であり、このx軸負方向への延伸長とは対称線L1からソース電極301側の第2バリア層402bの端部までの長さである。また、当該中央からソース電極301へ向かう方向とはx軸正方向であり、このx軸正方向への延伸長とは対称線L1からドレイン電極302側の第2バリア層402bの端部までの長さである。このように、第1バリア層401aと第2バリア層402bのうち少なくとも一方（ここでは、第2バリア層402b）では、第1開口部201aの中央からソース電極301へ向かう方向への延伸長と当該中央からドレイン電極302へ向かう方向への延伸長とが異なる。これにより、フィールドプレート電極502の構造設計自由度が向上する。

[0117] さらに、基板101の平面視において、第1バリア層401aとフィールドプレート電極502との間隔は、第2バリア層402bとフィールドプレート電極502との間隔d2より短くてもよい。より具体的には、第2バリア層402bとフィールドプレート電極502との間隔d2は図15が示すx軸方向の長さである。なお、平面視で、第1バリア層401aのx軸正側の端部とフィールドプレート電極502のx軸負側の端部とが重なるため、第1バリア層401aとフィールドプレート電極502との間隔は、ここでは0である。このようにすることで、第2バリア層402bとドレイン電極

302との間隔が広がるためドレイン電極302とゲート電極402との静電容量を小さくできる。

[0118] さらに、図16を用いて説明する。

[0119] 図16は、実施の形態2に係る変形例2の半導体装置100Bのゲート電極402近傍の構成を示す断面図である。

[0120] 実施の形態2に係る変形例2の半導体装置100Bは、主に、第2バリア層402bの形状が異なる点を除いて、実施の形態2に係る変形例1の半導体装置100Bと同じ構成を有する。

[0121] 図16が示すように、第2バリア層402bの形状は、この対称線L1を軸として、例えば図16が示す断面図において、線対称でない。また、第2バリア層402bは、第1開口部201aの中央（例えば対称線L1）よりx軸負側と、第1開口部201aの中央（例えば対称線L1）よりx軸正側と、にそれぞれ、階段形状を有している。ここでは、第1開口部201aの中央よりx軸負側の階段形状と、第1開口部201aの中央よりx軸正側と階段形状と、では、階段の段数が異なっている。

[0122] また、図15が示す実施の形態2に係る変形例1の半導体装置100Bと同様に、実施の形態2に係る変形例2の半導体装置100Bにおいては、基板101の平面視において、第1バリア層401aとフィールドプレート電極502との間隔は、第2バリア層402bとフィールドプレート電極502との間隔d2より短くてもよい。このようにすることで、第2バリア層402bとドレイン電極302との間隔が広がるためドレイン電極302とゲート電極402との静電容量を小さくできる。

[0123] さらに、図17および図18を用いて説明する。

[0124] 図17は、実施の形態2に係る変形例3の半導体装置100Bのゲート電極402近傍の構成を示す断面図である。図18は、図17の領域XV111を拡大して示す断面図である。

[0125] 実施の形態2に係る変形例3の半導体装置100Bは、主に、第1バリア層401aの形状が左右非対称である点を除いて、実施の形態2に係る半導

体装置 100B と同じ構成を有する。

[0126] 図 17 および図 18 においては、対称線 L1 が示されている。第 1 バリア層 401a の形状は、この対称線 L1 を軸として、例えば図 17 および図 18 が示す断面図において、線対称でない。より具体的には、第 1 バリア層 401a では、第 1 開口部 201a の中央からソース電極 301 へ向かう方向への延伸長（以下第 1 延伸長）と、当該中央からドレイン電極 302 へ向かう方向への延伸長（以下第 2 延伸長）と、が異なる。一例として、図 18 が示すように、第 1 延伸長と第 2 延伸長とはそれぞれ、長さ d_4 と長さ d_5 とである。この場合、第 1 延伸長は、第 1 開口部 201a の中央（例えば、対称線 L1）からソース電極 301 へ向かう方向である x 軸負方向に沿う長さである長さ d_4 であり、第 2 延伸長は、第 1 開口部 201a の中央（例えば、対称線 L1）からドレイン電極 302 へ向かう方向である x 軸正方向に沿う長さである長さ d_5 である。また、他の一例として、図 18 が示すように、第 1 延伸長と第 2 延伸長とはそれぞれ、長さ d_6 と長さ d_7 とである。この場合、第 1 延伸長は、対称線 L1 より x 軸負側に位置する第 1 バリア層 401a の階段形状の段差に沿う長さである長さ d_6 であり、第 2 延伸長は、対称線 L1 より x 軸正側に位置する第 1 バリア層 401a の階段形状の段差に沿う長さである長さ d_7 である。このように、第 1 延伸長と第 2 延伸長とは、長さ $d_4 > 長さ d_5$ 、または、長さ $d_6 > 長さ d_7$ を満たすとよい。図 17 および図 18 が示すように、第 1 バリア層 401a では、第 1 開口部 201a の中央からソース電極 301 へ向かう方向への延伸長（第 1 延伸長）と当該中央からドレイン電極 302 へ向かう方向への延伸長（第 2 延伸長）とが異なる。これにより、フィールドプレート電極 502 の構造設計自由度が向上する。

[0127] さらに、基板 101 の平面視において、第 1 バリア層 401a とフィールドプレート電極 502 との間隔 d_3 は、第 2 バリア層 402b とフィールドプレート電極 502 との間隔より長くてもよい。より具体的には、第 1 バリア層 401a とフィールドプレート電極 502 との間隔 d_3 は図 17 が示す

x軸方向の長さである。なお、平面視で、第2バリア層402bのx軸正側の端部とフィールドプレート電極502のx軸負側の端部とが重なるため、第2バリア層402bとフィールドプレート電極502との間隔は、ここでは0である。このようにすることで、第2バリア層402bおよび第1配線層402cの幅がドレイン電極302側に拡大されて、ゲート電極402の配線抵抗を小さくできる。さらに、フィールドプレート電極502の形状が平坦になるためフィールドプレート電極502とゲート電極402との静電容量を小さくできる。

[0128] さらに、図19を用いて説明する。

[0129] 図19は、実施の形態2に係る変形例4の半導体装置100Bのゲート電極402近傍の構成を示す断面図である。

[0130] 実施の形態2に係る変形例4の半導体装置100Bは、主に、第2バリア層402bの形状が異なる点を除いて、実施の形態2に係る変形例3の半導体装置100Bと同じ構成を有する。図19が示すように、第1バリア層401aとフィールドプレート電極502との間隔d3は、第2バリア層402bとフィールドプレート電極502との間隔d2より長くてもよい。この場合、第2バリア層402bおよび第1配線層402cの幅がさらにドレイン電極302側に拡大されて、ゲート電極402の配線抵抗を小さくできる。このように、ゲート電極402の配線抵抗を小さくしたい場合は、フィールドプレート電極502とゲート電極402との静電容量が大きくなる。そのため、第3絶縁層203の層厚を厚くすることで、フィールドプレート電極502とゲート電極402との静電容量が大きくならないように構造設計することができる。

[0131] 以下、図20～図28を参照しながら、本実施の形態における半導体装置100Bの製造方法を説明する。図20～図28は、それぞれ、製造途上における半導体装置100Bの構成を示す断面図である。

[0132] まず、図20～図23は実施の形態1で示した図6～図9と同様のため詳細な説明を省略する。

- [0133] 次に、図24に示すように、層厚が150nmのSiNからなる第2絶縁層202がプラズマCVD法により堆積された後、層厚が50nmのTiNがスパッタ法により順に堆積される。その後、フィールドプレート電極502を形成される領域に、レジストが塗布された後にリソグラフィー法が用いられ、レジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられ、フィールドプレート電極502が形成される。
- [0134] 次に、図25に示すように、層厚が150nmのSiNからなる第3絶縁層203がプラズマCVD法により堆積される。その後、ゲート電極402が形成される領域以外に、レジストが塗布された後にリソグラフィー法が用いられ、レジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられ、第1バリア層401aが露出するように第2開口部203bを形成する。
- [0135] 次に、図26に示すように、層厚が50nmのTiNからなる第2バリア層402bと層厚が450nmのAlからなる第1配線層402cとがスパッタ法により順に堆積される。その後、ゲート電極402が形成される領域に、レジストが塗布された後にリソグラフィー法が用いられ、レジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられ、第2バリア層402bと第1配線層402cとがパターニングされる。このようにして、ゲート電極402が形成される。
- [0136] 次に、図27に示すように、ソース電極301とドレイン電極302とが形成される領域以外に、レジストが塗布された後にリソグラフィー法が用いられ、レジストがパターニングされてマスクが形成される。次に、ドライエッチング法が用いられ、オーミック電極301aとオーミック電極302aとが露出するように第3開口部203cと第4開口部203dとが形成される。
- [0137] 次に、図28に示すように、層厚が200nmのTiNと層厚が300nmのAlと層厚が50nmのTiNとがスパッタ法により順に堆積される。その後、ソース電極301とドレイン電極302とが形成される領域に、

レジストが塗布された後にリソグラフィ法が用いられてレジストがパターンニングされてマスクが形成される。次に、ドライエッチング法が用いられて、第2配線層301bと第2配線層302bとがパターンニングされる。このようにして、ソース電極301とドレイン電極302とが形成される。なお、第2配線層301bと第2配線層302bとは、ドライエッチング法に限らず、メッキ法またはダマシン法によりAu、またはCuが用いられた配線として、形成されてもよい。

[0138] 以上の一連の工程を経ることで、図14に示した構造の半導体装置100Bが完成する。

[0139] 以上のように形成された半導体装置100Bにおいては、フィールドプレート電極502とゲート電極402との対向する面積を小さくできるため、フィールドプレート電極502とゲート電極402との静電容量を小さくすることができる。そのため、フィールドプレート電極502とゲート電極402との静電容量が小さく、信頼性が高く低オン抵抗な特性を有するゲート電極402を有する半導体装置100Bが得られる。

[0140] (その他の実施の形態)

以上、本開示に係る半導体装置について、各実施の形態に基づいて説明したが、本開示は、上記各実施の形態に限定されるものではない。

[0141] 例えば、実施の形態2において図15～図19で示したように、第1バリア層401aと第2バリア層402bの少なくとも一方は左右非対称であってもよい。なお、実施の形態1においても同様であり、第1バリア層401aと第2バリア層401bの少なくとも一方は左右非対称であってもよい。このようにすることで、フィールドプレート電極501の構造設計の自由度が向上する。

[0142] また例えば、図15で示したように、第1バリア層401aとフィールドプレート電極502との間隔は、第2バリア層402bとフィールドプレート電極502との間隔 d_2 より短くてもよい。なお、実施の形態1においても同様であり、第1バリア層401aとフィールドプレート電極501との

間隔は、第2バリア層401bとフィールドプレート電極501との間隔より短くてもよい。このようにすることで、第2バリア層401bとドレイン電極302との間隔が広がるためドレイン電極302とゲート電極401との静電容量を小さくできる。

[0143] また例えば、図17で示したように、第1バリア層401aとフィールドプレート電極502との間隔d3は、第2バリア層402bとフィールドプレート電極502との間隔より長くてもよい。なお、実施の形態1においても同様であり、第1バリア層401aとフィールドプレート電極501との間隔は、第2バリア層402bとフィールドプレート電極501との間隔より長くてもよい。このようにすることで、ゲート電極401の幅がドレイン電極302側に拡大されて、ゲート電極401の配線抵抗を小さくできる。さらに、フィールドプレート電極501の形状が平坦になるためフィールドプレート電極501とゲート電極401との静電容量を小さくできる。

[0144] また、例えば、本開示の主旨を逸脱しない限り、各実施の形態に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で実施の形態における構成要素および機能を任意に組み合わせることによって実現される形態も本開示に含まれる。

[0145] また、上記の実施の形態は、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

産業上の利用可能性

[0146] 本開示に係る半導体装置は、高速動作が要求される通信機器やインバータ、および、電源回路等に用いられるパワースイッチング素子等に有用である。

符号の説明

[0147] 100A、100B 半導体装置

101 基板

102 バッファ層

103 第1窒化物半導体層

103a GaN層
104 第2窒化物半導体層
104a AlGaN層
105 二次元電子ガス層
201、211 第1絶縁層
201a、211a 第1開口部
202、212 第2絶縁層
202b、203b、212b 第2開口部
202c、203c 第3開口部
202d、203d 第4開口部
203 第3絶縁層
204 ゲート絶縁層
301 ソース電極
301a、302a オーミック電極
301b、302b 第2配線層
302 ドレイン電極
401、401x、402、411 ゲート電極
401a 第1バリア層
401b、402b 第2バリア層
401c、402c、411c 第1配線層
411a TaN層
401bx、411b TiN層
401cx Al層
501、502 フィールドプレート電極
501b 第3バリア層
501c 第3配線層
501t、502t 最上面
501u、502u 最下面

- p 1 下端位置
- p 2 分岐点
- d 1 最近接距離
- d 2、d 3 間隔
- d 4、d 5、d 6、d 7 長さ
- L 1 対称線
- t 1、t 2 層厚

請求の範囲

- [請求項1] 基板と、
前記基板の上に設けられた第1窒化物半導体層と、
前記第1窒化物半導体層と比べてバンドギャップが大きく、前記第1窒化物半導体層の上に設けられた第2窒化物半導体層と、
前記第2窒化物半導体層の上に設けられた第1絶縁層と、
間隔を空けて設けられ、それぞれが前記第1絶縁層を貫通して前記第1窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極との間において、前記第2窒化物半導体層が露出するように前記第1絶縁層に設けられた開口部と、
前記ソース電極および前記ドレイン電極と間隔を空けて設けられ、前記開口部で前記第2窒化物半導体層に接触するゲート電極と、を有し、
前記ゲート電極は、
Ta_nNからなり、層厚がZ₁であり、前記第2窒化物半導体層にショットキー接合する第1バリア層と、
前記第1バリア層の上に接触して設けられ、TiNまたはWNからなり、層厚がZ₂である第2バリア層と、
前記第2バリア層の上に接触して設けられた配線層と、を含み、
前記Z₁および前記Z₂は、 $200\text{ nm} \geq Z_1 + Z_2 \geq 50\text{ nm}$ 、 $Z_1 < Z_2$ 、および、 $50\text{ nm} > Z_1 > 3\text{ nm}$ を満たす半導体装置。
- [請求項2] 前記Z₁および前記Z₂は、 $Z_1 + Z_2 \geq 70\text{ nm}$ を満たす請求項1に記載の半導体装置。
- [請求項3] 前記Z₁は、 $Z_1 > 10\text{ nm}$ を満たす請求項1または2に記載の半導体装置。
- [請求項4] 前記第1バリア層と前記第2バリア層とは前記開口部から前記ドレ

イン電極に向かう途中の分岐点から分岐し、

前記半導体装置は、

前記分岐点と前記ドレイン電極との間の、前記第1バリア層の上から前記第1絶縁層の上に延伸して設けられた酸素含有率1%以下の第2絶縁層と、

前記開口部と前記ドレイン電極との間の、前記第2絶縁層の上に設けられた、前記ソース電極と同電位のフィールドプレート電極と、を有し、

前記フィールドプレート電極と前記ゲート電極との最近接距離は100nm以上1000nm以下である

請求項1～3のいずれか1項に記載の半導体装置。

[請求項5]

前記基板が含む上面の垂直方向において、

前記フィールドプレート電極の最下面位置は、前記ドレイン電極に最近接する前記第2バリア層の側面の下端位置より下方である

請求項4に記載の半導体装置。

[請求項6]

前記フィールドプレート電極の一部の材料は、前記第2バリア層の材料と同一である

請求項4または5に記載の半導体装置。

[請求項7]

前記基板が含む上面の垂直方向において、

前記フィールドプレート電極の最上面位置は、前記ドレイン電極に最近接する前記第2バリア層の側面の下端位置より下方である

請求項4～6のいずれか1項に記載の半導体装置。

[請求項8]

前記フィールドプレート電極は、下層と上層とを含む複数層で構成され、前記下層の抵抗率よりも前記上層の抵抗率が小さい

請求項4～7のいずれか1項に記載の半導体装置。

[請求項9]

更に、前記分岐点と前記ドレイン電極との間の、前記第2絶縁層の上に、前記フィールドプレート電極を覆うように設けられた第3絶縁層を有し、

前記第2絶縁層と前記第3絶縁層とは、前記第1バリア層と前記第2バリア層とで挟まれている

請求項4～8のいずれか1項に記載の半導体装置。

[請求項10] 前記第3絶縁層を構成する材料の誘電率は前記第2絶縁層を構成する材料の誘電率より小さい

請求項9に記載の半導体装置。

[請求項11] 前記第2絶縁層の層厚は前記第3絶縁層の層厚より薄い

請求項9または10に記載の半導体装置。

[請求項12] 前記第1バリア層と前記第2バリア層のうち少なくとも一方では、前記開口部の中央から前記ソース電極へ向かう方向への延伸長と前記中央から前記ドレイン電極へ向かう方向への延伸長とが異なる

請求項4～11のいずれか1項に記載の半導体装置。

[請求項13] 前記基板の平面視において、

前記第1バリア層と前記フィールドプレート電極との間隔は、前記第2バリア層と前記フィールドプレート電極との間隔より短い

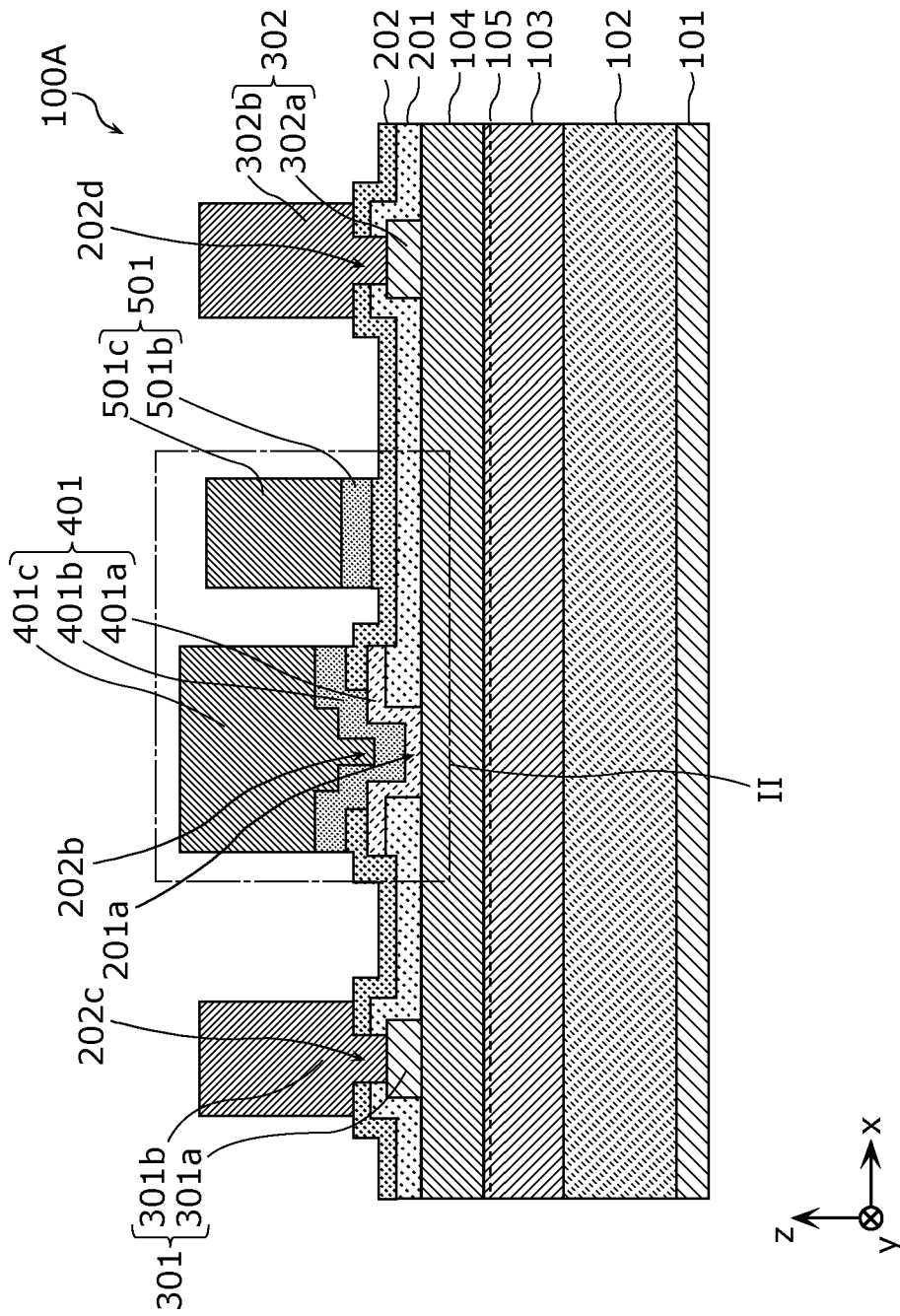
請求項12に記載の半導体装置。

[請求項14] 前記基板の平面視において、

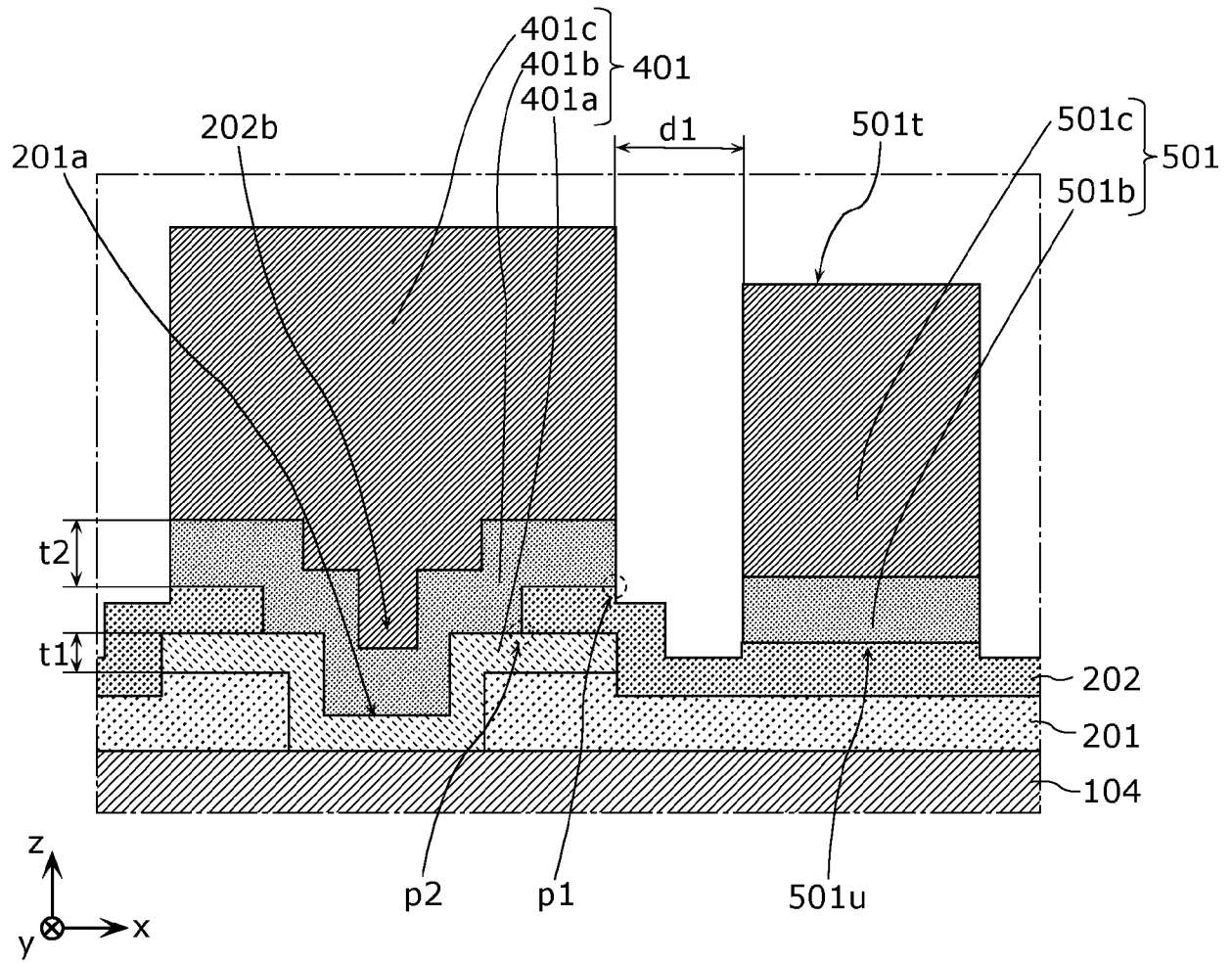
前記第1バリア層と前記フィールドプレート電極との間隔は、前記第2バリア層と前記フィールドプレート電極との間隔より長い

請求項12に記載の半導体装置。

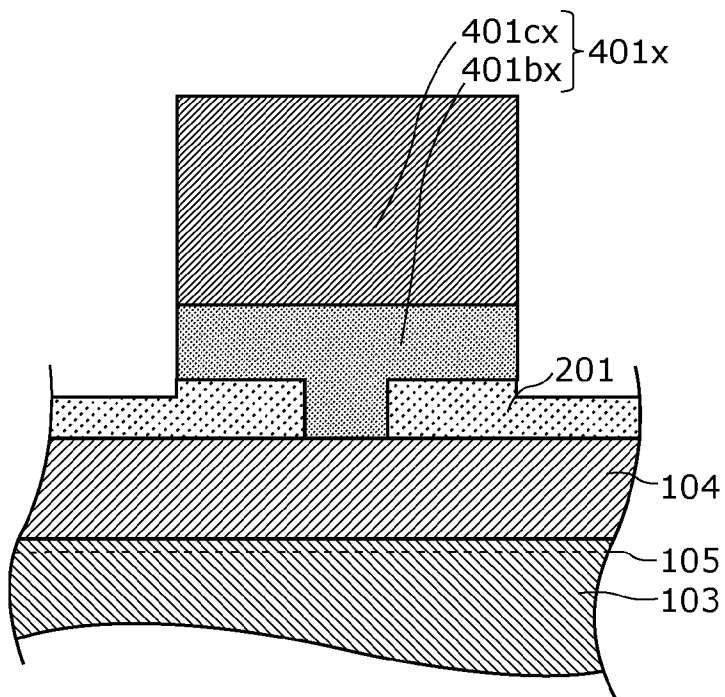
[図1]



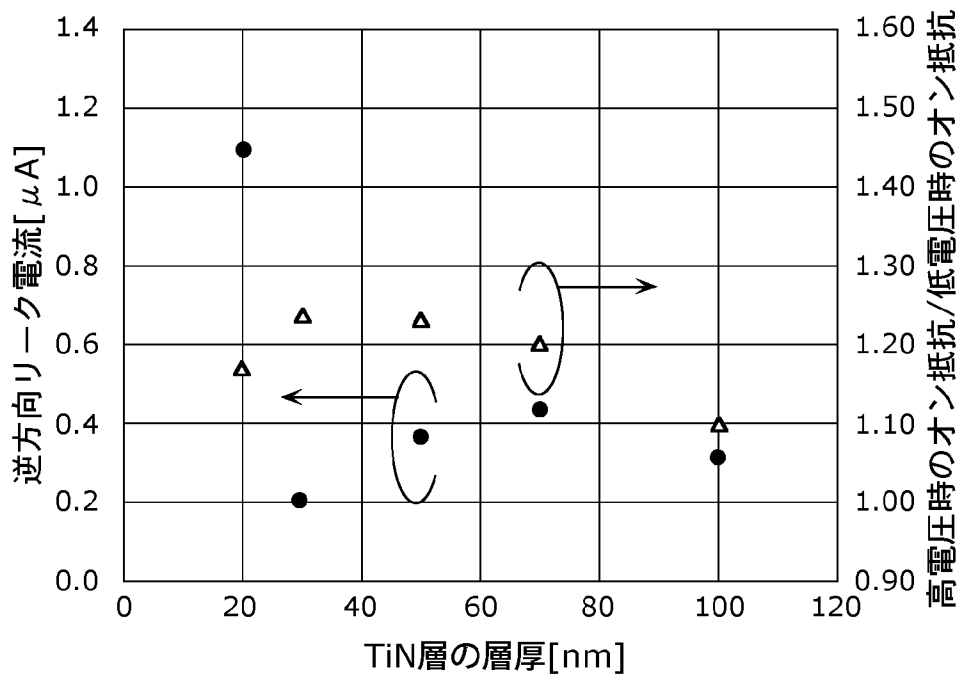
[図2]



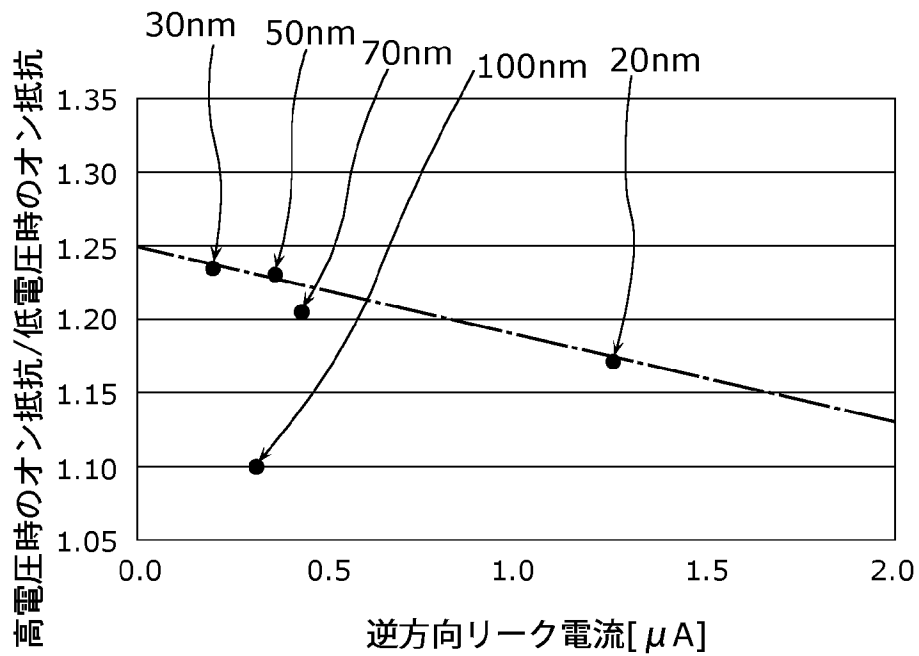
[図3]



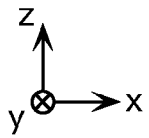
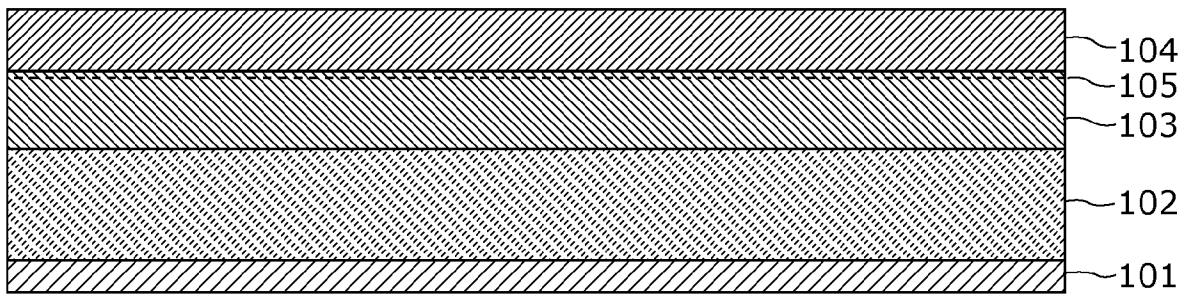
[図4]



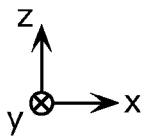
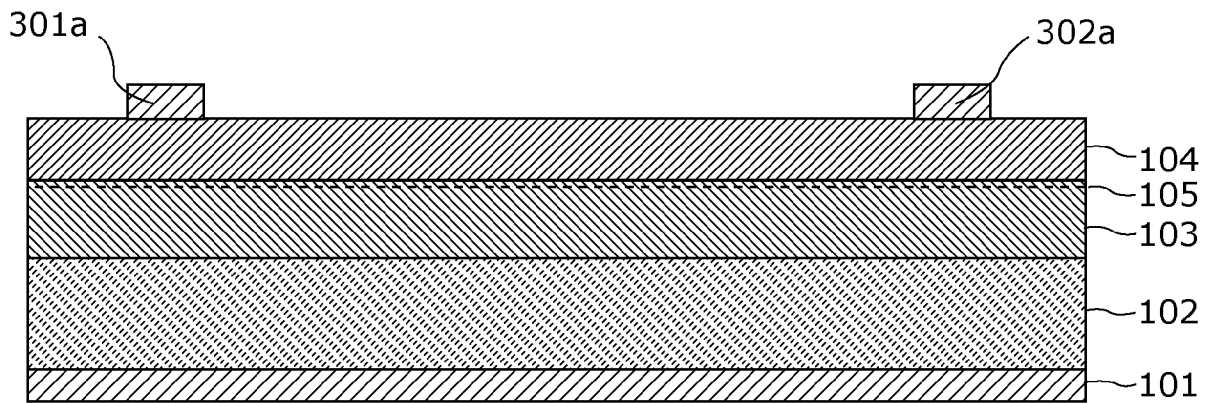
[図5]



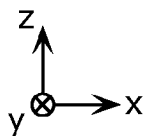
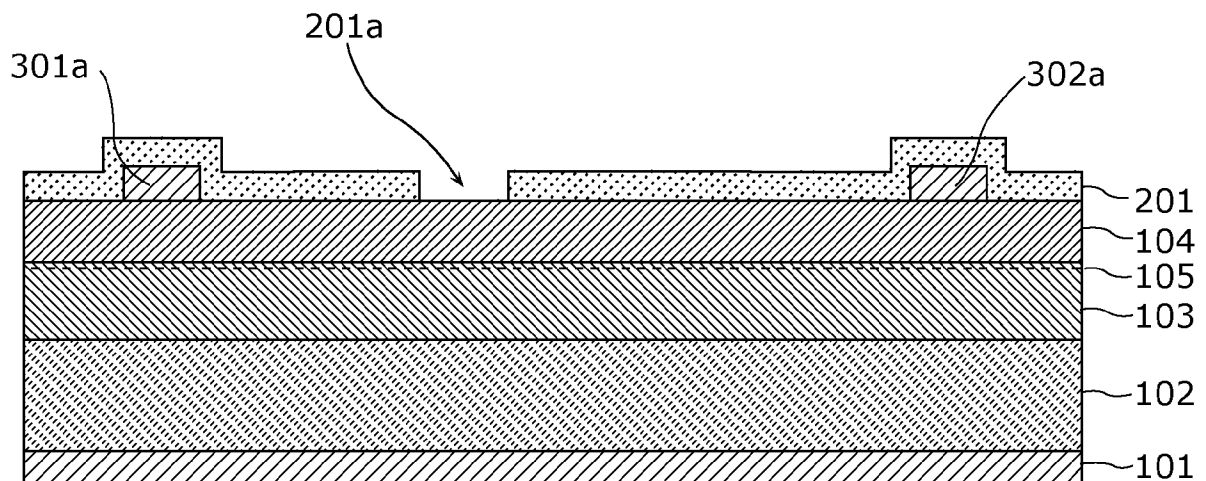
[図6]



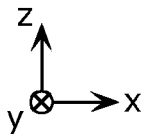
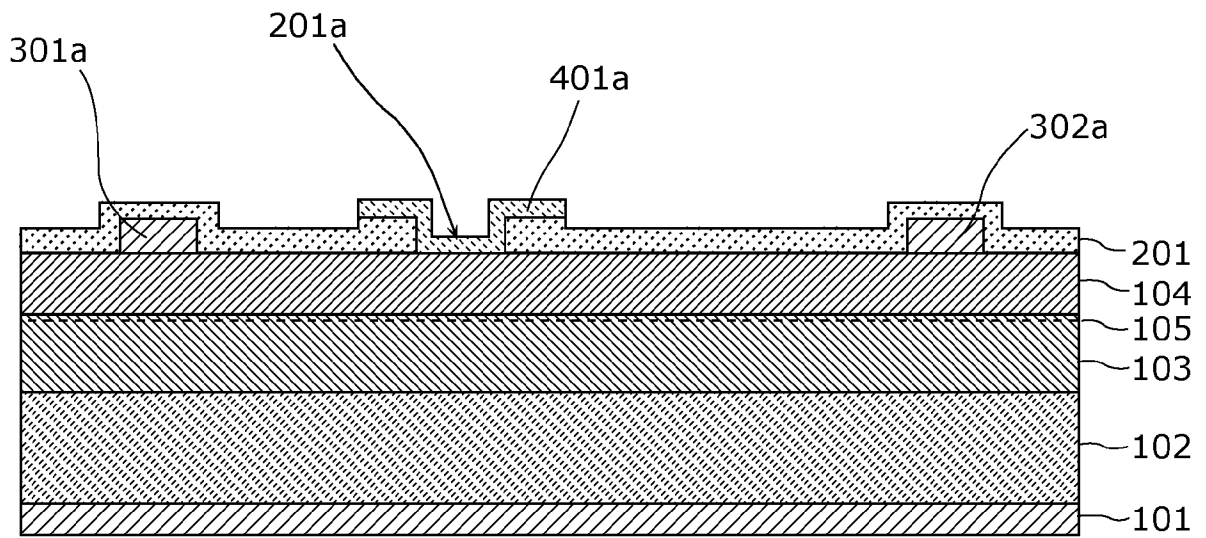
[図7]



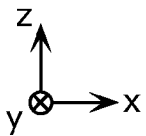
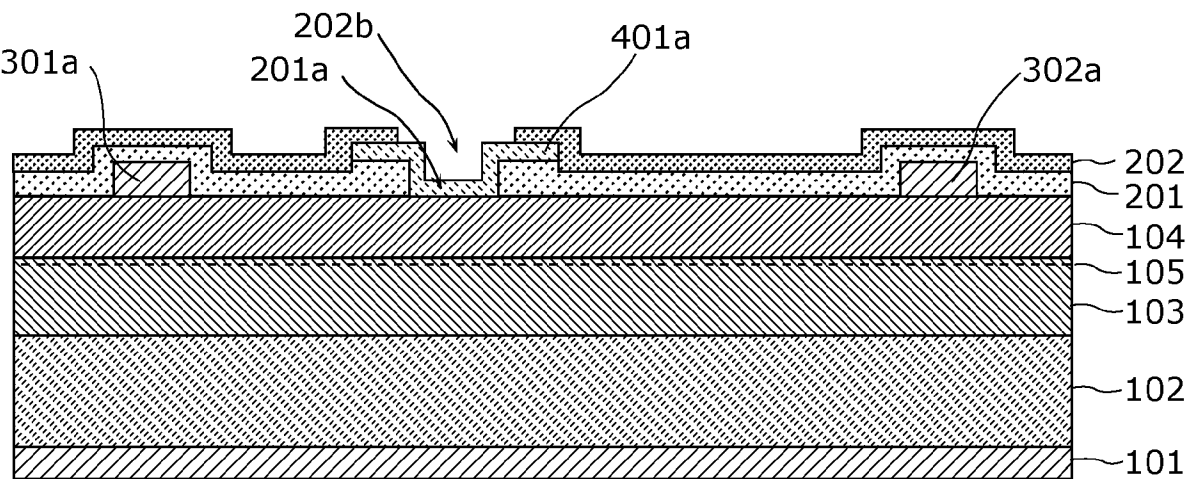
[図8]



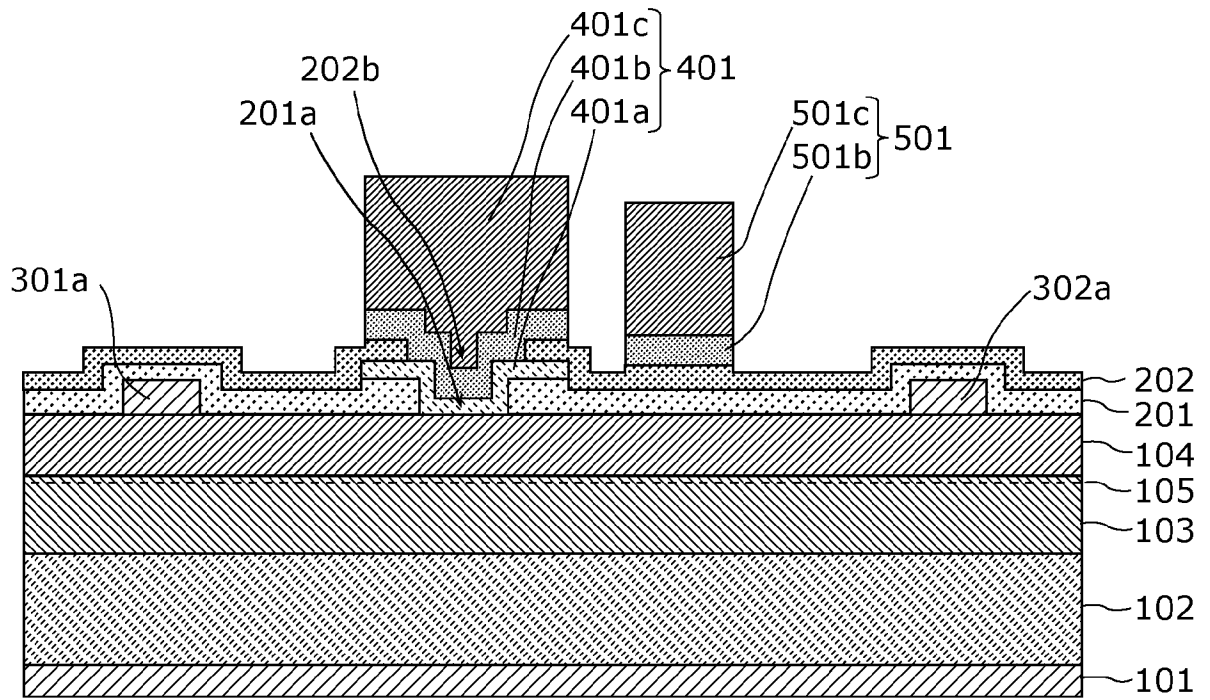
[図9]



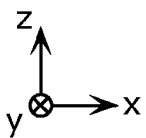
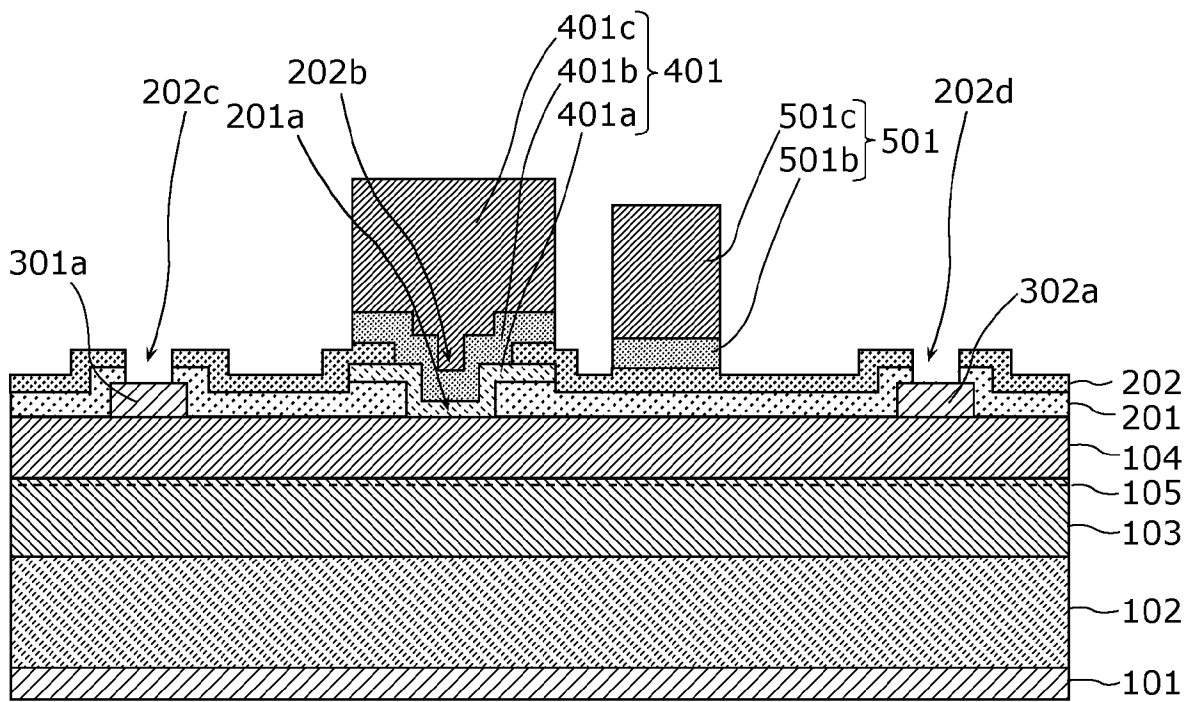
[図10]



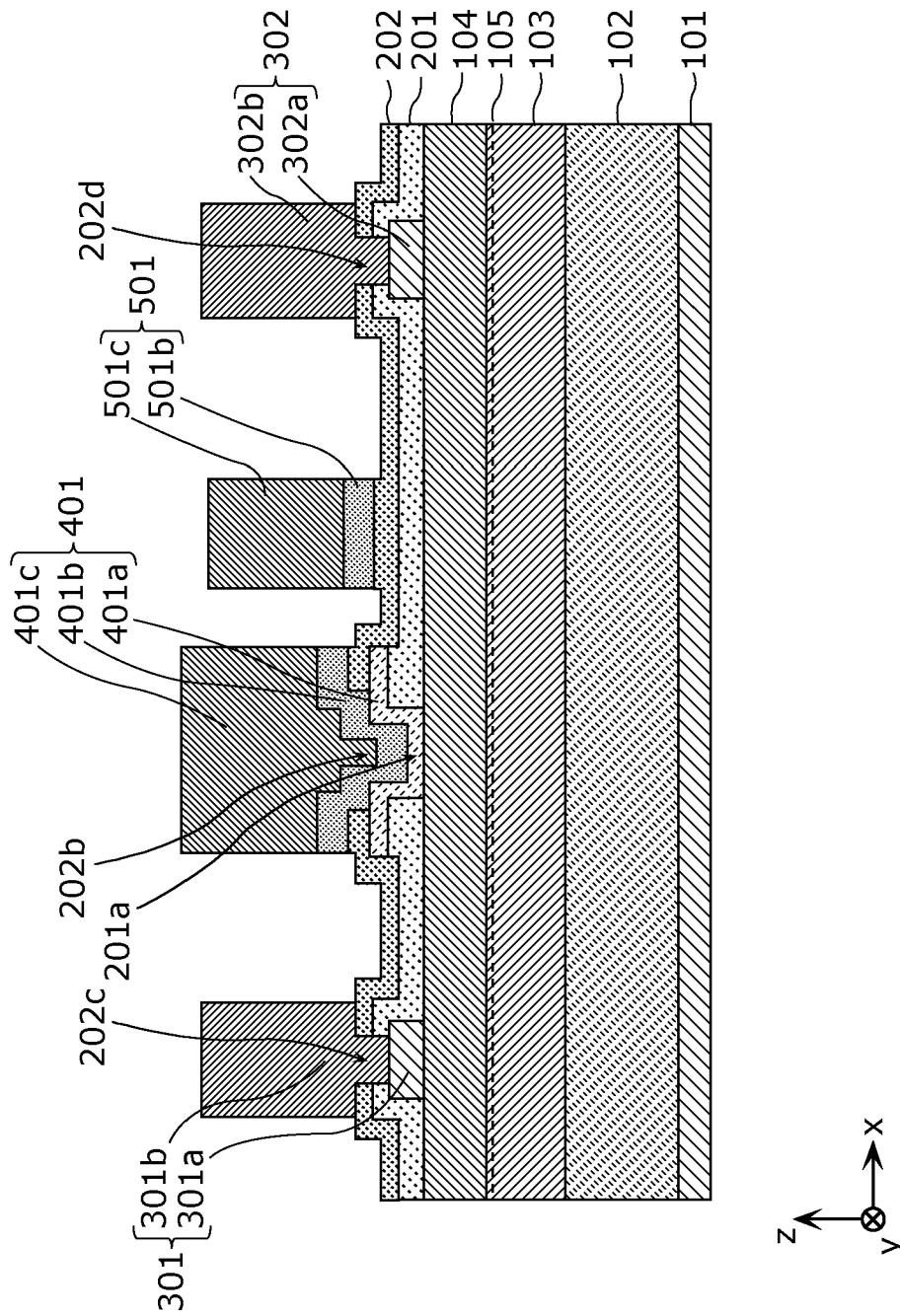
[図11]



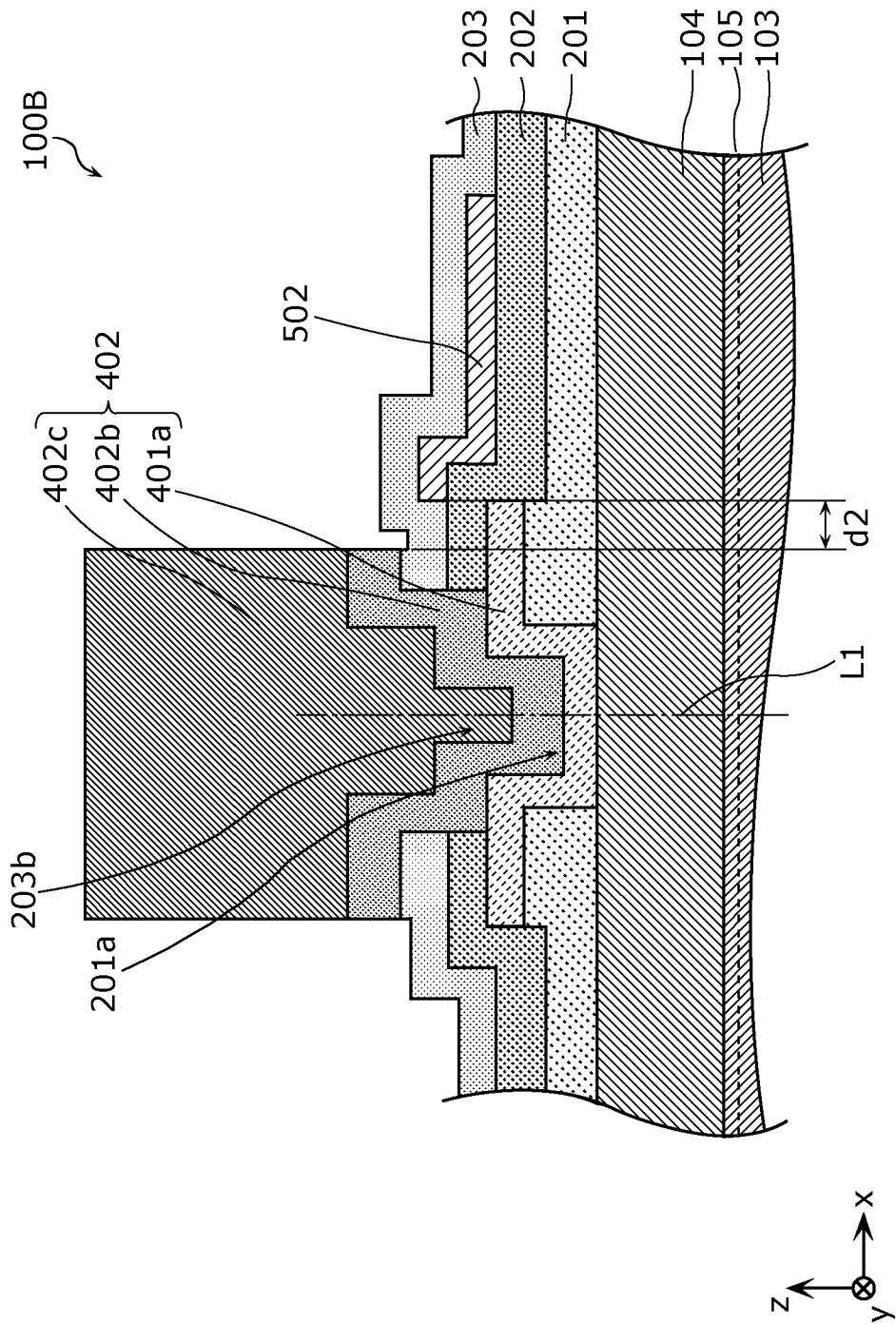
[図12]



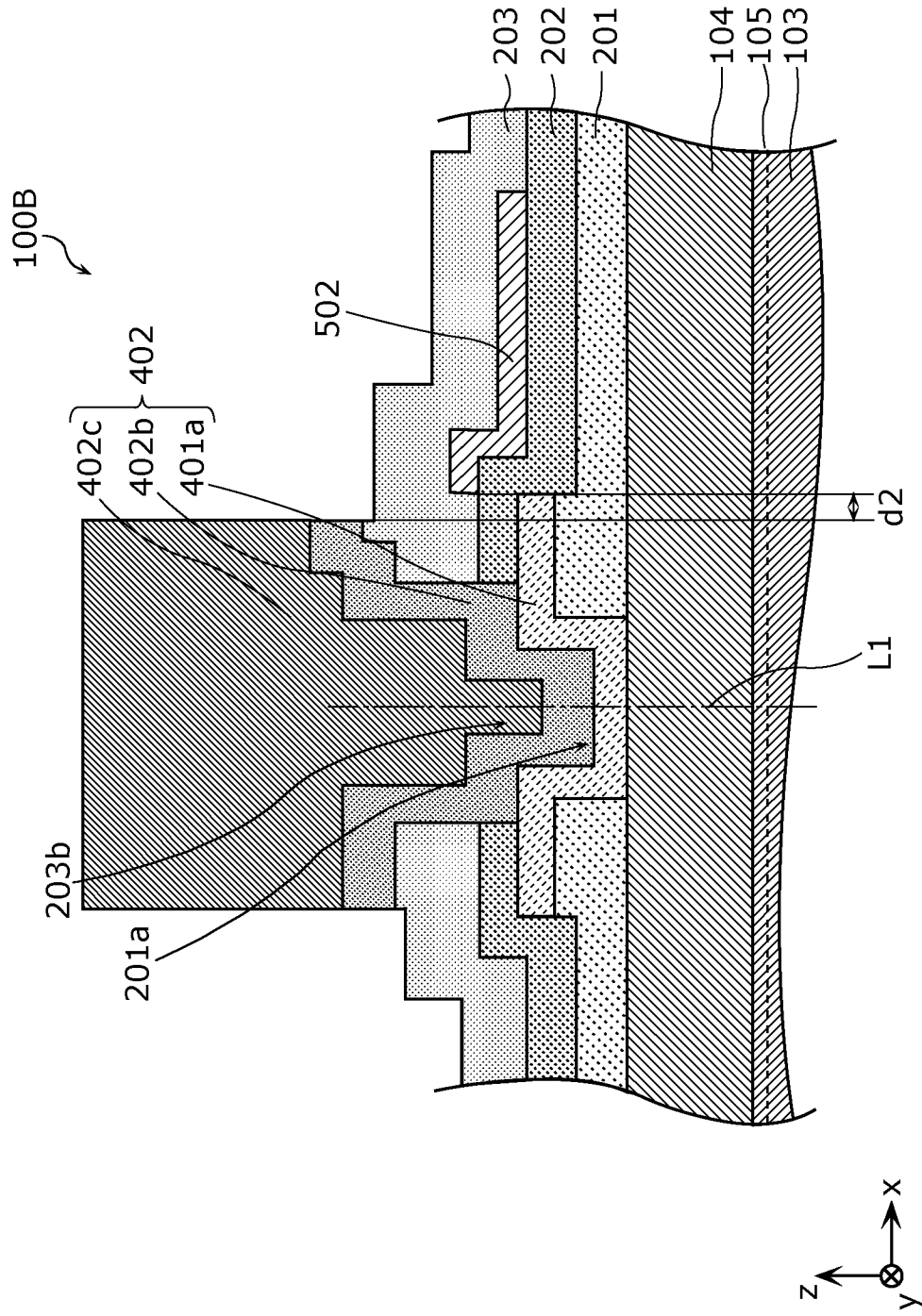
[図13]



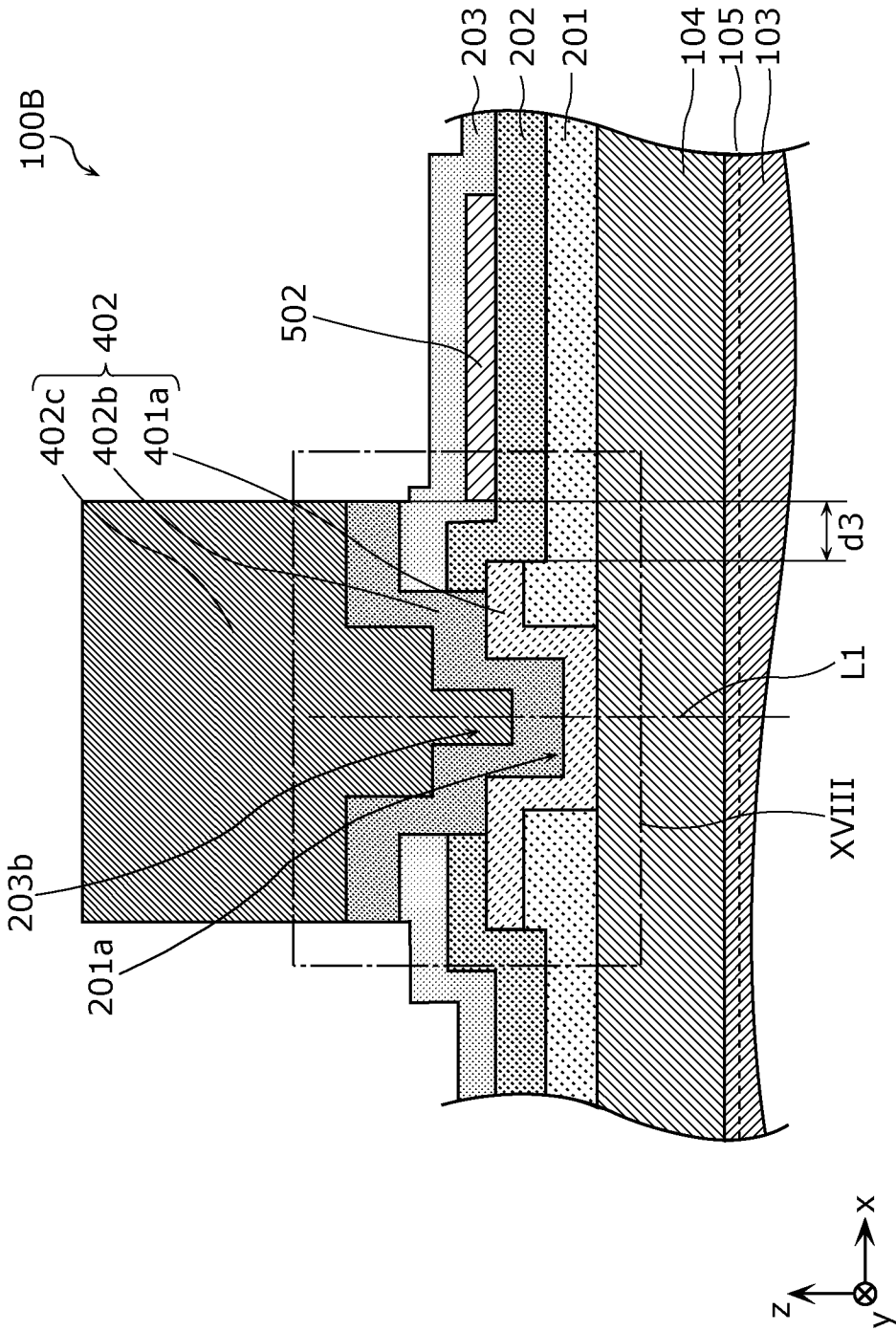
[15]



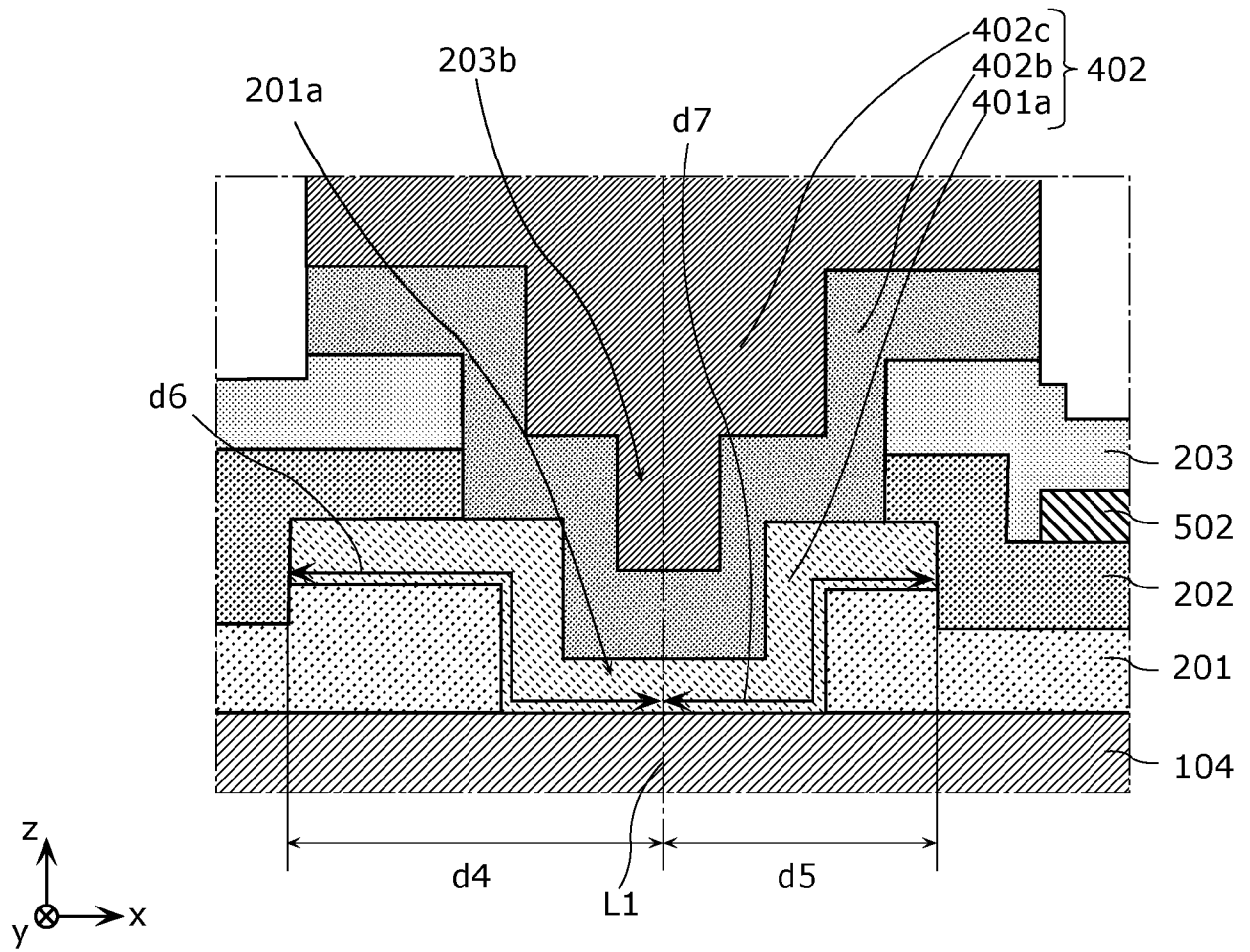
[図16]



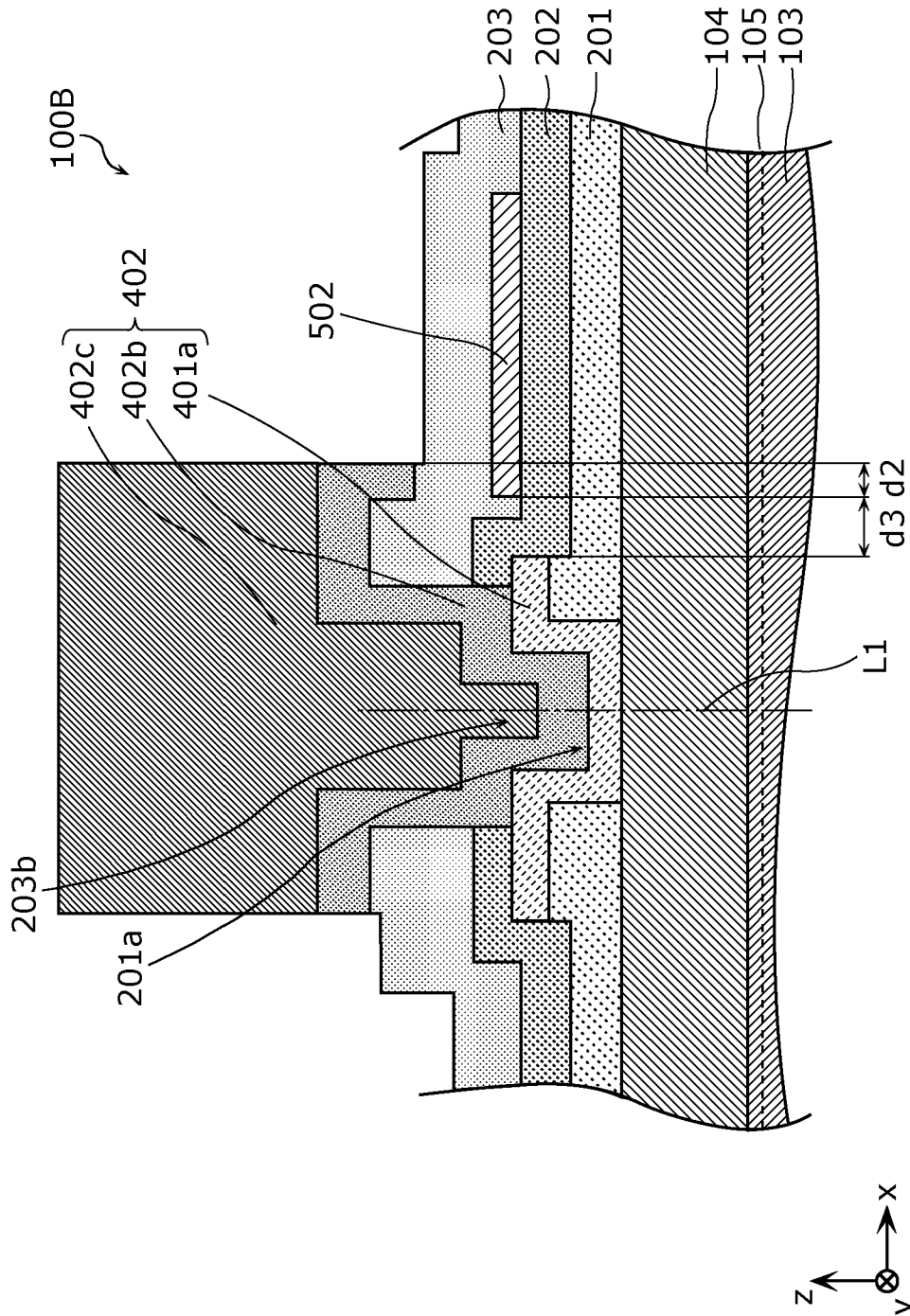
[図17]



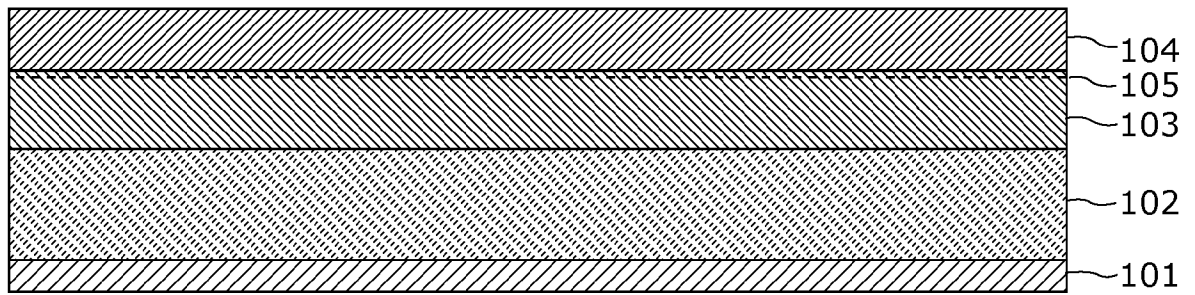
[図18]



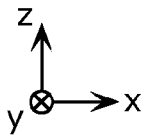
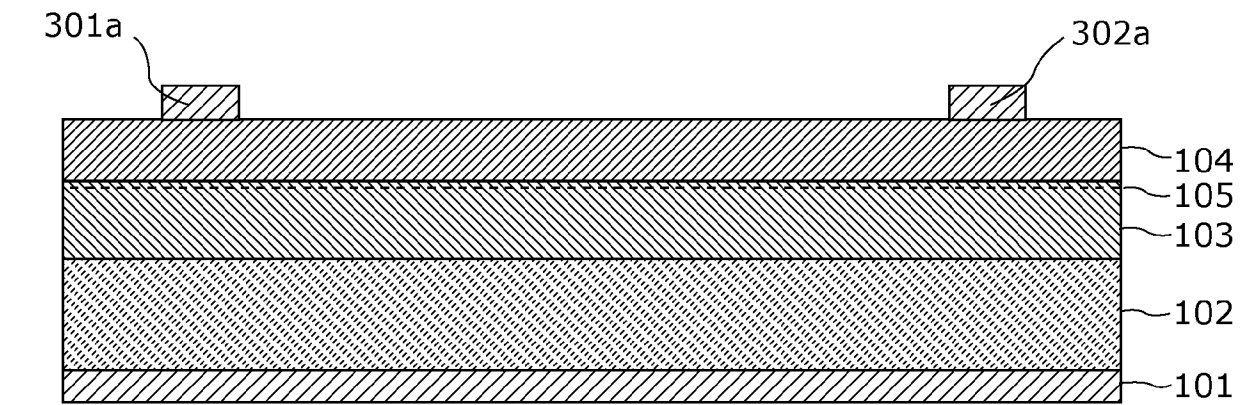
[図19]



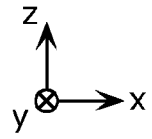
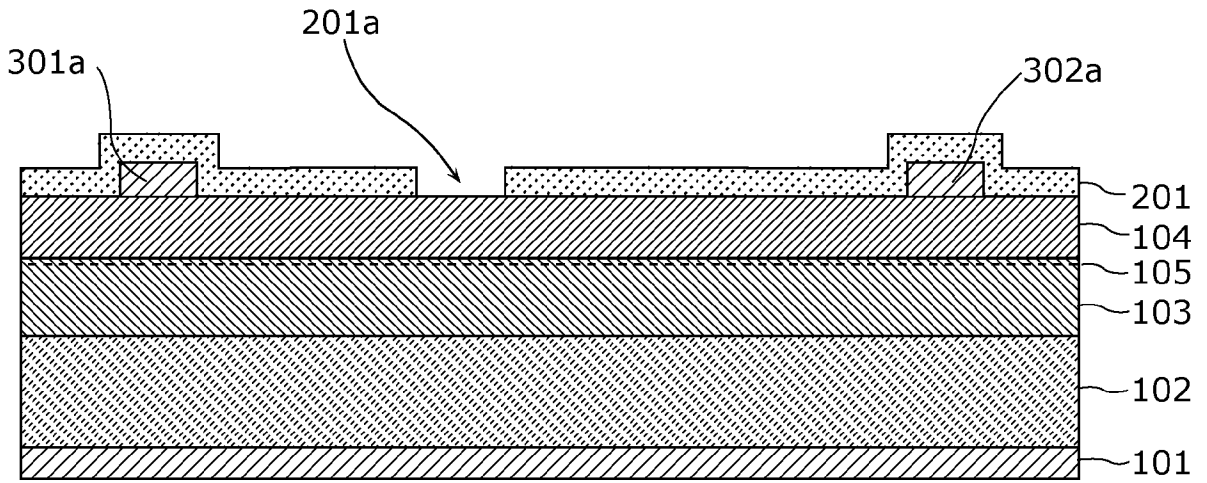
[図20]



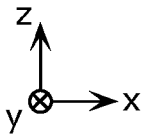
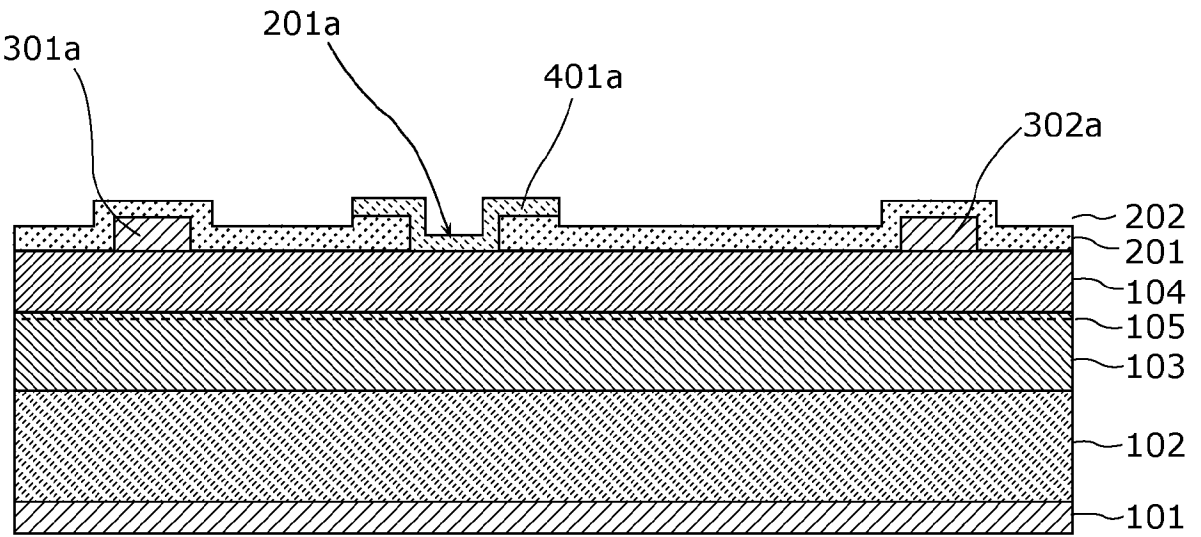
[図21]



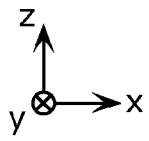
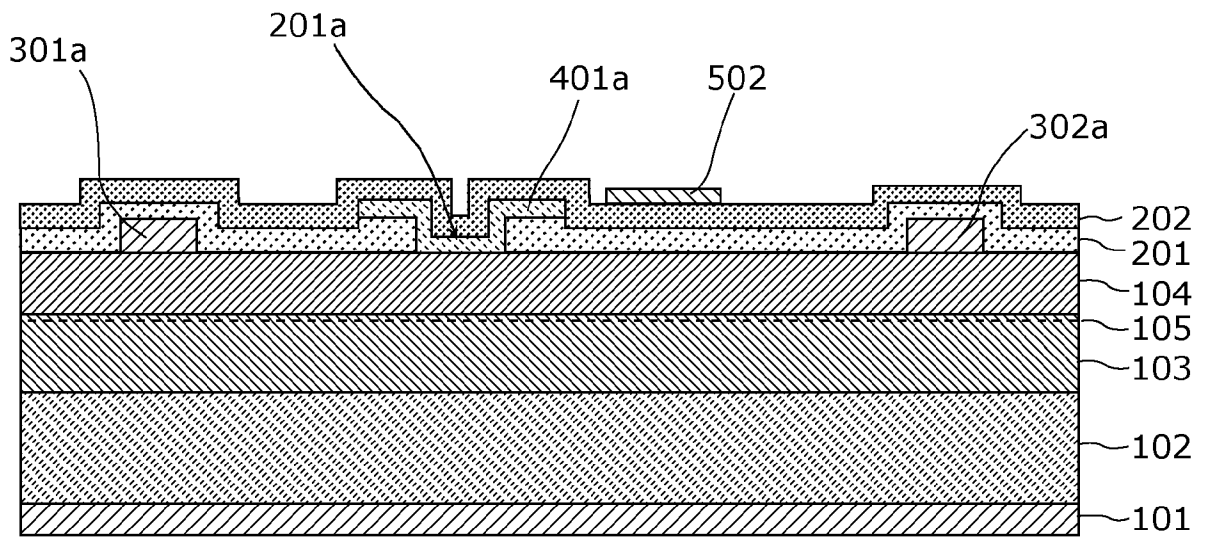
[図22]



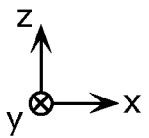
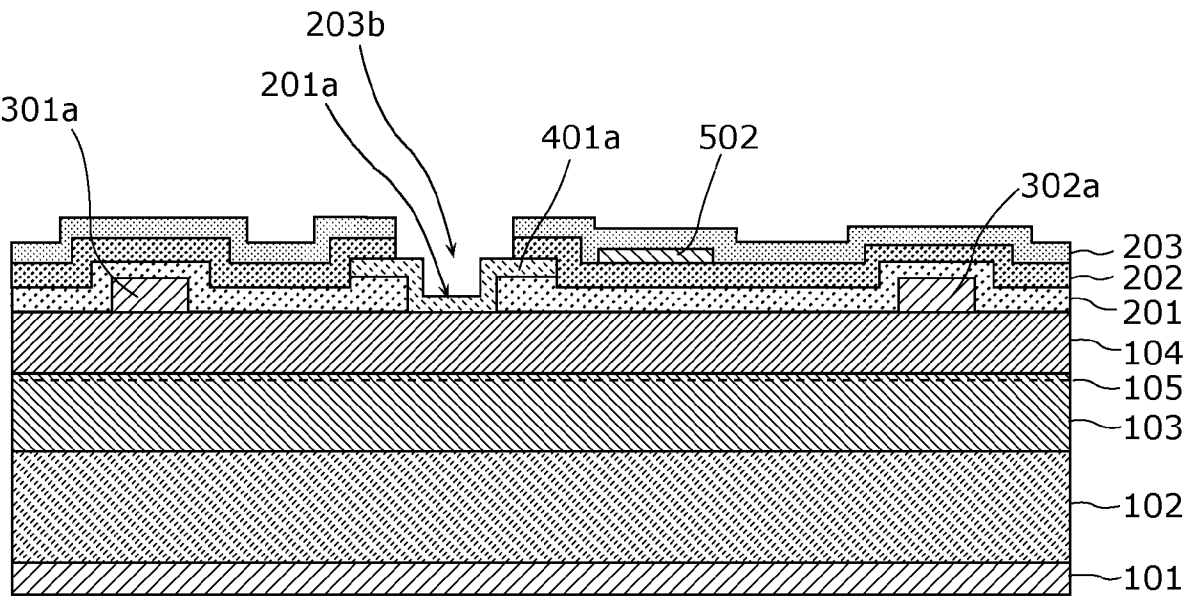
[図23]



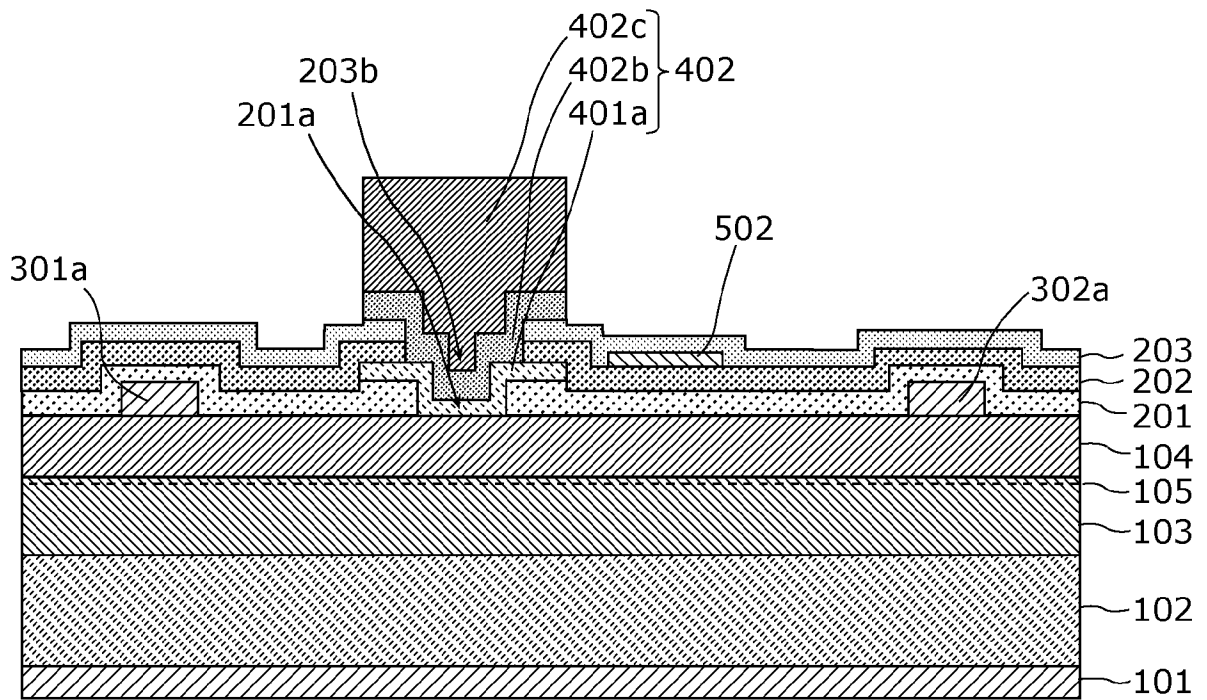
[図24]



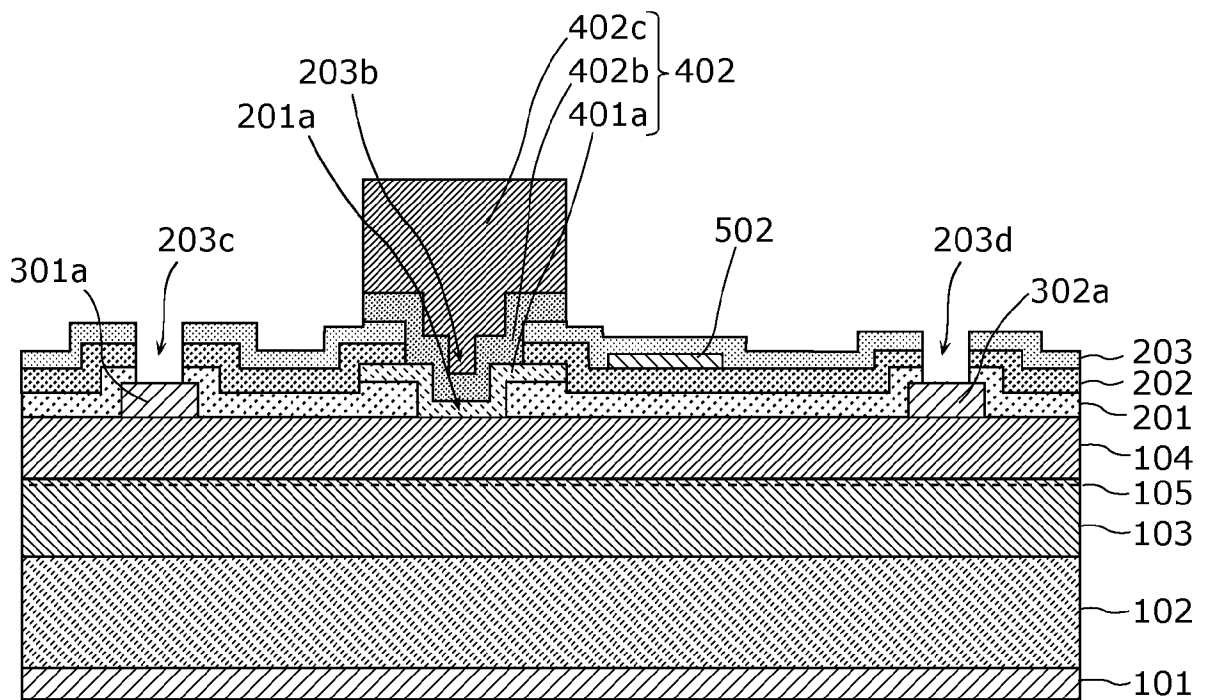
[図25]



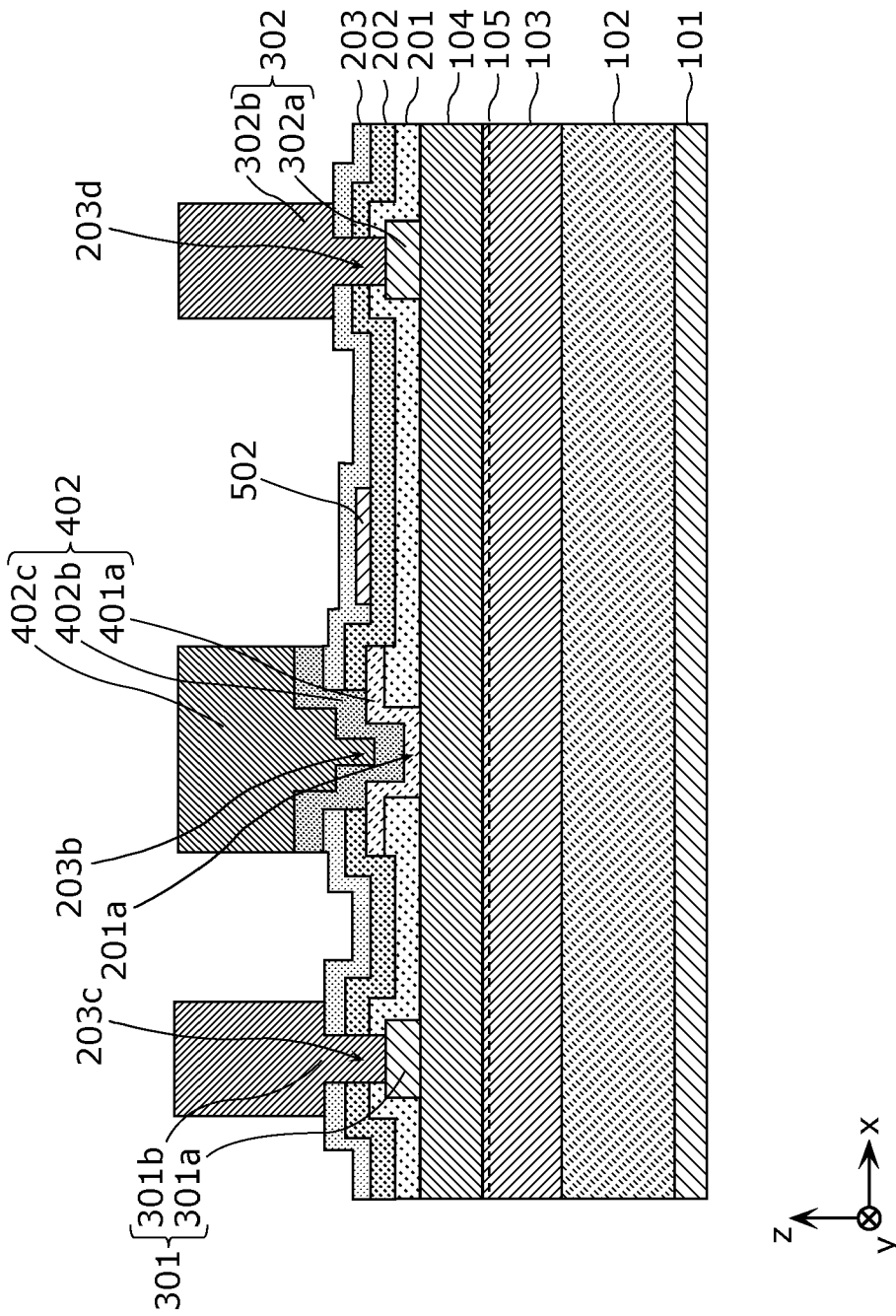
[図26]



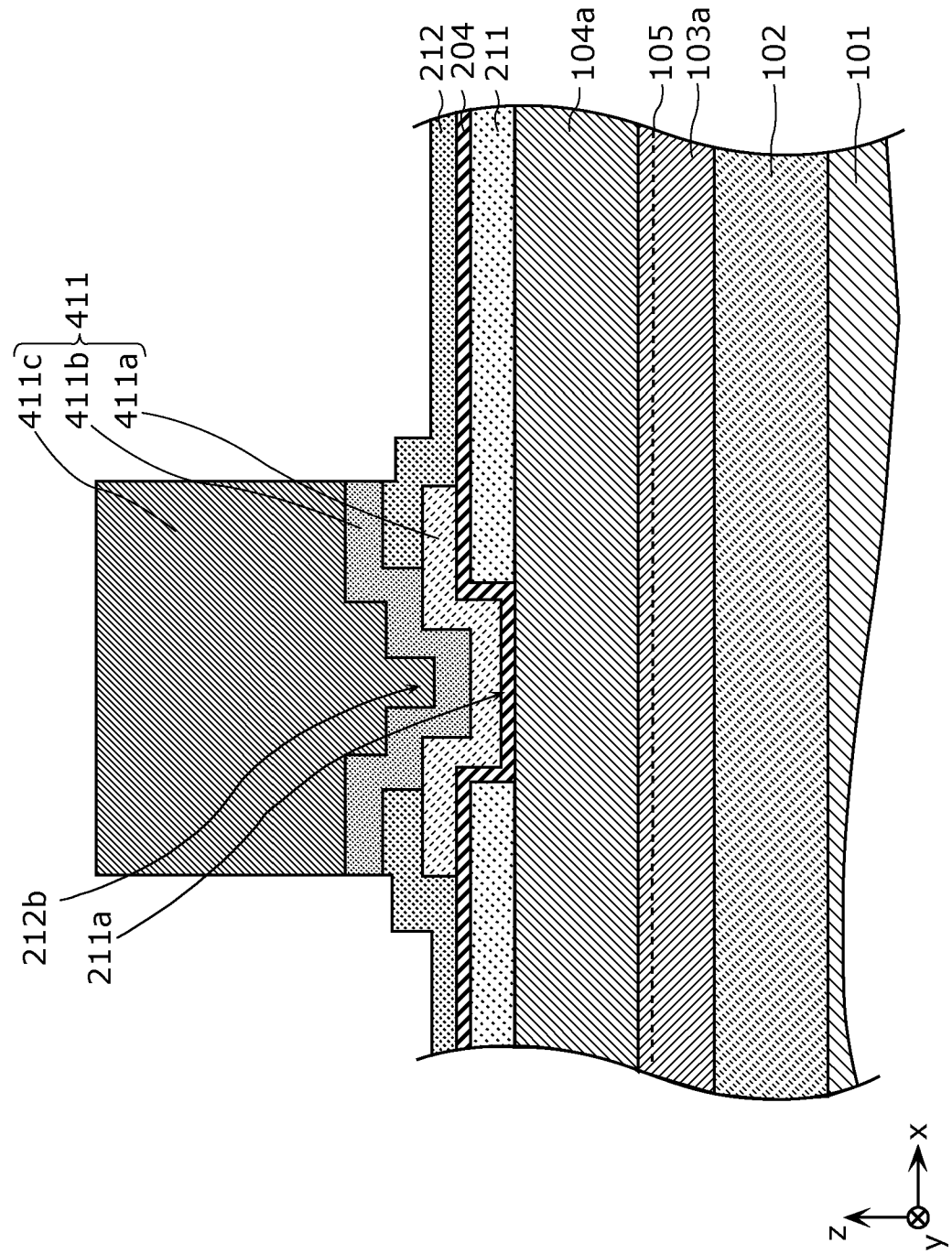
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/028359

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/778 (2006.01)i; H01L 21/28 (2006.01)i; H01L 21/338 (2006.01)i; H01L 29/41 (2006.01)i; H01L 29/417 (2006.01)i; H01L 29/812 (2006.01)i FI: H01L29/80 H; H01L21/28 301B; H01L29/44 Y; H01L29/50 J; H01L29/80 M		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/778; H01L21/28; H01L21/338; H01L29/41; H01L29/417; H01L29/812		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-72388 A (FUJITSU LTD) 21 April 2014 (2014-04-21) entire text, all drawings	1-14
A	JP 2014-99523 A (MITSUBISHI ELECTRIC CORP) 29 May 2014 (2014-05-29) entire text, all drawings	1-14
A	JP 2012-523697 A (EFFICIENT POWER CONVERSION CORPORATION) 04 October 2012 (2012-10-04) entire text, all drawings	1-14
A	JP 2010-533987 A (IMEC) 28 October 2010 (2010-10-28) entire text, all drawings	1-14
A	JP 2010-517302 A (INTERNATIONAL RECTIFIER CORPORATION) 20 May 2010 (2010-05-20) entire text, all drawings	1-14
A	US 2020/0051823 A1 (STIMICROELECTRONICS S.R.L.) 13 February 2020 (2020-02-13) entire text, all drawings	1-14
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 October 2022		Date of mailing of the international search report 11 October 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/028359

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014/0106516 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 17 April 2014 (2014-04-17) entire text, all drawings	1-14
.....		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/028359

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-72388	A	21 April 2014	US 2014/0092636 A1 entire text, all drawings	
				CN 103715250 A	
				TW 201417153 A	
JP	2014-99523	A	29 May 2014	(Family: none)	
JP	2012-523697	A	04 October 2012	US 2010/0258843 A1 entire text, all drawings	
				WO 2010/118087 A1	
				DE 102013202972 A1	
				TW 201044576 A	
				KR 10-2011-0137809 A	
				CN 102388441 A	
JP	2010-533987	A	28 October 2010	US 2010/0176421 A1 entire text, all drawings	
				WO 2009/012536 A1	
				EP 2176880 A1	
JP	2010-517302	A	20 May 2010	US 2008/0185613 A1 entire text, all drawings	
				WO 2008/097551 A2	
US	2020/0051823	A1	13 February 2020	US 2021/0313446 A1 entire text, all drawings	
US	2014/0106516	A1	17 April 2014	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/778(2006.01)i; H01L 21/28(2006.01)i; H01L 21/338(2006.01)i; H01L 29/41(2006.01)i; H01L 29/417(2006.01)i; H01L 29/812(2006.01)i FI: H01L29/80 H; H01L21/28 301B; H01L29/44 Y; H01L29/50 J; H01L29/80 M</p>																							
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC）） H01L29/778; H01L21/28; H01L21/338; H01L29/41; H01L29/417; H01L29/812</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2022年																						
日本国実用新案登録公報	1996 - 2022年																						
日本国登録実用新案公報	1994 - 2022年																						
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2014-72388 A（富士通株式会社）21.04.2014（2014-04-21） 全文、全図</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2014-99523 A（三菱電機株式会社）29.05.2014（2014-05-29） 全文、全図</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2012-523697 A（エフィシエント パワー コンヴァーシオン コーポレーショ ン）04.10.2012（2012-10-04） 全文、全図</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2010-533987 A（アイメック）28.10.2010（2010-10-28） 全文、全図</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2010-517302 A（インターナショナル レクティファイアー コーポレイション） 20.05.2010（2010-05-20） 全文、全図</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2020/0051823 A1（STIMICROELECTRONICS S.R.L.）13.02.2020（2020-02-13） 全文、全図</td> <td>1-14</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2014-72388 A（富士通株式会社）21.04.2014（2014-04-21） 全文、全図	1-14	A	JP 2014-99523 A（三菱電機株式会社）29.05.2014（2014-05-29） 全文、全図	1-14	A	JP 2012-523697 A（エフィシエント パワー コンヴァーシオン コーポレーショ ン）04.10.2012（2012-10-04） 全文、全図	1-14	A	JP 2010-533987 A（アイメック）28.10.2010（2010-10-28） 全文、全図	1-14	A	JP 2010-517302 A（インターナショナル レクティファイアー コーポレイション） 20.05.2010（2010-05-20） 全文、全図	1-14	A	US 2020/0051823 A1（STIMICROELECTRONICS S.R.L.）13.02.2020（2020-02-13） 全文、全図	1-14
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	JP 2014-72388 A（富士通株式会社）21.04.2014（2014-04-21） 全文、全図	1-14																					
A	JP 2014-99523 A（三菱電機株式会社）29.05.2014（2014-05-29） 全文、全図	1-14																					
A	JP 2012-523697 A（エフィシエント パワー コンヴァーシオン コーポレーショ ン）04.10.2012（2012-10-04） 全文、全図	1-14																					
A	JP 2010-533987 A（アイメック）28.10.2010（2010-10-28） 全文、全図	1-14																					
A	JP 2010-517302 A（インターナショナル レクティファイアー コーポレイション） 20.05.2010（2010-05-20） 全文、全図	1-14																					
A	US 2020/0051823 A1（STIMICROELECTRONICS S.R.L.）13.02.2020（2020-02-13） 全文、全図	1-14																					
国際調査を完了した日	03.10.2022	国際調査報告の発送日	11.10.2022																				
名称及びあて先	日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）	上田 智志 5F 3664 電話番号 03-3581-1101 内線 3514																				

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2014/0106516 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 17.04.2014 (2014 - 04 - 17) 全文、全図	1-14
.....		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/028359

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-72388	A	21.04.2014	US	2014/0092636	A1	
				全文、全図			
				CN	103715250	A	
				TW	201417153	A	
JP	2014-99523	A	29.05.2014	(ファミリーなし)			
JP	2012-523697	A	04.10.2012	US	2010/0258843	A1	
				全文、全図			
				WO	2010/118087	A1	
				DE	102013202972	A1	
				TW	201044576	A	
				KR	10-2011-0137809	A	
				CN	102388441	A	
JP	2010-533987	A	28.10.2010	US	2010/0176421	A1	
				全文、全図			
				WO	2009/012536	A1	
				EP	2176880	A1	
JP	2010-517302	A	20.05.2010	US	2008/0185613	A1	
				全文、全図			
				WO	2008/097551	A2	
US	2020/0051823	A1	13.02.2020	US	2021/0313446	A1	
				全文、全図			
US	2014/0106516	A1	17.04.2014	(ファミリーなし)			